



(12) 发明专利

(10) 授权公告号 CN 109920899 B

(45) 授权公告日 2021.08.06

(21) 申请号 201910222430.0

(22) 申请日 2016.10.14

(65) 同一申请的已公布的文献号

申请公布号 CN 109920899 A

(43) 申请公布日 2019.06.21

(30) 优先权数据

10-2015-0144997 2015.10.16 KR

10-2015-0181128 2015.12.17 KR

10-2016-0107578 2016.08.24 KR

(62) 分案原申请数据

201610900247.8 2016.10.14

(73) 专利权人 首尔伟傲世有限公司

地址 韩国京畿道安山市檀园区山檀路163

便道65-16

(72) 发明人 金艺瑟 金京完 禹尚沅 金智慧

(74) 专利代理机构 北京同立钧成知识产权代理

有限公司 11205

代理人 杨贝贝 臧建明

(51) Int.Cl.

H01L 33/48 (2010.01)

H01L 33/62 (2010.01)

(56) 对比文件

JP 2009164423 A, 2009.07.23

US 2005194605 A1, 2005.09.08

CN 102169941 A, 2011.08.31

JP 4587515 B2, 2010.11.24

JP 4507358 B2, 2010.07.21

JP 2006245062 A, 2006.09.14

JP H04316118 A, 1992.11.06

US 2013264603 A1, 2013.10.10

CN 102339920 A, 2012.02.01

US 2011163346 A1, 2011.07.07

WO 2015016561 A1, 2015.02.05

审查员 魏芳芳

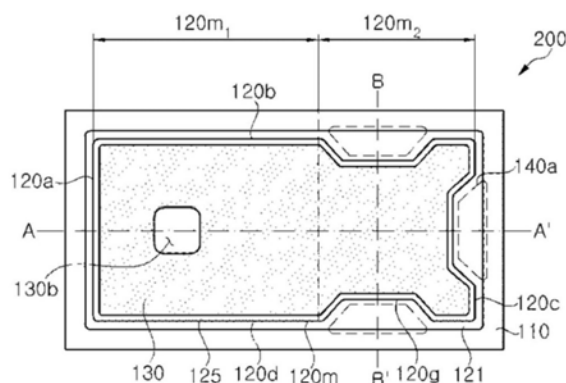
权利要求书2页 说明书32页 附图26页

(54) 发明名称

发光二极管芯片以及发光装置

(57) 摘要

本发明提供一种发光二极管芯片以及发光装置。发光二极管芯片包括：基板；第一导电型半导体层，配置在基板上；台面，配置到第一导电型半导体层上，包括活性层及第二导电型半导体层；至少一个沟槽，设置在台面的侧面上，形成凹陷区域；延伸电极，在所述凹陷区域中与所述第一导电型半导体层形成欧姆接触；绝缘层，覆盖第一导电型半导体层及台面，包括至少一个第一开口部及第二开口部；第一焊垫电极，配置到绝缘层的上部，通过第一开口部电连接到第一导电型半导体层；及第二焊垫电极，配置到绝缘层的上部，通过第二开口部电连接到电连接到第二导电型半导体层。本发明可提高产品的耐久性，可在产品内均匀地安装多个芯片。



1. 一种发光二极管芯片, 包括:
基板;
第一导电型半导体层, 配置在所述基板上;
台面, 配置在所述第一导电型半导体层上, 包括活性层及第二导电型半导体层;
至少一个沟槽, 设置在所述台面的侧面上, 形成凹陷区域;
延伸电极, 在所述凹陷区域中与所述第一导电型半导体层形成欧姆接触;
绝缘层, 覆盖所述延伸电极、所述第一导电型半导体层及所述台面, 包括使所述延伸电极露出的至少一个第一开口部及第二开口部;
第一焊垫电极, 配置在所述绝缘层上, 通过至少一个所述第一开口部电连接到所述第一导电型半导体层; 以及
第二焊垫电极, 配置在所述绝缘层上, 通过所述第二开口部电连接到所述第二导电型半导体层。
2. 根据权利要求1所述的发光二极管芯片, 其中所述绝缘层包括多个所述第一开口部, 并且所述第一开口部中的两个分别配置在所述台面的相对侧面处。
3. 根据权利要求2所述的发光二极管芯片, 其中所述第一开口部中的另一个设置在两个所述第一开口部之间。
4. 根据权利要求3所述的发光二极管芯片, 其中所述第一开口部中的另一个设置在所述台面的另一侧面处。
5. 根据权利要求4所述的发光二极管芯片, 其中所述台面的另一侧面设置在所述台面的相对侧面之间。
6. 根据权利要求2所述的发光二极管芯片, 其中所述第一开口部的区域延伸超出所述凹陷区域。
7. 根据权利要求1所述的发光二极管芯片, 其中所述延伸电极包括延伸到所述凹陷区域外部并且平行于所述台面的侧面设置的部分。
8. 根据权利要求1所述的发光二极管芯片, 其中所述第一焊垫电极直接接触所述延伸电极及所述第一导电型半导体层。
9. 根据权利要求1所述的发光二极管芯片, 还包括设置在所述台面上的接触电极, 所述接触电极包括暴露所述第二导电型半导体层的上表面的第三开口部。
10. 根据权利要求9所述的发光二极管芯片, 其中所述第二开口部的尺寸大于所述接触电极的所述第三开口部的尺寸。
11. 根据权利要求10所述的发光二极管芯片, 其中至少一个所述第一开口部的尺寸小于所述接触电极的所述第三开口部的尺寸。
12. 根据权利要求1所述的发光二极管芯片, 其中所述第一焊垫电极及所述第二焊垫电极之间的距离为 $3\mu\text{m}$ 至 $100\mu\text{m}$ 。
13. 根据权利要求12所述的发光二极管芯片, 其中所述第一焊垫电极及所述第二焊垫电极之间的距离为 $80\mu\text{m}$ 。
14. 一种发光装置, 包括:
第二基板;
根据权利要求1所述的发光二极管芯片, 设置在所述第二基板上; 以及

第一接合部及第二接合部,介于所述发光二极管芯片及所述第二基板之间。

15.根据权利要求14所述的发光装置,其中所述第一接合部及所述第二接合部之间的最短距离大于第一焊垫电极及第二焊垫电极之间的最短距离。

16.根据权利要求14所述的发光装置,其中所述第一接合部及所述第二接合部中的至少一个至少部分地覆盖第一导电型半导体层及台面的侧面的绝缘层。

17.根据权利要求16所述的发光装置,其中所述第一接合部及所述第二接合部中的至少一个至少部分地覆盖所述发光二极管芯片的围绕所述第一导电型半导体层的基板的下表面。

18.根据权利要求17所述的发光装置,其中所述第一接合部及所述第二接合部中的至少一个至少部分地覆盖所述发光二极管芯片的所述基板的侧面。

19.根据权利要求14所述的发光装置,其中所述第一接合部及所述第二接合部由焊料组成。

发光二极管芯片以及发光装置

[0001] 本发明是2016年10月14日所提出的申请号为201610900247.8、发明名称为《发光二极管芯片》的发明专利申请的分案申请。

技术领域

[0002] 本发明涉及一种小型发光二极管芯片以及发光装置。

背景技术

[0003] 发光二极管用在大型背光单元(Back Light Unit:BLU)、普通照明及电气组件等各种产品中,并且广泛地用在小型家电产品及装饰产品。

[0004] 发光二极管除简单地用作光源以外,也用于传达信息、彰显美感等各种用途。因此,要求利用发光二极管的产品的的设计自由度。例如,需在可挠性印刷电路板(Flexible Printed Circuits Board:FPCB)安装发光二极管而自由地变更产品的形态。尤其,要求可根据需求者的需要自由地变更形态的产品。

[0005] 然而,发光二极管例如由氮化镓类单晶半导体制作,故而无法变更发光二极管的形态。但是,如果将小型发光二极管安装到可挠性印刷电路板等,则可制作变形较为自由的产品。因此,为了制造可变形的产品,要求发光二极管的小型化。

[0006] 另一方面,大部分的发光二极管通常利用焊料安装到引线。在利用焊料安装发光二极管的情况下,因焊料的流动性而发光二极管易于发生歪斜(tilting)。为了解决这种问题,可在引线形成槽而防止因焊料引起的发光二极管的歪斜。但是,难以对具有柔软性的FPCB等基板上的引线进行形成槽等加工,在引线形成槽的情况下,当改变产品的形态时,引线易于发生断线而产生产品的可靠性下降的问题。而且,在以较窄的间隔配置小型的发光二极管的情况下,在引线的较多部分形成槽,因此可靠性更下降。

[0007] 因此,要求开发一种不仅制造产率较高,而且可确保设计自由度、确保适于各种设计的耐久性、适于防止歪斜的发光二极管芯片及发光装置。

发明内容

[0008] [发明欲解决的课题]

[0009] 本发明欲解决的课题在于提供一种将面积及厚度最小化,并且发光效率较高且制造产率较高的发光二极管芯片。

[0010] 本发明欲解决的又一课题在于提供一种不仅可防止电气短路,而且还可减少所制造的芯片间的电性能偏差的倒装芯片型发光二极管芯片。

[0011] 本发明欲解决的又一课题在于提供一种通过利用最小限度的厚度的接合部将经小型化及薄型化的发光二极管芯片安装到基板上而实现薄型化的发光装置,且提供一种耐久性优异的发光装置。

[0012] 本发明欲解决的又一课题在于提供一种不仅可确保产品的耐久性,而且在进行安装时还可防止歪斜的发光二极管芯片及发光装置。

[0013] 本发明欲解决的又一课题在于提供一种包括经小型化及薄型化的发光二极管芯片和/或发光装置的应用产品。

[0014] [解决课题的手段]

[0015] 本发明的一实施例的发光二极管芯片包括：基板，包括形成在上表面的多个突出部；发光构造体，位于所述基板上，包括第一导电型半导体层、位于所述第一导电型半导体层上的第二导电型半导体层、及位于所述第一导电型半导体层与第二导电型半导体层之间的活性层，且包括贯通所述第二导电型半导体层及所述活性层而使所述第一导电型半导体层的一部分露出的至少一个孔；接触电极，至少局部地位于所述第二导电型半导体层上，包括与所述第二导电型半导体层欧姆接触的透光性导电氧化物；反光性绝缘层，覆盖所述发光构造体的侧面及上表面，包括使通过所述孔露出的第一导电型半导体层露出的第一开口部、及使所述接触电极局部地露出的第二开口部，且包括分布布拉格反射器；第一焊垫电极，位于所述反光性绝缘层上，通过所述第一开口部而与所述第一导电型半导体层电连接；及第二焊垫电极，位于所述反光性绝缘层上，通过所述第二开口部而与所述接触电极电连接；且所述基板的上表面的一部分露出到所述发光构造体的周边，所述反光性绝缘层与露出在所述发光构造体的周边的基板的上表面相接，所述基板的上部棱角与所述反光性绝缘层隔开。

[0016] 本发明的又一实施方式的发光装置包括：第二基板；发光二极管芯片，位于所述第二基板上；及第一接合部及第二接合部，位于所述发光二极管芯片与所述第二基板之间；所述发光二极管芯片包括：第一基板，包括形成在下表面的多个突出部；发光构造体，位于所述第一基板的下方，包括第二导电型半导体层、位于所述第二导电型半导体层上的第一导电型半导体层、及位于所述第一导电型半导体层与第二导电型半导体层之间的活性层，且包括贯通所述第二导电型半导体层及所述活性层而使所述第一导电型半导体层的一部分露出的至少一个孔；接触电极，至少局部地位于所述第二导电型半导体层的下方，与所述第二导电型半导体层欧姆接触；反光性绝缘层，覆盖所述发光构造体的侧面及下表面，包括使通过所述孔露出的第一导电型半导体层露出的第一开口部、及使所述接触电极局部地露出的第二开口部，且包括分布布拉格反射器；第一焊垫电极，位于所述反光性绝缘层的下方，通过所述第一开口部而与所述第一导电型半导体层电连接；及第二焊垫电极，位于所述反光性绝缘层的下方，通过所述第二开口部而与所述接触电极电连接；且所述第一基板的下表面的一部分露出到所述发光构造体的周边，所述反光性绝缘层与露出在所述发光构造体的周边的第一基板的下表面相接，所述第一基板的下部棱角与所述反光性绝缘层隔开，所述第一接合部及所述第二接合部分别电连接到所述第一焊垫电极及第二焊垫电极。

[0017] 根据本发明的又一实施例，提供一种发光二极管芯片，其包括：基板；第一导电型半导体层，配置在所述基板上；台面，配置到所述第一导电型半导体层上，包括活性层及第二导电型半导体层；绝缘层，覆盖所述第一导电型半导体层及所述台面，包括使所述第一导电型半导体层露出的至少一个第一开口部、及位于所述台面的上部的第二开口部；第一焊垫电极，配置到所述绝缘层的上部，通过所述第一开口部而电连接到所述第一导电型半导体层；及第二焊垫电极，配置到所述绝缘层的上部，通过所述第二开口部而电连接到所述第二导电型半导体层；且所述绝缘层的第一开口部包括由所述第一焊垫电极覆盖的第一区域、及露出到所述第一焊垫电极的外部的第二区域。

[0018] 在一实施例中,所述绝缘层包括多个所述第一开口部,所述第一开口部中的两个分别配置在所述台面的两侧面。

[0019] 在一实施例中,所述第一开口部中的一个配置在所述台面的两侧面中的一侧面。

[0020] 在一实施例中,所述台面包括从侧面凹陷的多个沟槽,多个所述第一开口部分别使在多个所述沟槽内露出的所述第一导电型半导体层局部地露出。

[0021] 在一实施例中,所述台面还包括使所述第一导电型半导体层露出的贯通孔,所述绝缘层还包括在所述贯通孔内使所述第一导电型半导体层露出的开口部,所述第一焊垫电极通过所述贯通孔电连接到所述第一导电型半导体层。

[0022] 在一实施例中,所述贯通孔配置在所述沟槽之间,所述沟槽配置在所述台面的两侧面。

[0023] 在一实施例中,所述第一开口部的第二区域使所述第一导电型半导体层的侧面局部地露出。

[0024] 在一实施例中,发光二极管芯片还包括接触电极,所述接触电极配置到所述台面与所述绝缘层之间而与第二导电型半导体层接触,所述第二焊垫电极连接到所述接触电极。

[0025] 在一实施例中,在所述活性层产生的光通过所述基板向外部射出,并且通过所述第一焊垫电极与所述第二焊垫电极之间的区域向外部射出。

[0026] 在一实施例中,所述接触电极为使在所述活性层产生的光透射的透明电极。

[0027] 根据本发明的又一实施例,提供一种发光装置,其包括:基底;导电性配线,配置在所述基底上;所述发光二极管芯片,配置在所述基底上;及第一接合材及第二接合材,使所述发光二极管芯片接合到所述导电性配线。

[0028] [发明效果]

[0029] 根据本发明,提供一种构造简单的发光二极管芯片,由此可提供经小型化及薄型化的高效发光二极管芯片及发光装置。并且,通过使第一开口部的第二区域露出到第一焊垫电极的外部,可减少发光二极管芯片间的电性能变化,将制造工序稳定化,因此可提高发光二极管芯片的制造产率。进而,即便不对基板上的引线进行加工,也可防止发光二极管芯片的歪斜,因此可提高产品的耐久性,可在产品内均匀地安装多个芯片。

[0030] 通过之后的详细说明,明确地理解本发明的其他特征及优点。

附图说明

[0031] 图1至图3是用以说明本发明的一实施例的发光二极管芯片的俯视图及剖面图。

[0032] 图4是用以说明本发明的又一实施例的发光装置的剖面图。

[0033] 图5a至图10b是用以说明本发明的又一实施例的发光二极管芯片的制造方法的俯视图及剖面图。

[0034] 图11至图13是用以说明本发明的一实施例的发光二极管芯片100的俯视图。

[0035] 图14及图15是用以说明本发明的一实施例的发光二极管芯片100的剖面图。

[0036] 图16是用以说明本发明的实施例的发光二极管芯片100的电流路径的俯视图。

[0037] 图17至图21b是用以说明本发明的又一实施例的发光二极管芯片200的俯视图及剖面图。

[0038] 图22至图26是用以说明本发明的又一实施例的发光二极管芯片300的俯视图及剖面图。

[0039] 图27至图31是用以说明本发明的又一实施例的发光二极管芯片400的俯视图及剖面图。

[0040] 图32a至图37b是用以说明本发明的一实施例的发光二极管芯片100的制造方法的俯视图及剖面图。

[0041] 图38是用以说明本发明的又一实施例的具有波长转换部的发光二极管芯片100的概略剖面图。

[0042] 图39是用以说明本发明的又一实施例的具有波长转换部的发光二极管芯片100的概略剖面图。

[0043] 图40是表示图39的发光二极管芯片的概略立体图。

[0044] 图41是用以说明本发明的一实施例的发光装置的概略剖面图。

[0045] 图42是用以说明本发明的又一实施例的发光装置的概略剖面图。

[0046] 图43 (a) 及图43 (b) 是用以说明应用本发明的一实施例的发光二极管芯片的应用品的局部立体图。

[0047] 图44是用以说明本发明的一实施例的灯条的概略图。

[0048] 图45是用以说明本发明的一实施例的发光二极管 (Light Emitting Diode, LED) 灯的概略剖面图。

[0049] 图46 (a) 至图48是用以说明本发明的又一实施例的电子装置的立体图、俯视图、剖面图及电路图。

[0050] 图49是用以说明本发明的又一实施例的可挠性键盘的俯视图。

[0051] 图50是图49的局部剖面图。

具体实施方式

[0052] 以下,参照附图,详细地对本发明的实施例进行说明。之后介绍的实施例是为了充分地向本发明所属技术领域的普通技术人员传达本发明的思想而以示例的形式提供的实施例。因此,本发明并不限于以下所说明的实施例,也可具体化成其他形态。另外,方便起见,也可在图中夸张地表示构成要素的宽度、长度、厚度等。并且,在记载为一个构成要素处于其他构成要素的“上部”或“上”的情况下,不仅包括各部分处于其他部分的“正上部”或“正上方”的情况,而且还包括在各构成要素与其他构成要素之间介置有又一构成要素的情况。在整篇说明书中,相同的参照符号表示相同的构成要素。

[0053] 以下,介绍发光二极管芯片、发光装置及各种应用品。此处,发光二极管芯片是半导体工序中使用的普通含义,意指通过单体化工序而从晶片分离的裸片(die)。并且,可在单体化前或单体化后,将波长转换部提供到所述发光二极管芯片。将波长转换部提供到发光二极管芯片上而成的装置可命名为发光二极管芯片,也可命名为发光装置,在本说明书中,分类为发光二极管芯片。另一方面,“发光装置”是指将发光二极管芯片安装到二次基板或基底而成的装置。只要是在基底安装有发光二极管芯片的装置,则可命名为任意装置、例如包括特定应用品在内而命名为发光装置。在详细说明中,主要将安装有单个发光二极管芯片的装置称为发光装置,但发光装置并非必须解释为这种狭义,之后所说明的灯纸、灯条

及键盘也可命名为发光装置。

[0054] 本发明的一实施例的发光二极管芯片包括：基板，包括形成在上表面的多个突出部；发光构造体，位于所述基板上，包括第一导电型半导体层、位于所述第一导电型半导体层上的第二导电型半导体层、及位于所述第一导电型半导体层与第二导电型半导体层之间的活性层，且包括贯通所述第二导电型半导体层及所述活性层而使所述第一导电型半导体层的一部分露出的至少一个孔；接触电极，至少局部地位于所述第二导电型半导体层上，包括与所述第二导电型半导体层欧姆接触的透光性导电氧化物；反光性绝缘层，覆盖所述发光构造体的侧面及上表面，包括使通过所述孔露出的第一导电型半导体层露出的第一开口部、及使所述接触电极局部地露出的第二开口部，且包括分布布拉格反射器；第一焊垫电极，位于所述反光性绝缘层上，通过所述第一开口部而与所述第一导电型半导体层电连接；及第二焊垫电极，位于所述反光性绝缘层上，通过所述第二开口部而与所述接触电极电连接；且所述基板的上表面的一部分露出到所述发光构造体的周边，所述反光性绝缘层与露出在所述发光构造体的周边的基板的上表面相接，所述基板的上部棱角与所述反光性绝缘层隔开。

[0055] 所述发光二极管芯片的厚度可为 $40\mu\text{m}$ 以上且 $90\mu\text{m}$ 以下。

[0056] 所述发光二极管芯片的水平截面积可为 $30000\mu\text{m}^2$ 以上且 $65000\mu\text{m}^2$ 以下。

[0057] 所述发光二极管芯片的驱动电流的电流密度可为 $7\text{mA}/\text{mm}^2$ 以上且 $250\text{mA}/\text{mm}^2$ 以下。

[0058] 所述第一焊垫电极与所述第二焊垫电极的面积的和可为所述发光二极管芯片的水平面积的80%以上且95%以下。

[0059] 所述第一焊垫电极与第二焊垫电极的最短隔开距离可为 $3\mu\text{m}$ 至 $20\mu\text{m}$ 。

[0060] 可由所述反光性绝缘层覆盖露出在所述基板的上表面的突出部中的一部分。

[0061] 露出在所述基板的上表面的突出部中的剩余一部分可露出。

[0062] 所述接触电极可覆盖所述第二导电型半导体层的上表面，包括使所述发光构造体的孔露出的第三开口部、及使所述第二导电型半导体层局部地露出的至少一个第四开口部。

[0063] 所述第四开口部的宽度小于所述第二开口部的宽度，所述接触电极的上表面的一部分可与所述第二焊垫电极相接。

[0064] 所述基板可包括经图案化的蓝宝石基板。

[0065] 所述第一焊垫电极可包括形成到其上表面且与所述第一开口部的位置对应而定位的凹部，所述第二焊垫电极可包括形成到其上表面且与所述第二开口部的位置对应而定位的凹部。

[0066] 本发明的一实施例的发光装置包括：第二基板；发光二极管芯片，位于所述第二基板上；及第一接合部及第二接合部，位于所述发光二极管芯片与所述第二基板之间；所述发光二极管芯片包括：第一基板，包括形成在下表面的多个突出部；发光构造体，位于所述第一基板的下方，包括第二导电型半导体层、位于所述第二导电型半导体层上的第一导电型半导体层、及位于所述第一导电型半导体层与第二导电型半导体层之间的活性层，且包括贯通所述第二导电型半导体层及所述活性层而使所述第一导电型半导体层的一部分露出的至少一个孔；接触电极，至少局部地位于所述第二导电型半导体层的下方，与所述第二导电型半导体层欧姆接触；反光性绝缘层，覆盖所述发光构造体的侧面及下表面，包括使通过

所述孔露出的第一导电型半导体层露出的第一开口部及使所述接触电极局部地露出的第二开口部,且包括分布布拉格反射器;第一焊垫电极,位于所述反光性绝缘层的下方,通过所述第一开口部而与所述第一导电型半导体层电连接;及第二焊垫电极,位于所述反光性绝缘层的下方,通过第二开口部而与所述接触电极电连接;且所述第一基板的下表面的一部分露出到所述发光构造体的周边,所述反光性绝缘层与露出在所述发光构造体的周边的第一基板的下表面相接,所述第一基板的下部棱角与所述反光性绝缘层隔开,所述第一接合部及所述第二接合部分别电连接到所述第一焊垫电极及第二焊垫电极。

[0067] 所述第一接合部与第二接合部间的最短隔开距离可大于所述第一焊垫电极与第二焊垫电极间的最短隔开距离。

[0068] 所述第一接合部及第二接合部中的至少一个可至少局部地覆盖反光性绝缘层,所述反光性绝缘层覆盖所述发光构造体的侧面。

[0069] 所述第一接合部及第二接合部中的至少一个可至少局部地覆盖露出在所述发光构造体的周边的第一基板的下表面。

[0070] 所述第一接合部及第二接合部中的至少一个可局部地覆盖所述第一基板的侧面。

[0071] 所述第一接合部及第二接合部可包括焊料。

[0072] 在本发明的各实施方式的包括输入装置的电子装置中,所述电子装置包括实施例的发光二极管芯片及发光装置中的至少任一种。

[0073] 所述输入装置可包括多个小键盘,所述多个小键盘可包括形成在其上表面的发光区域,从所述发光区域射出的光可为从所述发光二极管芯片或所述发光装置射出的光。

[0074] 所述输入装置可包括多个小键盘,所述多个小键盘包括形成在其上表面的发光区域,所述发光二极管芯片可位于所述多个小键盘中的至少一部分的下方,可通过所述发光区域射出从所述发光二极管芯片或所述发光装置射出的光。

[0075] 本发明的又一实施例的发光二极管芯片包括:基板;第一导电型半导体层,配置在所述基板上;台面,配置到所述第一导电型半导体层上,包括活性层及第二导电型半导体层;绝缘层,覆盖所述第一导电型半导体层及所述台面,包括使所述第一导电型半导体层露出的至少一个第一开口部、及位于所述台面的上部的第二开口部;第一焊垫电极,配置到所述绝缘层的上部,通过所述第一开口部而电连接到所述第一导电型半导体层;及第二焊垫电极,配置到所述绝缘层的上部,通过所述第二开口部而电连接到所述第二导电型半导体层;且所述绝缘层的第一开口部包括由所述第一焊垫电极覆盖的第一区域、及露出到所述第一焊垫电极的外部的第二区域。

[0076] 通过追加第二区域,可相对较大地形成第一开口部,因此可将用以在受限的设计范围内形成第一开口部的工序稳定化。由此,可容易地提供小型的发光二极管芯片。而且,第二区域位于第一焊垫电极的外部,因此不会对第一焊垫电极的接触面积变化产生影响。因此,即便因制造工序上的公差而第一开口部的尺寸发生变动,也可缓和第一焊垫电极的接触面积的变化,由此可缩小发光二极管芯片间的顺向电压等电性能的偏差。

[0077] 另一方面,所述绝缘层可包括多个第一开口部,所述第一开口部中的两个可分别配置到所述台面的两侧面。进而,所述第一开口部中的一个可配置到所述台面的侧面中的所述两侧面之间的一侧面。通过在台面的侧面配置所述第一开口部,可防止台面的面积减少,可在台面内均匀地分散电流。

[0078] 所述台面可包括从侧面凹陷的多个沟槽,多个第一开口部可使分别露出在所述多个沟槽内的第一导电型半导体层局部地露出。

[0079] 在一些实施例中,所述台面还包括使所述第一导电型半导体层露出的贯通孔,所述绝缘层还可包括在所述贯通孔内使所述第一导电型半导体层露出的开口部。所述第一焊垫电极可通过所述贯通孔而电连接到所述第一导电型半导体层。通过在台面形成贯通孔,可有助于在台面内分散电流。

[0080] 所述贯通孔可配置到配置在所述台面的两侧面的沟槽之间。但是,本发明并不限于此,也可变更贯通孔的位置。

[0081] 另一方面,所述第一开口部的第二区域可使所述第一导电型半导体层的侧面局部地露出。因此,可相对更大地形成第一开口部。

[0082] 所述发光二极管芯片还可包括配置到所述台面与所述绝缘层之间而与所述第二导电型半导体层接触的接触电极,所述第二焊垫电极可连接到所述接触电极。

[0083] 所述接触电极可包括第三开口部,所述第三开口部可位于所述第二开口部内。因此,所述接触电极的一部分露出到所述第二开口部,第二焊垫电极可在所述第二开口部内连接到所述接触电极及所述第二导电型半导体层。

[0084] 在一些实施例中,所述接触电极可为使在所述活性层产生的光透射的透明电极。进而,在所述活性层产生的光可通过所述基板而向外部射出,并且通过所述第一焊垫电极与第二焊垫电极之间的区域而向外部射出。由此,可提供向两个方向射出光的发光二极管芯片。

[0085] 另一方面,所述发光二极管芯片还可包括配置在所述第一导电型半导体层上的延伸电极,所述绝缘层的第一开口部使所述延伸电极局部地露出,所述第一焊垫电极可通过所述第一开口部连接到所述延伸电极。

[0086] 在一些实施例中,所述发光二极管芯片还可包括配置在所述基板上的波长转换部。进而,所述波长转换部可覆盖所述基板的上表面及侧面。

[0087] 本发明的又一实施例的发光装置包括:基底;导电性配线,配置在所述基底上;所述发光二极管芯片,配置在所述基底上;及第一接合材及第二接合材,使所述发光二极管芯片接合到所述导电性配线;且所述第一接合材及第二接合材分别使所述发光二极管芯片的第一焊垫电极及第二焊垫电极接合到所述导电性配线。

[0088] 所述第一接合材可与露出在所述第二区域的第一导电型半导体层接触。即便第一接合材与第一导电型半导体层接触,也不会产生电气短路的问题。进而,第一接合材可与第一导电型半导体层肖特基接触,因此即便第一接合材与第一导电型半导体层接触,也不会改变顺向电压。

[0089] 另一方面,所述导电性配线之间的隔开距离可大于所述第一焊垫电极与第二焊垫电极之间的隔开距离。

[0090] 进而,所述第一接合材及第二接合材可局部地覆盖所述导电性配线的侧面。

[0091] 另一方面,所述基底可为可挠性基底,进而可为透明薄膜。所述基底可呈各种形状,例如可呈具有较广的面积 of 的纸形状或较长的带形状。由此,所述发光装置可提供为灯纸、灯条(strap or band)或键盘等。

[0092] 另一方面,根据本发明的实施例,提供一种应用所述发光二极管芯片的各种应用

品。

[0093] 以下,参照附图,对本发明的各实施例进行说明。

[0094] 图1至图3是用以说明本发明的一实施例的发光二极管芯片50的俯视图及剖面图。具体而言,图1是表示所述发光二极管芯片50的平面的俯视图,图2是为了便于说明,省略第一焊垫电极151、第二焊垫电极153及反光性绝缘层140而表示台面120m及接触电极130的平面的俯视图。图3是表示与图1及图2的A-A'线对应的部分的剖面的剖面图。

[0095] 参照图1至图3,发光二极管芯片50包括基板110、发光构造体120、接触电极130、反光性绝缘层140、第一焊垫电极151及第二焊垫电极153。

[0096] 发光二极管芯片50可为具有较小的水平面积的小型发光二极管芯片。发光二极管芯片50可具有约 $65000\mu\text{m}^2$ 以下的水平截面积,进而可具有约 $30000\mu\text{m}^2$ 以上且约 $65000\mu\text{m}^2$ 以下的水平截面积。例如,发光二极管芯片50可具有 $230\mu\text{m}\times 180\mu\text{m}$ 或 $250\mu\text{m}\times 200\mu\text{m}$ 的尺寸。然而,实施例的发光二极管芯片50的横长及纵长并不限于上述内容。并且,发光二极管芯片50可为具有较薄的厚度的小型发光二极管芯片。发光二极管芯片50可具有约 $90\mu\text{m}$ 以下的厚度 T_1 ,进而可具有约 $40\mu\text{m}$ 以上且 $90\mu\text{m}$ 以下的厚度 T_1 。能够以 $7\text{mA}/\text{mm}^2$ 以上且 $250\text{mA}/\text{mm}^2$ 以下的电流密度驱动发光二极管芯片50。本实施例的发光二极管芯片50具有上述水平截面积及厚度,因此所述发光二极管芯片50可容易地应用到要求小型和/或薄型发光装置的各种电子装置。

[0097] 基板110可为绝缘性基板或导电性基板。基板110可为用以使发光构造体120生长的生长基板,可包括蓝宝石基板、碳化硅基板、硅基板、氮化镓基板、氮化铝基板等。并且,基板110包括形成在其上表面的至少一部分区域的多个突出部110p。基板110的多个突出部110p可形成为规则和/或不规则的图案。例如,基板110可包括经图案化的蓝宝石基板(Patterned sapphire substrate:PSS),所述经图案化的蓝宝石基板包括形成在上表面的多个突出部110p。

[0098] 进而,基板110可包括呈从基板110的至少一侧面沿水平方向延伸的带形状的至少一个改质区域111。改质区域111会在分离基板110而将元件单体化的过程中形成。例如,可通过利用内部加工方法(例如,隐形切割装备)对基板110进行内部加工而形成改质区域111。可通过所述内部加工激光在基板110的内部形成刻划面。此时,从改质区域111至基板110的下部面的距离可小于从改质区域111至基板110的上部面的距离。在考虑向发光二极管芯片50的侧面出射的光时,倾向于基板110的下方侧进行激光加工而相对倾向于下部形成所述改质区域111,由此可提高在发光构造体120形成的光向外部的抽出效率。并且,如果以接近发光构造体120的方式形成改质区域111,则会在激光加工工序中氮化物类半导体受损而电性能产生问题。因此,通过以倾向于基板110的下方侧定位的方式形成改质区域111,可防止因发光构造体120受损引起的发光二极管芯片50可靠性下降及发光效率下降。

[0099] 发光构造体120位于基板110上。并且,发光构造体120的下表面的面积可小于基板110的上表面的面积,由此可在发光构造体120周边的至少一部分区域露出基板110的上表面。多个突出部110p的一部分可位于发光构造体120与基板110之间,多个突出部110p的一部分可露出到发光构造体120的周边。

[0100] 基板110的上表面露出到发光构造体120的周边,由此发光二极管芯片50在制造过程中的弯曲(bowing)减少,从而可防止发光构造体120受损而提高制造产率。并且,因所述

弯曲减少而可减少施加到发光构造体120的应力,因此可更薄地加工基板110的厚度。由此,可提供具有约90 μm 以下的较薄厚度的经薄型化的发光二极管芯片50。在下文将述的实施例中更详细地对与此相关的内容进行说明。

[0101] 发光构造体120包括第一导电型半导体层121、位于第一导电型半导体层121上的第二导电型半导体层125、及位于第一导电型半导体层121与第二导电型半导体层125之间的活性层123。第一导电型半导体层121、活性层123及第二导电型半导体层125可包括Ⅲ-V氮化物类半导体,例如可包括如(Al、Ga、In)N的氮化物类半导体。第一导电型半导体层121可包括n型杂质(例如,Si、Ge、Sn),第二导电型半导体层125可包括p型杂质(例如,Mg、Sr、Ba)。并且,也可与上述内容相反。活性层123可包括多量子阱构造(MQW),可调节氮化物类半导体的组成比,以便射出所期望的波长。尤其,在本实施例中,第二导电型半导体层125可为p型半导体层。

[0102] 发光构造体120可包括至少局部地贯通活性层123及第二导电型半导体层125而露出第一导电型半导体层121的至少一个孔120h。孔120h使第一导电型半导体层121局部地露出,孔120h的侧面可由活性层123及第二导电型半导体层125包围。并且,发光构造体120可包括台面120m,所述台面包括活性层123及第二导电型半导体层125。台面120m位于第一导电型半导体层121上。孔120h能够以贯通台面120m的方式形成,由此孔120h可形成为由台面120m包围的形态。然而,本实施例的发光二极管芯片50只要呈通过孔120h露出第一导电型半导体层121的构造,则无限制,也可省略台面120m。

[0103] 接触电极130位于第二导电型半导体层125上。接触电极130可与第二导电型半导体层125欧姆接触。接触电极130可包括透明电极。透明电极例如还可包括如氧化铟锡(Indium Tin Oxide,ITO)、氧化锌(Zinc Oxide,ZnO)、氧化铟锡(Zinc Indium Tin Oxide,ZITO)、氧化铟锌(Zinc Indium Oxide,ZIO)、氧化锌锡(Zinc Tin Oxide,ZTO)、氧化镓铟锡(Gallium Indium Tin Oxide,GITO)、氧化铟镓(Gallium Indium Oxide,GIO)、氧化锌镓(Gallium Zinc Oxide,GZO)、铝掺杂氧化锌(Aluminum doped Zinc Oxide,AZO)、氟掺杂氧化锡(Fluorine Tin Oxide,FTO)等的透光性导电氧化物、及如Ni/Au等的透光性金属层中的至少一种。所述导电性氧化物还可包括各种掺杂剂。

[0104] 尤其,包括透光性导电氧化物的接触电极130与第二导电型半导体层125的欧姆接触效率较高。即,如ITO或ZnO等的导电性氧化物与第二导电型半导体层125的接触电阻低于金属性电极与第二导电型半导体层125的接触电阻,因此通过应用包括导电性氧化物的接触电极130,可减少发光二极管芯片50的顺向电压(V_f)而提高发光效率。尤其,在像本实施例的发光二极管芯片50一样以较低的电流密度驱动的小型发光二极管芯片的情况下,降低接触电极130与第二导电型半导体层125的接触电阻而提高欧姆特性,从而可更有效地提高发光效率。并且,与金属性电极相比,导电性氧化物从氮化物类半导体层剥离(peeling)的概率较低,因此具有包括导电性氧化物的接触电极130的发光二极管芯片50具有较高的可靠性。另一方面,导电性氧化物的水平方向的电流分散效率相对低于金属性电极,但本实施例的发光二极管芯片50具有约65000 μm^2 以下的水平截面积,因此因电流分散效率下降引起的发光效率下降非常小或几乎不会下降。因此,通过将包括导电性氧化物的接触电极130应用到发光二极管芯片50,可提高电性能,提高发光效率。

[0105] 接触电极130的厚度并无限制,但可具有约2000 Å至3000 Å的厚度。例如,包括ITO

的接触电极130可形成约为2400 Å的厚度。由于接触电极130具有上述范围的厚度,因此可使电流顺利地沿水平方向分散而提高发光二极管芯片50的电性能。

[0106] 并且,接触电极130包括使至少一个孔120h露出的第一开口部130a。第一开口部130a的侧面远离至少一个孔120h,能够以包围至少一个孔120h的方式形成。此时,第一开口部130a的尺寸大于孔120h的上部的尺寸。接触电极130以大致覆盖第二导电型半导体层125的上表面整体的方式形成,由此在驱动发光二极管芯片50时,可提高电流分散效率。进而,接触电极130还可包括使第二导电型半导体层125局部地露出的至少一个第二开口部130b。下文将述的第二焊垫电极153以至少局部地填充第二开口部130b的方式形成,由此可增加第二焊垫电极153的接触面积。由此,可有效地防止第二焊垫电极153从接触电极130或发光构造体120剥离。之后更详细地对与此相关的内容进行说明。

[0107] 反光性绝缘层140覆盖发光构造体120的上表面及侧面,并且覆盖接触电极130。并且,反光性绝缘层140能够以延伸至露出在发光构造体120的周边的基板110的上表面的方式形成。由此,反光性绝缘层140可与基板110的上表面相接,因此可更稳定地配置覆盖发光构造体120的侧面的反光性绝缘层140。然而,反光性绝缘层140不形成延伸至基板110的上部棱角部分,露出基板110的上部棱角的周边的上表面。并且,反光性绝缘层140可包括使露出在至少一个孔120h的第一导电型半导体层121局部地露出的第三开口部140a、及使接触电极130局部地露出的第四开口部140b。

[0108] 反光性绝缘层140的第三开口部140a使露出在至少一个孔120h的第一导电型半导体层121局部地露出。此时,由反光性绝缘层140覆盖孔120h的侧面而防止电气短路。第三开口部140a可用作容许第一导电型半导体层121与第一焊垫电极151的电连接的通路。反光性绝缘层140的第四开口部140b使接触电极130局部地露出。第四开口部140b可用作容许接触电极130与第二焊垫电极153的电连接的通路。另一方面,在一些实施例中,第四开口部140b与接触电极130的第二开口部130b的位置对应而定位。此时,第四开口部140b的尺寸大于第二开口部130b的尺寸,由此在第四开口部140b局部地露出接触电极130的上表面。

[0109] 反光性绝缘层140可包括分布布拉格反射器。所述分布布拉格反射器能够以折射率不同的介电体层反复积层的方式形成,例如所述介电体层可包括 TiO_2 、 SiO_2 、 HfO_2 、 ZrO_2 、 Nb_2O_5 、 MgF_2 等。在一些实施例中,反光性绝缘层140可呈交替地积层的 TiO_2 层/ SiO_2 层构造。分布布拉格反射器的各层可具有特定波长的1/4的光学厚度,可形成4对至20对(pairs)。反光性绝缘层140的最上部层可由 SiN_x 形成。由 SiN_x 形成的层的防湿性优异,可保护发光二极管芯片免受湿气的影响。

[0110] 在反光性绝缘层140包括分布布拉格反射器的情况下,反光性绝缘层140的最下部层可发挥可提高分布布拉格反射器的膜质的底层或界面层的作用。如图3的放大图所示,反光性绝缘层140可包括具有相对较厚的厚度的界面层141、及位于界面层141上的折射率不同的介电体层的积层构造143。例如,反光性绝缘层140可包括约0.2 μm 至1.0 μm 厚度的由 SiO_2 形成的界面层141、及在界面层141上按照特定周期反复积层 TiO_2 层/ SiO_2 层而成的积层构造143。

[0111] 所述分布布拉格反射器可具有较高的可见光反射率。所述分布布拉格反射器能够以如下方式设计:入射角为0~60°,对波长为400~700nm的光具有90%以上的反射率。可通过对形成分布布拉格反射器的多个介电体层的种类、厚度、积层周期等进行控制而提供具

有上述反射率的分布布拉格反射器。由此,可形成对相对长波长的光(例如,550nm至700nm)及相对短波长的光(例如,400nm至550nm)具有较高的反射率的分布布拉格反射器。

[0112] 如上所述,所述分布布拉格反射器可包括多重积层构造,以便分布布拉格反射器对较广的波段的光具有较高的反射率。即,所述分布布拉格反射器可包括具有第一厚度的介电体层积层而成的第一积层构造、及具有第二厚度的介电体层积层而成的第二积层构造。例如,所述分布布拉格反射器可包括具有小于相对于可见光的中心波长(约550nm)的光为 $1/4$ 的光学厚度的厚度的介电体层积层而成的第一积层构造、及具有厚于相对于可见光的中心波长(约550nm)的光为 $1/4$ 的光学厚度的厚度的介电体层积层而成的第二积层构造。进而,所述分布布拉格反射器还可包括第三积层构造,所述第三积层构造是具有厚于相对于可见光的中心波长(约550nm)的光为 $1/4$ 的光学厚度的厚度的介电体层、与具有薄于相对于所述光为 $1/4$ 的光学厚度的厚度的介电体层反复积层而成。

[0113] 反光性绝缘层140可局部地覆盖基板110的上表面露出的部分。此时,反光性绝缘层140可局部地覆盖基板110的上表面露出的部分的突出部110p。如图3的放大图所示,反光性绝缘层140可覆盖露出的突出部110p的一部分。覆盖基板110的上表面的反光性绝缘层140的表面可具有与基板110的表面大致相似的表面分布。反光性绝缘层140以覆盖基板110的所露出的突出部110p的方式形成,由此可反射因露出的突出部110p散射的光而提高发光二极管芯片50的发光效率。

[0114] 在几乎覆盖发光构造体120的上表面及侧面整体的反光性绝缘层140的分布布拉格反射器反射光,由此可提高所述发光二极管芯片50的发光效率。尤其,透射包括可提高发光二极管芯片50的电性能的导电性氧化物的接触电极130的光可在反光性绝缘层140反射而向基板110的下部射出。并且,反光性绝缘层140以覆盖至发光构造体120的侧面的方式形成,因此朝向发光构造体120的侧面的光也在反光性绝缘层140反射而向基板110的下部射出。并且,发光构造体120周边的基板110的上表面露出,由此反光性绝缘层140与基板110的上表面相接而更稳定地覆盖发光构造体120的侧面,从而可将通过发光构造体120的侧面而损失的光最小化。

[0115] 另一方面,在反光性绝缘层140与基板110的上表面相接的情况下,基板110的上部棱角周边的上表面也露出。即,基板110的上部棱角与反光性绝缘层140隔开。由此,在分割晶片而形成多个发光二极管芯片50的过程中,防止在基板110的分割过程(例如,通过内部加工切割、刻划和/或断裂进行的基板110分割)中因激光等引起的反光性绝缘层140的损伤(例如,剥离、破裂等)。尤其,在反光性绝缘层140包括分布布拉格反射器的情况下,如果反光性绝缘层140受损,则光反射率会下降。根据本实施例,可防止因这种反光性绝缘层140的损伤引起的发光效率下降。在下文将述的实施例中更详细地对与此相关的内容进行说明。

[0116] 第一焊垫电极151及第二焊垫电极153位于反光性绝缘层140上。第一焊垫电极151可通过第三开口部140a而与第一导电型半导体层121欧姆接触,第二焊垫电极153可通过第四开口部140b而与接触电极130电连接。在接触电极130包括第二开口部130b的情况下,第二焊垫电极153可与第二导电型半导体层125接触。然而,在此情况下,第二焊垫电极153与第二导电型半导体层125间的接触电阻高于第二焊垫电极153与接触电极130间的接触电阻,因此通过第二焊垫电极153导通的电流流向接触电极130的概率较高。例如,第二焊垫电极153与第二导电型半导体层125可形成肖特基接触。因此,可将会因第二焊垫电极153与第

第二导电型半导体层125接触而发生的电流密集(current crowding)最小化。

[0117] 第一焊垫电极151及第二焊垫电极153分别可具有与形成所述第一焊垫电极151及第二焊垫电极153的部分的下部面的表面分布对应的上表面分布。由此,第一焊垫电极151可包括位于第三开口部140a上的凹部151a,第二焊垫电极153可包括位于第四开口部140b上的凹部153a。如上所述,在第一焊垫电极151及第二焊垫电极153的下部形成具有阶差的表面,从而第一焊垫电极151与第二焊垫电极153的接触面积会增加,在接触的部分产生阶差而防止第一焊垫电极151及第二焊垫电极153剥离。尤其,在接触电极130包括第二开口部130b的情况下,第二焊垫电极153形成具有棱部的凹部153a,可更有效地防止第二焊垫电极153剥离。

[0118] 另一方面,可相对非常小地形成第一焊垫电极151与第二焊垫电极153的最短隔开距离D1,例如可为约 $3\mu\text{m}$ 至约 $20\mu\text{m}$ 。可稳定地形成覆盖发光构造体120的侧面的反光性绝缘层140,故而如下文将述的实施例中所说明,能够以覆盖至发光二极管芯片50的侧面的方式形成将发光二极管芯片50接合到第二基板1000的接合部211、213。由此,无需确保由第一焊垫电极151与第二焊垫电极153的最短隔开距离D1产生的工序范围,因此可将第一焊垫电极151与第二焊垫电极153的最短隔开距离D1减小为最小限度。并且,以较低的电流密度驱动本实施例的小型发光二极管芯片50,因此可更减小第一焊垫电极151与第二焊垫电极153的最短隔开距离。通过将第一焊垫电极151与第二焊垫电极153的最短隔开距离D1形成成为上述范围,可提高发光二极管芯片50的散热效率。此时,第一焊垫电极151的面积与第二焊垫电极153的面积之和可为发光二极管芯片50的水平截面积的约80%以上且95%以上。

[0119] 图4是用以说明本发明的又一实施例的发光装置的剖面图。

[0120] 参照图4,所述发光装置包括第二基板1000、位于第二基板1000上的发光二极管芯片50、第一接合部211及第二接合部213。

[0121] 第二基板1000可提供安装发光二极管芯片50的区域,例如可为发光二极管封装体的基板或发光模块的基板等。第二基板1000可包括基底310及位于基底310上的第一导电性图案321及第二导电性图案323。第二基板1000可包括导电性基板、绝缘性基板或印刷电路板(PCB)。例如,如图所示,第二基板1000可包括:绝缘性基底310;及第一导电性图案321及第二导电性图案323,位于基底310上,彼此电隔离。例如,第一导电性图案321与第二导电性图案323可按照隔开距离D3彼此隔开而电绝缘。此时,第一导电性图案321及第二导电性图案323可分别电连接到发光二极管芯片50的第一焊垫电极151及第二焊垫电极153。然而,本发明并不限于此,第二基板1000只要具有如下构造,则无限制:提供安装发光二极管芯片50的区域,可与发光二极管芯片50电连接。

[0122] 发光二极管芯片50位于第二基板1000上,与第二基板1000电连接。发光二极管芯片50可为参照图1至图3进行说明的各实施例的发光二极管芯片50。

[0123] 第一接合部211及第二接合部213位于发光二极管芯片50与第二基板1000之间而将发光二极管芯片50接合到第二基板1000,并且彼此电连接。第一接合部211可与发光二极管芯片50的第一焊垫电极151接触,且与第二基板1000的第一导电性图案321接触。与此相似,第二接合部213可与发光二极管芯片50的第二焊垫电极153接触,且与第二基板1000的第二导电性图案323接触。第一接合部211及第二接合部213只要为将发光二极管芯片50与第二基板1000电连接且彼此接合的物质,则无限制,例如可包括焊料。

[0124] 并且,第一接合部211及第二接合部213中的至少一个可与发光二极管芯片50的侧面的至少一部分接触。在一实施例中,第一接合部211及第二接合部213中的至少一个可覆盖将发光构造体120的侧面覆盖的反光性绝缘层140的侧面的至少一部分,进而可覆盖露出在发光构造体120的周边的基板110的下表面的至少一部分,进而还可覆盖基板110的侧面的至少一部分。

[0125] 如上所述,第一接合部211及第二接合部213中的至少一个以与发光二极管芯片50的侧面的至少一部分接触的方式形成,由此第一接合部211与第二接合部213间的最短隔开距离D2会小于第一焊垫电极151与第二焊垫电极153间的最短隔开距离D1。因此,即便较小地形成最短隔开距离D1(例如,约 $3\mu\text{m}$ 至 $20\mu\text{m}$),也可较最短隔开距离D1更大地形成最短隔开距离D2,因此在安装发光二极管芯片50时,可防止发生电气短路。尤其,发光二极管芯片50的反光性绝缘层140稳定地覆盖发光构造体120的侧面,因此即便第一接合部211和/或第二接合部213与发光二极管芯片50的侧面接触,也不会产生电气问题。尤其,反光性绝缘层140以延伸至基板110的所露出的上表面的方式形成,因此可更稳定地绝缘发光构造体120的侧面,从而防止由接合部211、213与发光构造体120的侧面发生的电气短路。并且,接合部211、213与发光二极管芯片50接触的面积增加而可更稳定地安装发光二极管芯片50,从而可提高发光装置的机械稳定性。进而,可减小接合部211、213介置到发光二极管芯片50与第二基板1000之间的厚度(即,发光二极管芯片50与第二基板1000之间的隔开距离),因此可将发光装置更小型化及薄型化。

[0126] 图5a至图10b是用以说明本发明的又一实施例的发光二极管芯片50的制造方法的俯视图及剖面图。

[0127] 省略与在上述实施例中说明的构成实质上相同的构成的详细说明。并且,在下文将述的实施例的图中,表示制造两个发光二极管芯片50的方法,但本发明并不限于此。在制造单个发光二极管芯片50的情况、及在大面积的晶片上形成三个以上的多个发光二极管芯片50的情况下,也可应用下文将述的实施例的发光二极管芯片50的制造方法。在各图中,线L1定义为单元元件区域UD1的边界线。即,两侧的发光构造体120以线L1为基准而分离,从而可制造两个发光二极管芯片50。并且,各剖面图表示与对应的俯视图中的B-B'线对应的部分的剖面。例如,在图5b中表示与图5a的B-B'线对应的部分的剖面。

[0128] 参照图5a及图5b,在基板110上形成发光构造体120。发光构造体120通常可利用已知的各种方法生长,例如可利用有机金属化学气相沉积(Metal Organic Chemical Vapor Deposition, MOCVD)、分子束磊晶(Molecular Beam Epitaxy, MBE)或氢化物气相磊晶(Hydride Vapor Phase Epitaxy, HVPE)等技术生长。

[0129] 其次,参照图6a至图7b,在发光构造体120形成至少一个孔120h及接触电极130。进而,局部地去除发光构造体120而形成使基板110的上表面露出的隔离槽120i。

[0130] 具体而言,首先参照图6a及图6b,在发光构造体120上形成接触电极130。

[0131] 接触电极130可形成到发光构造体120的第二导电型半导体层125上而与第二导电型半导体层125形成欧姆接触。接触电极130可包括透光性导电氧化物和/或透光性金属。例如,形成接触电极130可包括利用如溅镀和/或电磁性蒸镀的蒸镀方法在第二导电型半导体层125上形成ITO。然而,本发明并不限于此,形成接触电极130可包括形成如ZnO等的其他各种透光性导电氧化物,可根据导电性氧化物的种类而应用各种制造工序。

[0132] 接着,参照图7a及图7b,将发光构造体120图案化而形成贯通第二导电型半导体层125及活性层123的至少一个孔120h。进而,将发光构造体120图案化而形成贯通第二导电型半导体层125、活性层123及第一导电型半导体层121而使基板110的上表面露出的隔离槽120i。例如可利用干式蚀刻和/或湿式蚀刻工序将发光构造体120图案化。

[0133] 发光构造体120通过隔离槽120i而分割成位于各单位元件区域UD1上的多个发光构造体120。因此,可沿线L1形成隔离槽120i。如上所述,形成隔离槽120i而将发光构造体120分割成位于多个单位元件区域UD1上的多个发光构造体120,由此可缓和因基板110与发光构造体120间的热膨胀系数差产生的应力。由此,可减少在制造发光二极管芯片50时发生的晶片的弯曲(bowing)。

[0134] 可将接触电极130图案化,将接触电极130图案化可包括形成使至少一个孔120h露出的第一开口部130a。进而,将接触电极130图案化还可包括形成使第二导电型半导体层125局部地露出的第二开口部130b。例如可利用干式蚀刻和/或湿式蚀刻工序将接触电极130图案化。

[0135] 在上述实施例中,说明为首先形成接触电极130后将发光构造体120图案化,但本发明并不限于此。在各实施例中,也可首先将发光构造体120图案化后,在第二导电型半导体层125上形成接触电极130。

[0136] 接着,参照图8a及图8b,形成反光性绝缘层140,所述反光性绝缘层覆盖发光构造体120的上表面及侧面,包括第三开口部140a及第四开口部140b。

[0137] 形成反光性绝缘层140可包括形成折射率不同的物质交替地积层而成的分布布拉格反射器。例如,形成反光性绝缘层140可包括利用如溅镀的公知的蒸镀方法交替地反复积层 SiO_2 层及 TiO_2 层。并且,形成反光性绝缘层140可包括形成覆盖发光构造体120的上表面、侧面及隔离槽120i的分布布拉格反射器,将所述分布布拉格反射器图案化而形成第三开口部140a及第四开口部140b,并且使隔离槽120i的基板110的上表面露出。因此,覆盖一单位元件区域UD1的发光构造体120的反光性绝缘层140与覆盖相邻的另一单位元件区域UD1的发光构造体120的反光性绝缘层140彼此隔开。

[0138] 其次,参照图9a及图9b,可在反光性绝缘层140上形成第一焊垫电极151及第二焊垫电极153。

[0139] 第一焊垫电极151可通过反光性绝缘层140的第三开口部140a而与第一导电型半导体层121接触,且可欧姆接触。与此相似,第二焊垫电极153可通过反光性绝缘层140的第四开口部140b而与接触电极130接触及电连接。第一焊垫电极151及第二焊垫电极153可由同一工序一并形成,例如,可在通过蒸镀和/或镀敷工序而形成后,利用光蚀刻技术或剥离(lift off)技术而图案化。

[0140] 接着,参照图10a及图10b,可通过去除基板110的一部分110a而减小基板110的厚度。由此,多个单位元件区域UD1的厚度会变薄成厚度T1。此后,沿线L1分割基板110,由此可提供如图1至图3所示的多个发光二极管芯片50。

[0141] 去除基板110的一部分110a可包括通过物理和/或化学方法局部地去除基板110。例如,可利用磨削、研磨等方法局部地去除基板110。如果减小基板110的厚度,则在因热膨胀系数差而晶片弯曲的状态下支撑晶片的基板110变薄,从而应力增加。因此,施加到发光构造体120的应力增加而发光构造体120产生损伤的可能性较高。但是,根据本实施例,在减

小基板110的厚度前,形成将发光构造体120分割成多个发光构造体120的隔离槽120i,由此可缓和弯曲、缓和应力而防止会因基板110的厚度减小引起的发光构造体120的损伤。尤其,会因尺寸相对较小的单位元件区域UD1而应力更减小,因此各单位元件区域UD1的厚度可减小为约90 μm 以下的厚度。

[0142] 沿线L1分割基板110可包括通过刻划及断裂工序分离基板110。此时,刻划工序可包括利用内部加工激光(例如,隐形激光)对基板110进行内部加工。此时,在利用内部加工激光的情况下,会在基板110的至少一侧面形成呈沿水平方向延伸的带形状的至少一个改质区域111。

[0143] 根据本实施例,沿线L1形成隔离槽120i,反光性绝缘层140以露出隔离槽120i的方式彼此隔开。由此,反光性绝缘层140不会在分割基板110的过程中因激光等而受到影响或受损,因此可防止因反光性绝缘层140产生的反光性绝缘层140的损伤(例如,剥离、破裂等)。尤其,在反光性绝缘层140包括分布布拉格反射器的情况下,如果反光性绝缘层140受损,则光反射率会下降。根据本实施例的制造方法,可防止因这种反光性绝缘层140的损伤而所制造的发光二极管芯片50的发光效率下降。

[0144] 上述实施例的发光二极管芯片50及发光装置包括基板110的上表面露出的部分而减少发光二极管芯片50在制造过程中的晶片弯曲。由此,晶片弯曲的程度较小,因此可像上述内容一样减小基板110的厚度,可提高发光二极管芯片50的制造产率。因此,提供一种实现小型化及薄型化且可靠性较高的发光二极管芯片50及发光装置。并且,反光性绝缘层140以覆盖发光构造体120的侧面且更覆盖至基板110的所露出的上表面、尤其基板110的突出部110p的方式延伸形成,由此可提高发光二极管芯片50的发光效率。并且,接合部211、213可通过这种反光性绝缘层140而覆盖至发光二极管芯片50的侧面,因此发光装置可实现小型化,可提高发光装置的机械稳定性。

[0145] 如上所述,实施例的发光装置的机械稳定性及发光效率优异且实现小型化及薄型化,因此可有利地应用到便携式电子装置。作为一例,可将所述发光装置或发光二极管芯片50应用到要求较薄的厚度的纸写板(paper writing board)。作为又一例,在将所述发光装置应用到如键盘的输入装置的情况下,可位于所述发光装置的小键盘的下方而使小键盘发光。在这种输入装置中,小键盘接收反复的外部应力(例如,用以进行输入的加压)。并且,便携式输入装置要求较薄的厚度及较小的尺寸。实施例的发光装置实现小型化及薄型化,因此适于薄型的便携式输入装置,且机械稳定性优异而发光装置因键盘的动作(例如,施加到小键盘的压力)发生不良的概率非常小。

[0146] 图11至图13是用以说明本发明的一实施例的发光二极管芯片的俯视图,具体而言,图11表示发光二极管芯片100的平面,图12是为了便于说明而省略发光二极管芯片100的第一焊垫电极151及第二焊垫电极153的俯视图,图13是为了便于说明而省略发光二极管芯片100的第一焊垫电极151、第二焊垫电极153及反光性绝缘层140的俯视图。图14及图15是用以说明本发明的一实施例的发光二极管芯片的剖面图,具体而言,图14表示与图11至图13的A-A'线对应的部分的剖面,图15表示与图11至图13的B-B'线对应的部分的剖面。图16是用以说明本发明的实施例的发光二极管芯片的电流路径的俯视图。为了避免重复说明,在以下说明中可省略与上述实施例中所说明的构成相似或实质上相同的构成的说明。

[0147] 参照图11至图15,实施例的发光二极管芯片100包括基板110、发光构造体120、反

光性绝缘层140、第一焊垫电极151及第二焊垫电极153。并且,发光二极管芯片100还可包括接触电极130。

[0148] 发光二极管芯片100可为具有较小的水平面积的小型发光二极管芯片。发光二极管芯片100可具有约 $70000\mu\text{m}^2$ 以下的水平截面积,进而可具有约 $30000\mu\text{m}^2$ 以上且约 $70000\mu\text{m}^2$ 以下的水平截面积。例如,发光二极管芯片100可具有 $310\mu\text{m}\times 180\mu\text{m}$ 或 $330\mu\text{m}\times 200\mu\text{m}$ 的尺寸。然而,实施例的发光二极管芯片100的横长及纵长并不限定于上述内容。并且,发光二极管芯片100可为具有较薄的厚度的小型发光二极管芯片。发光二极管芯片100可具有约 $90\mu\text{m}$ 以下的厚度T1,进而可具有约 $40\mu\text{m}$ 以上且 $90\mu\text{m}$ 以下的厚度T1,例如可具有约 $80\mu\text{m}$ 的厚度T1。本实施例的发光二极管芯片100具有上述水平截面积及厚度,因此可将所述发光二极管芯片100容易地应用到要求小型和/或薄型的发光装置的各种电子装置。并且,能够以 $5\text{mA}/\text{mm}^2$ 以上且 $400\text{mA}/\text{mm}^2$ 以下的电流密度驱动发光二极管芯片100。由于以这种电流密度驱动发光二极管芯片100,因此所述发光二极管芯片100可适用于要求经小型及薄型化的发光二极管芯片或发光装置的应用装置。

[0149] 基板110可为绝缘性基板或导电性基板。基板110可为用以使发光构造体120生长的生长基板,可包括蓝宝石基板、碳化硅基板、硅基板、氮化镓基板、氮化铝基板等。并且,基板110可包括形成在其上表面的至少一部分区域的多个突出部110p。

[0150] 进而,基板110可包括呈从基板110的至少一侧面沿水平方向延伸的带形状的至少一个改质区域111。改质区域111会在分割基板110而将元件单体化的过程中形成。例如,在通过利用内部加工方法对单体化前的基板110进行内部加工而分割基板后,会在基板110的侧面形成改质区域111。作为内部加工方法,可使用内部加工激光、即隐形(stealth)激光。可通过所述内部加工激光在基板110的内部形成刻划面,可沿刻划面分割基板110。另一方面,在图14及图15的剖面图中,像形成在基板110的内部一样表示改质区域111,但这种表示方式是为了便于说明,改质区域111可像上述内容一样形成到基板110的至少一侧面。

[0151] 此时,从改质区域111至基板110的上部面的距离T2可小于从改质区域111至基板110的下部面的距离T4。并且,改质区域111的厚度T3可大于距离T4。例如,距离T2可为约 $30\mu\text{m}$ 至 $35\mu\text{m}$,厚度T3可为约 $15\mu\text{m}$ 至 $20\mu\text{m}$,距离T4可为约 $20\mu\text{m}$ 至 $25\mu\text{m}$ 。

[0152] 在考虑向发光二极管芯片100的侧面出射的光时,倾向于基板110的下方侧进行激光加工而相对倾向于下部形成所述改质区域111,由此可提高在发光构造体120形成的光向外部的抽出效率。

[0153] 另一方面,如果以接近发光构造体120的方式形成改质区域111,则氮化物类半导体在激光加工工序中受损而电性能产生问题。尤其,在执行利用激光加工的内部加工的部分距氮化物类半导体约 $40\mu\text{m}$ 以下的情况下,位于执行内部加工的部分的上部的半导体部分会受损。相反地,在本实施例的发光二极管芯片100的情况下,可在分割基板110前将发光构造体120单体化(isolation)而使基板110的上表面露出,在所述基板110的上表面露出的部分的下方执行内部加工。因此,可在利用激光的内部加工中,防止氮化物类半导体、即发光构造体120受损。由此,可较小地形成从改质区域111至基板110的上部面的距离T2,如上所述,距离T2可具有约 $30\mu\text{m}$ 至 $35\mu\text{m}$ 的范围的厚度。如上所述,可减小距离T2,因此可与基板110的上部面较近地形成改质区域111,因此可更减小基板110的厚度,从而可将发光二极管芯片100更薄型化。

[0154] 发光构造体120位于基板110上。并且,发光构造体120的下表面的面积可小于基板110的上表面的面积,由此可在发光构造体120周边的至少一部分区域露出基板110的上表面。发光构造体120周边的所露出的区域称为分离(Isolation)区域。基板110的上表面的多个突出部110p中的一部分位于发光构造体120与基板110之间,未由发光构造体120覆盖的多个突出部110p露出到发光构造体120的周边。

[0155] 通过在发光构造体120周边的分离区域露出基板110的上表面,可减少发光二极管芯片100在制造过程中的弯曲(bowing)。由此,可防止因弯曲引起的发光构造体120的损伤而提高发光二极管芯片的制造产率。并且,所述弯曲减少而可减小施加到发光构造体120的应力,从而可更薄地加工基板110的厚度。由此,可提供具有约90 μm 以下的较薄的厚度的经薄型化的发光二极管芯片100。与此相关,在下文将述的实施例中更详细地对发光二极管芯片的制造方法进行说明。

[0156] 发光构造体120包括第一导电型半导体层121、位于第一导电型半导体层121上的第二导电型半导体层125、位于及第一导电型半导体层121与第二导电型半导体层125之间的活性层123。第一导电型半导体层121、活性层123及第二导电型半导体层125可包括III-V氮化物类半导体,例如,可包括如(Al、Ga、In)N的氮化物类半导体。第一导电型半导体层121可包括n型杂质(例如,Si、Ge、Sn),第二导电型半导体层125可包括p型杂质(例如,Mg、Sr、Ba)。并且,也可与上述内容相反。活性层123可包括多量子阱构造(MQW),可调节氮化物类半导体的组成比,以便射出所期望的波长。尤其,在本实施例中,第二导电型半导体层125可为p型半导体层。

[0157] 第一导电型半导体层121可具有垂直的侧面,也可像图14所示一样具有倾斜的侧面。进而,所述倾斜的侧面的倾斜角可较图14所示的倾斜角更平缓。例如,所述倾斜的侧面也可相对于基板110的底面平缓为约40度以下。通过平缓地形成第一导电型半导体层121的侧面,可防止在覆盖发光构造体120及基板110的反光性绝缘层140产生如龟裂的缺陷。

[0158] 并且,发光构造体120包括台面120m。台面120m可位于第一导电型半导体层121的一部分区域上,包括活性层123及第二导电型半导体层125。因此,可在台面120m的周边露出第一导电型半导体层121的一部分。并且,台面120m的侧面可大致沿发光二极管芯片100的侧面定位,由此台面120m的平面形状可呈与发光二极管芯片100的平面形状相似的形态。例如,台面120m可呈长方形的平面形状。然而,本发明并不限于此。并且,台面120m可包括第一侧面120a、与第一侧面120a相反地定位的第三侧面120c、第二侧面120b及与第二侧面120b相反地定位的第四侧面120d。

[0159] 台面120m可包括第一部分120m₁及第二部分120m₂。台面120m的第一部分120m₁包括从台面120m的侧面凹陷而形成的至少一个沟槽120g。在一实施例中,台面120m可包括多个沟槽120g,多个沟槽120g可形成到第一部分120m₁的至少三个侧面。如图所示,多个沟槽120g可分别形成到第二侧面120b、第三侧面120c及第四侧面120d。沟槽120g可提供第一焊垫电极151与第一导电型半导体层121电接触的区域,进而可提供欧姆接触的区域。

[0160] 并且,沟槽120g可形成为从台面120m的一侧面越朝向台面120m的中心部则宽度越减小的形态。由此,在下文将述的第一焊垫电极151覆盖沟槽120g的侧面而形成时,可更稳定地形成第一焊垫电极151,因此可防止第一焊垫电极151从反光性绝缘层140剥离。然而,沟槽120g的形态并不限于此,沟槽120g的侧面可包括平面和/或曲面。在一实施例中,可

规则地配置沟槽120g。例如,如图所示,一个沟槽120g以几乎位于第三侧面120c的中间部分的方式形成,位于第二侧面120b及第四侧面120d的沟槽120g能够以位于同一线上的方式(例如,沟槽120g的中心沿B-B'线定位)配置。由此,沟槽120g能够以如下方式形成:以从台面120m的第一侧面120a向第三侧面120c延伸的特定的直线(假想线)为基准而对称。如图所示,在一实施例中,沟槽120g可配置为以A-A'线为基准而对称,进而,台面120m的平面形状也可呈以A-A'线为基准而对称的形态。通过对称构造,可实现对称的发光图案。

[0161] 台面120m包括像上述内容一样配置的沟槽120g,由此提供通过沟槽120g形成的第一导电型半导体层121与第一焊垫电极151的接触区域。并且,形成沟槽120g可将因形成所述接触区域引起的发光面积减少最小化,提高电流分散效率。与此相关,在以下参照图16更详细地进行说明。

[0162] 接触电极130位于第二导电型半导体层125上。接触电极130可与第二导电型半导体层125欧姆接触。接触电极130可包括透明电极。透明电极例如还可包括如氧化铟锡(Indium Tin Oxide,ITO)、氧化锌(Zinc Oxide,ZnO)、氧化铟锡(Zinc Indium Tin Oxide,ZITO)、氧化铟锌(Zinc Indium Oxide,ZIO)、氧化锌锡(Zinc Tin Oxide,ZTO)、氧化镓铟锡(Gallium Indium Tin Oxide,GITO)、氧化铟镓(Gallium Indium Oxide,GIO)、氧化镓锌(Gallium Zinc Oxide,GZO)、铝掺杂氧化锌(Aluminum doped Zinc Oxide,AZO)、氟掺杂氧化锡(Fluorine Tin Oxide,FTO)等的透光性导电氧化物、及如Ni/Au等的透光性金属层中的至少一种。所述导电性氧化物还可包括各种掺杂剂。

[0163] 尤其,包括透光性导电氧化物的接触电极130与第二导电型半导体层125的欧姆接触效率较高。即,如ITO或ZnO等的导电性氧化物与第二导电型半导体层125的接触电阻低于金属性电极与第二导电型半导体层125的接触电阻,因此通过应用包括导电性氧化物的接触电极130,可减小发光二极管芯片100的顺向电压(V_f)而提高发光效率。尤其,在像本实施例的发光二极管芯片100一样以较低的电流密度驱动的小型发光二极管芯片的情况下,降低接触电极130与第二导电型半导体层125的接触电阻而提高欧姆特性,由此可更有效地提高发光效率。并且,导电性氧化物从氮化物类半导体层剥离(peeling)的概率小于金属性电极,因此具有包括导电性氧化物的接触电极130的发光二极管芯片100具有较高的可靠性。另一方面,导电性氧化物沿水平方向的电流分散效率相对低于金属性电极,但本实施例的发光二极管芯片100具有约 $70000\mu\text{m}^2$ 以下的水平截面积,因此因电流分散效率下降引起的发光效率下降非常小或几乎不会下降。因此,通过将包括导电性氧化物的接触电极130应用到发光二极管芯片100,可提高电性能,提高发光效率。

[0164] 接触电极130的厚度并无限制,可具有约2000 Å至3000 Å的厚度。例如,包括ITO的接触电极130可形成为约2400 Å的厚度。由于接触电极130具有上述范围的厚度,因此可使电流顺利地沿水平方向分散而提高发光二极管芯片100的电性能。

[0165] 接触电极130以大致覆盖第二导电型半导体层125的上表面整体的方式形成,由此在驱动发光二极管芯片100时,可提高电流分散效率。例如,接触电极130的侧面可沿台面120m的侧面形成。并且,接触电极130包括使第二导电型半导体层125局部地露出的开口部130b。下文将述的第二焊垫电极153以至少局部地填充开口部130b的方式形成,由此可增加第二焊垫电极153的接触面积。由此,可有效地防止第二焊垫电极153从接触电极130或发光构造体120剥离。

[0166] 反光性绝缘层140覆盖发光构造体120的上表面及侧面,并且覆盖接触电极130。并且,反光性绝缘层140能够以延伸至露出在发光构造体120的周边的基板110的上表面的方式形成。由此,反光性绝缘层140可与基板110的上表面相接,因此可更稳定地配置覆盖发光构造体120的侧面的反光性绝缘层140。并且,反光性绝缘层140可延伸至基板110的上部棱角部分而形成。覆盖基板110的所露出的上表面的反光性绝缘层140可沿基板110的突出部110p形成,因此如图14的放大图所示,覆盖基板110的上表面的反光性绝缘层140的表面可具有凹部及凸部。

[0167] 反光性绝缘层140具有使第一导电型半导体层121局部地露出的第三开口部140a、及位于台面120m的上部的第四开口部140b。然而,本发明并不限于此,反光性绝缘层140也可局部地覆盖基板110的上表面而露出基板110的一部分上表面。

[0168] 另一方面,反光性绝缘层140的第三开口部140a可至少局部地使通过沟槽120g露出的第一导电型半导体层121露出。此时,由反光性绝缘层140覆盖沟槽120g的侧面而防止因第一焊垫电极151与发光构造体120的侧面接触引起的电气短路。第三开口部140a可用作容许第一导电型半导体层121与第一焊垫电极151的电连接的通路。

[0169] 然而,第三开口部140a连同由第一焊垫电极151覆盖的第一区域140a1一并具有露出到第一焊垫电极151的外部第二区域140a2。由此,通过第三开口部140a露出的区域的至少一部分可包括第一焊垫电极151与第一导电型半导体层121电连接、进而欧姆接触的第一接触区域151c。第三开口部140a可形成为与沟槽120g大致相似的形态。

[0170] 反光性绝缘层140的第四开口部140b位于台面120m的上部。第四开口部140b可使接触电极130局部地露出。第四开口部140b可用作容许接触电极130与第二焊垫电极153的电连接的通路。另一方面,在一些实施例中,第四开口部140b与接触电极130的开口部130b的位置对应而定位。此时,第四开口部140b的尺寸大于接触电极130的开口部130b的尺寸,由此在第四开口部140b局部地露出接触电极130的上表面。通过第四开口部140b露出的接触电极130的至少一部分区域可与第二焊垫电极153电连接。因此,接触电极130可包括接触电极130与第二焊垫电极153电连接的第二接触区域153c。

[0171] 反光性绝缘层140可包括透光性绝缘性物质,例如可包括 SiO_2 、 SiN_x 、 MgF_2 等。并且,反光性绝缘层140可具有厚于接触电极130的厚度。由此,反光性绝缘层140可提供足以使通过所述绝缘层的光可在第一焊垫电极151及第二焊垫电极153反射而透射的厚度。在本实施例中,反光性绝缘层140可包括 SiO_2 ,例如可具有约540nm的厚度。

[0172] 在一些实施例中,反光性绝缘层140还可包括分布布拉格反射器。所述分布布拉格反射器能够以折射率不同的介电体层反复积层的方式形成,所述介电体层可包括 TiO_2 、 SiO_2 、 HfO_2 、 ZrO_2 、 Nb_2O_5 、 MgF_2 等。例如,反光性绝缘层140可具有交替地积层的 TiO_2 层/ SiO_2 层的构造。分布布拉格反射器的各层可具有特定波长的1/4的光学厚度,可形成为4对至20对(pairs)。反光性绝缘层140的最上部层可由 SiN_x 形成。由 SiN_x 形成的层的防湿性优异,可保护发光二极管芯片免受湿气的影响。

[0173] 在反光性绝缘层140包括分布布拉格反射器的情况下,反光性绝缘层140可包括约0.2 μm 至1.0 μm 厚度的由 SiO_2 形成的界面层、及在所述界面层上按照特定周期反复积层 TiO_2 层/ SiO_2 层而成的积层构造。所述分布布拉格反射器可具有较高的可见光反射率。所述分布布拉格反射器能够以如下方式设计:入射角为0~60°,对波长为400~700nm的光具有90%

以上的反射率。可通过对形成分布布拉格反射器的多个介电体层的种类、厚度、积层周期等进行控制而提供具有上述反射率的分布布拉格反射器。由此,可形成对相对长波长的光(例如,550nm至700nm)及相对短波长的光(例如,400nm至550nm)具有较高的反射率的分布布拉格反射器。

[0174] 如上所述,所述分布布拉格反射器可包括多重积层构造,以便分布布拉格反射器对较广的波段的光具有较高的反射率。即,所述分布布拉格反射器可包括具有第一厚度的介电体层积层而成的第一积层构造、及具有第二厚度的介电体层积层而成的第二积层构造。例如,所述分布布拉格反射器可包括具有小于相对于可见光的中心波长(约550nm)的光为 $1/4$ 的光学厚度的厚度的介电体层积层而成的第一积层构造、及具有厚于相对于可见光的中心波长(约550nm)的光为 $1/4$ 的光学厚度的厚度的介电体层积层而成的第二积层构造。进而,所述分布布拉格反射器还可包括第三积层构造,所述第三积层构造是具有厚于相对于可见光的中心波长(约550nm)的光为 $1/4$ 的光学厚度的厚度的介电体层、与具有薄于相对于所述光为 $1/4$ 的光学厚度的厚度的介电体层反复积层而成。

[0175] 第一焊垫电极151及第二焊垫电极153位于反光性绝缘层140上,分别位于台面120m的第一部分 $120m_1$ 及第二部分 $120m_2$ 上。进而,第一焊垫电极151及第二焊垫电极153可分别与台面120m的第一侧面120a及第三侧面120c邻接而定位。第一焊垫电极及第二焊垫电极153各自的至少一部分位于台面120m上,尤其第一焊垫电极151可通过反光性绝缘层140而与台面120m的上表面及侧面绝缘。并且,第一焊垫电极151覆盖第三开口部140a的第一区域140a1,远离第二区域140a2。第一焊垫电极151远离第三开口部140a的侧面中的一部分而在第三开口部140a的侧面与所述第一焊垫电极151之间形成隔开空间。因此,第三开口部140a的第二区域140a2位于第一焊垫电极151的外部,通过第二区域140a2而露出的第一导电型半导体层121的区域也位于第一焊垫电极151的外部。通过第二区域140a2而露出的第一导电型半导体层121的区域在倒装芯片接合发光二极管芯片时,可由接合材覆盖。之后再次对上述内容进行说明。

[0176] 使第一焊垫电极151覆盖第三开口部140a的一部分,由此可在小型发光二极管芯片的受限的设计范围内,相对较大地形成第三开口部140a的尺寸。在开口部的尺寸过小的情况下,难以进行蚀刻而绝缘层残留,并且通常因过蚀刻(over etching)而开口部的尺寸变动会较为严重。在第一焊垫电极151完全覆盖第三开口部140a的情况下,因第三开口部140a的尺寸发生变更而接触电阻的变化会较为严重。对此,可通过使第三开口部140a具有第二区域140a2而增加第三开口部140a的尺寸,进而即便第三开口部140a的尺寸发生变化,第一焊垫电极151的接触面积的变化也相对变得小于第三开口部140a的尺寸变化。因此,能够以高产率提供第一焊垫电极151的接触面积变化较少而所制造的发光二极管芯片间的电性能、例如顺向电压等的变化较少的发光二极管芯片。

[0177] 另一方面,位于第一部分 $120m_1$ 上的第一焊垫电极151可通过第三开口部140a而与第一导电型半导体层121电连接,进而可欧姆接触。尤其,第一焊垫电极151能够以覆盖台面120m的侧面的方式形成,此时台面120m的侧面与第一焊垫电极151通过反光性绝缘层140而绝缘。由此,通过沟槽120g而露出的第一导电型半导体层121与第一焊垫电极151接触的部分成为第一接触区域151c。在本实施例中,第三开口部140a的第一区域140a2可具有与第一接触区域151c相同的面积,但本发明并非必须限定于此,在下文将述的实施例中再次对

上述内容进行说明。

[0178] 另一方面,可通过第三开口部140a的第二区域140a2局部地露出第一导电型半导体层121,可通过第二区域140a2确保工序范围,因此可提高发光二极管芯片100的制造产率。

[0179] 位于第二部分120m₂上的第二焊垫电极153可通过第四开口部140b而与接触电极130电连接。此时,第二焊垫电极153与接触电极130接触的区域至少一部分形成第二接触区域153c。在接触电极130包括开口部130b的情况下,第二焊垫电极153可与第二导电型半导体层125接触。然而,在此情况下,第二焊垫电极153与第二导电型半导体层125间的接触电阻高于第二焊垫电极153与接触电极130间的接触电阻,因此通过第二焊垫电极153导通的电流流向接触电极130的概率较高。例如,第二焊垫电极153与第二导电型半导体层125可形成肖特基接触。因此,可将会因第二焊垫电极153与第二导电型半导体层125接触而发生的电流密集(current crowding)最小化。

[0180] 参照图16,在驱动发光二极管芯片100时,电流可从第二接触区域153c通过第一接触区域151c导通。在沟槽120g形成到台面120m的至少三个侧面的情况下,在露出在沟槽120g的第一导电型半导体层121表面形成第一接触区域151c,因此电流可顺利地供给至台面120m的第一部分120m₁的侧面部分。因此,可使电流在发光区域(台面120m的活性层123)整个面均匀地分散。

[0181] 尤其,在第一导电型半导体层121为n型半导体层的情况下,在驱动发光二极管芯片100时,电子(electron)从第一接触区域151c朝向第二接触区域153c的方向分散。此时,电子的移动率(mobility)高于电洞,因此可均匀地分散至第二接触区域153c与第一侧面120a之间的区域,相反地,电洞难以分散至第一接触区域151c的后方。根据本实施例,第一接触区域151c形成到形成沟槽120g的部分,因此可使电流均匀地分散至第一部分120m₁的棱角区域(与侧面邻接的区域)而在台面120m的几乎整个区域均匀地发光。因此,可提高发光面积较小的小型发光二极管芯片100的发光效率。

[0182] 并且,由于沟槽120g形成到台面120m的至少三个侧面,因此可将为了与第一导电型半导体层121形成电连接而去除发光区域的部分的面积最小化。由此,可在具有较小面积的实施例的发光二极管芯片100中,将发光面积的减少最小化而提高发光功率。

[0183] 另一方面,第一接触区域151c中的最远离第二接触区域153c的一个第一接触区域151c至第二接触区域153c的最短隔开距离D2可为200μm以下。即,如图16所示,从第二接触区域153c至与第三侧面120c邻接的第一接触区域151c的最短隔开距离D2可为200μm以下。例如,在最短隔开距离D2超过200μm的情况下,电流不会在最远离第二接触区域153c的第一接触区域151c的周边均匀地分散,从而发光效率减少。尤其,在接触电极130为包括ITO等的导电性氧化物的情况下,如果因由接触电极130产生的电流分散极限而将最短隔开距离D2设为200μm以下,则可更提高电流分散效率。然而,本发明并不限于此。

[0184] 第一焊垫电极151及第二焊垫电极153可分别具有与形成所述第一焊垫电极151及第二焊垫电极153的部分的下部面的表面分布对应的上表面分布。由此,第一焊垫电极151可包括位于第三开口部140a上的倾斜的侧面,第二焊垫电极153可包括位于第四开口部140b上的凹部153a。如上所述,在第一焊垫电极151及第二焊垫电极153的表面形成具有阶差的表面,从而第一焊垫电极151及第二焊垫电极153的接触面积会增加,在接触的部分产

生阶差而防止第一焊垫电极151及第二焊垫电极153剥离。尤其,在接触电极130包括开口部130b的情况下,第二焊垫电极153形成具有棱部的凹部153a,可更有效地防止第二焊垫电极153剥离。并且,在第一焊垫电极151及第二焊垫电极153的表面形成阶差而发光二极管芯片100可更稳定地接着到第二基板1000。

[0185] 另一方面,可相对非常小地形成第一焊垫电极151与第二焊垫电极153的最短隔开距离D1,例如可为约 $3\mu\text{m}$ 至约 $100\mu\text{m}$,进而可为约 $80\mu\text{m}$ 。可稳定地形成覆盖发光构造体120的侧面的反光性绝缘层140,故而如下文将述的实施例中所说明,将发光二极管芯片100接合到第二基板1000的接合部211、213能够以覆盖至发光二极管芯片100的侧面的方式形成。由此,无需确保由第一焊垫电极151与第二焊垫电极153的最短隔开距离D1产生的工序范围,从而可将第一焊垫电极151与第二焊垫电极153的最短隔开距离D1减小为最小限度。并且,以较低的电流密度驱动本实施例的小型发光二极管芯片100,因此可更减小第一焊垫电极151与第二焊垫电极153的最短隔开距离。通过将第一焊垫电极151与第二焊垫电极153的最短隔开距离D1形成为上述范围,可提高发光二极管芯片100的散热效率。第一焊垫电极151的面积与第二焊垫电极153的面积之和可为发光二极管芯片100的水平截面积的约50%以上且95%以下。通过将第一焊垫电极151及第二焊垫电极153的水平截面积的比率设定为上述范围,可增强由第一焊垫电极151及第二焊垫电极153进行的光反射而提高发光效率。

[0186] 然而,在特定目的下,除向基板110侧射出光以外,也可向第一焊垫电极151及第二焊垫电极153侧射出光。例如,接触电极130由透光性材料形成,并且在反光性绝缘层140由透光物质形成的情况下,从活性层123射出的光的一部分可向第一焊垫电极151与第二焊垫电极153之间的区域射出。由此,可提供向两个方向射出光的发光二极管芯片,在此情况下,也可更小地形成第一焊垫电极151及第二焊垫电极153的尺寸。

[0187] 图17至图19是用以说明本发明的又一实施例的发光二极管芯片的概略俯视图,图20a、图20b、图21a及图21b是用以说明本发明的又一实施例的发光二极管芯片的剖面图。图17至图21b分别是与图11至图15对应的图。

[0188] 参照图17至图21b,本实施例的发光二极管芯片与之前所说明的实施例的发光二极管芯片大致相似,然而反光性绝缘层140的第三开口部140a的位置和/或尺寸存在差异。之前的实施例的发光二极管芯片的第三开口部140a限定在第一导电型半导体层121的上表面的上部而使第一导电型半导体层121的上表面露出。与此相反,在本实施例的发光二极管芯片中,第三开口部140a从第一导电型半导体层121的上表面的上部向第一导电型半导体层121的侧面的上部延伸,进而,向基板110的上部延伸。即,第三开口部140a不仅可使露出在沟槽120g的第一导电型半导体层121的上表面露出,而且可使第一导电型半导体层121的侧面露出,进而可使基板110的上表面露出。图20a及图21a表示第三开口部140a的一侧端部位于第一导电型半导体层121的侧面,图20b及图21b表示第三开口部140a的一侧端部位于基板110的上表面上。

[0189] 并且,与之前所说明的实施例相同,所述第三开口部140a具有第一区域140a1及第二区域140a2。第一区域140a1可与之前的实施例的第一区域140a1相同,然而,第二区域140a2可大于之前的实施例的第二区域140a2。

[0190] 第二区域140a2是不被第一焊垫电极151覆盖的区域,其结果,露出到第一焊垫电极151的外部。第二区域140a2在将发光二极管芯片100接合到电路板时,由接合材覆盖。以

露出第一导电型半导体层121的侧面、进而露出基板110的上表面的方式形成第三开口部140a,由此可在小型的发光二极管芯片100中提供相对较大的第三开口部140a,从而可将制造工序稳定化,进而,可缩小发光二极管芯片的物理及电性能偏差。

[0191] 并且,在第二区域140a2内填充接合材,故而在接合发光二极管芯片100时,可防止发光二极管芯片100歪斜或脱离接合位置。

[0192] 图22至图26是用以说明本发明的又一实施例的发光二极管芯片的图,各图与图11至图15对应。

[0193] 参照图22至图26,本实施例的发光二极管芯片300与参照图11至图15或图17至图21b进行说明的实施例大致相似,但在台面120m还包括使第一导电型半导体层121露出的孔120h的方面存在差异。在孔120h的侧壁露出活性层123及第二导电型半导体层125。

[0194] 孔120h远离沟槽120g。孔120h可配置到形成在第二侧面120b与第四侧面120d的沟槽120g之间,但并非必须限定于此。孔120h的中心可位于形成在第二侧面120b与第四侧面120d的沟槽120g之间的中间,但并不限定于此,为了有助于电流分散,也可从所述中间更接近或远离形成在第三侧面120c的沟槽120g。

[0195] 接触电极130包围所述孔120h。为了防止电气短路,接触电极130远离露出在孔120h的第一导电型半导体层121及活性层123。

[0196] 另一方面,反光性绝缘层140覆盖露出在孔120h的侧壁的活性层123及第二导电型半导体层125。反光性绝缘层140除第三开口部140a以外,还包括在孔120h内使第一导电型半导体层121露出的开口部140c。第三开口部140a的一部分区域、即第一区域140a1由第一焊垫电极151覆盖,第二区域140a2露出到第一焊垫电极151的外部,但开口部140c全部由第一焊垫电极151覆盖。

[0197] 第一焊垫电极151通过孔120h而连接到第一导电型半导体层121,因此可更强化电流分散。

[0198] 另一方面,之前所说明的图11至图15或图17至图21b的技术特征可相同地应用到本实施例的发光二极管芯片300。因此,第三开口部140a包括第一区域140a1及第二区域140a2,进而,第二区域140a2可限定在第一导电型半导体层121的上表面上,或除第一导电型半导体层121的上表面以外向第一导电型半导体层121的侧面延伸,进而可向基板110上延伸。

[0199] 图27至图31是本发明的又一实施例的图,各图与图11至图15对应。

[0200] 参照图27至图31,本实施例的发光二极管芯片400与参照图11至图15、图17至图21b或图22至图26进行说明的发光二极管芯片100、200、300大致相似,但在还包括延伸电极135的方面存在差异。

[0201] 延伸电极135可与第一导电型半导体层121欧姆接触。延伸电极135可沿台面120m的第二侧面120b及第四侧面120d形成。延伸电极135不仅可形成到第二侧面120b及第四侧面120d,而且也可形成到第三侧面120c。可为了形成延伸电极135而形成沟槽120g,但并非必需沟槽120g。

[0202] 另一方面,反光性绝缘层140的第三开口部140a使延伸电极135露出,进而使第一导电型半导体层121露出。与之前所说明的实施例相同,反光性绝缘层140的第三开口部140a具有由第一焊垫电极151覆盖的第一区域140a1及露出在第一焊垫电极151的外部的第

二区域140a2。第一区域140a1可限定地位于所述延伸电极135的上部,但并非必须限定于此。因此,第一焊垫电极151也可与第一导电型半导体层121接触。

[0203] 第一焊垫电极151可通过所述延伸电极135而电连接到第一导电型半导体层121。延伸电极135与第一导电型半导体层121欧姆接触,因此第一焊垫电极151也可由不与第一导电型半导体层121欧姆接触的物质形成。因此,第一焊垫电极151及第二焊垫电极153的材料选择范围变得更广。

[0204] 本实施例的发光二极管芯片400包括延伸电极135,因此可更强化发光二极管芯片400内的电流分散。

[0205] 图32a至图37b是用以说明本发明的又一实施例的发光二极管芯片100的制造方法的俯视图及剖面图。

[0206] 省略与上述实施例中所说明的构成实质上相同的构成的详细说明。并且,在下文将述的实施例的图中,表示制造两个发光二极管芯片100的方法,但本发明并不限于此。在制造单个发光二极管芯片100的情况、及在大面积的晶片上形成三个以上的多个发光二极管芯片100的情况下,也可应用下文将述的实施例的发光二极管芯片100的制造方法。并且,在本实施例中,对制造发光二极管芯片100的方法进行说明,但本领域的技术人员应理解,也可相似地应用到制造发光二极管芯片200、300及400的方法中。

[0207] 在各图中,线L1定义为单位元件区域UD1的边界线。即,两侧的发光构造体120以线L1为基准而分离,从而可制造成两个发光二极管芯片100。并且,各剖面图表示对应的俯视图的剖面。例如,在图32b中表示图32a的俯视图的剖面。

[0208] 参照图32a及图32b,在基板110上形成发光构造体120。发光构造体120通常可利用已知的各种方法生长,例如可利用有机金属化学气相沉积(Metal Organic Chemical Vapor Deposition, MOCVD)、分子束磊晶(Molecular Beam Epitaxy, MBE)或氢化物气相磊晶(Hydride Vapor Phase Epitaxy, HVPE)等技术生长。

[0209] 其次,参照图33a至图33b,形成包括沟槽120g的台面120m及接触电极130。进而,局部地去除发光构造体120而形成使基板110的上表面露出的隔离槽120i。

[0210] 具体而言,首先参照图33a及图33b,在发光构造体120上形成接触电极130。

[0211] 接触电极130可形成到发光构造体120的第二导电型半导体层125上而与第二导电型半导体层125形成欧姆接触。接触电极130可包括透光性导电氧化物和/或透光性金属。例如,形成接触电极130可包括利用如溅镀和/或电子束蒸镀的蒸镀方法在第二导电型半导体层125上形成ITO。然而,本发明并不限于此,形成接触电极130可包括形成如ZnO等的其他各种透光性导电氧化物,可根据导电性氧化物的种类应用各种制造工序。

[0212] 接着,参照图34a及图34b,将发光构造体120图案化而形成包括第二导电型半导体层125及活性层123的台面120m,台面120m形成为包括从其侧面凹陷的多个沟槽120g。进而,将发光构造体120图案化而形成贯通第二导电型半导体层125、活性层123及第一导电型半导体层121而使基板110的上表面露出的隔离槽120i。例如可利用干式蚀刻和/或湿式蚀刻工序将发光构造体120图案化。

[0213] 发光构造体120通过隔离槽120i而分割成位于各单位元件区域UD1上的多个发光构造体120。因此,可沿线L1形成隔离槽120i。如上所述,形成隔离槽120i而将发光构造体120分割成位于多个单位元件区域UD1上的多个发光构造体120,由此可缓和因基板110与发

光构造体120间的热膨胀系数差产生的应力。由此,可减少在制造发光二极管芯片100时发生的晶片的弯曲(bowing)。

[0214] 可将接触电极130图案化,将接触电极130图案化可包括形成使第二导电型半导体层125的上表面局部地露出的开口部130b。例如可利用干式蚀刻和/或湿式蚀刻工序将接触电极130图案化。

[0215] 在上述实施例中,说明为首先形成接触电极130后将发光构造体120图案化,但本发明并不限于此。在各实施例中,也可首先将发光构造体120图案化后,在第二导电型半导体层125上形成接触电极130。

[0216] 接着,参照图35a及图35b,形成反光性绝缘层140,所述绝缘层覆盖发光构造体120的上表面及侧面,包括第三开口部140a及第四开口部140b。

[0217] 形成反光性绝缘层140可包括利用普通技术人员普遍已知的蒸镀方法形成 SiO_2 层而将所述 SiO_2 层图案化。可利用蚀刻或剥离工序执行所述图案化工序。此时,反光性绝缘层140能够以覆盖至露出在隔离槽120i的基板110的上表面的方式形成。

[0218] 并且,形成反光性绝缘层140可包括形成折射率不同的物质交替地积层而成的分布布拉格反射器。例如,形成反光性绝缘层140可包括利用如溅镀的公知的蒸镀方法交替地反复积层 SiO_2 层及 TiO_2 层。

[0219] 其次,参照图36a及图36b,可在反光性绝缘层140上形成第一焊垫电极151及第二焊垫电极153。

[0220] 第一焊垫电极151可通过反光性绝缘层140的第三开口部140a而与第一导电型半导体层121接触,且可欧姆接触。与此相似,第二焊垫电极153可通过反光性绝缘层140的第四开口部140b而与接触电极130接触及电连接。第一焊垫电极151及第二焊垫电极153可由同一工序一并形成,例如可在通过蒸镀和/或镀敷工序而形成后,利用光蚀刻技术或剥离技术图案化。

[0221] 接着,参照图37a及图37b,去除基板110的一部分110a,由此可减小基板110的厚度。由此,多个单位元件区域UD1的厚度会变薄为厚度T1。此后,沿线L1分割基板110,由此可提供如图11至图16所示的多个发光二极管芯片100。

[0222] 去除基板110的一部分110a可包括通过物理和/或化学方法局部地去除基板110。例如,可利用磨削、研磨等方法局部地去除基板110。如果减小基板110的厚度,则在因热膨胀系数差而晶片弯曲的状态下支撑晶片的基板110变薄,因此应力增加。由此,施加到发光构造体120的应力增加而发光构造体120产生损伤的可能性较高。但是,根据本实施例,在减小基板110的厚度前,形成将发光构造体120分割成多个发光构造体120的隔离槽120i,由此可缓和弯曲、缓和应力而防止会因基板110的厚度减小而产生的发光构造体120的损伤。尤其,会因尺寸相对较小的单位元件区域UD1而应力更减小,因此各单位元件区域UD1的厚度可减小为约 $90\mu\text{m}$ 以下的厚度。

[0223] 沿线L1分割基板110可包括通过刻划及断裂工序分离基板110。此时,刻划工序可包括利用内部加工激光对基板110进行内部加工。此时,在利用内部加工激光的情况下,可在基板110的至少一侧面形成呈沿水平方向延伸的带形状的至少一个改质区域111。此时,改质区域111能够以远离基板110的上表面 $30\mu\text{m}$ 至 $35\mu\text{m}$ 的深度形成。这种改质区域111形成到隔离槽120i的下方,因此不存在发光构造体120在利用内部加工激光的工序中受损的担

忧。因此,能够以相对接近基板110的上表面的方式形成改质区域111,因此从改质区域111至基板110的上表面的隔开距离可为上述范围。如上所述,能够以相对接近基板110的上表面的方式形成改质区域111,因此可将发光二极管芯片100更薄型化。

[0224] 上述实施例的发光二极管芯片100及发光装置包括基板110的上表面露出的部分而减少发光二极管芯片100在制造过程中的晶片弯曲。由此,晶片弯曲的程度较小,因此可像上述内容一样减小基板110的厚度,可提高发光二极管芯片100的制造产率。因此,提供实现小型化及薄型化且可靠性较高的发光二极管芯片100及发光装置。并且,反光性绝缘层140以覆盖发光构造体120的侧面且更覆盖至基板110的所露出的上表面、尤其基板110的突出部110p的方式延伸形成,由此可提高发光二极管芯片100的发光效率。并且,接合部211、213可通过这种反光性绝缘层140覆盖至发光二极管芯片100的侧面,因此发光装置可实现小型化,可提高发光装置的机械稳定性。

[0225] 如上所述,实施例的发光装置的机械稳定性及发光效率优异且实现小型化及薄型化,因此可有利地应用到便携式电子装置。作为一例,可将所述发光装置或发光二极管芯片100应用到要求较薄的厚度的纸写板(paper writing board)。作为又一例,在将所述发光装置应用到如键盘的输入装置的情况下,可位于所述发光装置的小键盘的下方而使小键盘发光。在这种输入装置中,小键盘接收反复的外部应力(例如,用以进行输入的加压)。并且,便携式输入装置要求较薄的厚度及较小的尺寸。实施例的发光装置实现小型化及薄型化,因此适于薄型的便携式输入装置,且机械稳定性优异而发光装置因键盘的动作(例如,施加到小键盘的压力)发生不良的概率非常小。

[0226] 图38是用以说明本发明的又一实施例的具有波长转换部的发光二极管芯片100的概略剖面图。此处,发光二极管芯片100与之前参照图11至图16进行说明的发光二极管芯片100相同,因此省略一部分重复的指示编号。并且,在本实施例中,举例说明发光二极管芯片100,但也可使用其他实施例的发光二极管芯片200、300、400。

[0227] 参照图38,波长转换部500可配置到射出光的基板110的面上。波长转换部500可包括透明树脂510、及分散在透明树脂内的荧光体粒子530。荧光体粒子530可均匀地分散到透明树脂510内,但如图所示,可密集到波长转换部500的下方侧、即接近基板110的侧。波长转换部500可与基板110直接接触,例如可利用网版印刷或喷雾等技术形成。

[0228] 在射出光的基板110上配置波长转换部500,由此可对从活性层123射出的光中的至少一部分光进行波长转换,因此可实现如白色光的混色光。

[0229] 例如,发光二极管芯片100可射出蓝色光,波长转换部500可包括将蓝色光波长转换成黄色光或绿色光及红色光的荧光体粒子530。由此,实现蓝色光与从荧光体粒子530射出的转换光的混色光。

[0230] 所述发光二极管芯片100除蓝色光以外,也可根据活性层123的材料射出紫外线或绿色光。

[0231] 图39是用以说明本发明的又一实施例的具有波长转换部的发光二极管芯片100的概略剖面图,图40是图39的立体图。

[0232] 参照图39及图40,之前所说明的波长转换部500位于基板110的上部而覆盖基板110的上部,但本实施例的波长转换部500的差异在于不仅覆盖基板110的上部,而且也覆盖侧面。

[0233] 如上述实施例,波长转换部500可直接提供到发光二极管芯片100上,可与发光二极管芯片100一并封装或模块化。然而,本发明并不限于此,也可在以封装体级或模块级安装发光二极管芯片100后,提供到发光二极管芯片100上。之后再次对与此相关的实施例进行说明。

[0234] 图41是用以说明本发明的又一实施例的发光装置的剖面图。

[0235] 参照图41,所述发光装置包括第二基板1000、位于第二基板1000上的发光二极管芯片100、第一接合部211及第二接合部213。

[0236] 第二基板1000可提供安装发光二极管芯片100的区域,例如可为发光二极管封装体的基板或发光模块的基板等。第二基板1000可包括基底310、及位于基底310上的导电性图案320,导电性图案320可包括第一导电性图案321及第二导电性图案323。第二基板1000可包括导电性基板、绝缘性基板或印刷电路板(PCB)。进而,第二基板1000可为坚固的基板,但并不限于此,也可可为可挠性(flexible)的透明基板。发光二极管芯片100并非为可挠性,但本发明的发光二极管芯片100可提供作薄型的小型芯片,因此可通过排列多个这种芯片而提供可挠性的灯纸或非常薄的灯条。

[0237] 第一导电性图案321与第二导电性图案323彼此电隔离。例如,第一导电性图案321与第二导电性图案323能够以间隔D4的隔开距离隔开而电绝缘。此时,第一导电性图案321及第二导电性图案323可分别电连接到发光二极管芯片100的第一焊垫电极151及第二焊垫电极153。然而,本发明并不限于此,第二基板1000只要呈如下构造,则无限制:可提供安装发光二极管芯片100的区域,与发光二极管芯片100形成电连接。

[0238] 发光二极管芯片100位于第二基板1000上,与第二基板1000电连接。此处,以参照图11至图16进行说明的实施例的发光二极管芯片100为例对所述发光二极管芯片100进行说明,但并不限制于此,可为参照图17至图21b、图22至图26或图27至图31进行说明的发光二极管芯片200、300、400。

[0239] 第一接合部211及第二接合部213位于发光二极管芯片100与第二基板1000之间而将发光二极管芯片100接合到第二基板1000,并且彼此电连接。第一接合部211可与发光二极管芯片100的第一焊垫电极151接触,与第二基板1000的第一导电性图案321接触。与此相似,第二接合部213可与发光二极管芯片100的第二焊垫电极153接触,与第二基板1000的第二导电性图案323接触。第一接合部211及第二接合部213只要为如下物质,则无限制:将发光二极管芯片100与第二基板1000电连接,且彼此接合。第一接合部211及第二接合部213例如可包括焊料,或者可为导电性塑料、例如导电性接着剂。

[0240] 并且,第一接合部211及第二接合部213中的至少一个可与发光二极管芯片100的侧面的至少一部分接触。在一实施例中,第一接合部211及第二接合部213中的至少一个可从发光构造体120的侧面覆盖反光性绝缘层140的至少一部分。进而,第一接合部211可覆盖露出在发光构造体120周边的基板110的下表面的至少一部分,进而还可覆盖基板110的侧面的至少一部分。

[0241] 如上所述,第一接合部211及第二接合部213中的至少一个以与发光二极管芯片100的侧面的至少一部分接触的方式形成,由此第一接合部211与第二接合部213间的最短隔开距离D3可大于第一焊垫电极151与第二焊垫电极153间的最短隔开距离D1。因此,即便较小地形成最短隔开距离D1(例如,约 $3\mu\text{m}$ 至 $100\mu\text{m}$),也可较最短隔开距离D1更大地形成最

短隔开距离D3,因此在安装发光二极管芯片100时,可防止发生电气短路。尤其,发光二极管芯片100的反光性绝缘层140稳定地覆盖发光构造体120的侧面,因此即便第一接合部211和/或第二接合部213与发光二极管芯片100的侧面接触,也不会产生电气问题。尤其,反光性绝缘层140延伸至基板110的所露出的上表面而形成,因此可使发光构造体120的侧面更稳定地绝缘,从而防止由接合部211、213与发光构造体120的侧面引起的电气短路。

[0242] 并且,接合部211、213与发光二极管芯片100接触的面积增加而可更稳定地安装发光二极管芯片100,因此可提高发光装置的机械稳定性。进而,可减小接合部211、213介置到发光二极管芯片100与第二基板1000之间的厚度(即,发光二极管芯片100与第二基板1000之间的隔开距离),因此可将发光装置更小型化及薄型化。

[0243] 另一方面,第一接合部211可通过绝缘层140的第三开口部140a的第二区域140a2而与第一导电型半导体层121或基板110接触。第一接合部211可由与第一导电型半导体层121肖特基接触的材料形成。由此,即便第一接合部211与第一导电型半导体层121接触,也不会对发光二极管芯片100的顺向电压产生影响。因此,通过增加第二区域140a2的面积,可不对电性能产生影响而使工序更稳定化。

[0244] 在本实施例中,对在基板1000上安装发光二极管芯片100进行说明,但也可像参照图38及图39进行说明一样在基板1000上安装应用波长转换部500的发光二极管芯片100。

[0245] 图42是用以说明本发明的又一实施例的发光装置的概略剖面图。

[0246] 参照图42,本实施例的发光装置与参照图41进行说明的发光装置大致相似,但在提供在基板1000的第一导电性图案321与第二导电性图案323之间的间隔D4大于第一焊垫电极151与第二焊垫电极153之间的最短隔开距离D1的方面存在差异。第一接合部211及第二接合部213可在第一导电性图案321与第二导电性图案323之间的区域覆盖所述第一导电性图案321与第二导电性图案323的侧面。

[0247] 另一方面,如图所示,第一接合部211与第二接合部213之间的最短隔开距离D3可大于第一焊垫电极151与第二焊垫电极153之间的最短隔开距离D1且小于第一导电性图案321与第二导电性图案323之间的间隔D4。但是,本发明并不限于此,第一接合部211及第二接合部213可在第一焊垫电极151与第二焊垫电极153之间的区域覆盖所述第一焊垫电极151及第二焊垫电极153的侧面,因此,第一接合部211与第二接合部213之间的最短隔开距离D3可小于第一焊垫电极151与第二焊垫电极153之间的最短隔开距离D1。

[0248] 通过使第一导电性图案321与第二导电性图案323之间的间隔D4相对较大,可容易地防止所述第一导电性图案321与第二导电性图案323之间的短路。进而,在利用第一接合部211及第二接合部213对发光二极管芯片100进行表面安装的情况下,在加热或硬化第一接合部211及第二接合部213的期间,发光二极管芯片100的位置及方向会发生歪斜。然而,如本实施例,使第一导电性图案321与第二导电性图案323之间的间隔D4相对较大,使第一接合部211及第二接合部213向第一导电性图案321与第二导电性图案323之间的区域扩散,由此可防止发光二极管芯片100的位置及方向发生歪斜。而且,第一接合部211填充反光性绝缘层140的第三开口部140a的第二区域140a2,故而可更防止发光二极管芯片100发生歪斜。

[0249] 图43(a)及图43(b)是用以说明应用本发明的一实施例的发光二极管芯片100的应用品的局部立体图。

[0250] 所述应用品例如可为灯纸或灯条(或灯带),这种应用品以可挠性为特征。此处,虽命名为应用品,但也可命名为发光装置。

[0251] 参照图43(a),在基底2000上配置导电性配线2321、2323,在导电性配线2321、2323上接合发光二极管芯片100。

[0252] 基底2000可为可挠性薄膜,进而可为透明薄膜。基底2000可呈长带(band)形状,也可呈较广的纸形状。

[0253] 另一方面,导电性配线2321、2323具有较薄的厚度,以便接受基底2000弯曲。导电性配线2321、2323可具有相对宽于发光二极管芯片100的宽度,可彼此并列排列。

[0254] 可利用之前说明的第一接合部211及第二接合部213将发光二极管芯片100接合到导电性配线2321、2323上。

[0255] 如参照图11至图16所说明,发光二极管芯片100通过基板110射出光。进而,在接触电极130形成透明电极且反光性绝缘层140具有透光性的情况下,在活性层123产生的光的一部分可通过第一焊垫电极151与第二焊垫电极153之间的区域向外部射出。通过第一焊垫电极151与第二焊垫电极153之间的区域射出到外部的光可再次通过基底2000而向基底2000的下部射出。

[0256] 因此,本实施例的所述应用品可向两个方向射出光。

[0257] 此处,说明为排列有多个发光二极管芯片100,但也可排列之前所说明的其他实施例的发光二极管芯片200、300、400。

[0258] 参照图43(b),本实施例的应用品与参照图43(a)进行说明的应用品大致相似,但在发光二极管芯片100上形成有波长转换层500的方面存在差异。形成有波长转换部500的发光二极管芯片100与参照图38或图39进行说明的内容相同,因此省略详细说明。

[0259] 在发光二极管芯片100上形成波长转换部500,由于通过基板110射出的光的至少一部分实现波长转换。与此相反,向第一焊垫电极151与第二焊垫电极153之间的区域射出的光可不进行波长转换而向外部射出。因此,可提供向两个方向射出不同颜色的光的应用品。

[0260] 图44是用以说明本发明的一实施例的灯条的概略图。

[0261] 参照图44,如参照图43(a)及图43(b)所说明,本实施例的灯条包括基底2000、导电性配线(省略)及发光二极管芯片100阵列。此处,基底2000呈较长的形状,可为可挠性的透明薄膜。

[0262] 基底2000具有可挠性,通过排列小型的发光二极管芯片100而灯条可容易地变形为所期望的形状。因此,这种灯条具有易于设置到较窄的空间等的优点,适用于装饰用或便携用,可用作汽车的室内装饰用照明或室外装饰用照明,可用于显示各种标志,也可附着到服装类。

[0263] 在本实施例中,排列有发光二极管芯片100的阵列为一例,也可使用发光二极管芯片200、300、400,进而,也可使用形成有波长转换部500的发光二极管芯片100、200、300、400。

[0264] 图45是用以说明本发明的一实施例的LED灯的概略剖面图。

[0265] 参照图45,所述LED灯包括灯泡基底3000、中央柱3100、LED灯丝3200及透光性灯泡3300。

[0266] 灯泡基底3000具有与以往的灯泡(light bulb)中所使用的灯泡基底相同的电极构造。并且,可在灯泡基底3000的内部内置交流(Alternating Current,AC)/直流(Direct Current,DC)转换器等被动及主动元件。

[0267] 灯泡基底3000具有与以往的灯泡相同的电极构造,故而本发明的实施例的LED灯可使用以往的插座,因此可节省设置使用LED灯所需的附加设施的费用。

[0268] 中央柱3100固定到灯泡基底3000而配置到LED灯的中央。中央柱3100可包括底座部、柱部及上端部。中央柱3100用以支撑LED灯丝3200,例如可由玻璃形成。

[0269] LED灯丝3200是如参照图44进行说明的灯条,包括基底、导电性配线及发光二极管芯片,省略对所述基底、导电性配线及发光二极管芯片的说明。LED灯丝3200由可挠性的灯条形成,因此可将LED灯丝3200变形为各种形状。

[0270] 所述LED灯丝3200可通过未图示的引线电连接到灯泡基底3000的电极。

[0271] 透光性灯泡3300包覆LED灯丝3200而使LED灯丝与外部环境分离。透光性灯泡3300可由玻璃或塑料形成。透光性灯泡3300可呈各种形状,也可呈与以往的灯泡相同的形状。

[0272] 图46(a)至图48是用以说明本发明的其他实施例的应用品(电子装置)的立体图、俯视图、剖面图及电路图。图47是用以说明小键盘440中的各单位小键盘440u的剖面图,图48是用以说明因单位小键盘440u的动作实现的发光部460的动作用的示例的电路图。

[0273] 参照图46(a),电子装置10包括输入装置4000。例如,电子装置10可为如图46(a)所示的笔记本电脑,输入装置4000可为键盘。所述电子装置10可包括构成基本框架的壳体12、显示器11及输入装置4000。此时,输入装置4000可与电子装置10形成为一体。另一方面,在各实施例中,输入装置4000也可分离成单体。如图46(b)所示,输入装置4000也可单独地构成电子装置。然而,本实施例的电子装置10相当于一例,在包括输入装置4000的情况下,可应用本发明的发光二极管芯片和/或发光装置。例如,包括输入装置4000的台式电脑、检测设备、通信设备等各种电子装置可包括在本发明中。

[0274] 如图46(a)及图46(b)所示,输入装置4000包括小键盘440及发光部460,进而,还可包括壳体12或410、输入构造物420、背光430。

[0275] 壳体12或410可构成输入装置4000的外部框架,发挥支撑输入构造物420、背光430及小键盘440的作用。输入构造物420可发挥接收及发送通过使用控制小键盘440形成的各种输入信号的作用。输入构造物420可位于小键盘440的下方,可呈各种公知的构造。为了提高如键盘的输入装置4000的可见度和/或为了对输入装置4000追加功能性,背光430可从下方对小键盘440进行照明。背光430可包括上述实施例的发光二极管芯片和/或发光装置。背光430可配置成包围小键盘440的形态,与此不同,也可配置到小键盘440的下方。然而,也可省略背光430。

[0276] 在一实施例中,发光部460可位于多个小键盘440中的至少一个小键盘440的下方。此时,小键盘440可包括形成在表面的发光区域,从发光部460射出的光可通过小键盘440的发光区域而射出。参照图47,小键盘440位于电路板411上,由支撑部450支撑。此时,电路板411及支撑部450可包括在输入构造物420,如果使用者向小键盘440传输信号(例如,通过压力或触碰进行的输入),则可通过支撑部450与电路板411输入所述信号。发光部460可位于电路板411上,且位于小键盘440的下方。可根据小键盘440的输入信号对发光部460的接通/断开进行控制。例如,如图48所示,可根据小键盘440的输入信号对开关SW_{key}进行接通/断

开,由此电路的电阻 R_{key} 连接或开放而对施加到发光部460的电流进行控制。如果使用者通过如上所述的动作对小键盘440施加压力而输入信号,则发光部460以接通(on)状态进行动作,由此可通过接收压力而进行输入的小键盘440的发光区域射出光。然而,本发明并不限于此,可实现各实施例。作为另一实施例,发光部460始终保持为接通(on)状态,如果使用者对小键盘440施加压力而输入信号,则发光部460以断开(off)状态进行动作,由此也能够以小键盘440的发光区域熄灭的形态驱动。作为又一实施例,如果使用者对小键盘440施加压力而输入信号,则以发光部460的光度可变的方式进行动作,由此能够以接收压力而进行输入的小键盘440的发光区域的光度发生变化的形态驱动。

[0277] 位于这种小键盘440的下方的发光部460可包括上述实施例中所说明的发光二极管芯片和/或发光装置。随着电子设备薄型化及小型化,要求输入装置4000的厚度非常薄,因此可应用小型发光二极管芯片和/或小型发光装置。尤其,通过将本发明的小型发光二极管芯片和/或小型发光装置应用到如便携式键盘的输入装置、如轻薄笔记本的电子装置的输入装置,可防止因发光部460的尺寸增加引起的电子装置的体积增加,因此可提高所述电子装置的便携性。并且,位于小键盘440的下方的发光部460因小键盘440的输入而接收持续的应力,这种应力可传递到发光部460的发光装置或发光二极管芯片100而发生发光部460的不良。但是,所述输入装置4000包括机械稳定性优异的本实施例的发光二极管芯片100或发光装置,因此可防止因小键盘440的持续的动作发生的发光部460的不良。

[0278] 图49是用以说明本发明的又一实施例的键盘的局部俯视图,图50是图49的局部剖面图。

[0279] 参照图49及图50,本实施例的键盘包括可挠性基底5000、导电性配线5321、5323、覆盖层5400及发光二极管芯片100,且可包括波长转换部500。

[0280] 可挠性基底5000与之前所说明的基底2000相似,可为透明薄膜或非透明薄膜。在可挠性基底5000上形成电路配线5320,在各个小键盘的位置设置导电性垫5300。导电性垫5300连接到键盘的连接器。

[0281] 导电性配线5321、5323与所述电路配线5320一同形成到可挠性基底5000上。导电性配线5321、5323是为了向发光二极管芯片100供给电力而提供。

[0282] 另一方面,覆盖层5400形成或附着到可挠性基底5000上。覆盖层5400覆盖电路配线5320及导电性配线5321、5323,且使用以实现电连接的部分露出。覆盖层5400只要为具有可挠性的材料,则无特别限定,例如可由硅或环氧树脂形成。

[0283] 发光二极管芯片100配置到各导电性垫5300的附近。多个发光二极管芯片100可配置到各导电性垫5300的周围,接合到导电性配线5321、5323上。发光二极管芯片100与参照图11至图16进行说明的内容相同,因此省略详细说明。并且,除发光二极管芯片100以外,也可使用之前所说明的其他实施例的发光二极管芯片200、300、400。

[0284] 另一方面,波长转换部500覆盖发光二极管芯片100。波长转换部500可填充形成在覆盖层5400的开口部而覆盖发光二极管芯片100。波长转换部500可在透明树脂中包括荧光体粒子。由此,可实现如白色光的混色光。

[0285] 在本实施例中,说明为波长转换部500覆盖发光二极管芯片100,但也可为由透明树脂形成的密封材覆盖发光二极管芯片100。在此情况下,在发光二极管芯片100产生的光向外部射出,因此可射出蓝色光或绿色光等单色光。

[0286] 根据本实施例,可提供在各小键盘的周围配置有发光二极管芯片100的可挠性键盘。可挠性键盘可用作便携式电子装置的输入装置。

[0287] 在上述实施例中,对本发明的各实施例的发光二极管芯片和/或发光装置应用在电子装置的输入装置的情况进行了说明,但本发明并不限于此。所述发光二极管芯片和/或发光装置也可应用到要求小型发光部的其他各种电子装置,例如也可应用到照明设备、显示装置等。

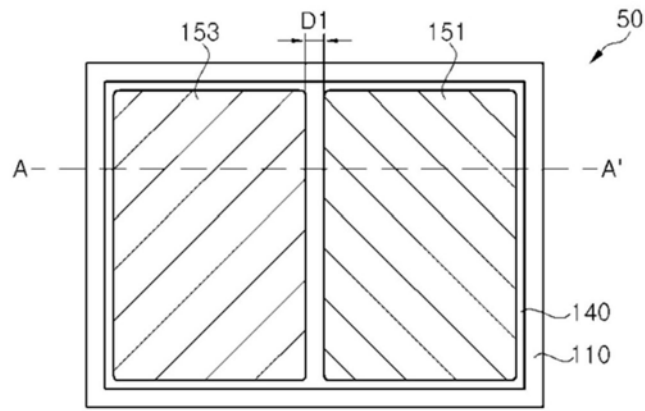


图1

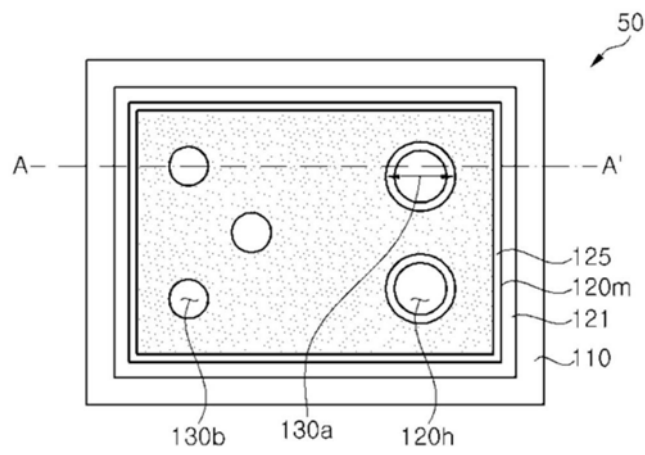


图2

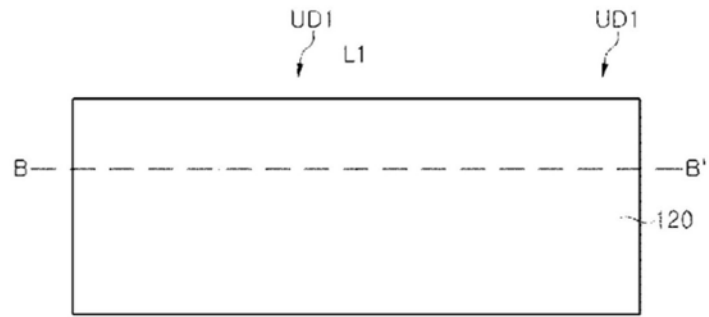


图5a

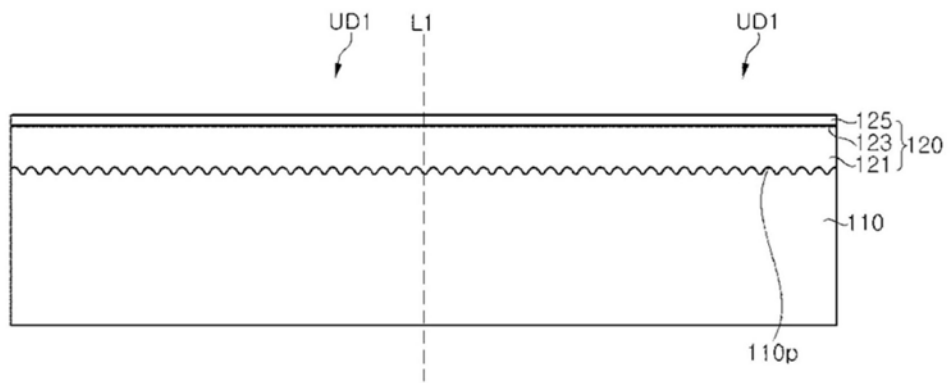


图5b

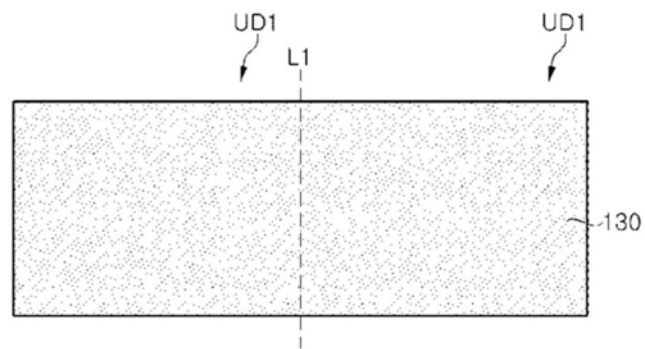


图6a

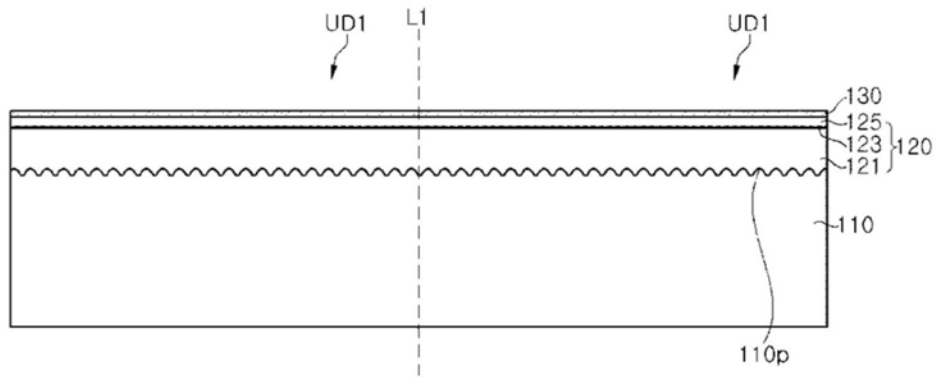


图6b

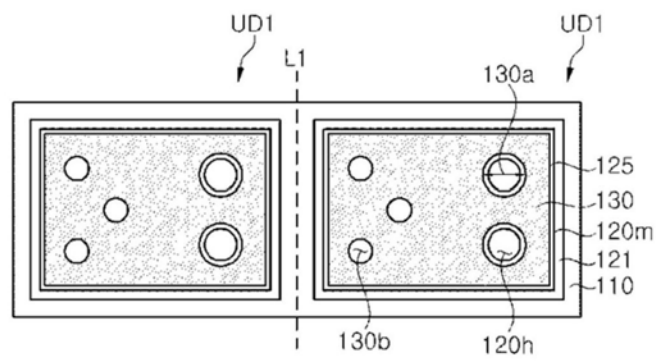


图7a

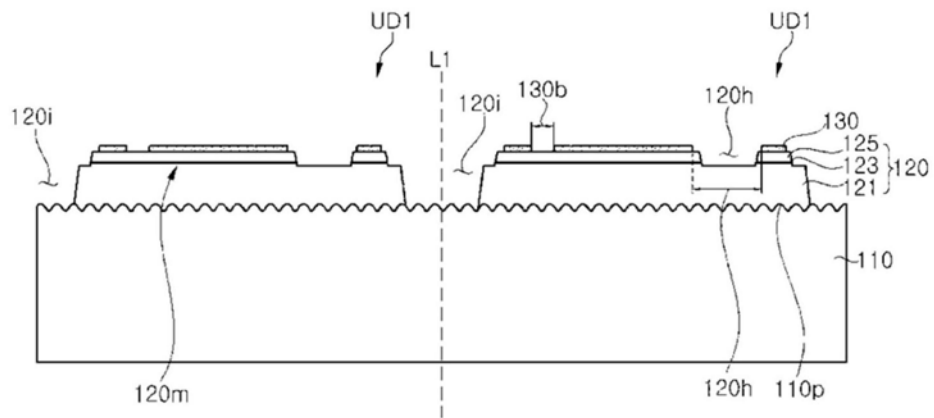


图7b

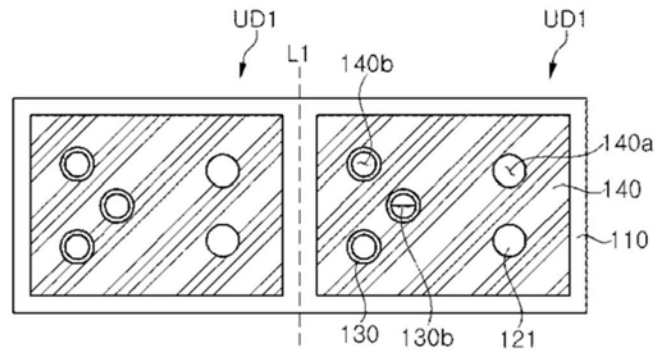


图8a

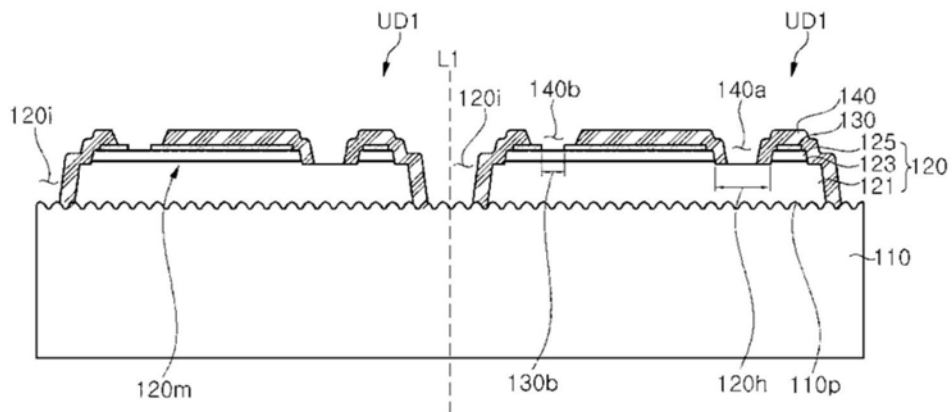


图8b

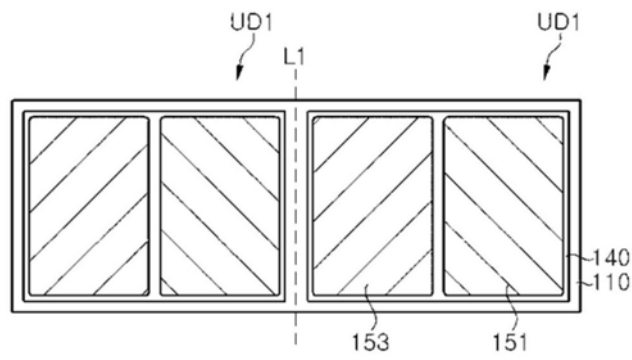


图9a

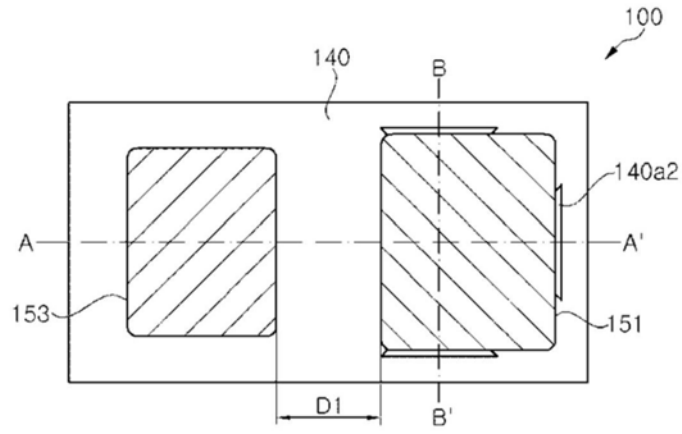


图11

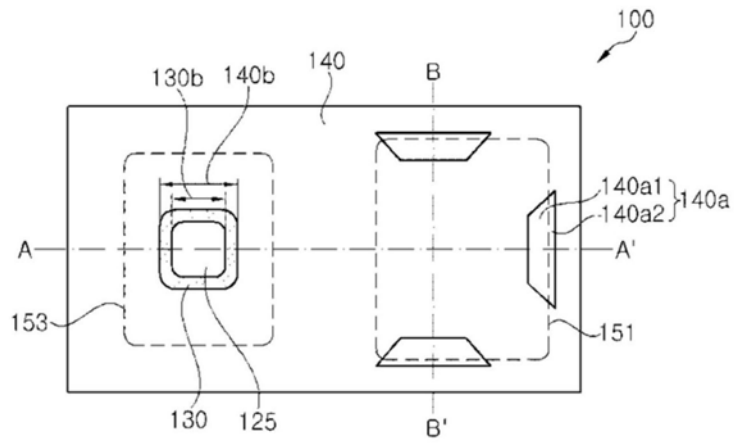


图12

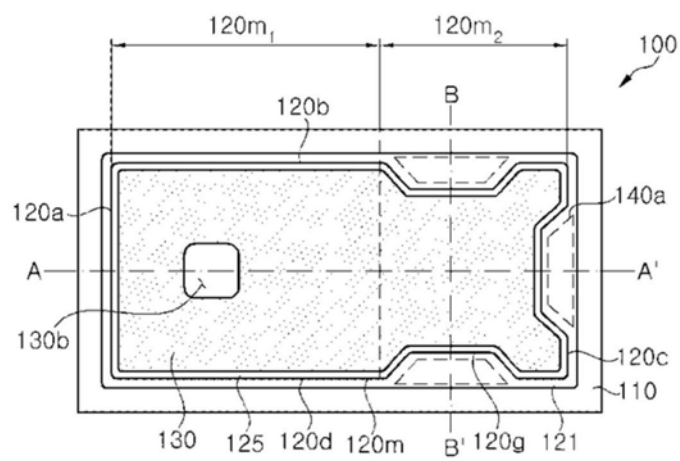


图13

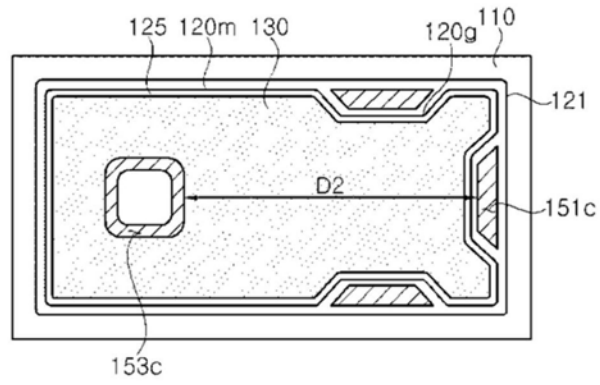


图16

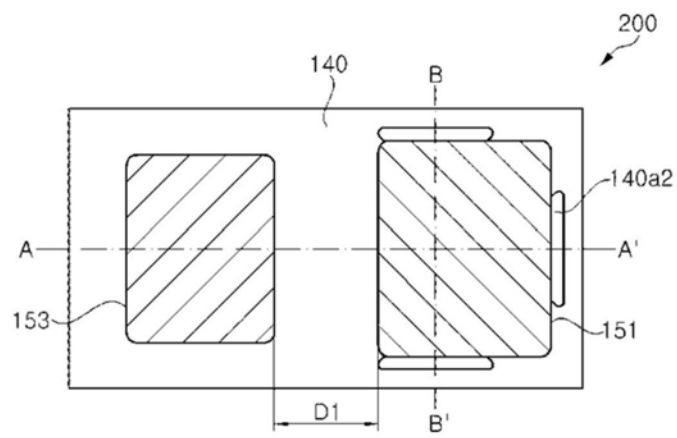


图17

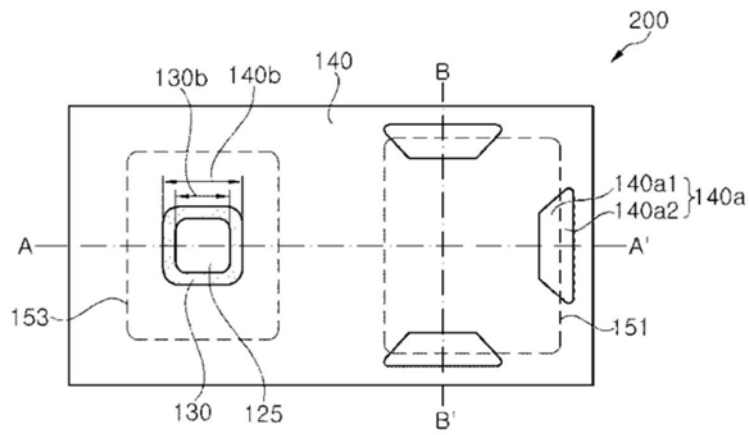


图18

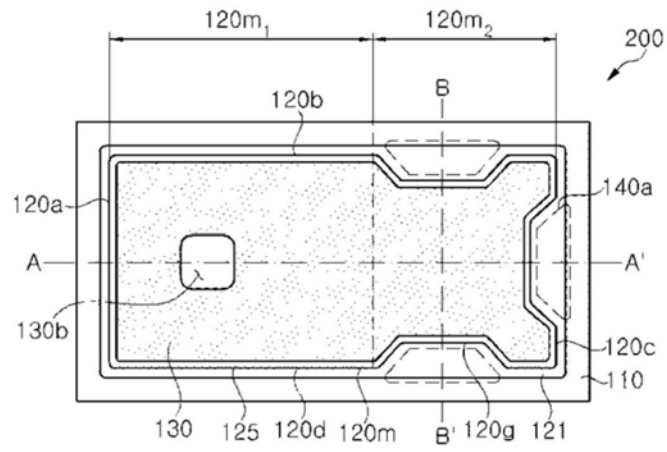


图19

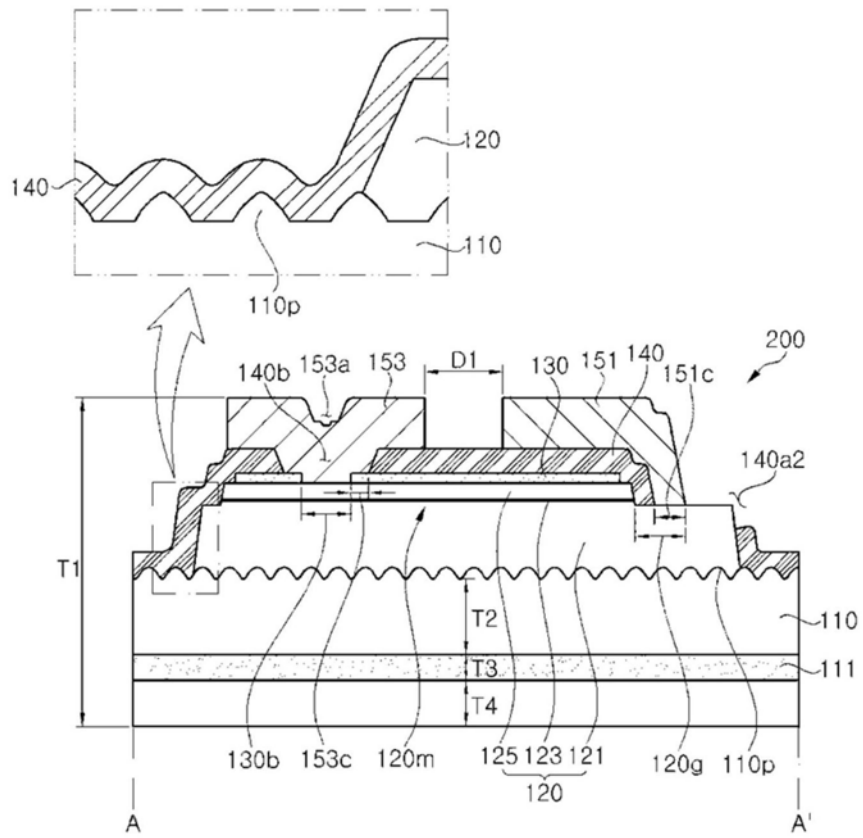


图20a

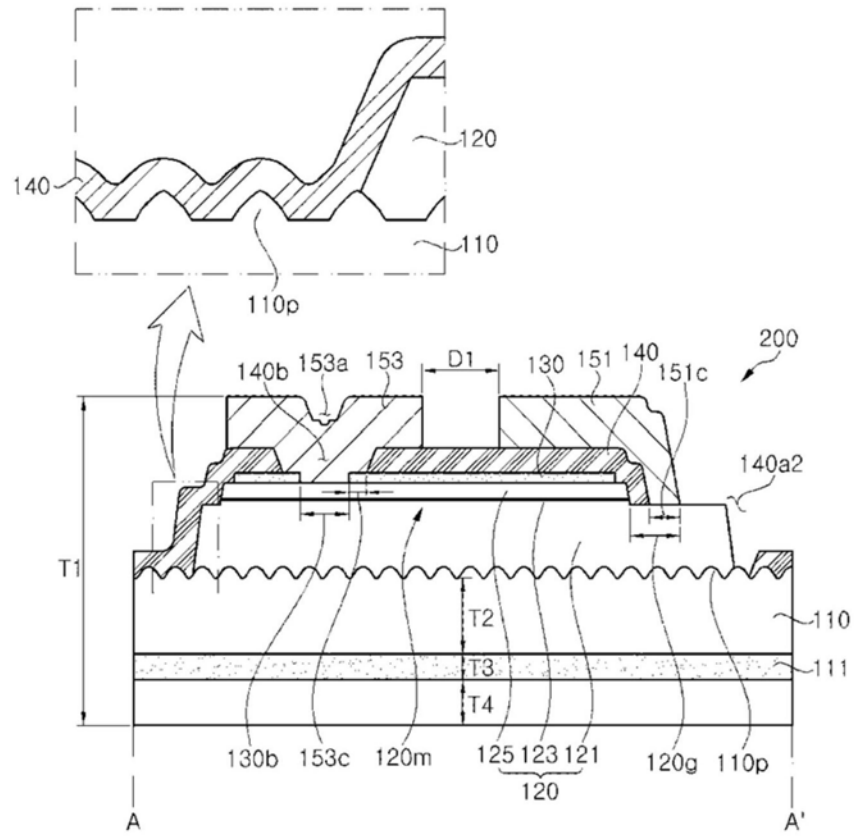


图20b

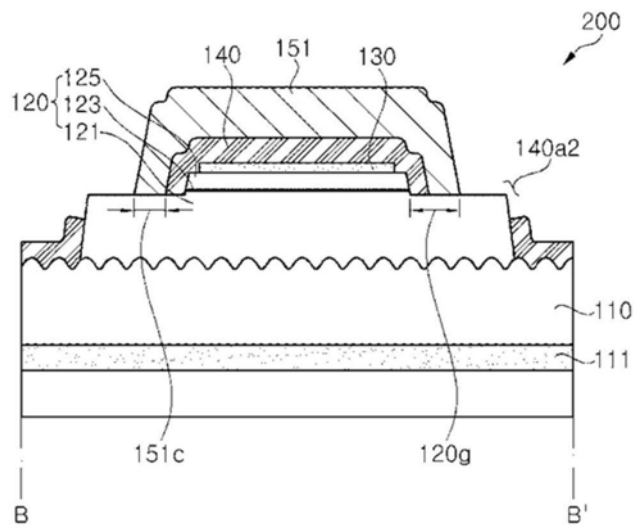


图21a

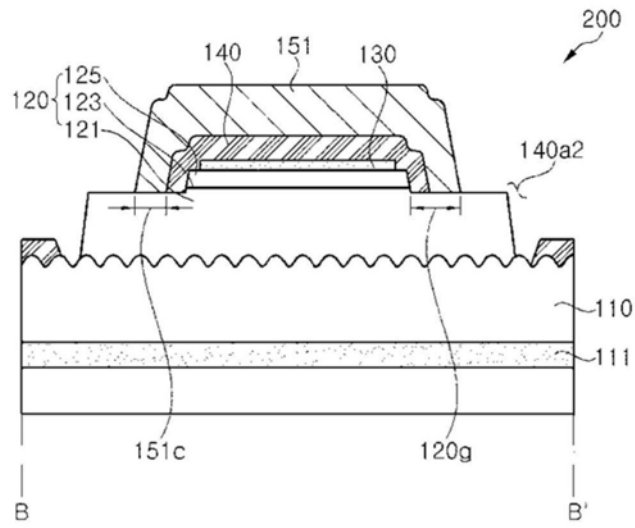


图21b

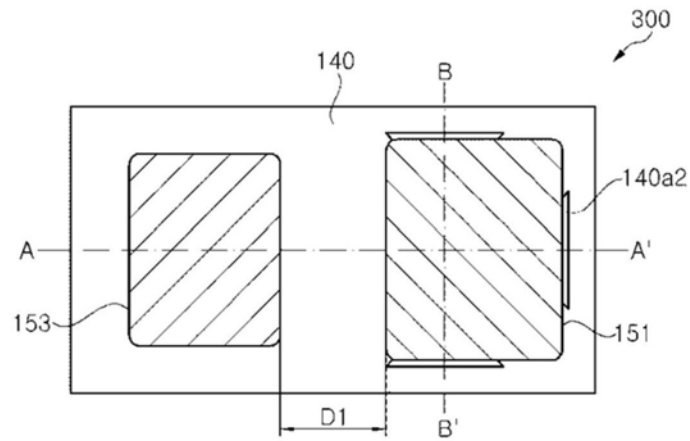


图22

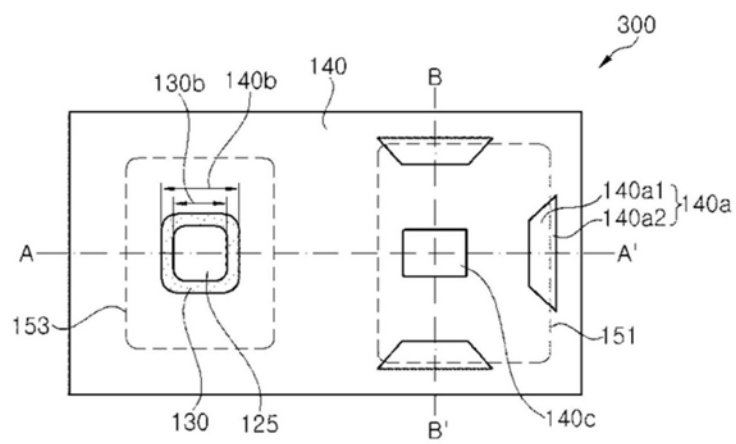


图23



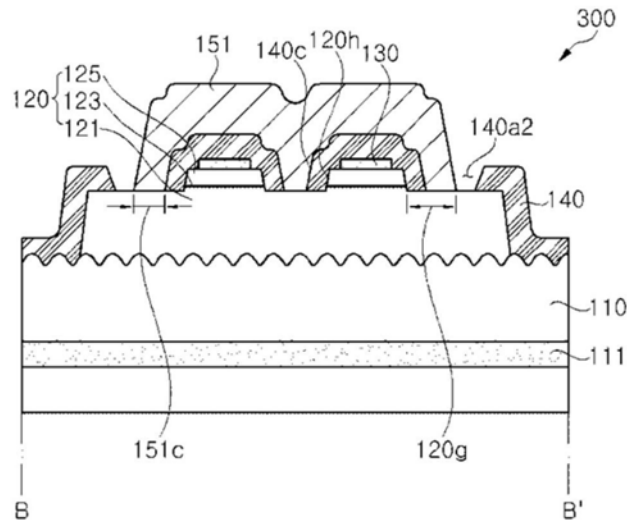


图26

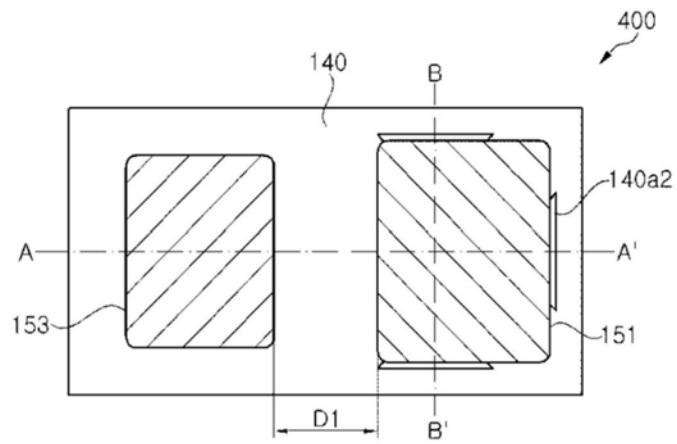


图27

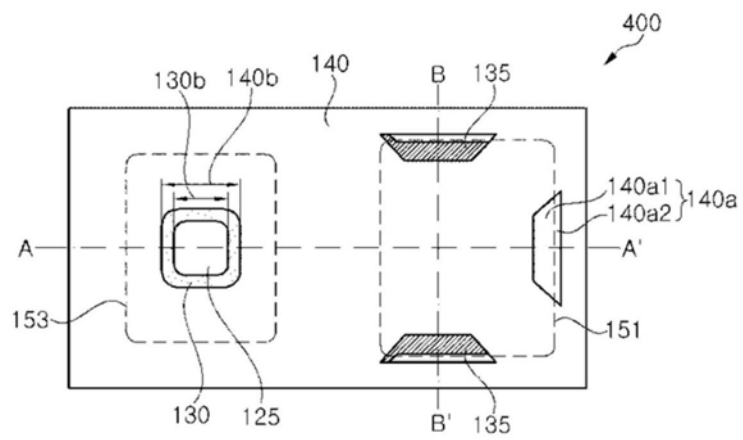


图28

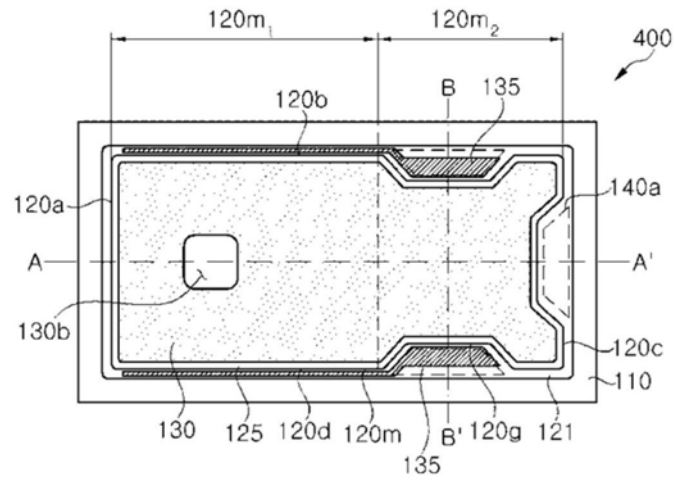


图29

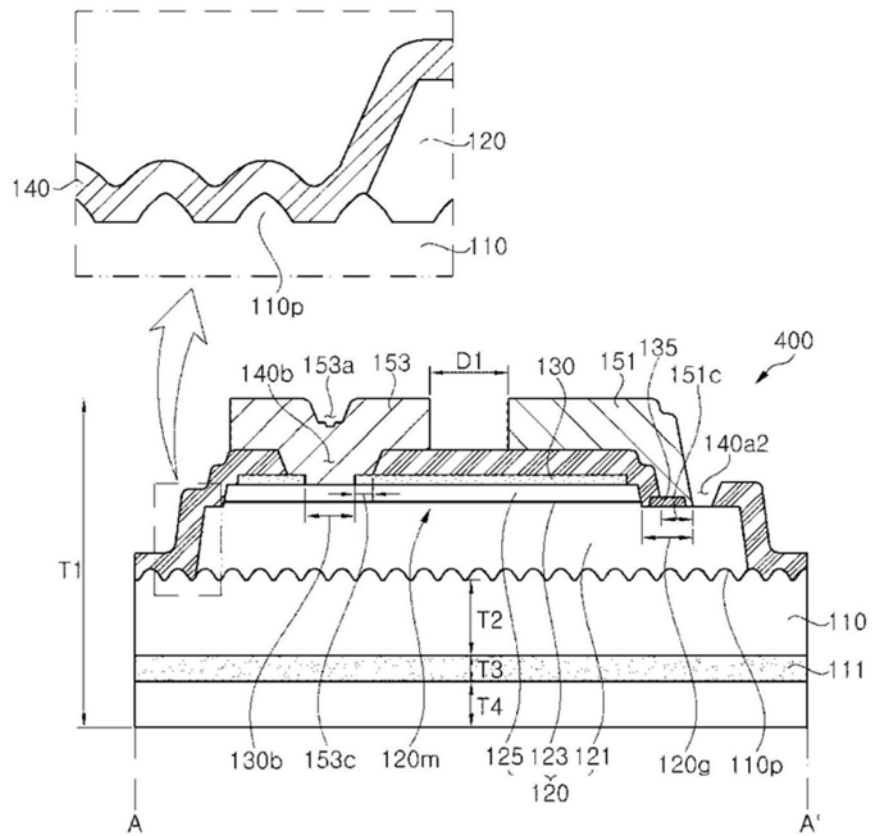


图30

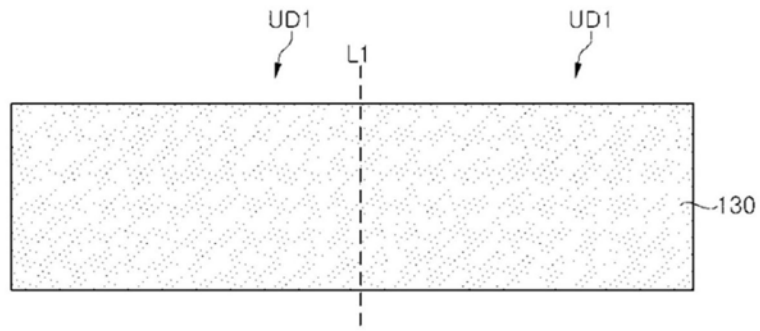


图33a

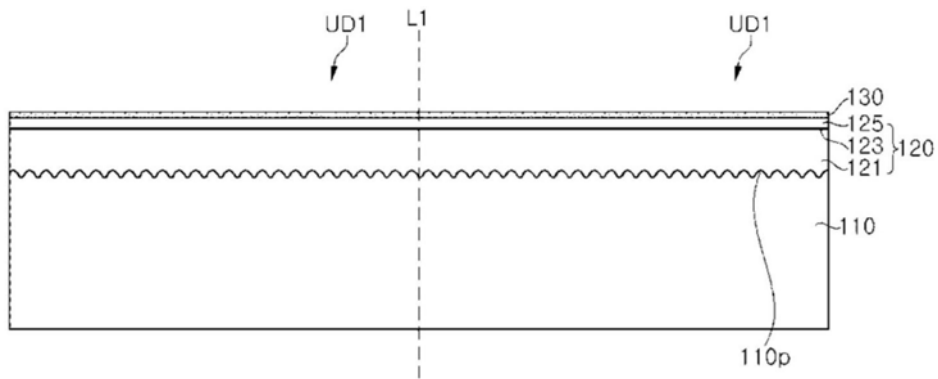


图33b

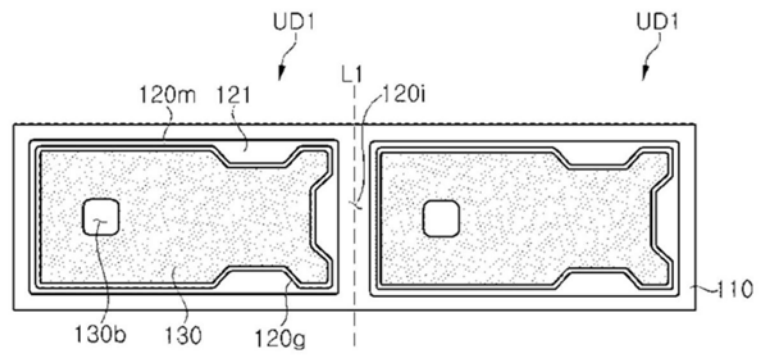


图34a

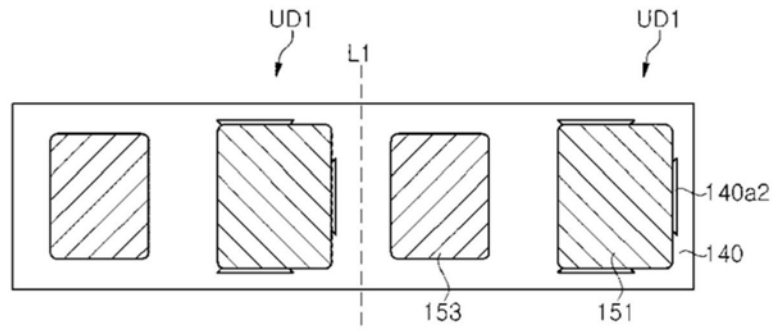


图36a

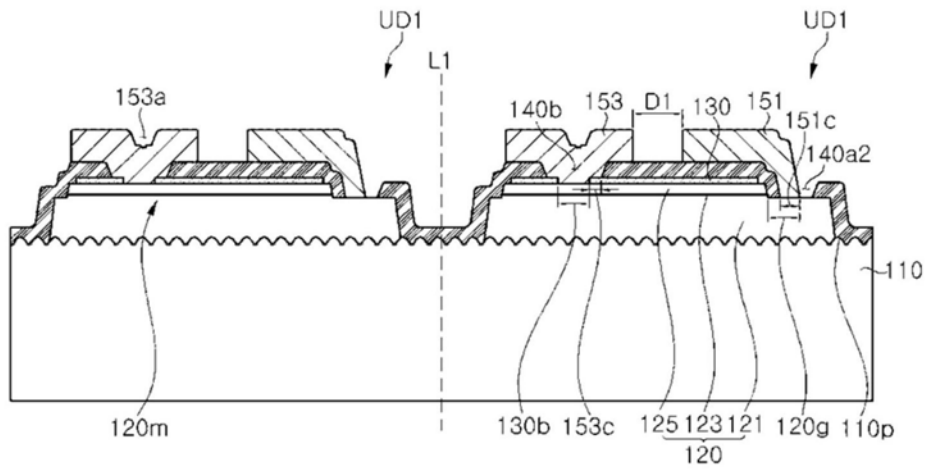


图36b

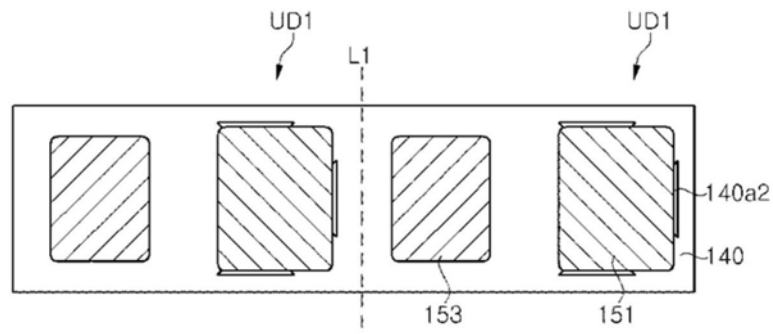


图37a

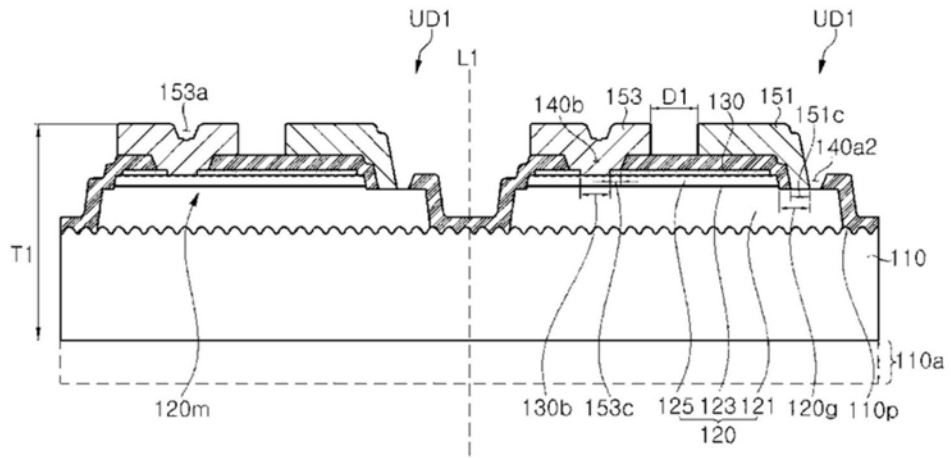


图37b

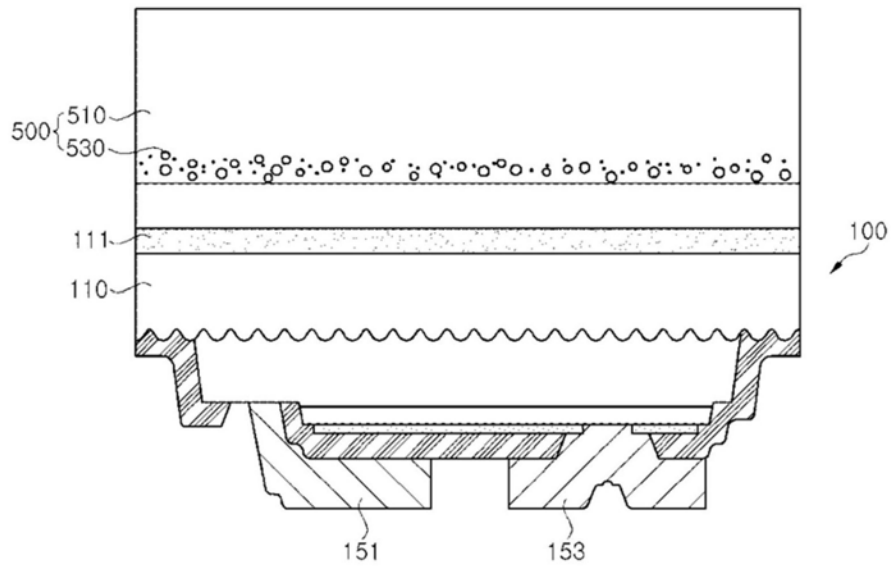


图38

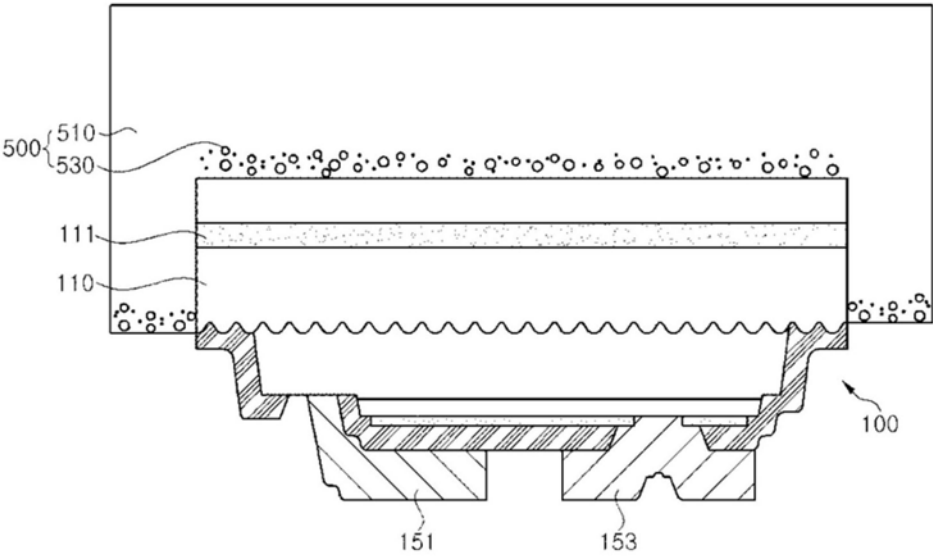


图39

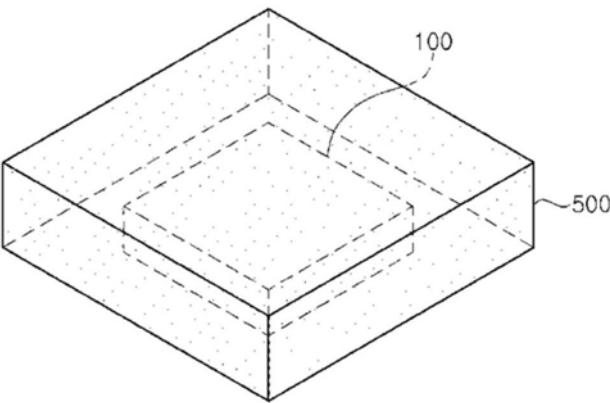


图40

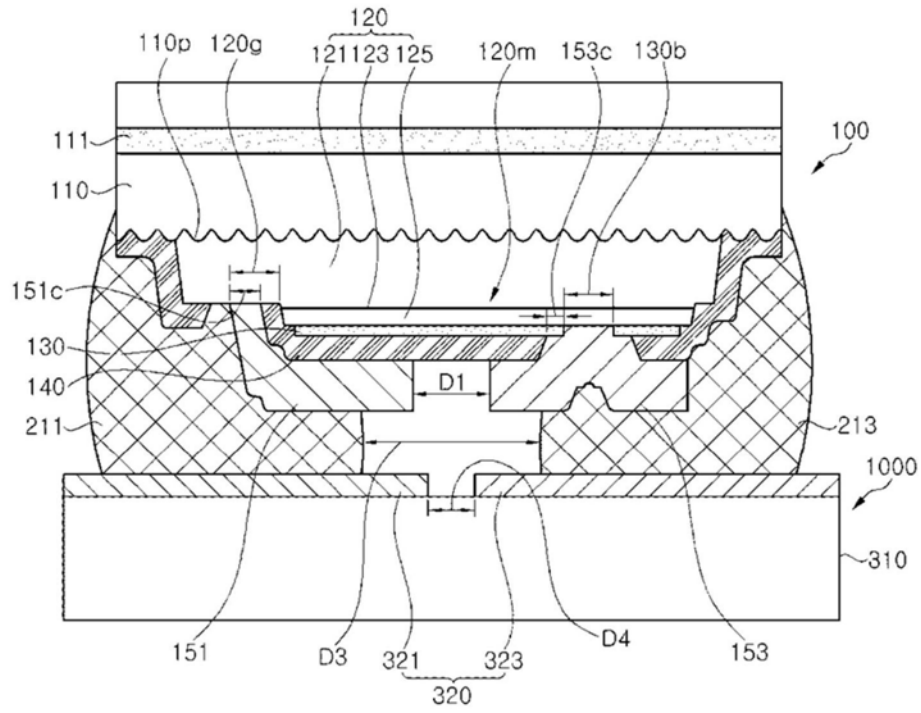


图41

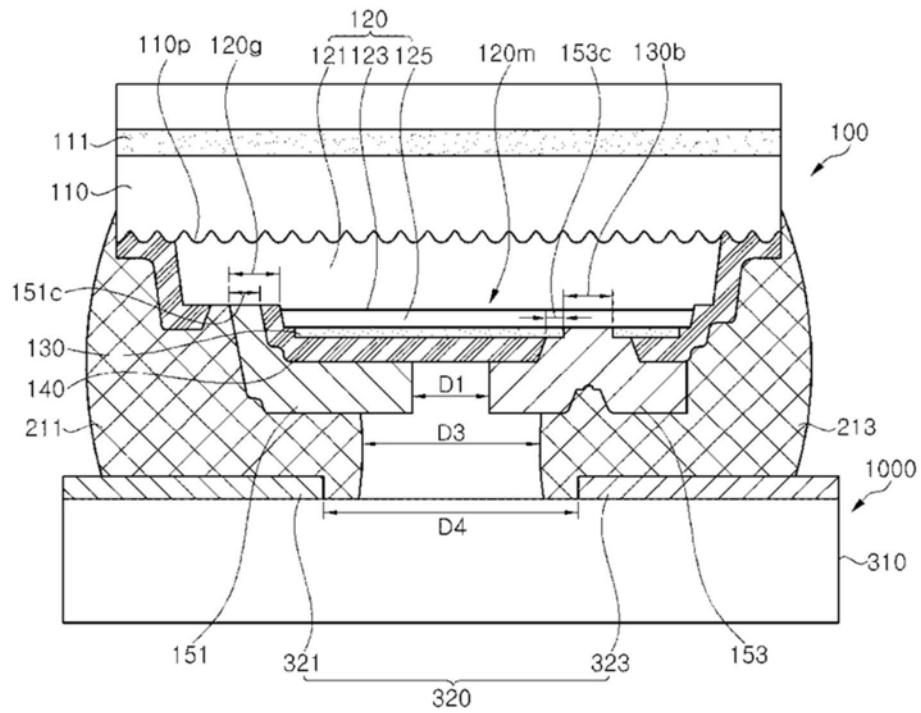


图42

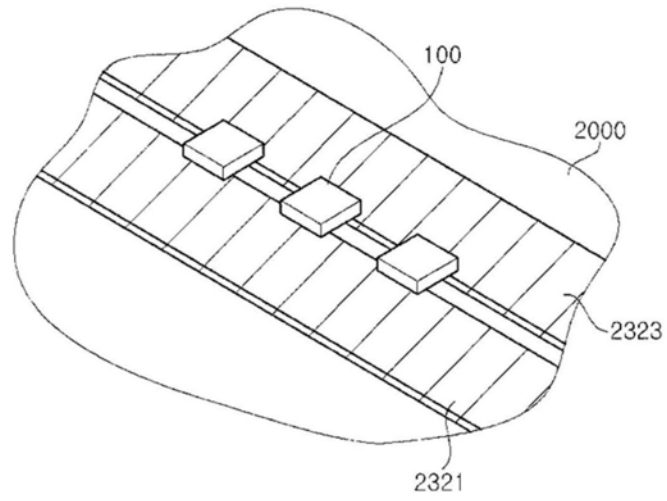


图43(a)

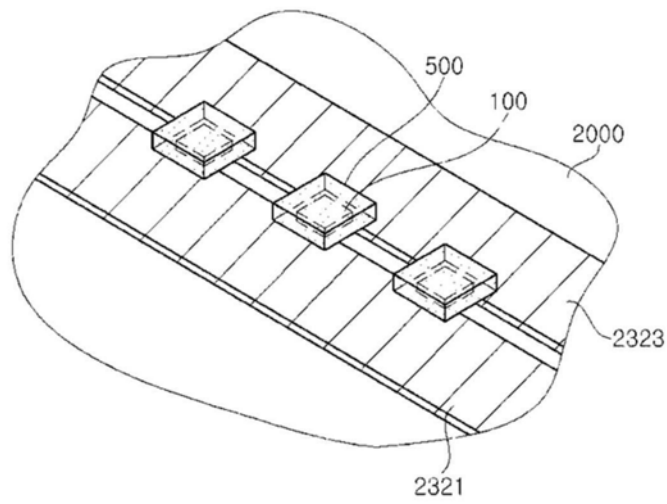


图43(b)

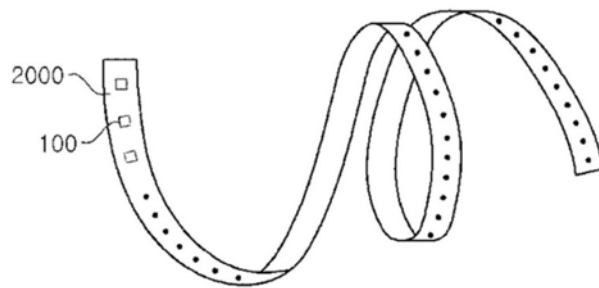


图44

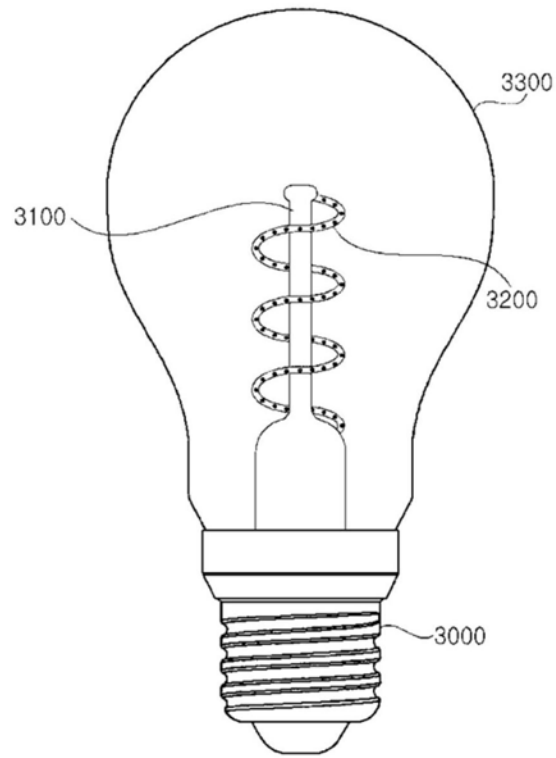


图45

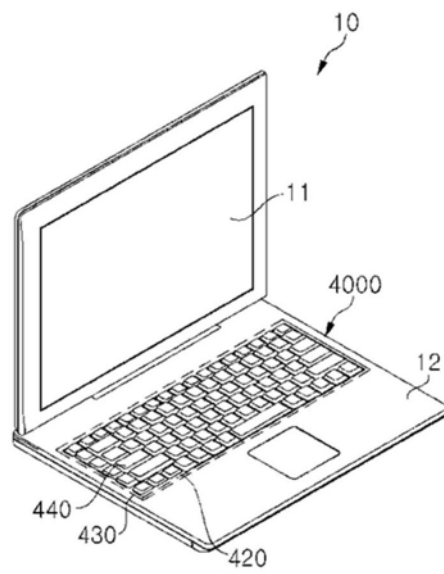


图46(a)

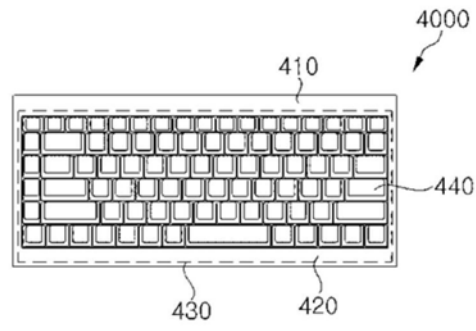


图46 (b)

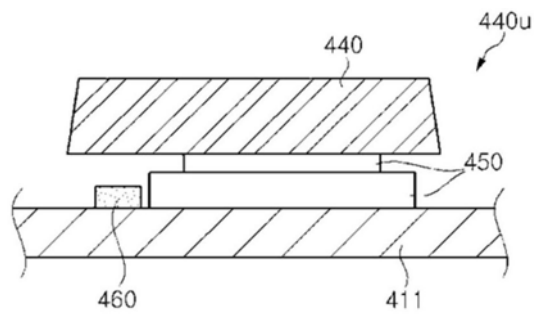


图47

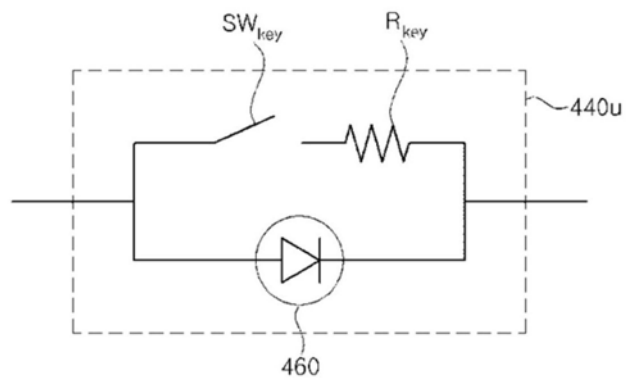


图48

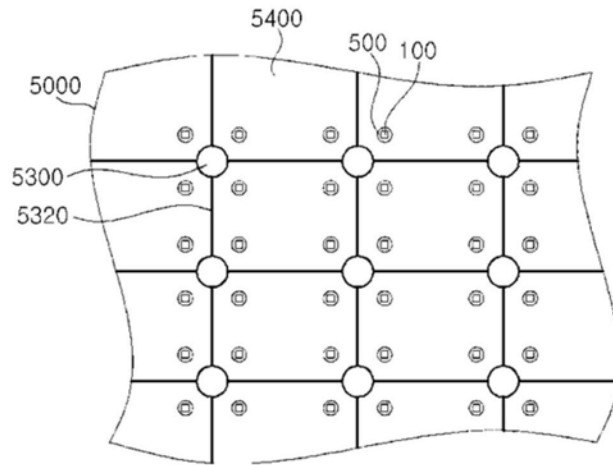


图49

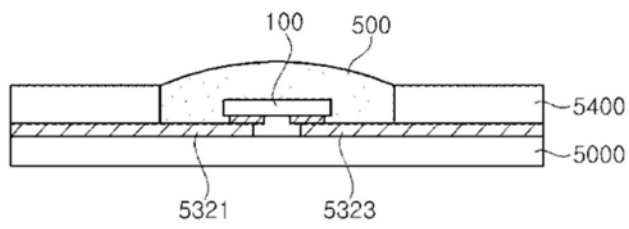


图50