

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2023 年 2 月 9 日 (09.02.2023)



(10) 国际公布号
WO 2023/010635 A1

- (51) 国际专利分类号:
G09G 3/20 (2006.01) **G09G 3/26** (2006.01)
- (21) 国际申请号: PCT/CN2021/115642
- (22) 国际申请日: 2021 年 8 月 31 日 (31.08.2021)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202110897495.2 2021 年 8 月 5 日 (05.08.2021) CN
- (71) 申请人: 武汉华星光电技术有限公司 (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430079 (CN)。
- (72) 发明人: 李明月 (LI, Mingyue); 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430079 (CN)。田超 (TIAN, Chao); 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430079 (CN)。管延庆 (GUAN, Yanqing); 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430079 (CN)。艾飞 (AI, Fei);

中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430079 (CN)。刘广辉 (LIU, Guanghui); 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430079 (CN)。

(74) 代理人: 深圳紫藤知识产权代理有限公司 (PURPLEVINE INTELLECTUAL PROPERTY (SHENZHEN) CO., LTD.); 中国广东省深圳市南山区粤海街道大冲社区华润置地大厦 C 座 2901, Guangdong 518052 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(54) Title: GATE DRIVE CIRCUIT AND DISPLAY PANEL

(54) 发明名称: 栅极驱动电路及显示面板

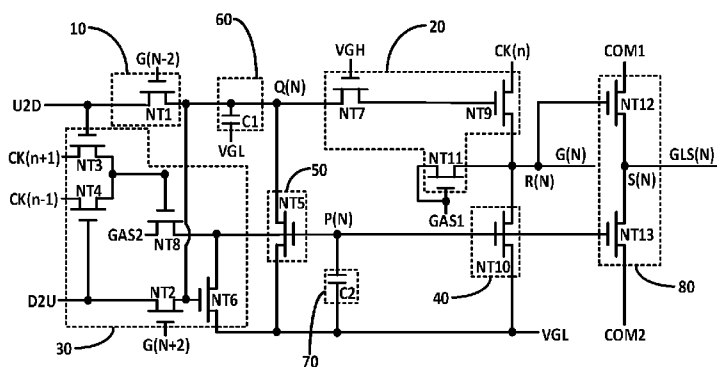


图 2

(57) Abstract: The present application discloses a gate drive circuit and a display panel. The gate drive circuit comprises a plurality of cascaded gate drive modules. A first drive signal can be output by means of a first output node, and a second drive signal having the same phase as the first drive signal can be output by means of a second output node. Moreover, the first output node and a pull-down node are shared by gate drive sub-modules and non-inverting output sub-modules, such that the circuit topology of the gate drive circuit is simplified.

(57) 摘要: 本申请公开了一种栅极驱动电路及显示面板, 该栅极驱动电路包括多个级联的栅极驱动模块, 通过第一输出节点可以输出第一驱动信号, 同时通过第二输出节点可以输出与第一驱动信号相位相同的第二驱动信号, 而且通过栅极驱动子模块、同相输出子模块共用第一输出节点及下拉节点, 简化了栅极驱动电路的电路拓扑结构。



WO 2023/010635 A1

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

发明名称：栅极驱动电路及显示面板

技术领域

[0001] 本申请涉及显示面板制造领域，尤其涉及一种栅极驱动电路及显示面板。

背景技术

[0002] 栅极驱动电路，又可以称为GOA（Gate Driver On Array，阵列基板行驱动）电路，其利用现有薄膜晶体管显示器的阵列（Array）基板制程将栅极（Gate）行扫描驱动信号电路制作在阵列基板上，以实现Gate逐行扫描的驱动方式。

[0003] 如图1所示，传统技术方案中的栅极驱动电路包括多个级联的栅极驱动单元，栅极驱动单元通常包括上拉控制模块1、上拉模块2、下拉控制模块3以及下拉模块4，其中，上拉控制模块1与上拉模块2电性连接以形成第一节点N1，下拉控制模块3与下拉模块4电性连接以形成第二节点N2，反馈模块5电连接于第一节点N1与第二节点N2之间，上拉模块2与下拉模块4电性连接以形成第三节点N3，其中，第三节点N3用于输出对应的扫描信号。

[0004] 但是，上述传统技术方案中的任一级栅极驱动单元通常不能够输出相位相同的两个扫描信号，或者输出相位相同的两个扫描信号需要电路拓扑结构复杂的栅极驱动单元，如此不利于显示行业的发展需要。

[0005] 需要注意的是，上述关于背景技术的介绍仅仅是为了便于清楚、完整地理解本申请的技术方案。因此，不能仅仅由于其出现在本申请的背景技术中，而认为上述所涉及到的技术方案为本领域所属技术人员所公知。

发明概述

技术问题

[0006] 本申请提供一种栅极驱动电路及显示面板，以缓解输出多个同相位驱动信号的栅极驱动电路的电路拓扑结构过于复杂的技术问题。

问题的解决方案

技术解决方案

[0007] 第一方面，本申请提供一种栅极驱动电路，栅极驱动电路包括多个级联的栅极

驱动模块，其中一个栅极驱动模块包括栅极驱动子模块和同相输出子模块，栅极驱动子模块包括第一输出节点和下拉节点，第一输出节点用于输出第一驱动信号；同相输出子模块包括第一控制节点、第二控制节点以及第二输出节点，第一控制节点与第一输出节点电性连接，第二控制节点与下拉节点电性连接，第二输出节点用于输出第二驱动信号，且第二驱动信号的相位与第一驱动信号的相位相同。

[0008] 在其中一些实施方式中，其中一个栅极驱动模块还包括第一走线、第二走线、第三走线以及第四走线，第一走线与栅极驱动子模块电性连接，用于传输第一恒压低电位信号；第二走线与同相输出子模块电性连接，用于传输第二恒压低电位信号；第三走线与栅极驱动子模块电性连接，用于传输第一恒压高电位信号；第四走线与同相输出子模块电性连接，用于传输第二恒压高电位信号。

[0009] 在其中一些实施方式中，栅极驱动子模块包括上拉单元和下拉单元，下拉单元的输出端与上拉单元的输出端和第一输出节点电性连接。

[0010] 在其中一些实施方式中，栅极驱动子模块还包括下拉控制单元，下拉控制单元的输出端与下拉单元的控制端和下拉节点电性连接。

[0011] 第二方面，本申请提供一种栅极驱动电路，栅极驱动电路包括多个级联的栅极驱动模块，其中一个栅极驱动模块包括第一晶体管、第二晶体管、第三晶体管以及第四晶体管，第一晶体管的源极/漏极中的一个与第一输出节点电性连接，第一输出节点用于输出第一驱动信号；第二晶体管的源极/漏极中的一个与第一输出节点电性连接，第二晶体管的栅极与下拉节点电性连接；第三晶体管的栅极与第一输出节点电性连接，第三晶体管的源极/漏极中的一个与第二输出节点电性连接，第二输出节点用于输出第二驱动信号；第四晶体管的栅极与下拉节点电性连接，第四晶体管的源极/漏极中的一个与第二输出节点电性连接；其中，第一驱动信号的相位与第二驱动信号的相位相同。

[0012] 在其中一些实施方式中，其中一个栅极驱动模块还包括第五晶体管，第五晶体管的源极/漏极中的一个与第一晶体管的栅极电性连接。

[0013] 在其中一些实施方式中，其中一个栅极驱动模块还包括第一走线、第二走线、第三走线以及第四走线，第一走线与第二晶体管的源极/漏极中的另一个电性连

接，用于传输第一恒压低电位信号；第二走线与第四晶体管的源极/漏极中的另一个电性连接，用于传输第二恒压低电位信号；第三走线与第五晶体管的栅极电性连接，用于传输第一恒压高电位信号；第四走线与第三晶体管的源极/漏极中的另一个电性连接，用于传输第二恒压高电位信号。

[0014] 第三方面，本申请提供一种显示面板，其包括上述任一实施方式中的栅极驱动电路、多条扫描线以及遮光金属层，其中一条扫描线与第一输出节点/第二输出节点中的一个电性连接；遮光金属层包括至少一个遮光金属块，至少一个遮光金属块与第一输出节点/第二输出节点中的另一个电性连接。

[0015] 在其中一些实施方式中，显示面板还包括显示区和非显示区，至少一个遮光金属块位于显示区；其中一条扫描线的至少部分位于非显示区。

[0016] 在其中一些实施方式中，在显示面板的厚度方向上，其中一条扫描线与至少一个遮光金属块至少部分重叠。

发明的有益效果

有益效果

[0017] 本申请提供的栅极驱动电路及显示面板，通过第一输出节点可以输出第一驱动信号，同时通过第二输出节点可以输出与第一驱动信号相位相同的第二驱动信号，不仅可以输出多个同相位的驱动信号，而且通过栅极驱动子模块、同相输出子模块共用第一输出节点及下拉节点，简化了栅极驱动电路的电路拓扑结构，进而有利于实现显示面板的窄边框。

对附图的简要说明

附图说明

[0018] 图1为传统技术方案中的栅极驱动电路的结构示意图。

[0019] 图2为本申请实施例提供的栅极驱动电路的第一种结构示意图。

[0020] 图3为本申请实施例提供的栅极驱动电路的第二种结构示意图。

[0021] 图4为本申请实施例提供的栅极驱动电路的第三种结构示意图。

[0022] 图5为本申请实施例提供的栅极驱动电路的第四种结构示意图。

[0023] 图6为本申请实施例提供的栅极驱动电路的第五种结构示意图。

[0024] 图7为本申请实施例提供的栅极驱动电路的时序示意图。

发明实施例

本发明的实施方式

- [0025] 为使本申请的目的、技术方案及效果更加清楚、明确，以下参照附图并举实施例对本申请进一步详细说明。应当理解，此处所描述的具体实施例仅用以解释本申请，并不用于限定本申请。
- [0026] 请参阅图2至图7，如图2所示，本实施例提供了一种栅极驱动电路，栅极驱动电路包括多个级联的栅极驱动模块，其中一个栅极驱动模块包括栅极驱动子模块和同相输出子模块80，栅极驱动子模块包括第一输出节点R(N)和下拉节点P(N)，第一输出节点R(N)用于输出第一驱动信号；同相输出子模块80包括第一控制节点、第二控制节点以及第二输出节点S(N)，第一控制节点与第一输出节点R(N)电性连接，第二控制节点与下拉节点P(N)电性连接，第二输出节点S(N)用于输出第二驱动信号GLS(N)，且第二驱动信号GLS(N)的相位与第一驱动信号的相位相同。
- [0027] 可以理解的是，本实施例提供的栅极驱动电路，通过第一输出节点R(N)可以输出第一驱动信号，同时通过第二输出节点S(N)可以输出与第一驱动信号相位相同的第二驱动信号GLS(N)，不仅可以输出多个同相位的驱动信号，而且通过栅极驱动子模块、同相输出子模块80共用第一输出节点R(N)及下拉节点P(N)，简化了栅极驱动电路的电路拓扑结构，进而有利于实现显示面板的窄边框。
- [0028] 需要进行说明的是，在本实施例中，对应的控制节点可以为对应薄膜晶体管的栅极，如第一控制节点可以为第一薄膜晶体管NT12的栅极，第二控制节点可以为第二薄膜晶体管NT13的栅极。其中，第一驱动信号也可以为第N级扫描信号G(N)。
- [0029] 在其中一个实施例中，其中一个栅极驱动模块还包括第一走线、第二走线、第三走线以及第四走线，第一走线与栅极驱动子模块电性连接，用于传输第一恒压低电位信号VGL；第二走线与同相输出子模块80电性连接，用于传输第二恒压低电位信号COM2；第三走线与栅极驱动子模块电性连接，用于传输第一恒压高电位信号VGH；第四走线与同相输出子模块80电性连接，用于传输第二恒压高电

位信号COM1。

[0030] 可以理解的是，在本实施例中，栅极驱动子模块、同相输出子模块80分别独立使用一组恒压高电位信号和恒压低电位信号，在两者实现同相输出的基础上，又可以实现两者的独立可调，有利于满足显示面板的多样化需求。

[0031] 其中，第二恒压高电位信号COM1的电位可以小于或者等于第一恒压高电位信号VGH的电位。第二恒压低电位信号COM2的电位可以等于或者近似等于第一恒压低电位信号VGL的电位。

[0032] 在其中一个实施例中，同相输出子模块80可以包括第一薄膜晶体管NT12和第二薄膜晶体管NT13，第一薄膜晶体管NT12的源极/漏极中的一个与第四走线电性连接，第一薄膜晶体管NT12的栅极与第一输出节点R(N)电性连接，第一薄膜晶体管NT12的源极/漏极中的另一个与第二薄膜晶体管NT13的源极/漏极中的一个和第二输出节点S(N)电性连接，第二薄膜晶体管NT13的栅极与下拉节点P(N)电性连接，第二薄膜晶体管NT13的源极/漏极中的另一个与第二走线电性连接。

[0033] 在其中一个实施例中，栅极驱动子模块包括上拉单元20和下拉单元40，下拉单元40的输出端与上拉单元20的输出端和第一输出节点R(N)电性连接。

[0034] 在其中一个实施例中，上拉单元20包括第三薄膜晶体管NT9，第三薄膜晶体管NT9的源极/漏极中的一个与第五走线电性连接，第三薄膜晶体管NT9的源极/漏极中的另一个与第一输出节点R(N)电性连接。

[0035] 其中，第五走线可以用于传输第n个时钟信号CK(n)，n可以为正整数。

[0036] 在其中一个实施例中，上拉单元20还包括第四薄膜晶体管NT7，第四薄膜晶体管NT7的源极/漏极中的一个与第三薄膜晶体管NT9的栅极电性连接，第四薄膜晶体管NT7的栅极与第三走线电性连接。

[0037] 在其中一个实施例中，上拉单元20还包括第五薄膜晶体管NT11，第五薄膜晶体管NT11的源极/漏极中的一个与第一输出节点R(N)电性连接，第五薄膜晶体管NT11的栅极与第六走线和第五薄膜晶体管NT11的源极/漏极中的另一个电性连接。

[0038] 其中，第六走线可以用于传输第一全局控制信号GAS1。

- [0039] 在其中一个实施例中，下拉单元40包括第六薄膜晶体管NT10，第六薄膜晶体管NT10的源极/漏极中的一个与第一输出节点R(N)电性连接，第六薄膜晶体管NT10的栅极与下拉节点P(N)电性连接，第六薄膜晶体管NT10的源极/漏极中的另一个与第一走线电性连接。
- [0040] 在其中一个实施例中，栅极驱动子模块还包括下拉控制单元30，下拉控制单元30的输出端与下拉单元40的控制端和下拉节点P(N)电性连接。
- [0041] 在其中一个实施例中，下拉控制单元30包括第七薄膜晶体管NT3、第八薄膜晶体管NT8以及第九薄膜晶体管NT4，第七薄膜晶体管NT3的源极/漏极中的一个与第七走线电性连接，第七薄膜晶体管NT3的栅极与第八走线电性连接，第七薄膜晶体管NT3的源极/漏极中的另一个与第八薄膜晶体管NT8的栅极电性连接，第八薄膜晶体管NT8的源极/漏极中的一个与第九走线电性连接，第八薄膜晶体管NT8的源极/漏极中的另一个与下拉节点P(N)电性连接，第九薄膜晶体管NT4的源极/漏极中的一个与第十走线电性连接，第九薄膜晶体管NT4的源极/漏极中的另一个与第八薄膜晶体管NT8的栅极电性连接，第九薄膜晶体管NT4的栅极与第十一走线电性连接。
- [0042] 其中，第七走线可以用于传输第 $n+1$ 个时钟信号CK($n+1$)。第八走线可以用于传输正向扫描控制信号U2D。第九走线可以用于传输第二全局控制信号GAS2。第十走线可以用于传输第 $n-1$ 个时钟信号CK($n-1$)。第十一走线可以用于传输反向扫描控制信号D2U。
- [0043] 在其中一个实施例中，下拉控制单元30包括第十薄膜晶体管NT2和第十一薄膜晶体管NT6，第十薄膜晶体管NT2的源极/漏极中的一个与第十一走线电性连接，第十薄膜晶体管NT2的栅极与第十二走线电性连接，第十薄膜晶体管NT2的源极/漏极中的另一个与上拉节点Q(N)和第十一薄膜晶体管NT6的栅极电性连接，第十一薄膜晶体管NT6的源极/漏极中的一个与第一布线电性连接，第十一薄膜晶体管NT6的源极/漏极中的另一个与下拉节点P(N)电性连接。
- [0044] 其中，第十二走线可以用于传输第 $N+2$ 级扫描信号G($N+2$)。
- [0045] 在其中一个实施例中，栅极驱动子模块还包括输入单元10，输入单元10的输出端与上拉节点Q(N)电性连接。

- [0046] 在其中一个实施例中，输入单元10包括第十二薄膜晶体管NT5，第十二薄膜晶体管NT5的源极/漏极中的一个与第八走线电性连接，第十二薄膜晶体管NT5的栅极与第十三走线电性连接，第十二薄膜晶体管NT5的源极/漏极中的另一个与上拉节点Q(N)和第四薄膜晶体管NT7的源极/漏极中的另一个电性连接。
- [0047] 其中，第十三走线可以用于传输第N-2级扫描信号G(N-2)。
- [0048] 在其中一个实施例中，栅极驱动子模块还包括反馈单元50，反馈单元50的输入端与第一布线电性连接，反馈单元50的控制端与下拉节点P(N)电性连接，反馈单元50的输出端与上拉节点Q(N)电性连接。
- [0049] 在其中一个实施例中，反馈单元50包括第十三薄膜晶体管NT1，第十三薄膜晶体管NT1的源极/漏极中的一个与第一布线电性连接，第十三薄膜晶体管NT1的栅极与下拉节点P(N)电性连接，第十三薄膜晶体管NT1的源极/漏极中的另一个与上拉节点Q(N)电性连接。
- [0050] 在其中一个实施例中，栅极驱动子模块还包括第一稳压单元60，第一稳压单元60的一端与第一布线电性连接，第一稳压单元60的另一端与上拉节点Q(N)电性连接。
- [0051] 在其中一个实施例中，第一稳压单元60包括第一电容C1，第一电容C1的一端与第一布线电性连接，第一电容C1的另一端与上拉节点Q(N)电性连接。
- [0052] 在其中一个实施例中，栅极驱动子模块还包括第二稳压单元70，第二稳压单元70的一端与第一布线电性连接，第二稳压单元70的另一端与下拉节点P(N)电性连接。
- [0053] 在其中一个实施例中，第二稳压单元70包括第二电容C2，第二电容C2的一端与第一布线电性连接，第二电容C2的另一端与下拉节点P(N)电性连接。
- [0054] 在其中一个实施例中，第一薄膜晶体管NT12至第十三薄膜晶体管NT1中的至少一个可以但不限于为N沟道型薄膜晶体管，也可以对应调整为P沟道型薄膜晶体管。
- [0055] 在其中一个实施例中，图3所示的栅极驱动模块与图2所示的栅极驱动模块的区别在于，当n等于1时，且N也等于1时，第三薄膜晶体管NT9的源极/漏极中的一个用于接入第一时钟信号CK(1)，第七薄膜晶体管NT3的源极/漏极中的一个用

于接入第二时钟信号CK (2)，第九薄膜晶体管NT4的源极/漏极中的一个用于接入第四时钟信号CK (3)，第十二薄膜晶体管NT5的栅极用于接入第负一级扫描信号G (-1)，该第负一级扫描信号G (-1) 可以采用起始信号进行代替，第十薄膜晶体管NT2的栅极用于接入第三级扫描信号G (3)，对应地，此时，第一输出节点R (N) 输出的第一驱动信号可以作为第一级扫描信号G (1)，第二输出节点S (N) 输出的第二驱动信号GLS (N) 可以为驱动信号GLS (1)。

[0056] 在其中一个实施例中，图4所示的栅极驱动模块与图2所示的栅极驱动模块的区别在于，当n等于2时，且N也等于2时，第三薄膜晶体管NT9的源极/漏极中的一个用于接入第二时钟信号CK (2)，第七薄膜晶体管NT3的源极/漏极中的一个用于接入第三时钟信号CK (3)，第九薄膜晶体管NT4的源极/漏极中的一个用于接入第一时钟信号CK (1)，第十二薄膜晶体管NT5的栅极用于接入第零级扫描信号G (0)，该第零级扫描信号G (0) 可以也可以采用另一起始信号进行代替，第十薄膜晶体管NT2的栅极用于接入第四级扫描信号G (4)，对应地，此时，第一输出节点R (N) 输出的第一驱动信号可以作为第二级扫描信号G (2)，第二输出节点S (N) 输出的第二驱动信号GLS (N) 可以为驱动信号GLS (2)。

[0057] 在其中一个实施例中，图5所示的栅极驱动模块与图2所示的栅极驱动模块的区别在于，当n等于3时，且N也等于3时，第三薄膜晶体管NT9的源极/漏极中的一个用于接入第三时钟信号CK (3)，第七薄膜晶体管NT3的源极/漏极中的一个用于接入第四时钟信号CK (4)，第九薄膜晶体管NT4的源极/漏极中的一个用于接入第二时钟信号CK (2)，第十二薄膜晶体管NT5的栅极用于接入第一级扫描信号G (1)，第十薄膜晶体管NT2的栅极用于接入第五级扫描信号G (5)，对应地，此时，第一输出节点R (N) 输出的第一驱动信号可以作为第三级扫描信号G (3)，第二输出节点S (N) 输出的第二驱动信号GLS (N) 可以为驱动信号GLS (3)。

[0058] 在其中一个实施例中，图6所示的栅极驱动模块与图2所示的栅极驱动模块的区别在于，当n等于4时，且N也等于4时，第三薄膜晶体管NT9的源极/漏极中的一个用于接入第四时钟信号CK (4)，第七薄膜晶体管NT3的源极/漏极中的一个用于接入第一时钟信号CK (1)，第九薄膜晶体管NT4的源极/漏极中的一个用于接

入第三时钟信号CK (3)，第十二薄膜晶体管NT5的栅极用于接入第二级扫描信号G (2)，第十薄膜晶体管NT2的栅极用于接入第六级扫描信号G (6)，对应地，此时，第一输出节点R (N) 输出的第一驱动信号可以作为第四级扫描信号G (4)，第二输出节点S (N) 输出的第二驱动信号GLS (N) 可以为驱动信号GLS (4)。

[0059] 综上所述，本申请提供的栅极驱动电路可以循环使用四条时钟信号线既可以正常工作，减小了时钟信号线的使用数量，有利于实现窄边框。当然，本申请提供的栅极驱动电路也可以采用其他使用数量的时钟信号线，例如，六条或者八条等等。

[0060] 如图7所示，基于上述分析，本申请提供的栅极驱动电路的工作时序可以为如下：

[0061] 在栅极驱动电路的正常工作过程中，第一全局控制信号GAS1可以为低电位信号，第二全局控制信号GAS2可以为高电位信号。当显示面板进入触控阶段时，第一全局控制信号GAS1可以为高电位信号，第二全局控制信号GAS2可以为低电位信号。第二恒压高电位信号COM1可以持续为高电位。第二恒压低电位信号COM2也可以持续为低电位。

[0062] 第一时钟信号CK (1) 可以同时输出为相位相同的第一级扫描信号G (1) 和驱动信号GLS (1)。

[0063] 第二时钟信号CK (2) 可以同时输出为相位相同的第二级扫描信号G (2) 和驱动信号GLS (2)。

[0064] 第三时钟信号CK (3) 可以同时输出为相位相同的第三级扫描信号G (3) 和驱动信号GLS (3)。

[0065] 第四时钟信号CK (4) 可以同时输出为相位相同的第四级扫描信号G (4) 和驱动信号GLS (4)。

[0066] 在其中一个实施例中，本实施例提供一种栅极驱动电路，栅极驱动电路包括多个级联的栅极驱动模块，其中一个栅极驱动模块包括第一晶体管、第二晶体管、第三晶体管以及第四晶体管，第一晶体管的源极/漏极中的一个与第一输出节点R (N) 电性连接，第一输出节点R (N) 用于输出第一驱动信号；第二晶体管

的源极/漏极中的一个与第一输出节点R(N)电性连接,第二晶体管的栅极与下拉节点P(N)电性连接;第三晶体管的栅极与第一输出节点R(N)电性连接,第三晶体管的源极/漏极中的一个与第二输出节点S(N)电性连接,第二输出节点S(N)用于输出第二驱动信号GLS(N);第四晶体管的栅极与下拉节点P(N)电性连接,第四晶体管的源极/漏极中的一个与第二输出节点S(N)电性连接;其中,第一驱动信号的相位与第二驱动信号GLS(N)的相位相同。

[0067] 可以理解的是,本实施例提供的栅极驱动电路,通过第一输出节点R(N)可以输出第一驱动信号,同时通过第二输出节点S(N)可以输出与第一驱动信号相位相同的第二驱动信号GLS(N),不仅可以输出多个同相位的驱动信号,而且通过共用第一输出节点R(N)及下拉节点P(N),简化了栅极驱动电路的电路拓扑结构,进而有利于实现显示面板的窄边框。

[0068] 需要进行说明的是,第一晶体管可以为上述实施例中的第三薄膜晶体管NT9。第二晶体管可以为上述实施例中的第六薄膜晶体管NT10。第三晶体管可以为上述实施例中的第一薄膜晶体管NT12。第四晶体管可以为上述实施例中的第二薄膜晶体管NT13。

[0069] 在其中一个实施例中,其中一个栅极驱动模块还包括第五晶体管,第五晶体管的源极/漏极中的一个与第一晶体管的栅极电性连接。

[0070] 需要进行说明的是,第五晶体管可以为上述实施例中的第四薄膜晶体管NT7。

[0071] 在其中一个实施例中,第一走线与第二晶体管的源极/漏极中的另一个电性连接,用于传输第一恒压低电位信号VGL;第二走线与第四晶体管的源极/漏极中的另一个电性连接,用于传输第二恒压低电位信号COM2;第三走线与第五晶体管的栅极电性连接,用于传输第一恒压高电位信号VGH;第四走线与第三晶体管的源极/漏极中的另一个电性连接,用于传输第二恒压高电位信号COM1。

[0072] 在其中一个实施例中,本实施例提供一种显示面板,其包括上述任一实施例中的栅极驱动电路、多条扫描线以及遮光金属层,其中一条扫描线与第一输出节点R(N)/第二输出节点S(N)中的一个电性连接;遮光金属层包括至少一个遮光金属块,至少一个遮光金属块与第一输出节点R(N)/第二输出节点S(N)中的另一个电性连接。

- [0073] 可以理解的是，本实施例提供的显示面板，通过第一输出节点R(N)可以输出第一驱动信号，同时通过第二输出节点S(N)可以输出与第一驱动信号相位相同的第二驱动信号GLS(N)，不仅可以输出多个同相位的驱动信号，而且通过共用第一输出节点R(N)及下拉节点P(N)，简化了栅极驱动电路的电路拓扑结构，进而有利于实现显示面板的窄边框。同时，对应的扫描线和遮光金属层通入相同相位的驱动信号，可以降低两者之间的电压差，进而降低对应遮光金属块的耦合效应，可以减少或者避免遮光金属块对应的薄膜晶体管误开关或者漏电流。
- [0074] 需要进行说明的是，显示面板可以包括阵列基板，阵列基板设置有多薄膜晶体管，每个薄膜晶体管具有至少一个有源区，每个遮光金属块可以用于为一个有源区进行遮光，可以稳定对应薄膜晶体管的工作状态。
- [0075] 在其中一个实施例中，显示面板还包括显示区和非显示区，至少一个遮光金属块位于显示区；其中一条扫描线的至少部分位于非显示区。
- [0076] 在其中一个实施例中，在显示面板的厚度方向上，其中一条扫描线与至少一个遮光金属块至少部分重叠。
- [0077] 可以理解的是，对本领域普通技术人员来说，可以根据本申请的技术方案及其发明构思加以等同替换或改变，而所有这些改变或替换都应属于本申请所附的权利要求的保护范围。

权利要求书

- [权利要求 1] 一种栅极驱动电路，所述栅极驱动电路包括多个级联的栅极驱动模块，其中一个栅极驱动模块包括：
- 栅极驱动子模块，所述栅极驱动子模块包括第一输出节点和下拉节点，所述第一输出节点用于输出第一驱动信号；和
- 同相输出子模块，所述同相输出子模块包括第一控制节点、第二控制节点以及第二输出节点，所述第一控制节点与所述第一输出节点电性连接，所述第二控制节点与所述下拉节点电性连接，所述第二输出节点用于输出第二驱动信号，且所述第二驱动信号的相位与所述第一驱动信号的相位相同。
- [权利要求 2] 根据权利要求1所述的栅极驱动电路，其中，所述其中一个栅极驱动模块还包括：
- 第一走线，与所述栅极驱动子模块电性连接，用于传输第一恒压低电位信号；
- 第二走线，与所述同相输出子模块电性连接，用于传输第二恒压低电位信号；
- 第三走线，与所述栅极驱动子模块电性连接，用于传输第一恒压高电位信号；以及
- 第四走线，与所述同相输出子模块电性连接，用于传输第二恒压高电位信号。
- [权利要求 3] 根据权利要求1所述的栅极驱动电路，其中，所述栅极驱动子模块包括：
- 上拉单元；和
- 下拉单元，所述下拉单元的输出端与所述上拉单元的输出端和所述第一输出节点电性连接。
- [权利要求 4] 根据权利要求3所述的栅极驱动电路，其中，所述栅极驱动子模块还包括：
- 下拉控制单元，所述下拉控制单元的输出端与所述下拉单元的控制端

和所述下拉节点电性连接。

[权利要求 5] 根据权利要求4所述的栅极驱动电路，其中，所述栅极驱动子模块还包括：

输入单元，所述输入单元的输出端与所述上拉节点电性连接。

[权利要求 6] 根据权利要求5所述的栅极驱动电路，其中，所述栅极驱动子模块还包括：

反馈单元，所述反馈单元的输入端与第一布线电性连接，所述反馈单元的控制端与所述下拉节点电性连接，所述反馈单元的输出端与所述上拉节点电性连接。

[权利要求 7] 根据权利要求6所述的栅极驱动电路，其中，所述栅极驱动子模块还包括：

第一稳压单元，所述第一稳压单元的一端与所述第一布线电性连接，所述第一稳压单元的另一端与所述上拉节点电性连接。

[权利要求 8] 根据权利要求7所述的栅极驱动电路，其中，所述栅极驱动子模块还包括：

第二稳压单元，所述第二稳压单元的一端与所述第一布线电性连接，所述第二稳压单元的另一端与所述下拉节点电性连接。

[权利要求 9] 根据权利要求8所述的栅极驱动电路，其中，所述同相输出子模块包括：

第一薄膜晶体管，所述第一薄膜晶体管的源极/漏极中的一个与第四走线电性连接，所述第一薄膜晶体管的栅极与所述第一输出节点电性连接；和

第二薄膜晶体管，所述第二薄膜晶体管的源极/漏极中的一个与所述第一薄膜晶体管的源极/漏极中的另一个和所述第二输出节点电性连接，所述第二薄膜晶体管的栅极与所述下拉节点电性连接，所述第二薄膜晶体管的源极/漏极中的另一个与第二走线电性连接。

[权利要求 10] 根据权利要求9所述的栅极驱动电路，其中，所述上拉单元包括：

第三薄膜晶体管，所述第三薄膜晶体管的源极/漏极中的一个与第五

走线电性连接，所述第三薄膜晶体管的源极/漏极中的另一个与所述第一输出节点电性连接。

[权利要求 11] 根据权利要求10所述的栅极驱动电路，其中，所述上拉单元还包括：第四薄膜晶体管，所述第四薄膜晶体管的源极/漏极中的一个与所述第三薄膜晶体管的栅极电性连接，所述第四薄膜晶体管的栅极与第三走线电性连接。

[权利要求 12] 根据权利要求11所述的栅极驱动电路，其中，所述上拉单元还包括：第五薄膜晶体管，所述第五薄膜晶体管的源极/漏极中的一个与所述第一输出节点电性连接，所述第五薄膜晶体管的栅极与第六走线和所述第五薄膜晶体管的源极/漏极中的另一个电性连接。

[权利要求 13] 根据权利要求12所述的栅极驱动电路，其中，所述下拉单元包括：第六薄膜晶体管，所述第六薄膜晶体管的源极/漏极中的一个与所述第一输出节点电性连接，所述第六薄膜晶体管的栅极与所述下拉节点电性连接，所述第六薄膜晶体管的源极/漏极中的另一个与所述第一走线电性连接。

[权利要求 14] 根据权利要求13所述的栅极驱动电路，其中，所述下拉控制单元包括：

第七薄膜晶体管，所述第七薄膜晶体管的源极/漏极中的一个与第七走线电性连接，所述第七薄膜晶体管的栅极与第八走线电性连接；第八薄膜晶体管，所述第八薄膜晶体管的栅极与所述第七薄膜晶体管的源极/漏极中的另一个与电性连接，所述第八薄膜晶体管的源极/漏极中的一个与第九走线电性连接，所述第八薄膜晶体管的源极/漏极中的另一个与所述下拉节点电性连接；以及第九薄膜晶体管，所述第九薄膜晶体管的源极/漏极中的一个与第十走线电性连接，所述第九薄膜晶体管的源极/漏极中的另一个与所述第八薄膜晶体管的栅极电性连接，所述第九薄膜晶体管的栅极与第十一走线电性连接。

[权利要求 15] 一种栅极驱动电路，所述栅极驱动电路包括多个级联的栅极驱动模块

，其中一个栅极驱动模块包括：

第一晶体管NT9，所述第一晶体管的源极/漏极中的一个与第一输出节点电性连接，所述第一输出节点用于输出第一驱动信号；

第二晶体管NT10，所述第二晶体管的源极/漏极中的一个与所述第一输出节点电性连接，所述第二晶体管的栅极与下拉节点电性连接；

第三晶体管NT12，所述第三晶体管的栅极与所述第一输出节点电性连接，所述第三晶体管的源极/漏极中的一个与第二输出节点电性连接，所述第二输出节点用于输出第二驱动信号；以及

第四晶体管NT13，所述第四晶体管的栅极与所述下拉节点电性连接，所述第四晶体管的源极/漏极中的一个与所述第二输出节点电性连接；

其中，所述第一驱动信号的相位与所述第二驱动信号的相位相同。

[权利要求 16] 根据权利要求15所述的栅极驱动电路，其中，所述其中一个栅极驱动模块还包括：

第五晶体管，所述第五晶体管的源极/漏极中的一个与所述第一晶体管的栅极电性连接。

[权利要求 17] 根据权利要求16所述的栅极驱动电路，其中，所述其中一个栅极驱动模块还包括：

第一走线，与所述第二晶体管的源极/漏极中的另一个电性连接，用于传输第一恒压低电位信号；

第二走线，与所述第四晶体管的源极/漏极中的另一个电性连接，用于传输第二恒压低电位信号；

第三走线，与所述第五晶体管的栅极电性连接，用于传输第一恒压高电位信号；以及

第四走线，与所述第三晶体管的源极/漏极中的另一个电性连接，用于传输第二恒压高电位信号。

[权利要求 18] 一种显示面板，包括：

如权利要求1所述的栅极驱动电路；

多条扫描线，其中一条扫描线与所述第一输出节点/所述第二输出节点中的一个电性连接；以及
遮光金属层，所述遮光金属层包括至少一个遮光金属块，所述至少一个遮光金属块与所述第一输出节点/所述第二输出节点中的另一个电性连接。

[权利要求 19] 根据权利要求18所述的显示面板，其中，所述显示面板还包括：
显示区，所述至少一个遮光金属块位于所述显示区；和
非显示区，所述其中一条扫描线的至少部分位于所述非显示区。

[权利要求 20] 根据权利要求18所述的显示面板，其中，在所述显示面板的厚度方向上，所述其中一条扫描线与所述至少一个遮光金属块至少部分重叠。

附 图

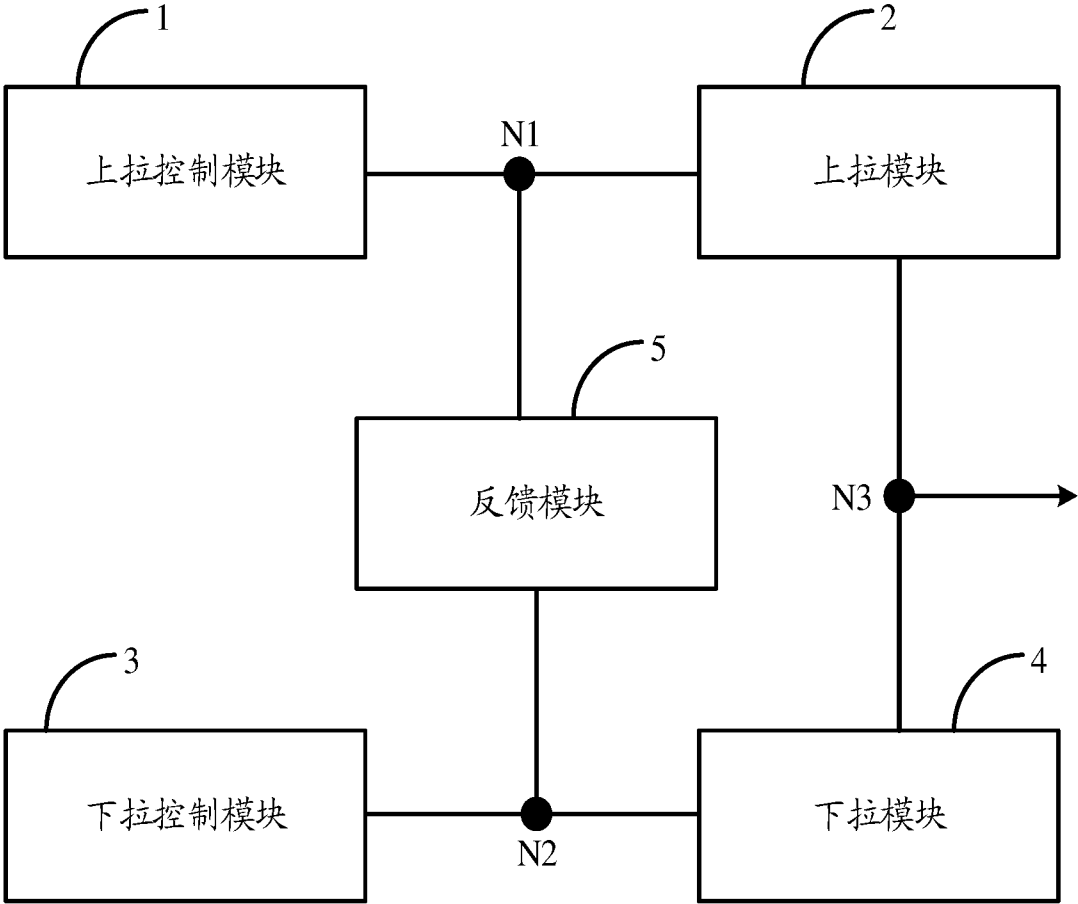


图 1

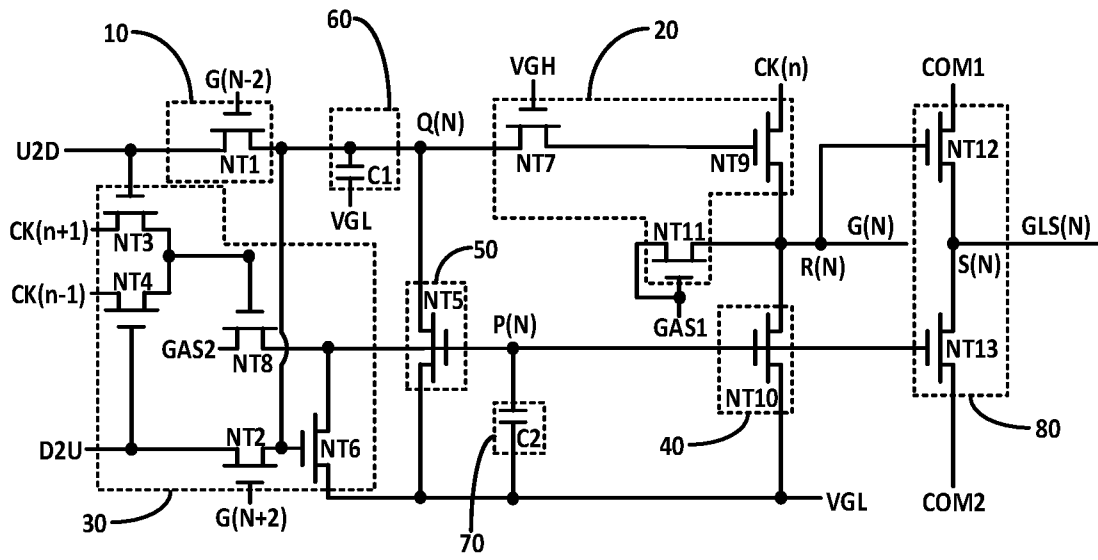


图 2

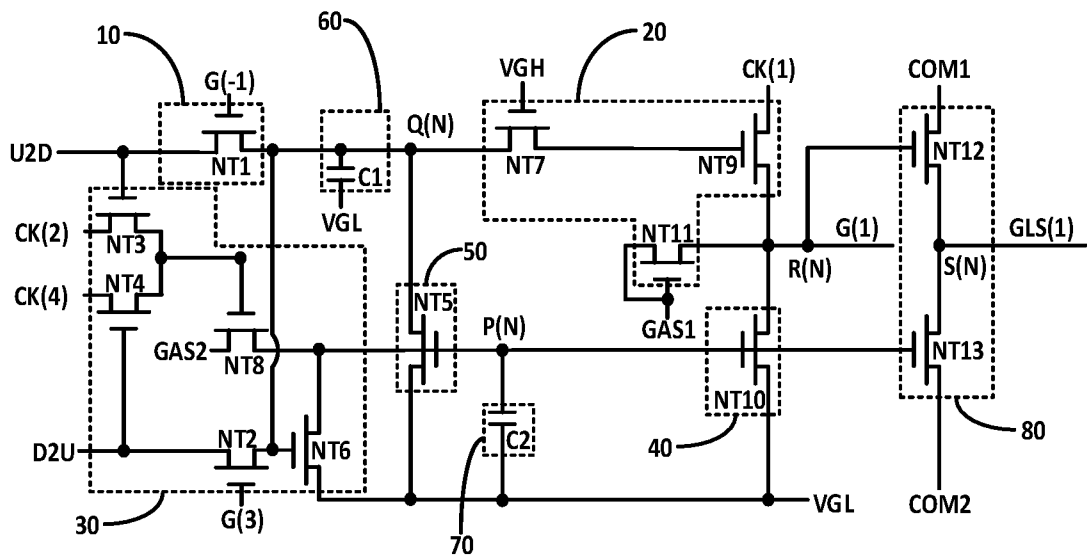


图 3

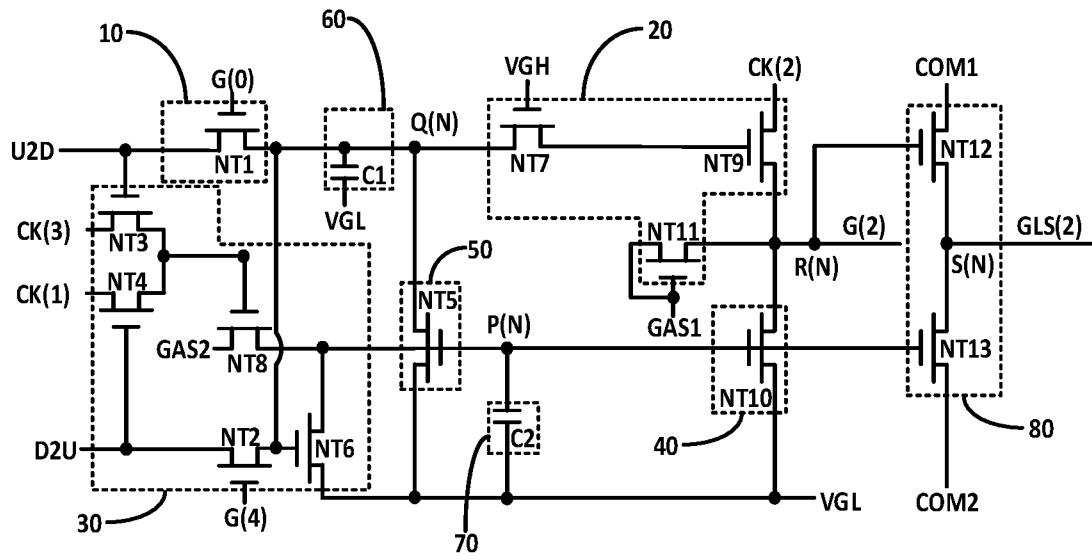


图 4

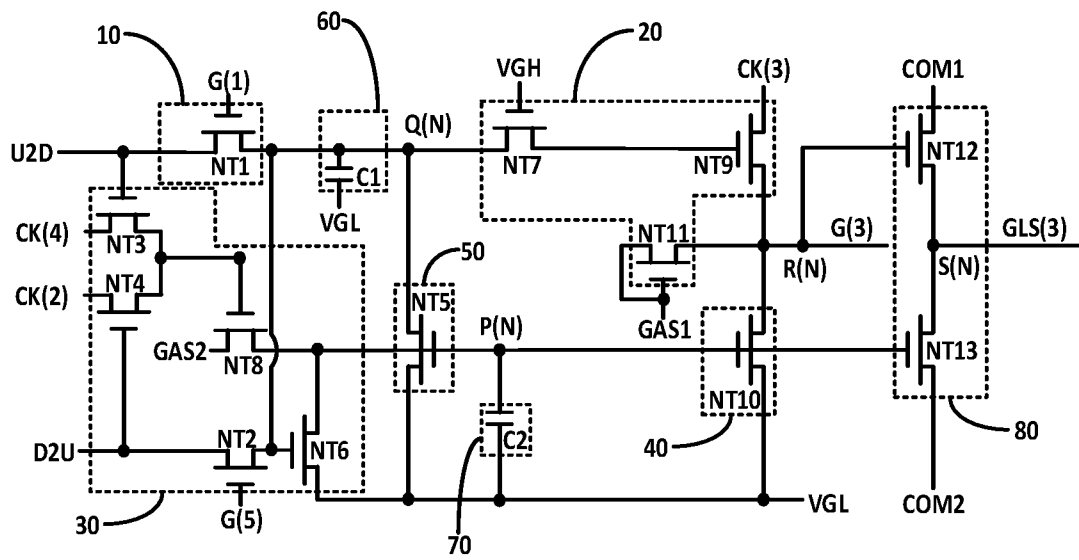


图 5

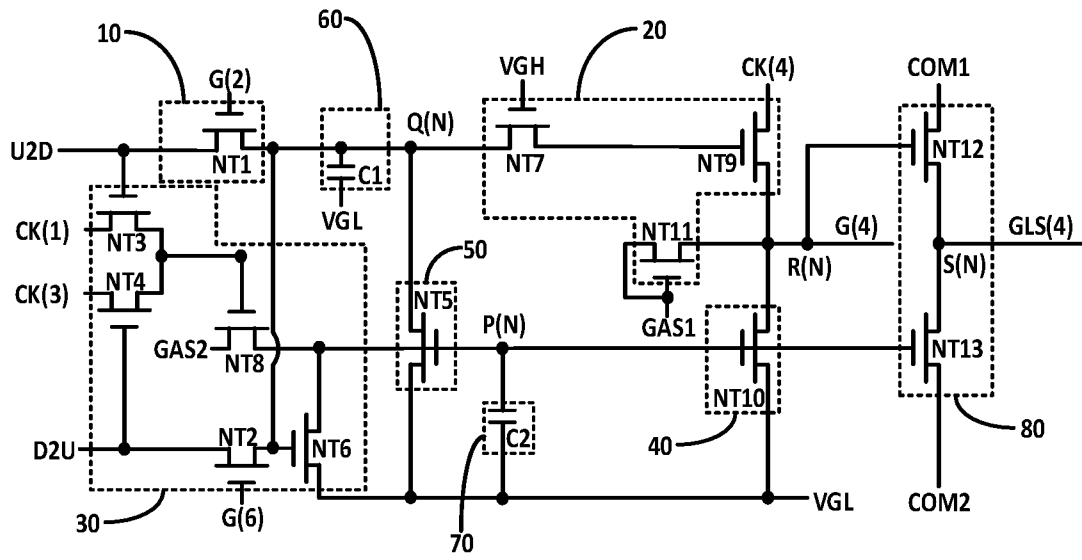


图 6

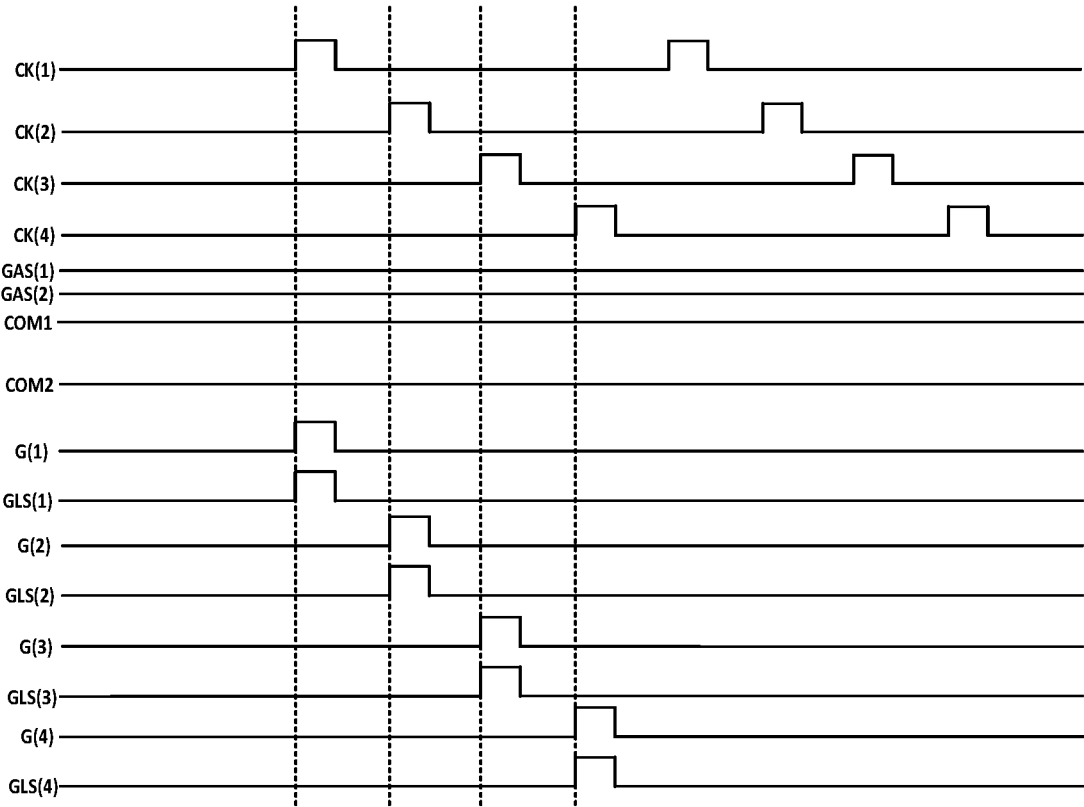


图 7

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/115642

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/20(2006.01)i; G09G 3/26(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, WPI, EPODOC, CNKI, IEEE: 显示, 栅极, 驱动, 相同, 相位, 第一, 第二, 输出, 信号, 晶体管, 遮光, display, gate, drive, same, phase, first, second, output, signal, transistor, light, block

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 103208251 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 17 July 2013 (2013-07-17) description, paragraphs [0024]-[0092], and figures 1-5	1, 2, 18-20
Y	CN 103208251 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 17 July 2013 (2013-07-17) description, paragraphs [0024]-[0092], and figures 1-5	3-8
Y	CN 112509531 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 16 March 2021 (2021-03-16) description, paragraphs [0030]-[0032], and figure 4	3-8
A	CN 104835476 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 12 August 2015 (2015-08-12) entire document	1-20
A	US 2020273418 A1 (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 27 August 2020 (2020-08-27) entire document	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

19 April 2022

Date of mailing of the international search report

29 April 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/115642

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	103208251	A	17 July 2013	WO	2014169626	A1	23 October 2014
				US	2015243237	A1	27 August 2015
				EP	2988306	A1	24 February 2016
				CN	103208251	B	29 July 2015
				US	9305509	B2	05 April 2016
				EP	2988306	A4	28 December 2016
CN	112509531	A	16 March 2021	None			
CN	104835476	A	12 August 2015	US	2016358666	A1	08 December 2016
				CN	104835476	B	15 September 2017
				US	9990897	B2	05 June 2018
US	2020273418	A1	27 August 2020	WO	2020107610	A1	04 June 2020
				CN	109493816	A	19 March 2019
				CN	109493816	B	04 August 2020
				US	10847107	B2	24 November 2020

国际检索报告

国际申请号

PCT/CN2021/115642

A. 主题的分类

G09G 3/20(2006.01)i; G09G 3/26(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, WPI, EPDOC, CNKI, IEEE: 显示, 栅极, 驱动, 相同, 相位, 第一, 第二, 输出, 信号, 晶体管, 遮光, display, gate, drive, same, phase, first, second, output, signal, transistor, light, block

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 103208251 A (京东方科技集团股份有限公司 等) 2013年7月17日 (2013 - 07 - 17) 说明书第[0024]-[0092]段、图1-5	1-2, 18-20
Y	CN 103208251 A (京东方科技集团股份有限公司 等) 2013年7月17日 (2013 - 07 - 17) 说明书第[0024]-[0092]段、图1-5	3-8
Y	CN 112509531 A (武汉华星光电技术有限公司) 2021年3月16日 (2021 - 03 - 16) 说明书第[0030]-[0032]段、图4	3-8
A	CN 104835476 A (京东方科技集团股份有限公司 等) 2015年8月12日 (2015 - 08 - 12) 全文	1-20
A	US 2020273418 A1 (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 2020年8月27日 (2020 - 08 - 27) 全文	1-20

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2022年4月19日

国际检索报告邮寄日期

2022年4月29日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

陈冬冰

电话号码 86-(10)-53961464

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/115642

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	103208251	A	2013年7月17日	WO	2014169626	A1	2014年10月23日
				US	2015243237	A1	2015年8月27日
				EP	2988306	A1	2016年2月24日
				CN	103208251	B	2015年7月29日
				US	9305509	B2	2016年4月5日
				EP	2988306	A4	2016年12月28日
CN	112509531	A	2021年3月16日	无			
CN	104835476	A	2015年8月12日	US	2016358666	A1	2016年12月8日
				CN	104835476	B	2017年9月15日
				US	9990897	B2	2018年6月5日
US	2020273418	A1	2020年8月27日	WO	2020107610	A1	2020年6月4日
				CN	109493816	A	2019年3月19日
				CN	109493816	B	2020年8月4日
				US	10847107	B2	2020年11月24日