(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년06월29일
(11) 등록번호 10-1160961
(24) 등록일자 2012년06월22일

(51) 국제특허분류(Int. Cl.)
H03M 1/12 (2006.01)
(21) 출원번호 10-2011-0038934
(22) 출원일자 2011년04월26일
심사청구일자 2011년04월26일
(56) 선행기술조사문헌
KR1020100081477 A
KR1020100081476 A
KR1020100038756 A

(73) 특허권자
서강대학교산학협력단
서울특별시 마포구 백범로 35 (신수동, 서강대학교)
(72) 발명자
이승훈
서울특별시 용산구 이촌로 324-10, 2동 210호 (이촌동, 반도아파트)
명성민
서울특별시 강서구 등촌로 137, 104동 1302호 (등촌동, 외5필지 대림아파트)
김효진
인천광역시 남동구 호구포로 803, 2203동 2101호 (구월동, 롯데캐슬골드)
(74) 대리인
특허법인충현

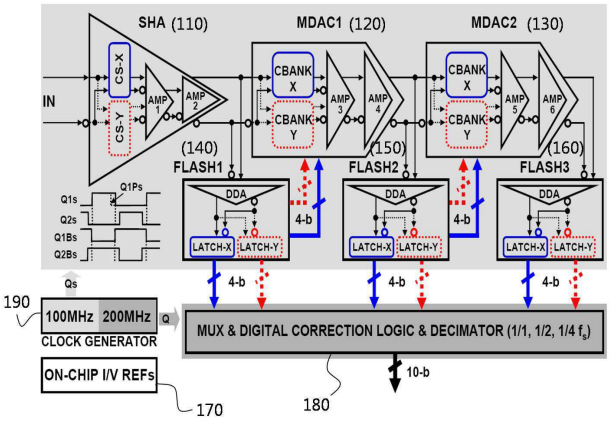
전체 청구항 수 : 총 13 항 심사관 : 장석환

(54) 발명의 명칭 **두 채널간에 증폭기 공유기법을 이용한 ADC**

(57) 요 약

본 발명은 SHA, MDAC, 및 flash ADC를 포함하는 ADC에 관한 것으로서, SHA 또는 MDAC의 입력단을 두 개의 채널로 구성하고, 두 개의 채널은 하나의 증폭기를 공유하도록 하며, flash ADC는 프리앰프와 두 개의 래치를 포함하여 구성하되, 두 개의 래치가 하나의 차동오차 증폭기 구조의 프리앰프를 공유하는 것을 특징으로 하며, ADC의 전력소모 중 가장 큰 부분을 차지하는 증폭기의 전력소모를 감소시키고, 증폭기로 인한 칩 면적도 감소시킬 수 있다.

대 표 도 - 도2



이 발명을 지원한 국가연구개발사업
과제고유번호 NRF 2010-0007618
부처명 교육과학기술부
연구사업명 한국연구재단 일반연구자지원사업
연구과제명 선택적 SHA 기반의 저전력 12비트 100MS/s 급 0.13um CMOS ADC 연구
주관기관 서강대학교 산학협력단
연구기간 2010.05.01 ~ 2013.04.30
이 발명을 지원한 국가연구개발사업
과제고유번호 NIPA-2011-C1090-1101-0003
부처명 지식경제부
연구사업명 지식경제부 대학 IT연구센터 육성지원사업
연구과제명 차세대 융복합 시스템용 아날로그 IP 핵심설계기술 개발
주관기관 서강대학교 산학협력단
연구기간 2010.06.01 ~ 2013.12.31

특허청구의 범위

청구항 1

SHA, MDAC, 및 flash ADC를 포함하는 ADC에 있어서,

상기 SHA 또는 상기 MDAC의 입력단을 두 개의 채널로 구성하고, 상기 두 개의 채널은 하나의 증폭기를 공유하도록 하며,

상기 flash ADC는 프리앰프와 두 개의 래치를 포함하여 구성하되, 상기 두 개의 래치가 하나의 차동오차 증폭기 구조의 프리앰프를 공유하는 것을 특징으로 하는 ADC.

청구항 2

제 1 항에 있어서,

상기 SHA에 형성되어 있는 두 개의 채널에 대응하는 각각의 샘플링 커패시터는 클록이 "HIGH"인 구간과 "LOW"인 구간에서 교대로 샘플링하는 것을 특징으로 하는 ADC.

청구항 3

제 2 항에 있어서,

상기 SHA에 포함된 공유된 증폭기는 상기 샘플링 속도의 2배의 속도로 출력 신호를 생성하는 것을 특징으로 하는 ADC.

청구항 4

제 1 항에 있어서,

상기 MDAC에 형성되어 있는 두 개의 채널에 대응하는 각각의 커패시터 열은 클록이 "HIGH"인 구간과 "LOW"인 구간에서 교대로 샘플링하는 것을 특징으로 하는 ADC.

청구항 5

제 4 항에 있어서,

상기 MDAC에 포함된 공유된 증폭기는 상기 샘플링 속도의 2배의 속도로 신호 증폭 동작을 수행하는 것을 특징으로 하는 ADC.

청구항 6

제 1 항에 있어서,

상기 SHA에 포함된 공유된 증폭기의 첫 번째 단은 두 개의 입력단을 가진 folded-cascode 증폭기이고, 두 번째 단은 common-source 증폭기인 것을 특징으로 하는 ADC.

청구항 7

제 1 항에 있어서,

상기 flash ADC는 비교기와 디지털 논리회로를 포함하고,

상기 비교기는 정궤환 동작을 하는 래치와 상기 래치를 구성하는 트랜지스터의 부정합으로 인해 발생하는 오프셋을 보상하기 위한 프리앰프로 구성되는 것을 특징으로 하는 ADC.

청구항 8

제 7 항에 있어서,

특정 기준 전압이 인가된 상기 비교기는 반대의 클록 위상에서 교대로 동작하는 두 개의 래치와 상기 두 개의 래치가 공유하는 하나의 프리앰프로 구성되는 것을 특징으로 하는 ADC.

청구항 9

제 8 항에 있어서,

상기 프리앰프는 DDA 구조인 것을 특징으로 하는 ADC.

청구항 10

제 1 항에 있어서,

상기 ADC는 다수의 병렬 채널을 이용하여 구성되는 TI 구조 기반인 것을 특징으로 하는 ADC.

청구항 11

제 1 항에 있어서,

클록 발생기와 디지털 교정회로를 더 포함하고,

상기 클록 발생기는 외부로부터 인가되는 f_s Hz 클록을 디지털 조합회로를 통해 4개 위상의 클록으로 변환하고, 상기 변환된 4개 위상의 클록으로부터 상기 디지털 교정회로에 사용되는 f_s Hz 내부클록을 생성하는 것을 특징으로 하는 ADC.

청구항 12

제 1 항에 있어서,

클록 발생기와 디지털 교정회로를 더 포함하고,

상기 클록 발생기는 외부로부터 인가되는 f_s Hz 클록을 플립플롭을 통해 이분주하고, 상기 이분주된 클록으로부터 디지털 조합회로를 통해 8개 위상의 클록을 생성하여 상기 SHA와 상기 MDAC에 제공하는 것을 특징으로 하는 ADC.

청구항 13

제 12 항에 있어서,

상기 플립플롭을 이용하여 외부 클록인 f_s Hz 클록과 상기 이분주된 클록까지의 게이트 지연시간을 동일하게 하는 것을 특징으로 하는 ADC.

명 세 서

기 술 분 야

[0001] 본 발명은 ADC(Analog-to-Digital Converter)에 관한 것으로서, 더욱 상세하게는 ADC의 전력소모 중 가장 큰 부분을 차지하는 증폭기의 전력소모를 감소시키고, 증폭기로 인한 칩 면적도 감소시킬 수 있는 두 채널간에 증폭기 공유기법을 이용한 ADC에 관한 것이다.

배 경 기 술

[0002] 고화질 TV (HDTV : High Definition TV)는 기존의 표준방식인 NTSC, PAL, 및 SECAM 보다 월등히 향상된 화질로 방송을 시청할 수 있는 방송 시스템과 수신기를 의미한다. 통상 사용되는 HDTV 방식은 순차주사방식의 HDTV720p와 비월주사방식의 HDTV1080i가 있으며, 이러한 방식은 기존 아날로그 방송 방식에 비해 5배 이상의 고화질을 보장한다.

[0003] 최근 이와 같은 고화질 영상 시스템에 대한 수요증가에 따라 시스템의 아날로그 프런트-앤드 (AFE : Analog Front End)에 대한 요구 사양이 엄격해지고 있으며, AFE를 구성하는 블록 중 가장 핵심이 되는 블록은 ADC이다.

[0004] 도 1은 HDTV 시스템의 비디오 신호 체인을 나타낸 블록도이다.

[0005] 도 1을 참조하면, HDTV 시스템의 구성요소인 ADC는 향상된 지터(jitter) 감소 성능, 비디오 시스템에서의 더

나은 이미지 품질, 그리고 증가된 대역폭 지원기능이 필요하여 최소 8?10b 급의 해상도에서 165MS/s로 동작해야 하며 이러한 사양의 ADC는 Full HD(1920*1080)의 해상도를 지원할 수 있다.

[0006] 또한, 도 1의 비디오 디코더 내부에서 사용되는 해상도 10b급 ADC는 Y, Pr, Pb 신호와 같은 아날로그 입력을 디지털화하여 Y, Cr, Cb를 출력하기 위한 필수요소이다.

[0007] 일반적으로 수백 MS/s의 높은 동작 속도를 요구하는 응용시스템에서 사용되는 ADC에는 플래시 (Flash), 폴딩 (Folding), 서브레인징 (Sub-ranging) 및 파이프라인 (Pipeline) 구조 등이 사용되어 왔으나, 10비트 수준의 고해상도를 동시에 고려했을 때는 파이프라인 구조가 주로 사용된다. 한편 최근에는 고사양 ADC의 전력소모를 최소화하기 위하여 디지털 영역에서의 보정기법을 사용하고 있으나, 이는 디지털 영역에서의 오차 신호처리를 위한 가상 난수 발생 회로 등이 추가되어야 하는 등 회로 동작이 복잡해지고 면적이 증가하여 시스템에 즉각적인 집적이 불리한 측면이 있다.

[0008] 저전력으로 고속 동작이 가능한 ADC를 구현하는 또 다른 방법으로는 두 개 이상의 낮은 샘플링 속도로 동작하는 ADC를 병렬로 연결하여 고속 동작을 하는 Time-Interleaving (TI) 방식이 있다. 이와 같은 TI 방식을 적용한 사례로 두 개 채널의 100MS/s sub- ADC를 사용하여 200MS/s의 속도로 동작하는 ADC가 있다. 그러나 100MS/s sub-ADC를 구성하는 각각의 증폭기 간에 존재하는 이득 및 대역폭의 부정합, 채널 간의 샘플링 시간 및 오프셋 부정합 등의 요소들은 전체 ADC의 성능을 저하시키며 구분된 2개의 sub-ADC를 사용함으로써 칩 면적이 증가하게 되는 문제점이 있다.

발명의 내용

해결하려는 과제

[0009] 따라서, 본 발명이 해결하고자 하는 과제는 증폭기의 전력소모를 감소시키고, 증폭기로 인한 칩 면적도 감소시킬 수 있는 두 채널간에 증폭기 공유기법을 이용한 ADC를 제공하는 것이다.

과제의 해결 수단

[0010] 본 발명은 상기 과제를 달성하기 위하여, SHA(Sample-and-Hold Amplifier), MDAC(Multiplying Digital-to-Analog Converter), 및 flash ADC를 포함하는 ADC에 있어서, 상기 SHA 또는 상기 MDAC의 입력단을 두 개의 채널로 구성하고, 상기 두 개의 채널은 하나의 증폭기를 공유하도록 하며, 상기 flash ADC는 프리앰프와 두 개의 래치를 포함하여 구성하되, 상기 두 개의 래치가 하나의 차동 오차 증폭기(DDA : Differential Difference Amplifier) 구조의 프리앰프를 공유하는 것을 특징으로 하는 ADC를 제공한다.

[0011] 본 발명의 일 실시예에 의하면, 상기 SHA에 형성되어 있는 두 개의 채널에 대응하는 각각의 샘플링 커패시터는 클록이 "HIGH"인 구간과 "LOW"인 구간에서 교대로 샘플링할 수 있다.

[0012] 또한, 상기 SHA에 포함된 공유된 증폭기는 상기 샘플링 속도의 2배의 속도로 출력 신호를 생성할 수 있다.

[0013] 마찬가지로, 상기 MDAC에 형성되어 있는 두 개의 채널에 대응하는 각각의 커패시터 열은 클록이 "HIGH"인 구간과 "LOW"인 구간에서 교대로 샘플링할 수 있고, 상기 MDAC에 포함된 공유된 증폭기는 상기 샘플링 속도의 2배의 속도로 신호 증폭 동작을 수행할 수 있다.

[0014] 또한, 상기 SHA에 포함된 공유된 증폭기의 첫 번째 단은 두 개의 입력단을 가진 folded-cascode 증폭기이고, 두 번째 단은 common-source 증폭기인 것이 바람직하다.

[0015] 본 발명의 다른 실시예에 의하면, 상기 flash ADC는 비교기와 디지털 논리회로를 포함하고, 상기 비교기는 정궤환 동작을 하는 래치와 상기 래치를 구성하는 트랜지스터의 부정합으로 인해 발생하는 오프셋을 보상하기 위한 프리앰프로 구성될 수 있다.

[0016] 또한, 특정 기준 전압이 인가된 상기 비교기는 반대의 클록 위상에서 교대로 동작하는 두 개의 래치와 상기 두 개의 래치가 공유하는 하나의 프리앰프로 구성될 수 있다. 특히, 상기 프리앰프는 DDA 구조인 것이 바람직하다.

[0017] 또한, 상기 ADC는 다수의 병렬 채널을 이용하여 구성되는 TI 구조 기반인 것이 바람직하다.

[0018] 본 발명의 또 다른 실시예에 의하면, 클록 발생기와 디지털 교정회로를 더 포함하고, 상기 클록 발생기는 외부로부터 인가되는 최종 샘플링 주파수에 해당하는(f_s) Hz 클록을 디지털 조합회로를 통해 4개 위상의 클록으

로 변환하고, 상기 변환된 4개 위상의 클록으로부터 상기 디지털 교정회로에 사용되는 f_s Hz 내부클록을 생성할 수 있다.

[0019] 또한, 클록 발생기와 디지털 교정회로를 더 포함하고, 상기 클록 발생기는 외부로부터 인가되는 f_s Hz 클록을 플립플롭을 통해 이분주하고, 상기 이분주된 클록으로부터 디지털 조합회로를 통해 8개 위상의 클록을 생성하여 상기 SHA와 상기 MDAC에 제공할 수 있다.

[0020] 또한, 상기 플립플롭을 이용하여 외부 클록인 f_s Hz 클록과 상기 이분주된 클록까지의 게이트 지연시간을 동일하게 하는 것이 바람직하다.

발명의 효과

[0021] 본 발명에 따르면, 두 채널간에 증폭기 공유기법은 ADC에서 사용되는 증폭기의 동작속도 사양을 50% 수준으로 줄일 수 있고, 이는 전체 ADC의 전력소모 중 가장 큰 부분을 차지하는 증폭기의 전력소모를 많이 감소시킴으로써 저전력 ADC를 구현할 수 있다. 또한, 본 발명에 따르면, 하나의 증폭기를 공유함으로써 기존의 TI 구조의 문제점으로 지적된 sub-ADC 증폭기 사이의 이득 및 대역폭의 부정합 및 채널 간의 오프셋 부정합을 최소화하였으며 증폭기로 인한 칩 면적도 감소시킬 수 있다. 나아가, 본 발명에 따르면, flash ADC에 보간 기법을 적용하여 프리앰프의 수를 추가로 50% 감소시켜 flash ADC에서 소모되는 면적 및 전력소모를 줄일 수 있다.

도면의 간단한 설명

[0022] 도 1은 HDTV 시스템의 비디오 신호 체인을 나타낸 블록도이다.

도 2는 본 발명의 일 실시예에 따른 두 채널간에 증폭기 공유기법이 적용된 ADC의 블록도이다.

도 3은 클록에 따른 각 블록의 동작 타이밍도이다.

도 4는 본 발명의 실시예에 따른 ADC의 입력단 SHA와 클록에 따른 동작을 나타낸 것이다.

도 5는 본 발명의 다른 실시예에 따른 두 채널간에 증폭기 공유기법 기반의 MDAC1회로를 도시한 것이다.

도 6은 본 발명의 다른 실시예에 따른 두 채널간에 증폭기 공유기법 기반의 MDAC1회로의 클록에 따른 동작을 정리한 것이다.

도 7은 본 발명의 다른 실시예에 따른 SHA에 사용된 두 개의 입력단을 가진 이단 증폭기를 도시한 것이다.

도 8은 프리앰프를 공유한 비교기를 도시한 것이다.

도 9는 두 개 채널로 구성된 ADC에서 발생할 수 있는 샘플링 시간 부정합 (σ)을 나타낸 것이다.

도 10은 본 발명의 실시예에 따른 ADC에서 사용되는 클록 발생기이다.

발명을 실시하기 위한 구체적인 내용

[0023] 본 발명에 관한 구체적인 내용의 설명에 앞서 이해의 편의를 위해 본 발명이 해결하고자 하는 과제의 해결 방안의 개요 혹은 기술적 사상의 핵심을 우선 제시한다.

[0024] 본 발명에서는 HDTV와 같은 고화질 영상시스템에서의 응용을 위하여 고해상도에서 고속으로 동작하는 저전력 ADC를 제안한다. 제안하는 ADC는 각 단에서 결정하는 비트수를 최적화하고 저전력 구현을 위하여 3단 파이프라인 구조를 기반으로 설계하였으며, 저전력에서 동작속도를 향상시키기 위해 두 채널간에 증폭기 공유기법을 적용하였다. 입력단 SHA는 입력신호의 변화에 독립적인 온-저항을 갖도록 하는 고속 고해상도로 동작하는 게이트-부트스트래핑 회로를 포함한 두 개 채널의 입력단으로 구성하였으며, 각 채널에 샘플링된 신호는 추가적인 스위치와 메모리 효과를 제거한 두 개의 입력단을 갖는 하나의 공유 증폭기를 사용하여 신호 처리한다. 두 쌍의 커패시터 열을 이용하여 MDAC 입력단을 구성하여, SHA와 동일한 방식으로 하나의 증폭기를 공유하였다. 세 개의 4비트 flash ADC의 비교기는 프리앰프와 래치로 구성되어 있으며 두 개 채널의 출력을 순차적으로 처리하기 위하여 서로 다른 시간에 동작하는 두 개의 래치가 DDA 구조의 프리앰프를 공유함으로써 면적 및 전력 효율성을 향상시켰다.

[0025] 이하 첨부된 도면을 참조하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있는 바람직한 실시 예를 상세히 설명한다. 그러나 이들 실시예는 본 발명을 보다 구체적으로 설명

하기 위한 것으로, 본 발명의 범위가 이에 의하여 제한되지 않는다는 것은 당업계의 통상의 지식을 가진 자에게 자명할 것이다.

[0026] 본 발명이 해결하고자 하는 과제의 해결 방안을 명확하게 하기 위한 발명의 구성을 본 발명의 바람직한 실시예에 근거하여 첨부 도면을 참조하여 상세히 설명하되, 도면의 구성요소들에 참조번호를 부여함에 있어서 동일 구성요소에 대해서는 비록 다른 도면상에 있더라도 동일 참조번호를 부여하였으며 당해 도면에 대한 설명시 필요한 경우 다른 도면의 구성요소를 인용할 수 있음을 미리 밝혀둔다. 아울러 본 발명의 바람직한 실시예에 대한 동작 원리를 상세하게 설명함에 있어 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명 그리고 그 이외의 제반 사항이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.

[0027] 덧붙여, 명세서 전체에서, 어떤 부분이 다른 부분과 '연결'되어 있다고 할때, 이는 '직접적으로 연결'되어 있는 경우뿐만 아니라, 그 중간에 다른 소자를 사이에 두고 '간접적으로 연결'되어 있는 경우도 포함한다. 또한 어떤 구성 요소를 '포함'한다는 것은, 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라, 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

[0028] 본 발명의 실시예에서는 두 채널간에 증폭기 공유기법을 활용한 ADC를 설명하기로 한다.

[0029] 동작속도가 200MS/s인 ADC를 단일채널로 구현할 경우, 입력단 SHA와 MDAC의 증폭기는 200MHz 클록의 반주기에서 증폭 동작을 수행한다. 그러나 본 발명에 따른 ADC는 두 개의 채널을 기반으로 증폭기 공유기법을 적용하여 200MHz 클록의 전체 주기 동안 증폭동작을 하므로, 실제 공유된 증폭기는 100MS/s의 동작속도 사양으로 200MS/s의 출력신호를 생성하게 된다. 따라서 증폭기의 전력소모를 50% 수준으로 줄임으로써 전체 ADC의 전력효율성을 크게 향상시킬 수 있다. 한편 세 개의 4비트 flash ADC에는 두 채널의 디지털 출력을 순차적으로 처리할 수 있도록 서로 다른 시간에서 동작하는 두 개의 래치가 하나의 프리앰프를 공유하는 비교기를 사용했으며, 보간 기법을 적용하여 프리앰프의 수를 추가로 50% 감소시켜 flash ADC에서 소모되는 면적 및 전력소모를 줄일 수 있다.

[0030] 이하에서는 본 발명의 실시예에 따른 두 채널간에 증폭기 공유기법이 적용된 ADC 전체 구조를 살펴보기로 한다.

[0031] 도 2는 본 발명의 일 실시예에 따른 두 채널간에 증폭기 공유기법이 적용된 ADC의 블록도이다.

[0032] 도 2에 도시된 ADC는 10비트 200MS/s ADC를 예로 도시한 것이다.

[0033] 도 2를 참조하면, 본 실시예에 따른 ADC는 SHA(110), MDAC1(120), MDAC2(130), FLASH1(140), FLASH2(150), FLASH3(160), 온칩 기준 전류 및 전압 발생기(170), 분주기를 포함한 디지털 교정회로(180), 및 클록 발생기(190)로 구성된다.

[0034] 본 발명의 일 실시예에 따른 10비트 200MS/s ADC는 요구되는 해상도 및 동작속도를 구현하기 위해 각 단에서 4비트를 결정하는 3단 파이프라인 구조를 기반으로 하며 전체 구조는 도 2와 같이 두 채널간에 증폭기 공유기법이 적용된 입력단 SHA(110)와 2개의 MDAC (MDAC1, MDAC2), SHA(110)와 MDAC(120, 130)의 출력을 처리하기 위한 3개의 4비트 flash ADC (FLASH1, FLASH2, FLASH3), 온-칩 기준 전류 및 전압 발생기(170), 분주기를 포함한 디지털 교정 회로(180), 및 클록 발생기(190) 등으로 구성된다.

[0035] 두 채널간에 증폭기 공유기법을 이용한 본 발명에 따른 ADC는 두 개의 100MS/s sub-ADC를 이중채널로 구성하여 200MS/s의 동작속도를 구현한 TI ADC의 형태로서, SHA(110)와 MDAC(120, 130)의 입력단을 두 개의 채널(X, Y)로 구성하여 두 채널은 하나의 증폭기만을 공유하도록 한다.

[0036] 도 2에서 프리앰프와 래치로 구성된 세 개의 flash ADC(140, 150, 160)는 두 채널간에 증폭기 공유기법이 적용된 SHA(110)와 MDAC(120, 130)에서 출력된 신호를 연속적으로 처리하기 위하여 두 개의 래치 (LATCH-X, LATCH-Y)가 하나의 DDA 구조의 프리앰프를 공유함으로써 프리앰프 수를 50% 로 줄여 면적 및 전력소모를 줄인다.

[0037] 각 세부 블록에서 사용되는 클록은 외부에서 인가된 200MHz 클록을 사용하여 칩 내부에서 생성시키며, 도 2에서 표시된 바와 같이 SHA, MDAC 및 flash ADC에서 사용될 100MHz 클록과 디지털 교정회로에서 사용될 200MHz 클록을 동시에 생성하여 각 블록에 인가해준다.

[0038] 도 3은 클록에 따른 각 블록의 동작 타이밍도이다.

[0039] 제시된 타이밍도는 두 채널간에 증폭기 공유기법이 적용된 SHA와 MDAC은 두 채널의 입력단에서 100MHz의 클록이 "HIGH"인 구간과 "LOW"인 구간에서 교대로 샘플링을 하며, 공유된 증폭기는 모든 구간에서 동작을 하여 증폭기의 출력이 200MS/s로 출력됨을 나타낸다. 또한 flash ADC의 LATCH-X와 LATCH-Y는 200MS/s로 출력되는 증폭기의 출력을 순차적으로 처리하며, 각 flash ADC에서 처리된 4비트의 이진 출력은 200MHz 클록에 의해 동작하는 디지털 교정회로(180)로 인가되어 200MS/s로 10비트의 최종 출력을 생성한다.

[0040] 이하에서는 전력소모 최소화를 위한 두 채널간에 증폭기 공유기법을 보다 상세히 살펴보기로 한다.

[0041] 고속 고해상도의 파이프라인 ADC는 입력단 SHA와 MDAC의 증폭기에서 소모되는 전력이 전체 ADC의 전력소모의 대부분을 차지한다. 따라서 디지털 영역에서의 보정기법을 통하여 증폭기의 요구되는 사양을 낮춤으로써 소모되는 전력을 크게 감소시킬 수 있으나, 회로의 구조와 동작의 복잡도가 증가하여 시스템에 즉각적인 집적이 용이하지 않다. 따라서 본 발명에 따른 ADC는 HDTV 시스템에 즉각적인 집적이 용이하도록 별도의 보정기법을 사용하지 않았으며, 두 채널간에 증폭기 공유기법을 사용하여 전력소모를 최소화한다.

[0042] 도 4는 본 발명의 실시예에 따른 ADC의 입력단 SHA와 클록에 따른 동작을 나타낸 것이다.

[0043] 도 4를 참조하면, 두 채널간에 증폭기 공유기법을 적용하기 위하여 SHA는 두 개의 개별 입력 채널로 구성되어 있음을 확인할 수 있다.

[0044] 각 입력 채널은 입력신호의 변화에 독립적인 온-저항을 갖도록 하는 게이트-부트스트래핑 회로를 적용한 샘플링 스위치와 샘플링 커패시터 (CS-X, CS-Y)로 구성되어 있다. 입력단 SHA는 100MHz의 중첩되지 않은 Q1s와 Q2s에 의하여 동작하며 각 채널은 두 클록에 상응하여 입력을 샘플링하고 공유된 증폭기는 Q2s가 "HIGH"인 구간에는 CS-Y에 샘플링된 입력을 처리하며, Q1s가 "HIGH"인 구간에는 CS-X에 샘플링된 입력을 처리하므로 증폭기는 사용되지 않는 주기 없이 200MS/s의 속도로 출력 신호를 생성한다.

[0045] 이와 같이 두 채널간에 증폭기 공유기법을 사용하여 200MS/s의 출력을 위한 증폭기의 사양을 완화함으로써, 입력 SHA 회로의 전력소모를 크게 줄일 수 있다.

[0046] 표 1은 세 가지 구조의 SHA 회로의 전력소모를 비교한 것이다.

표 1

[0047]

구조	전력 소모 (mW)
단일 채널 200MS/s ADC의 SHA	17.2
이중 채널 100MS/s ADC의 SHA	16.3
제안하는 ADC의 SHA	8.4

[0048] 표 1을 참조하면, SHA 회로의 전력소모가 50% 이상 감소된 것을 확인할 수 있으며, 동일한 방법으로 잔류신호 증폭기를 필요로 하는 MDAC 회로 역시 유사한 수준으로 전력소모를 감소시킬 수 있다.

[0049] 도 5는 본 발명의 다른 실시예에 따른 두 채널간에 증폭기 공유기법 기반의 MDAC1회로를 도시한 것이다.

[0050] 도 5를 참조하면, 본 발명에 따른 ADC의 구성회로 블록 중 증폭기를 사용하는 MDAC에도 두 채널간에 증폭기 공유기법을 적용하여 전력소모를 최소화할 수 있다. 즉, 두 개의 커패시터 열 (CBANK-X, CBANK-Y)을 이용하여 두 입력 채널을 구성하고 하나의 증폭기를 공유하는 구조이다.

[0051] 도 6은 본 발명의 다른 실시예에 따른 두 채널간에 증폭기 공유기법 기반의 MDAC1회로의 클록에 따른 동작을 정리한 것이다.

[0052] 클록 Q1s 동안 CBANK-X는 SHA의 CS-X에 샘플링된 입력에 해당하는 출력이 인가되어 샘플링 동작을 하며, CBANK-Y는 이전 주기동안 샘플링된 입력신호와 FLASH1의 LATCH-Y에서 출력된 온도계 코드에 해당하는 전압과의 차이를 증폭하는 잔류전압 증폭동작을 수행한다. 클록 Q2s에서는 그 반대의 역할로 CBANK-Y가 샘플링 동작, CBANK-X는 잔류전압 증폭동작을 수행한다. 따라서 두 개의 커패시터 열이 공유하고 있는 증폭기는 사용

되지 않는 클록 구간 없이 연속해서 신호 증폭동작을 수행하므로 전력 효율 측면에서 매우 우수하다.

[0053] 한편, 본 발명의 실시예에 따른 증폭기 공유기법은 SHA와 MDAC의 각 채널의 증폭동작이 서로 반대되는 클록 위상에서 수행되는 점을 고려하여 클록에 의한 스위칭 동작을 기반으로 구현되었다. 즉, 이중채널로 구성된 TI 구조의 ADC에서 각 채널의 sub-ADC가 개별 증폭기를 이용할 경우, 신호처리를 하는 과정에서 증폭동작을 수행하지 않을 시에 발생하는 증폭기의 전력소모와 각각의 증폭기로 인한 면적의 증가를 크게 개선시켰다. 또한 두 채널의 증폭기를 개별적으로 사용하였을 경우에는 전체 ADC 성능의 저하를 유발할 수 있는 증폭기 사이의 이득 및 대역폭 부정합 등의 문제가 발생할 수 있으나, 본 발명의 실시예에서와 같이 하나의 증폭기를 공유할 경우에는 이득 및 대역폭 부정합 문제를 크게 감소시킬 수 있다. 증폭기 공유기법은 다양한 장점을 가지고 있지만, 이전 주기에 샘플링 된 전하가 입력단에 남아서 현재 출력에 오차로 작용하는 메모리 효과(memory effect)에 의한 단점이 존재할 수 있다. 본 발명의 실시예에 따른 증폭기 공유기법은 기존의 장점은 유지하는 동시에 도 6과 같이 두 채널의 입력이 인가되는 증폭기의 입력단을 각각 분리하여 증폭동작이 수행되지 않는 입력노드를 리셋하여 추가 클록 없이 메모리효과를 제거한다.

[0054] 고해상도에서 고속으로 동작하는 ADC는 SHA 및 MDAC의 증폭기에서 요구되는 높은 전압이득과 대역폭 사양을 필수적으로 만족시켜야 하며, 이를 위해 ADC는 이단 증폭기 구조를 사용한다.

[0055] 도 7은 본 발명의 다른 실시예에 따른 SHA에 사용된 두 개의 입력단을 가진 이단 증폭기를 도시한 것이다.

[0056] 도 7을 참조하면, SHA에 사용된 두 개의 입력단을 가진 이단 증폭기로서, 10비트의 해상도에 요구되는 동작속도를 얻기 위하여 첫 번째 단은 folded-cascode 증폭기로, 두 번째 단은 common-source 증폭기를 사용한다. 두 개의 입력단에는 반대 위상의 클록을 사용하여 X 입력 채널 또는 Y 입력 채널을 각각 선택하며, 공유된 이단 증폭기의 전력소모를 최소화하고 동작성능을 개선하기 위해 두 개 클록은 일부 구간에서 중첩되어 있는 Q1Bs와 Q2Bs를 사용한다. 이 두 개 클록을 사용하여, X 입력 채널이 증폭동작을 하고 입력 트랜지스터가 꺼지기 직전에 Y 입력 트랜지스터가 먼저 켜지도록 함으로써, 두 입력 트랜지스터가 전부 꺼졌다가 다시 켜질 때 발생할 수 있는 글리치 및 증폭된 신호의 정착시간의 지연문제를 해결할 수 있다.

[0057] 또한, 요구되는 동작속도를 위한 대역폭과 안정적인 신호정착을 위한 위상여유를 얻을 수 있도록 첫 번째 증폭기의 캐스코드 노드에 연결하는 캐스코드 주파수 보상기법을 사용할 수 있다.

[0058] 이하에서는 두 개 채널 출력신호의 순차적 처리를 위한 공유 프리앰프 기반의 flash ADC에 대하여 보다 상세히 살펴보기로 한다.

[0059] 저항 열에서 생성된 기준 전압과 SHA와 MDAC의 출력 전압을 비교하여 디지털 코드를 생성하는 세 개의 flash ADC는 비교기와 디지털 논리회로로 구성되며, 비교기는 정궤환 동작을 하는 래치와, 이를 구성하는 트랜지스터의 부정합으로 인해 발생하는 오프셋을 보상하기 위한 프리앰프로 이루어진다. 두 개의 입력 채널을 가진 SHA와 MDAC의 출력을 연속적으로 처리하기 위하여 특정 기준전압이 인가된 하나의 비교기는 반대의 클록 위상에서 교대로 동작하는 두 개의 래치 (LATCH-X, LATCH-Y)와 두 래치가 하나의 프리앰프를 공유하여 도 8과 같이 구성된다.

[0060] 도 8은 프리앰프를 공유한 비교기를 도시한 것이다.

[0061] 도 8을 참조하면, 프리앰프는 입력전압과 기준전압이 인가될 트랜지스터가 구별된 DDA 구조로서 클록에 의해 동작이 제어되지 않고 인가된 두 아날로그 전압의 차이를 계속해서 증폭하며, 그 값은 수학식 1과 같다.

수학식 1

$$TP-TN=A_0\times[(INP-INN)-(REFT-REFC)]$$

$$(A_0: DC\ gain\ of\ DDA)$$

[0062]

[0063] 공유되는 프리앰프는 100MHz 클록에 의해 교대로 전달되는 두 채널간에 증폭기 공유기법 기반의 SHA와 MDAC의 각 채널 출력과 기준전압의 차이를 연속적으로 증폭하며, 그 출력은 LATCH-X와 LATCH-Y에 차례로 인가된다. 두 개 래치는 도 8과 같이 반대 위상의 클록에 의해서 동작하여, 출력리셋 및 래치동작을 교대로 수행하며 각각의 래치에서 결정된 디지털 출력은 다음 단의 MDAC 및 디지털 교정회로로 전달된다.

[0064] 이와 같이 연속 동작하는 비교기에서 두 개 래치에 별개의 프리앰프를 사용하지 않고 DDA 구조의 프리앰프를

공유하여 프리앰프의 수를 절반으로 줄임으로써 프리앰프가 차지하는 면적 및 전력소모를 50% 정도로 줄일 수 있다. 또한 프리앰프 개수가 두 배가 될 경우, SHA 또는 MDAC의 출력에서 바라보는 부하 성분과 도선으로 인한 기생 성분이 증가하여 각 블록의 동작 속도가 저하되어 이를 보상하기 위하여 더 많은 전력 소모가 필요하게 된다. 즉, 프리앰프 공유기법은 flash ADC 자체의 전력소모를 최소화하는 동시에 인접 블록의 전력소모 또한 감소시킬 수 있다. 또한, flash ADC에는 보간 기법을 적용하여 프리앰프에 의한 면적과 전력소모를 추가로 50% 정도 감소시켰다. 또한 FLASH2 및 FLASH3의 저항 열을 공유하여 면적을 줄이고 레이아웃 상에서 발생하는 도선 저항성분으로 인하여 기준전압이 강하되어 전체 ADC의 선형성이 저하되는 것을 방지할 수 있다.

[0065] 이하에서는 샘플링 시간 부정합을 줄이는 클록 발생기에 대하여 보다 자세하게 살펴보기로 한다.

[0066] 다수의 병렬채널을 이용하여 구성되는 TI 구조 기반의 ADC는 증폭기 전압이득과 대역폭 부정합 외에 각 채널의 sub-ADC가 외부에서 인가되는 아날로그 입력신호를 샘플링할 때 균등한 간격으로 샘플링하지 못하는 샘플링 시간 부정합 문제에 의해서 전체 ADC의 성능이 저하된다.

[0067] 도 9는 두 개 채널로 구성된 ADC에서 발생할 수 있는 샘플링 시간 부정합 (σ)을 나타낸 것이다.

[0068] 도 9를 참조하면, 수학식 2를 이용하여 요구되는 해상도와 동작속도에 따라서 허용될 수 있는 σ의 값을 결정할 수 있으며, 10비트 해상도를 얻기 위한 SNR과 200MS/s의 동작속도의 Nyquist 입력에 해당하는 100MHz의 입력주파수 (f_{in})를 이용하여 σ의 값이 1.3ps 수준임을 확인할 수 있다.

수학식 2

$$SNR = 6.02N + 1.76 = 20\log_{10}\left(\frac{1}{2\pi f_{in}\sigma}\right)$$

[0069] $(f_{in} = input\ frequency,\ \sigma = sampling - time\ mismatch)$

[0070] 도 10은 본 발명의 실시예에 따른 ADC에서 사용되는 클록 발생기이다.

[0071] 도 10을 참조하면, 외부에서 인가되는 200MHz 클록을 사용하여, 디지털 교정회로에 사용되는 200MHz 내부클록은 디지털 조합회로를 통해 4개 위상의 클록을 생성하고, 두 채널간에 증폭기 공유기법 기반의 SHA 및 MDAC 등 아날로그 회로에 사용되는 100MHz 클록은 플립플롭으로 이분주한 후 디지털 조합회로를 통해 8개 위상의 클록을 별도 생성한다.

[0072] 본 발명에 따른 클록 발생기는 SHA, MDAC 및 flash ADC에서 사용되는 100MHz 클록을 생성하기 위해 200MHz 외부 클록을 분주할 때, JK 플립플롭을 사용하여 외부 클록과 이분주한 Qs와 QBs까지의 게이트 지연시간을 동일하게 하여, 입력 SHA에서 샘플링 동작을 수행할 때 Q1s와 Q2s에서 발생할 수 있는 샘플링 시간 부정합을 최소화한다.

[0073] 본 발명에서는 HDTV와 같은 고화질 영상시스템에 즉각적인 활용을 위해 10비트 200MS/s 0.18um CMOS ADC를 제안하며, 전력소모를 최소화할 수 있다.

[0074] 본 발명의 실시예에 따른 ADC는 최소한의 전력을 소모하면서 요구되는 10비트의 고해상도와 200MS/s의 고속 동작속도를 동시에 만족시키기 위하여 각 단에서 4비트를 결정하는 3단 파이프라인 구조이다. 본 발명에서 제안하는 전력소모 최소화를 위한 주된 기법은 ADC의 전력소모가 증폭기에 의해 주로 결정된다는 점을 고려하며, 두 개의 입력단을 기반으로 클록의 모든 주기에서 샘플링 동작을 수행하며 SHA 및 MDAC 등 핵심 아날로그 회로블록에서 두 개 입력 채널이 하나의 증폭기를 공유하는 기법을 이용한다. 그 결과, 증폭기의 요구되는 동작속도 사양을 절반 수준으로 낮추면서 두 개의 입력 채널이 하나의 증폭기를 공유하여 전체 전력 소모를 50% 수준으로 감소시키는 동시에 하나의 증폭기를 사용하면서 채널 간의 증폭기 전압이득, 대역폭 부정합 및 오프셋 부정합을 최소화할 수 있다. 또한, flash ADC에는 두 채널간에 증폭기 공유기법이 적용된 SHA와 MDAC의 출력 신호를 연속적으로 교대로 처리할 수 있도록 DDA 구조를 사용하여 두 개의 래치가 하나의 프리앰프를 공유할 수 있도록 하였다. 마지막으로 클록 발생기는 요구되는 해상도와 동작속도에서 허용 가능한 샘플링 시간 부정합 값보다 더 작은 값을 갖도록 JK 플립플롭 및 간단한 논리회로를 기반으로 하여 샘플링 시간 부정합에 의한 전체 ADC 성능 저하를 방지할 수 있다.

[0075] 이상과 같이 본 발명에서는 구체적인 구성 요소 등과 같은 특정 사항들과 한정된 실시예 및 도면에 의해 설명되었으나 이는 본 발명의 보다 전반적인 이해를 돕기 위해서 제공된 것일 뿐, 본 발명은 상기의 실시예에 한

정되는 것은 아니며, 본 발명이 속하는 분야에서 통상적인 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다. 따라서, 본 발명의 사상은 설명된 실시예에 국한되어 정해져서는 아니되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등하거나 등가적 변형이 있는 모든 것들은 본 발명 사상의 범주에 속한다고 할 것이다.

산업상 이용가능성

[0076] HDTV와 같은 고화질 영상시스템에 활용 가능한 10비트 200MS/s 0.18um CMOS ADC

부호의 설명

[0077] 110 : SHA 120 : MDAC1

130 : MDAC2 140 : FLASH1

150 : FLASH2 160 : FLASH3

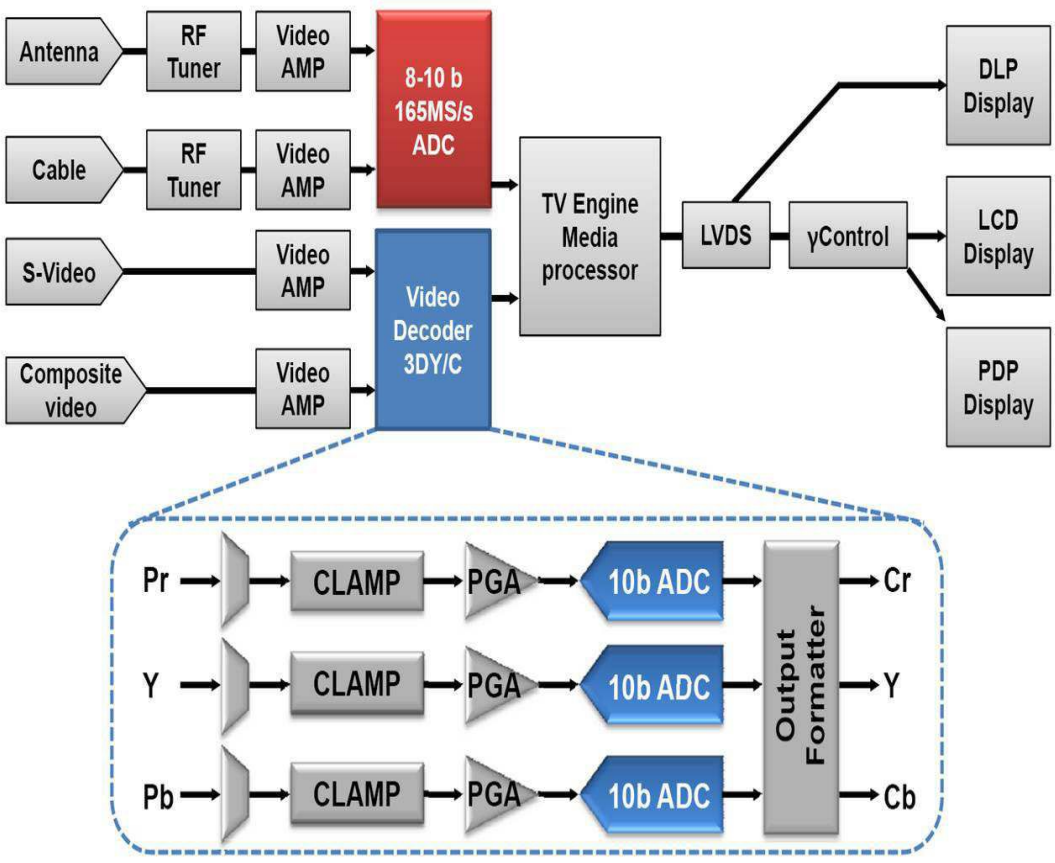
170 : 온칩 기준 전류 및 전압발생기

180 : 분주기를 포함한 디지털 교정회로

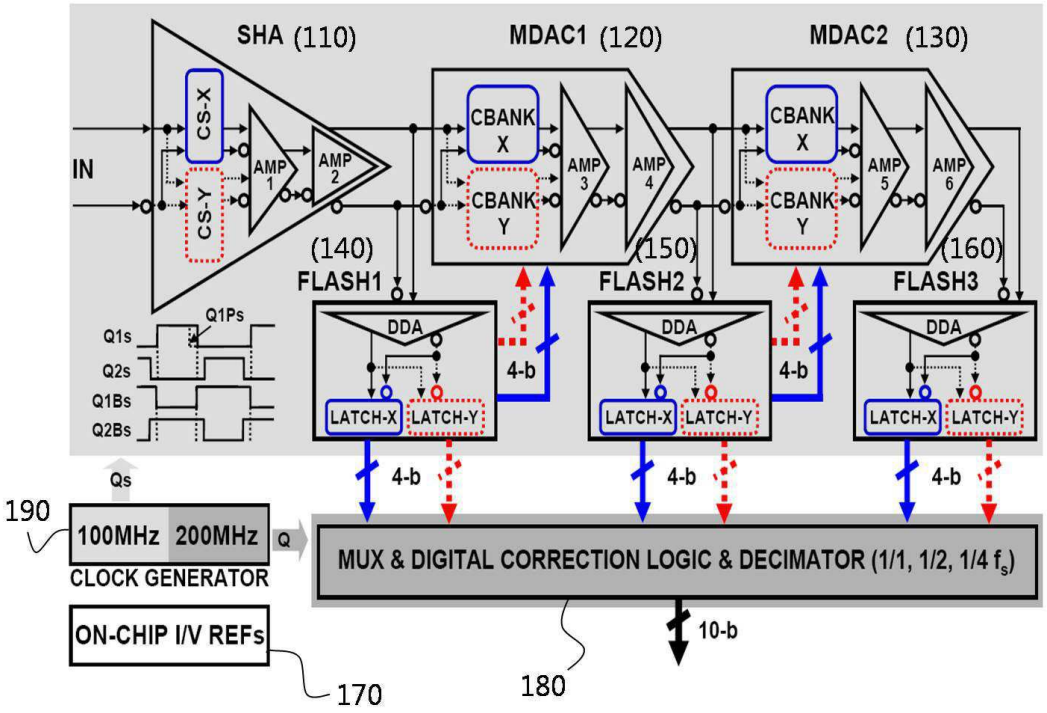
190 : 클록 발생기

도면

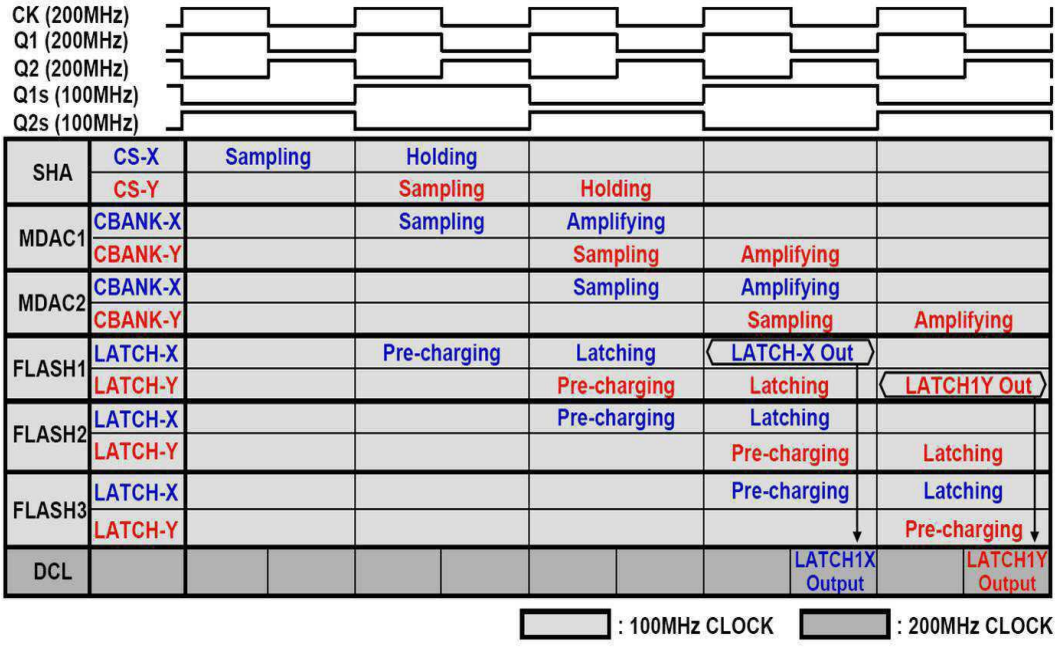
도면1



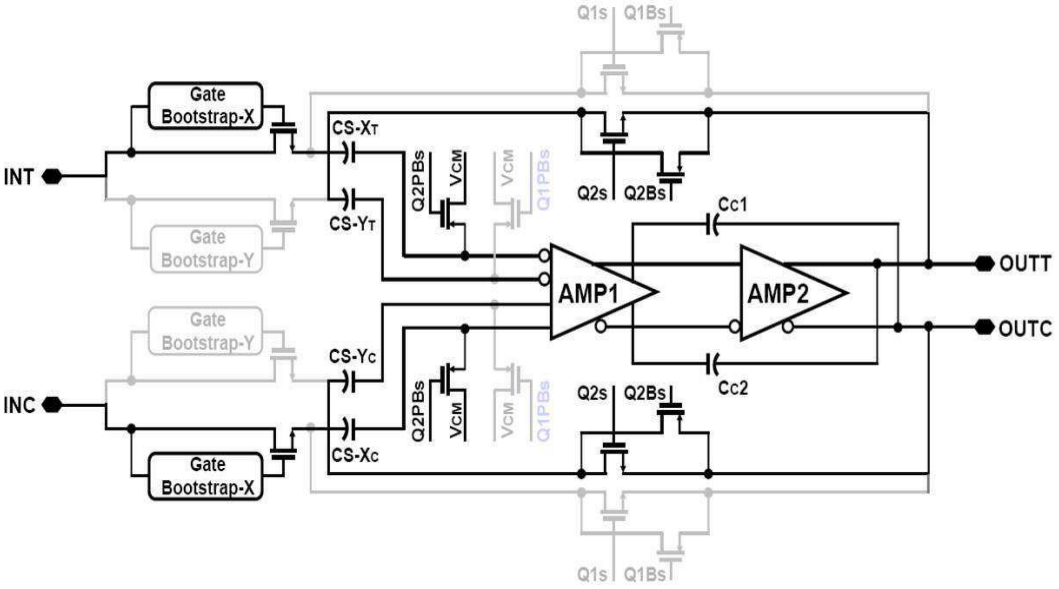
도면2


SHA (110)
MDAC1 (120)
MDAC2 (130)
IN
CS-X
CS-Y
AMP 1
AMP 2
CBANK X
CBANK Y
AMP 3
AMP 4
AMP 5
AMP 6
(140)
(150)
(160)
FLASH1
FLASH2
FLASH3
Q1Ps
Q1s
Q2s
Q1Bs
Q2Bs
DDA
LATCH-X
LATCH-Y
4-b
Qs
190
100MHz 200MHz
Q
CLOCK GENERATOR
ON-CHIP I/V REFs
170
MUX & DIGITAL CORRECTION LOGIC & DECIMATOR (1/1, 1/2, 1/4 f_s)
10-b
180

도면3

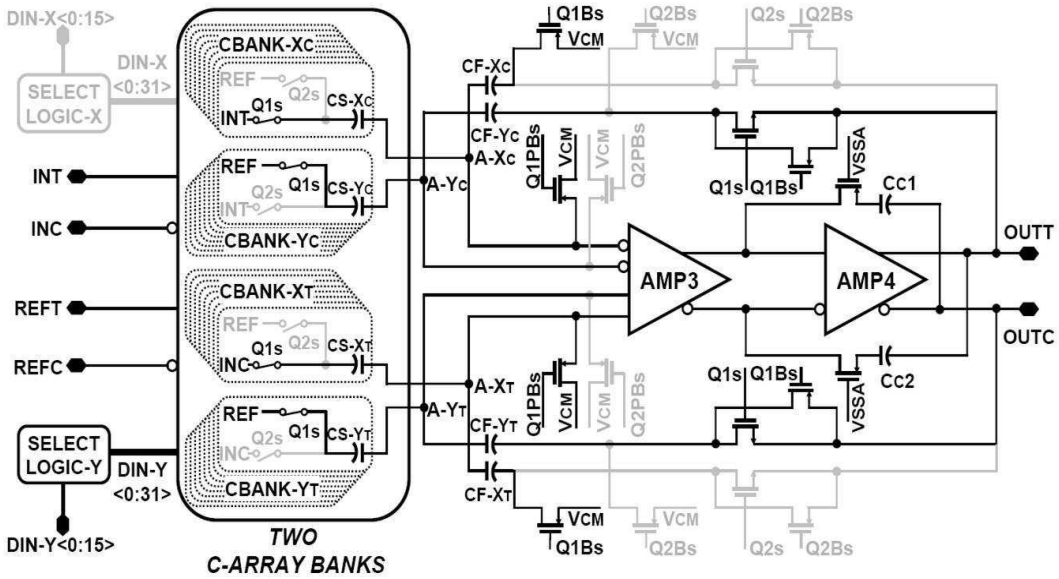

CK (200MHz)
Q1 (200MHz)
Q2 (200MHz)
Q1s (100MHz)
Q2s (100MHz)
SHA
CS-X
CS-Y
Sampling
Holding
Sampling
Holding
MDAC1
CBANK-X
CBANK-Y
Sampling
Amplifying
Sampling
Amplifying
MDAC2
CBANK-X
CBANK-Y
Sampling
Amplifying
Sampling
Amplifying
FLASH1
LATCH-X
LATCH-Y
Pre-charging
Latching
Pre-charging
LATCH-X Out
Latching
LATCH1Y Out
FLASH2
LATCH-X
LATCH-Y
Pre-charging
Latching
Pre-charging
Latching
FLASH3
LATCH-X
LATCH-Y
Pre-charging
Latching
Pre-charging
DCL
LATCH1X Output
LATCH1Y Output
: 100MHz CLOCK
: 200MHz CLOCK

도면4

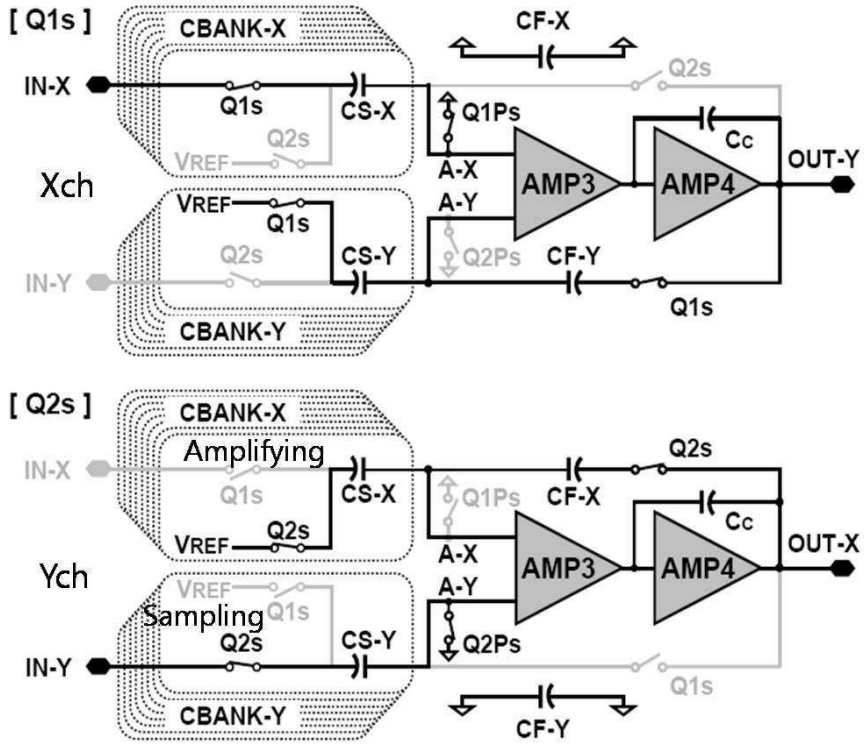


Phase	CS-XT (CS-XC)	CS-YT (CS-YC)
Q2s	Sampling	Holding
Q1s	Holding	Sampling

도면5

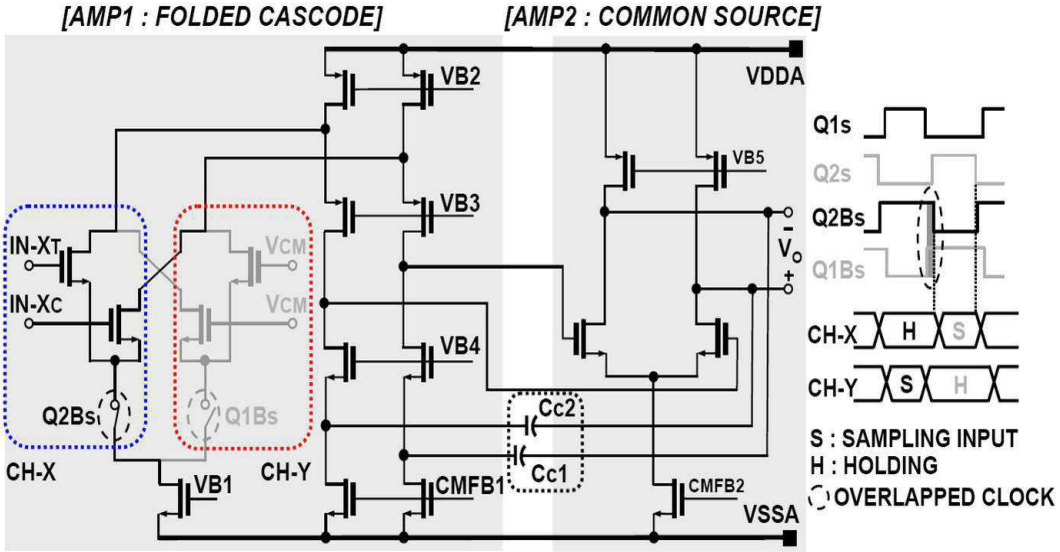


도면6

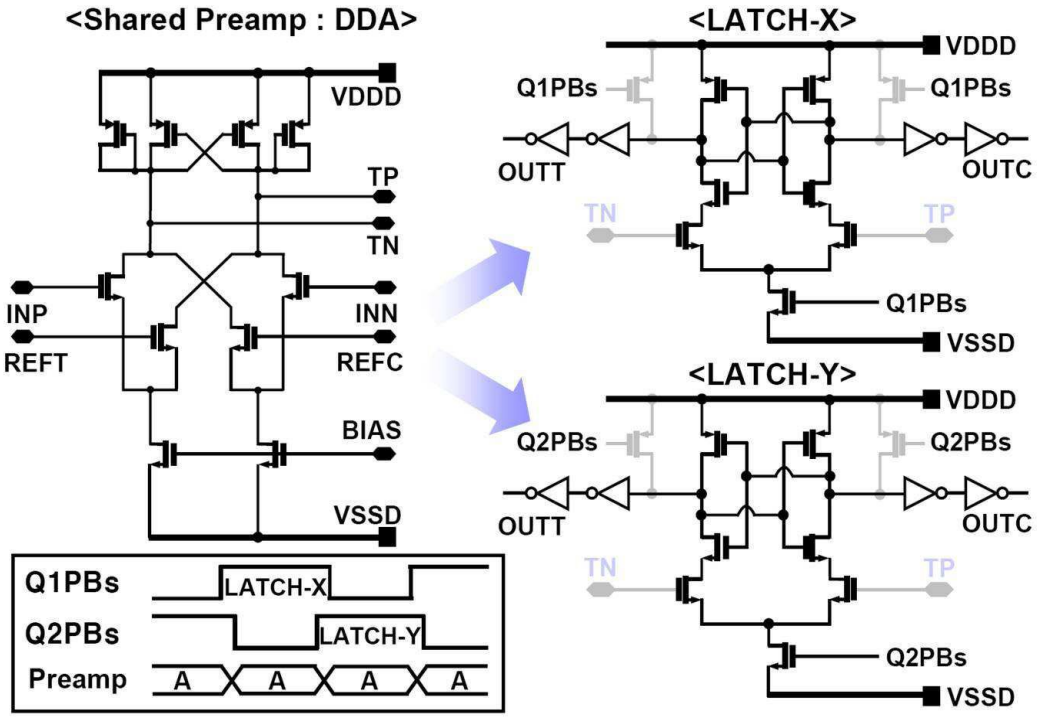


	CH-X (CBANK-X)	CH-Y (CBANK-Y)
Q1s	Input Sampling	Residue Amplifying
Q2s	Residue Amplifying	Input Sampling

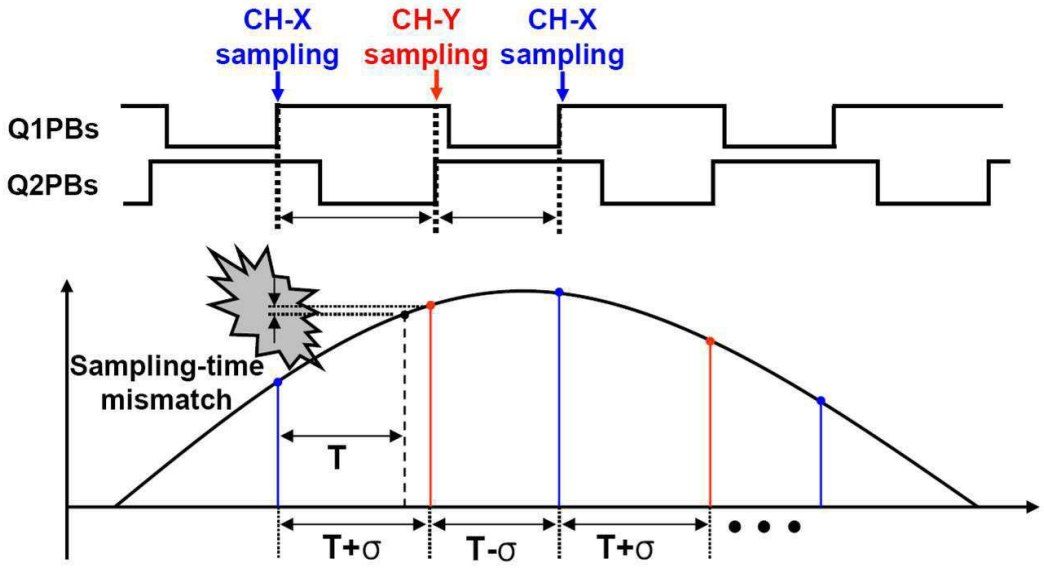
도면7



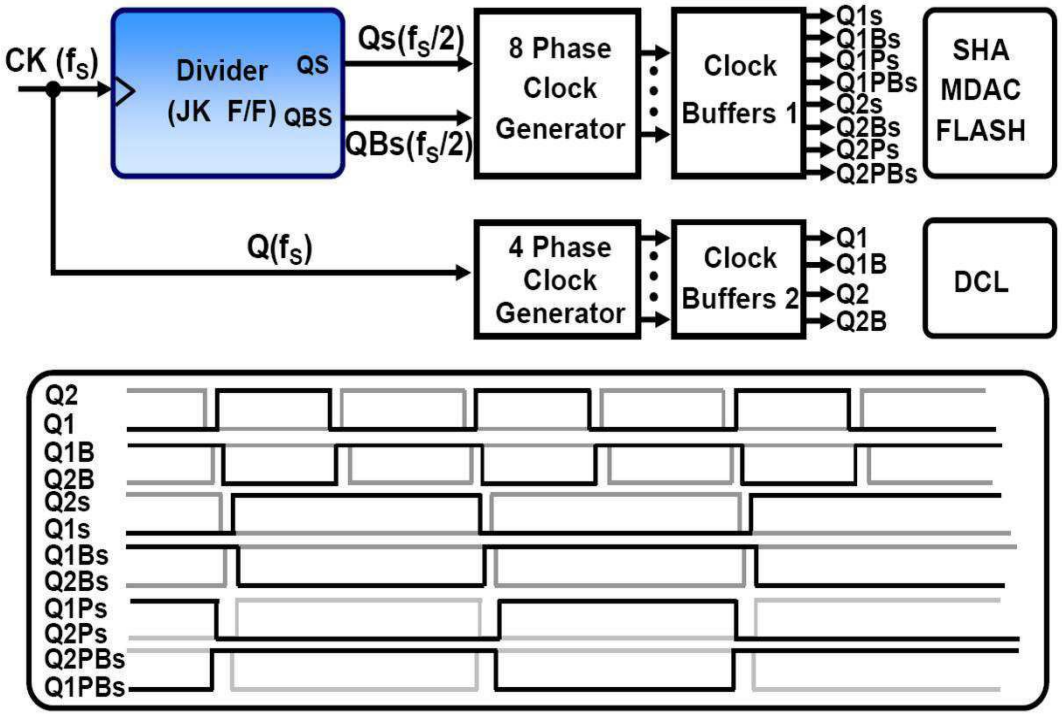
도면8


<Shared Preamp : DDA>
VDDD
TP
TN
INP
INN
REFT
REFC
BIAS
VSSD
Q1PBs
LATCH-X
Q2PBs
LATCH-Y
Preamp
A
A
A
A
<LATCH-X>
VDDD
Q1PBs
Q1PBs
OUTT
OUTC
TN
TP
Q1PBs
VSSD
<LATCH-Y>
VDDD
Q2PBs
Q2PBs
OUTT
OUTC
TN
TP
Q2PBs
VSSD

도면9


CH-X sampling
CH-Y sampling
CH-X sampling
Q1PBs
Q2PBs
Sampling-time mismatch
T
T+σ
T-σ
T+σ

도면10


CK (fS)
Divider
(JK F/F)
QS
QBS
Qs(fS/2)
QBs(fS/2)
8 Phase
Clock
Generator
Clock
Buffers 1
Q1s
Q1Bs
Q1Ps
Q1PBs
Q2s
Q2Bs
Q2Ps
Q2PBs
SHA
MDAC
FLASH
Q(fS)
4 Phase
Clock
Generator
Clock
Buffers 2
Q1
Q1B
Q2
Q2B
DCL
Q2
Q1
Q1B
Q2B
Q2s
Q1s
Q1Bs
Q2Bs
Q1Ps
Q2Ps
Q2PBs
Q1PBs