

12 DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 06.07.22.

30 Priorité :

43 Date de mise à la disposition du public de la
demande : 12.01.24 Bulletin 24/02.

56 Liste des documents cités dans le rapport de
recherche préliminaire : *Se reporter à la fin du
présent fascicule*

60 Références à d'autres documents nationaux
apparentés :

○ Demande(s) d'extension :

71 Demandeur(s) : STMicroelectronics (Crolles 2) SAS
Société par actions simplifiée (SAS) — FR.

72 Inventeur(s) : VILLARET Alexandre, WEBER Olivier
et ARNAUD Franck.

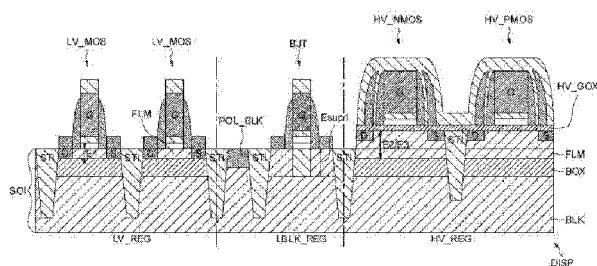
73 Titulaire(s) : STMicroelectronics (Crolles 2) SAS
Société par actions simplifiée (SAS).

74 Mandataire(s) : Casalonga.

54 Procédé de fabrication de transistors hautes-tension sur un substrat du type silicium sur isolant.

57 Le procédé de fabrication d'au moins un transistor haute-tension (HV_NMOS, HV_P MOS) dans et sur une région haute tension (HV_REG) d'un substrat du type silicium sur isolant (SOI) comportant un film semiconducteur (FLM) ayant une première épaisseur (E1), électriquement isolé d'un substrat porteur (BLK) par une couche diélectrique enterrée (BOX), comprend une croissance par épitaxie du film semiconducteur (FLM), jusqu'à une deuxième épaisseur (E2, E3) supérieure à la première épaisseur (E1), sélectivement dans la région haute-tension (HV_REG).

Figure pour l'abrégé : Fig 11



Description

Titre de l'invention : Procédé de fabrication de transistors hautes-tension sur un substrat du type silicium sur isolant

- [0001] Des modes de réalisation et de mise en œuvre concernant la microélectronique, en particulier la fabrication de dispositifs semiconducteurs comprenant des transistors haute-tension dans et sur un substrat du type SOI (connu sous le terme anglosaxon « Silicon On Insulator » pour « silicium sur isolant » en français).
- [0002] Des dispositifs semiconducteurs sur substrat du type SOI ou également nommé « FDSOI » pour « Fully Depleted Silicon On Insulator » (« silicium sur isolant complètement déserté » en français) intègrent typiquement des composants semiconducteurs tels que des transistors du type MOS (pour « Métal Oxyde Semi-conducteur »).
- [0003] Des transistors MOS fonctionnant à différentes plages de tension peuvent être fabriqués à partir d'un même substrat SOI capable de leur conférer de meilleures performances qu'un substrat de silicium monolithique (usuellement désigné par le terme anglais « bulk »). Par exemple, des transistors MOS dits haute-tension peuvent être conçus en cointégration avec d'autres composants semiconducteurs sur un substrat SOI.
- [0004] Cependant, les transistors haute-tension fabriqués à partir d'un substrat SOI subissent le phénomène de dégradation par porteurs chauds (également connu sous l'acronyme « HCI » des termes anglais usuels « Hot Carrier Injection » en anglais). La dégradation par porteurs chauds se traduit par une dérive sur le long terme de la tension de seuil et des courants linéaires et saturés des transistors, conduisant à une dégradation des performances des transistors haute-tension.
- [0005] En conséquence, des étapes supplémentaires pour aménager une région de substrat monolithique localisée dans le substrat SOI, sont classiquement prévues pour la fabrication des transistors haute-tension, de façon à limiter le phénomène de dégradation par porteurs chauds. En particulier, les composants électroniques, notamment les transistors haute-tension, réalisés dans la région monolithique localisée sont formés dans le substrat porteur tandis que les composants d'autres régions sont formés sur un film mince isolé du substrat porteur par une couche d'oxyde de silicium enterrée.
- [0006] Par ailleurs, la région de substrat monolithique localisée ne permet pas notamment l'effet « complètement déserté », ni un effet « partiellement déserté » avantageux des techniques SOI. Cela limite les performances des transistors haute-tension formés sur le substrat porteur, notamment en termes de contrôle de canaux courts, de densité et de disparités de caractéristiques entre les transistors.

- [0007] Il existe un besoin de concevoir, à partir d'un substrat du type silicium sur isolant, des transistors haute-tension ne subissant pas les inconvénients susmentionnés et d'augmenter leur fiabilité.
- [0008] Il est donc proposé une solution permettant de former, dans une région du substrat SOI, un film mince ayant une épaisseur suffisamment élevée pour rendre possible la fabrication de transistors haute-tension dans cette région du substrat sans causer une perte de performance lors du fonctionnement de ces transistors, notamment sans subir les phénomènes de dégradations par porteurs chauds.
- [0009] Selon un aspect, il est proposé un procédé de fabrication d'au moins un transistor haute-tension dans et sur une région haute-tension d'un substrat du type silicium sur isolant comportant un film semiconducteur ayant une première épaisseur, électriquement isolé d'un substrat porteur par une couche diélectrique enterrée.
- [0010] Le procédé comprend une croissance par épitaxie du film semiconducteur, jusqu'à une deuxième épaisseur supérieure à la première épaisseur, sélectivement dans la région haute-tension.
- [0011] On propose ainsi d'augmenter l'épaisseur du film semiconducteur sélectivement, c'est-à-dire seulement dans la région haute-tension du substrat du type silicium sur isolant, et pas dans une autre « première » région dudit substrat. La première région, distincte de la région haute-tension, peut être par exemple une région basse-tension dans et sur laquelle peuvent être formés des transistors fonctionnant à des plages de tensions plus faibles que les transistors haute-tension, par exemple des tensions inférieures à 2 volts, tandis que les transistors haute-tension peuvent être destinés à fonctionner à des tensions supérieures à 2 volts par exemple.
- [0012] Par conséquent, le procédé selon cet aspect permet de former, dans la région haute-tension où sont fabriqués les transistors haute-tension, un film semiconducteur suffisamment épais pour éviter le phénomène de dégradation par porteurs chauds, mais également suffisamment mince pour bénéficier des avantages en matière de performance des dispositifs en silicium sur isolant et ainsi améliorer les performances des transistors haute-tension.
- [0013] Selon un mode de mise en œuvre, le procédé comprend une croissance par épitaxie du substrat porteur dans une région monolithique localisée du substrat du type silicium sur isolant, dans lequel ladite croissance du film semiconducteur dans la région haute-tension est réalisée simultanément avec la croissance du substrat porteur dans la région monolithique localisée.
- [0014] On peut ainsi réaliser une croissance « gratuite » du film semiconducteur puisque celle-ci est réalisée lors de la même étape que la croissance du substrat porteur prévue dans la région monolithique localisée.
- [0015] Selon un mode de mise en œuvre, ladite croissance du substrat porteur dans la région

monolithique localisée comprend une formation d'un masque dur recouvrant le film semiconducteur dans la région haute-tension et découvrant le film semiconducteur dans la région monolithique localisée, une oxydation du film semiconducteur dans la région monolithique localisée, et une gravure retirant sélectivement le film semiconducteur oxydé et la couche diélectrique enterrée dans la région monolithique localisée; et dans lequel ladite croissance du film semiconducteur dans la région haute-tension comprend une gravure adaptée pour retirer le masque dur dans la région haute-tension préalablement à ladite croissance par épitaxie du film semiconducteur dans la région haute-tension.

- [0016] Ce mode de mise en œuvre permet de limiter le nombre de masques supplémentaires nécessaires à la réalisation de la croissance du film semiconducteur dans la région haute-tension et permet de bénéficier de la mutualisation de l'étape de croissance du substrat porteur dans la région monolithique.
- [0017] Selon un mode de mise en œuvre, ladite croissance du film semiconducteur comprend une formation d'un masque dur dédié découvrant le film semiconducteur dans la région haute-tension, préalablement à ladite croissance par épitaxie du film semiconducteur dans la région haute-tension.
- [0018] Ce mode de mise en œuvre permet de contrôler l'épaisseur du film semiconducteur dans la région haute-tension indépendamment des contraintes d'une autre étape d'épitaxie.
- [0019] On peut ainsi paramétrer l'épaisseur du film semiconducteur dans la région haute-tension à une taille dimensionnée spécifiquement pour les transistors haute-tension.
- [0020] Selon un mode de mise en œuvre, le procédé comprend une formation d'une région de grille dudit au moins un transistor haute-tension sur le film semiconducteur ayant la deuxième épaisseur de la région haute tension, et une formation de régions de conduction dudit au moins un transistor haute-tension dans le film semiconducteur ayant la deuxième épaisseur de la région haute tension.
- [0021] Le film semiconducteur dans la région haute-tension peut servir à la formation des régions de conduction de transistors du type MOS prévus pour fonctionner à des tensions relativement élevées, de l'ordre de 3,3 volts par exemple.
- [0022] Selon un mode de mise en œuvre, la deuxième épaisseur du film semiconducteur dans la région haute-tension est suffisamment petite pour engendrer un état complètement déserté dans toute l'épaisseur du film semiconducteur en présence d'une région de canal dudit au moins un transistor haute-tension.
- [0023] En effet, un film semiconducteur dans un état complètement déserté permet d'assurer un meilleur contrôle électrostatique du canal des transistors haute-tension et de réduire des effets de canaux courts.
- [0024] Selon un mode de mise en œuvre, la première épaisseur est inférieure ou égale à 7

nm et la deuxième épaisseur est comprise entre 20 nm et 25 nm.

[0025] Une deuxième épaisseur du film semiconducteur inférieure ou égale à 25 nm permet d'obtenir un film semiconducteur entièrement déserté et une deuxième épaisseur du film supérieure ou égale à 20 nm permet de limiter l'« ionisation par impact ».

L'ionisation par impact engendre des porteurs chauds qui sont susceptibles d'être stockés dans les régions diélectriques de grille des transistors haute-tension, ce qui dégrade les performances des transistors.

[0026] Selon un autre aspect, il est proposé un dispositif semiconducteur comprenant au moins un transistor haute-tension disposé dans et sur une région haute tension d'un substrat du type silicium sur isolant comportant un film semiconducteur, électriquement isolé d'un substrat porteur par une couche diélectrique enterrée, dans lequel le film semiconducteur a une première épaisseur dans une première région différente de la région haute tension et a une deuxième épaisseur supérieure à la première épaisseur dans la région haute-tension.

[0027] Selon un mode de réalisation ledit au moins un transistor haute-tension comporte une région de grille disposée sur le film semiconducteur ayant la deuxième épaisseur dans la région haute tension, et des régions de conduction formées dans le film semiconducteur ayant la deuxième épaisseur dans la région haute tension.

[0028] Selon un mode de réalisation, la deuxième épaisseur du film semiconducteur dans la région haute-tension est suffisamment petite pour engendrer un état complètement déserté dans toute l'épaisseur du film semiconducteur en présence d'une région de canal dudit au moins un transistor haute-tension.

[0029] Selon un mode de réalisation, la première épaisseur est inférieure ou égale à 7 nm et la deuxième épaisseur est comprise entre 20 nm et 25 nm.

[0030] D'autres avantages et caractéristiques de l'invention apparaîtront à l'examen de la description détaillée de modes de réalisation et de mise en œuvre, nullement limitatifs, et des dessins annexés sur lesquels :

[0031] [Fig.1]

[0032] [Fig.2]

[0033] [Fig.3]

[0034] [Fig.4]

[0035] [Fig.5]

[0036] [Fig.6]

[0037] [Fig.7]

[0038] [Fig.8]

[0039] [Fig.9]

[0040] [Fig.10]

[0041] [Fig.11] illustrent schématiquement des modes de mise en œuvre et de réalisation de

l'invention.

- [0042] La [Fig.1] illustre schématiquement le résultat d'une étape 100 d'un procédé de fabrication d'au moins un transistor haute-tension HV_NMOS, HV_PMOS ([Fig.11]).
- [0043] L'étape 100 comprend une obtention d'un substrat du type silicium sur isolant SOI et une formation d'un masque dur HD_MSK1. Le substrat SOI comporte un substrat porteur BLK, une couche diélectrique enterrée BOX et un film semiconducteur FLM. Le matériau du substrat porteur BLK et du film semiconducteur FLM est typiquement du silicium. La couche de diélectrique enterrée BOX est typiquement une couche d'oxyde de silicium de formule SiO_2 .
- [0044] Le film semiconducteur FLM a une première épaisseur E1 et est électriquement isolé du substrat porteur BLK par la couche diélectrique enterrée BOX. Par exemple, l'épaisseur E1 du film semiconducteur est inférieure ou égale à 7 nm, de préférence comprise entre 4 nm et 7 nm.
- [0045] Le substrat du type silicium sur isolant SOI présente au moins trois régions distinctes : une région basse-tension LV_REG, une région haute-tension HV_REG et une région monolithique localisée LBLK_REG.
- [0046] Les transistors haute-tension HV_NMOS, HV_PMOS seront fabriqués dans et sur la région haute-tension HV_REG du substrat du type silicium sur isolant SOI et peuvent être prévus pour fonctionner à des tensions comprises entre 2 volts et 5 volts.
- [0047] La région basse-tension LV_REG est utilisée pour la fabrication de transistors MOS « basse-tension », par exemple prévus pour fonctionner à des tensions inférieures à 2 volts.
- [0048] La région monolithique localisée LBLK_REG peut être utilisée pour la fabrication de prises de contact POL_BLK du substrat porteur BLK, ou d'autres types de composants semiconducteurs, tels que des transistors bipolaires BJT par exemple.
- [0049] Le masque dur HD_MSK1 peut être un masque en nitrure de silicium de formule Si_3N_4 . Le masque dur HD_MSK1 recouvre le film semiconducteur FLM dans la région basse-tension LV_REG et dans la région haute tension HV_REG et découvre le film semiconducteur FLM dans la région monolithique LBLK_REG.
- [0050] Les figures 2 à 6 illustrent les résultats des étapes 110 à 114 d'un premier mode de mise œuvre du procédé.
- [0051] La [Fig.2] illustre le résultat d'une étape 110 d'oxydation du film semiconducteur FLM dans la région monolithique localisée LBLK_REG. Par exemple, le film semiconducteur FLM peut être oxydé en utilisant des techniques d'oxydation classiques et connues par l'homme du métier. Suite à l'oxydation, le film semiconducteur oxydé FLM_OX peut former avec la couche de diélectrique enterrée BOX une couche homogène d'oxyde de silicium SiO_2 .
- [0052] La [Fig.3] illustre le résultat d'une étape 111 de formation d'un masque en résine

RES_MSK.

- [0053] A cette étape 111, le masque en résine RES_MSK recouvre le masque dur HD_MSK1 dans la région basse-tension LV_REG et le film semiconducteur oxydé FLM_OX dans la région monolithique localisée LBLK_REG. Le masque dur HD_MSK1 est découvert dans la région haute-tension HV_REG.
- [0054] La [Fig.4] illustre le résultat d'une étape 112 de gravure du masque dur HD_MSK1. La gravure 112 est adaptée pour retirer le masque dur HD_MSK1 dans les régions qui ne sont pas recouvertes par le masque en résine RES_MSK, c'est-à-dire en particulier dans la région haute-tension HV_REG. A l'issue de l'étape 112, le masque en résine RES_MSK est retiré.
- [0055] La [Fig.5] illustre le résultat d'une étape 113 de gravure du film semiconducteur oxydé FLM_OX. L'étape 113 de gravure, qui peut être par exemple une gravure par voie humide, est configurée pour graver sélectivement l'oxyde de silicium et ne pas graver, ou graver avec une dynamique très inférieure à la dynamique de gravure de l'oxyde de silicium, le silicium cristallin du film semiconducteur FLM et du substrat porteur BLK. Ainsi, l'étape 113 permet de retirer sélectivement le film semiconducteur oxydé FLM_OX et la couche diélectrique enterrée BOX dans la région monolithique localisée LBLK_REG.
- [0056] En conséquence, à l'issue de l'étape 113, le film semiconducteur en silicium FLM est découvert dans la région haute tension HV_REG et le substrat porteur en silicium BLK est découvert dans la région monolithique localisée LBLK_REG. Le masque dur HD_MSK1 ne recouvre plus que le film semiconducteur FLM dans la région basse-tension LV_REG.
- [0057] La [Fig.6] illustre le résultat d'une étape 114 de croissance par épitaxie du film semiconducteur FLM et du substrat porteur BLK. L'épitaxie permet de faire croître du silicium cristallin à partir des couches découvertes en silicium cristallin, c'est-à-dire le film semiconducteur FLM de la région haute tension HV_REG et le substrat porteur BLK dans la région de substrat monolithique localisée LBLK_REG.
- [0058] Ainsi, dans ce mode de mise en œuvre, la croissance du film semiconducteur FLM est réalisée « gratuitement » lors d'une même étape 114 mutualisée avec la croissance du substrat porteur BLK dans la région monolithique localisée LBLK_REG.
- [0059] En particulier, il convient de choisir une épaisseur supplémentaire E_{sup1} afin que la couche de substrat porteur BLK dans la région monolithique localisée LBLK_REG atteigne la même hauteur que les couches en surface des autres régions du substrat SOI, par exemple la surface du film semiconducteur FLM dans la région basse-tension LV_REG.
- [0060] Etant donné que la croissance du film semiconducteur FLM est subordonnée à la croissance du substrat porteur BLK, le film semiconducteur FLM croît de l'épaisseur

supplémentaire E_{sup1} , dans la région haute-tension HV_REG.

- [0061] Ainsi, on obtient une deuxième épaisseur totale $E2$ du film semiconducteur FLM dans la région haute-tension HV_REG qui correspond à la somme de la première épaisseur $E1$ et de l'épaisseur supplémentaire E_{sup1} , et est donc supérieure à la première épaisseur $E1$. L'épaisseur supplémentaire E_{sup1} peut être comprise entre 10 nm et 25 nm par exemple. La deuxième épaisseur totale $E2$ est supérieure ou égale à 20 nm, et est de préférence comprise entre 20 nm et 25 nm. La deuxième épaisseur $E2$ vaut, par exemple 25 nm pour une première épaisseur $E1$ égale à 7 nm et une épaisseur supplémentaire E_{sup1} égale à 18 nm. Il peut être avantageux de définir une deuxième épaisseur $E2$ inférieure ou égale à 25 nm de manière à garantir que le film semiconducteur FLM soit entièrement déserté. Toutefois, ces valeurs sont données à titre d'exemple non-limitatif et il est envisageable de prévoir un film semiconducteur FLM plus ou moins épais, par exemple pour une deuxième épaisseur $E2$ inférieure à 20 nm ou supérieure à 25 nm, et en conséquence sans bénéficier de l'effet entièrement déserté.
- [0062] La croissance du film semiconducteur FLM permet de former, dans la région haute-tension HV_REG où sont fabriqués les transistors haute-tension, un film semiconducteur FLM suffisamment épais pour éviter le phénomène de dégradation par porteurs chauds, mais également suffisamment mince pour bénéficier des avantages en matière de performances des dispositifs en silicium sur isolant et ainsi améliorer les performances des transistors haute-tension.
- [0063] A cet égard, la deuxième épaisseur totale $E2$ du film semiconducteur FLM dans la région haute-tension HV_REG est suffisamment petite pour engendrer un état complètement déserté dans toute l'épaisseur du film semiconducteur FLM en présence d'une région de canal du transistor haute-tension HV_NMOS, HV_P MOS.
- [0064] En effet, un film semiconducteur dans un état complètement déserté permet d'assurer un meilleur contrôle électrostatique du canal des transistors haute-tension et de réduire des effets de canaux courts.
- [0065] Les figures 7 à 10 illustrent les résultats des étapes 120 à 123 d'un deuxième mode de mise en œuvre du procédé qui commence initialement à l'étape 100 décrite précédemment en relation avec la [Fig.1].
- [0066] La [Fig.7] illustre le résultat d'étapes 120 correspondant à une formation classique de la région de substrat monolithique localisée LBLK_REG. En particulier, les étapes 120 comprennent les étapes 100, 110, 113 et 114 décrites précédemment en relation avec les figures 1, 2, 5 et 6, sans mettre en œuvre les étapes 111 et 112 décrites précédemment en relation avec les figures 3, 4, de sorte que le masque dur HD_MSK1 recouvre également le film semiconducteur FLM dans la région haute-tension HV_REG lors de l'étape 114 de croissance par épitaxie, ainsi réalisée exclusivement

dans la région monolithique localisée LBLK_REG.

- [0067] La [Fig.8] illustre le résultat d'une étape 121 de gravure adaptée pour retirer complètement le masque HD_MSK1, c'est-à-dire dans la région basse-tension LV_REG et dans la région haute-tension HV_REG.
- [0068] La [Fig.9] illustre le résultat d'une étape 122 de formation et de gravure d'un masque dur dédié HD_MSK2 pour la croissance du film semiconducteur FLM dans la région haute tension HV_REG. Le masque dur HD_MSK2 est typiquement un masque en nitrure de silicium et est formé sur le film semiconducteur FLM du substrat SOI.
- [0069] La couche de nitrure de silicium est gravée de façon à découvrir seulement le film semiconducteur FLM dans la région haute-tension HV_REG et à recouvrir le substrat SOI en dehors de la région haute tension HV_REG, c'est-à-dire en particulier le film semiconducteur FLM dans la région basse-tension LV_REG et le substrat porteur BLK dans la région monolithique localisée LBLK_REG.
- [0070] La [Fig.10] illustre le résultat d'une étape 123 de croissance par épitaxie du film semiconducteur FLM dans la région haute-tension HV_REG.
- [0071] La croissance par épitaxie à l'étape 123 correspond sensiblement à la croissance de l'étape 114 décrite précédemment en relation avec la [Fig.6], mais ne dépend pas de la croissance du substrat porteur BLK réalisée dans la région monolithique localisée LBLK_REG.
- [0072] De ce fait, le film semiconducteur FLM peut croître d'une épaisseur supplémentaire E_{sup2}, sélectivement dans la région haute-tension HV_REG.
- [0073] Ainsi, on obtient une deuxième épaisseur totale E3 du film semiconducteur FLM dans la région haute-tension HV_REG qui correspond à la somme de la première épaisseur E1 et de l'épaisseur supplémentaire E_{sup2}, et est donc supérieure à la première épaisseur E1.
- [0074] Une étape supplémentaire (non-représentée) de gravure peut être effectuée afin de retirer le masque dur HD_MSK2 dans la région basse-tension LV_REG et dans la région monolithique localisée LBLK_REG.
- [0075] Ce deuxième mode de mise en œuvre du procédé permet ainsi de contrôler l'épaisseur du film semiconducteur FLM dans la région haute-tension indépendamment des contraintes d'une autre étape d'épitaxie, par exemple celles que peut imposer la croissance du substrat porteur BLK telle que décrite à l'étape 114 du procédé selon le premier mode de mise en œuvre. On peut ainsi paramétrer la deuxième épaisseur totale E3 du film semiconducteur FLM dans la région haute-tension à une taille dimensionnée spécifiquement pour les transistors haute-tension HV_NMOS, HV_PMOS.
- [0076] L'épaisseur supplémentaire E_{sup2} peut être comprise entre 10 nm et 25 nm par exemple. La deuxième épaisseur totale E3 est supérieure ou égale à 20 nm et est de

préférence comprise entre 20 nm et 25 nm. La deuxième épaisseur E3 vaut, par exemple, 25 nm pour une première épaisseur E1 égale à 7 nm et une épaisseur supplémentaire E_{sup2} égale à 18 nm. Il est avantageux de définir une deuxième épaisseur E3 inférieure à 25 nm de manière à garantir que le film semiconducteur FLM soit entièrement déserté. Toutefois, ces valeurs sont données à titre d'exemple non-limitatif et il est envisageable de prévoir un film semiconducteur FLM plus ou moins épais, par exemple pour une deuxième épaisseur E3 inférieure à 20 nm ou supérieure à 25 nm, et en conséquence sans bénéficier de l'effet entièrement déserté.

- [0077] En résumé, le procédé décrit en relation avec les figures 1 à 10 permet de former le film semiconducteur FLM ayant une deuxième épaisseur E2 dans la région haute-tension HV_REG égale à la somme de la première épaisseur E1 et de l'épaisseur supplémentaire E_{sup1}, ou en alternative, une deuxième épaisseur totale E3 égale à la somme de la première épaisseur E1 et de l'épaisseur supplémentaire E_{sup2} qui peut être différente de l'épaisseur supplémentaire E_{sup1} obtenue lors du premier mode de mise en œuvre du procédé.
- [0078] La [Fig.11] illustre un dispositif semiconducteur DISP pouvant être obtenu à partir du procédé de fabrication décrit en relation avec les figures 1 à 10.
- [0079] Le dispositif semiconducteur DISP comprend au moins un transistor haute-tension HV_NMOS, HV_P MOS disposé dans et sur la région haute-tension HV_REG du substrat du type silicium sur isolant SOI. Par exemple, un transistor haute-tension HV_NMOS du type NMOS et un transistor haute-tension HV_P MOS du type PMOS peuvent être disposés dans et sur la région haute-tension HV_REG. Chacun des transistors haute-tension HV_NMOS, HV_P MOS comporte une région de grille G disposée sur le film semiconducteur FLM dans la région haute-tension HV_REG et des régions de conduction, c'est-à-dire une région de drain D et une région de source S, implantées dans le film semiconducteur FLM dans la région haute-tension HV_REG. Les transistors haute-tension HV_NMOS, HV_P MOS sont typiquement des transistors MOS prévus pour fonctionner à des tensions comprises entre 2 volts et 5 volts.
- [0080] Une couche de diélectrique de grille HV_GOX est classiquement disposée entre la région de grille G des transistors HV_NMOS, HV_P MOS et le film semiconducteur FLM
- [0081] Pour rappel, la deuxième épaisseur totale E2 ou E3, suivant le mode de mise en œuvre du procédé décrit précédemment, du film semiconducteur FLM dans la région haute-tension HV_REG est suffisamment petite pour engendrer un état complètement déserté dans toute l'épaisseur du film semiconducteur FLM située en regard de la région de grille G du transistor haute tension, lorsque la région de canal du transistor haute-tension HV_NMOS, HV_P MOS est formée.
- [0082] Par « suffisamment petite », on entend par exemple que la deuxième épaisseur totale

E2 ou E3 du film semiconducteur FLM dans la région haute-tension HV_REG ne dépasse pas 25 nm.

- [0083] Par ailleurs, des transistors basse-tension LV_MOS peuvent être disposés dans et sur le film semiconducteur FLM dans la région basse-tension LV_REG. Les régions de grille G et les régions de conduction S et D des transistors LV_MOS sont formées de manière analogue aux régions de grille G et aux régions de conduction S et D des transistors haute-tension HV_NMOS, HV_PMOS. Les transistors basse-tension LV_MOS sont typiquement des transistors MOS prévus pour fonctionner à des tensions inférieures à 2 volts.
- [0084] En outre, un transistor bipolaire BJT peut être réalisé dans et sur le substrat porteur BLK dans la région monolithique localisée LBLK_REG.
- [0085] Une prise de contact POL_BLK est typiquement formée dans la région monolithique localisée LBLK_REG afin de polariser le substrat porteur BLK dans les différentes régions LV_REG, LBLK_REG, HV_REG du substrat du type silicium sur isolant SOI.

Revendications

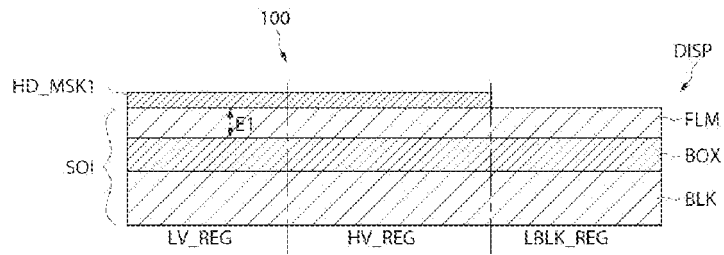
- [Revendication 1] Procédé de fabrication d'au moins un transistor haute-tension (HV_NMOS, HV_PMOS) dans et sur une région haute-tension (HV_REG) d'un substrat du type silicium sur isolant (SOI) comportant un film semiconducteur (FLM) ayant une première épaisseur (E1), électriquement isolé d'un substrat porteur (BLK) par une couche diélectrique enterrée (BOX), le procédé comprenant :
- une croissance par épitaxie du film semiconducteur (FLM), jusqu'à une deuxième épaisseur (E2, E3) supérieure à la première épaisseur (E1), sélectivement dans la région haute-tension (HV_REG).
- [Revendication 2] Procédé selon la revendication 1, comprenant une croissance par épitaxie du substrat porteur (BLK) dans une région monolithique localisée (LBLK_REG) du substrat du type silicium sur isolant (SOI), dans lequel ladite croissance du film semiconducteur (FLM) dans la région haute-tension (HV_REG) est réalisée simultanément avec la croissance du substrat porteur (BLK) dans la région monolithique localisée (LBLK_REG).
- [Revendication 3] Procédé selon la revendication 2, dans lequel ladite croissance du substrat porteur (BLK) dans la région monolithique localisée (LBLK_REG) comprend :
- une formation d'un masque dur (HD_MSK1) recouvrant le film semiconducteur (FLM) dans la région haute-tension (HV_REG) et découvrant le film semiconducteur (FLM) dans la région monolithique localisée (LBLK_REG),
 - une oxydation du film semiconducteur (FLM) dans la région monolithique localisée (LBLK_REG), et une gravure retirant sélectivement le film semiconducteur oxydé (FLM_OX) et la couche diélectrique enterrée (BOX) dans la région monolithique localisée (LBLK_REG) ;
- et dans lequel ladite croissance du film semiconducteur (FLM) dans la région haute-tension (HV_REG) comprend :
- une gravure adaptée pour retirer le masque dur (HD_MSK1) dans la région haute-tension (HV_REG) préalablement à ladite croissance par épitaxie du film semiconducteur (FLM) dans la région haute-tension (HV_REG).
- [Revendication 4] Procédé selon la revendication 1, dans lequel ladite croissance du film semiconducteur (FLM) comprend une formation d'un masque dur dédié (HD_MSK2) découvrant le film semiconducteur (FLM) dans la région

- haute-tension (HV_REG), préalablement à ladite croissance par épitaxie du film semiconducteur (FLM) dans la région haute-tension (HV_REG).
- [Revendication 5] Procédé selon l'une des revendications 1 à 4, comprenant une formation d'une région de grille (G) dudit au moins un transistor haute-tension (HV_NMOS, HV_PMOS) sur le film semiconducteur (FLM) ayant la deuxième épaisseur (E2) de la région haute tension (HV_REG), et une formation de régions de conduction (S, D) dudit au moins un transistor haute-tension (HV_NMOS, HV_PMOS) dans le film semiconducteur (FLM) ayant la deuxième épaisseur (E2) de la région haute tension (HV_REG).
- [Revendication 6] Procédé selon l'une des revendications précédentes, dans lequel la deuxième épaisseur (E2, E3) du film semiconducteur (FLM) dans la région haute-tension (HV_REG) est suffisamment petite pour engendrer un état complètement déserté dans toute l'épaisseur du film semiconducteur (FLM) en présence d'une région de canal dudit au moins un transistor haute-tension (HV_NMOS, HV_PMOS).
- [Revendication 7] Procédé selon l'une des revendications précédentes, dans lequel la première épaisseur (E1) est inférieure ou égale à 7 nm et la deuxième épaisseur (E2) est comprise entre 20 nm et 25 nm.
- [Revendication 8] Dispositif semiconducteur comprenant au moins un transistor haute-tension (HV_NMOS, HV_PMOS) disposé dans et sur une région haute tension (HV_REG) d'un substrat du type silicium sur isolant (SOI) comportant un film semiconducteur (FLM), électriquement isolé d'un substrat porteur (BLK) par une couche diélectrique enterrée (BOX), dans lequel le film semiconducteur (FLM) a une première épaisseur (E1) dans une première région (LV_REG) différente de la région haute tension et a une deuxième épaisseur (E2, E3) supérieure à la première épaisseur (E1) dans la région haute-tension (HV_REG).
- [Revendication 9] Dispositif semiconducteur selon la revendication 8, dans lequel ledit au moins un transistor haute-tension (HV_NMOS, HV_PMOS) comporte une région de grille (G) disposée sur le film semiconducteur (FLM) ayant la deuxième épaisseur (E2, E3) dans la région haute tension (HV_REG), et des régions de conduction (S, D) formées dans le film semiconducteur (FLM) ayant la deuxième épaisseur (E2, E3) dans la région haute tension (HV_REG).
- [Revendication 10] Dispositif semiconducteur selon l'une des revendications 8 ou 9, dans lequel la deuxième épaisseur (E2, E3) du film semiconducteur (FLM) dans la région haute-tension (HV_REG) est suffisamment petite pour

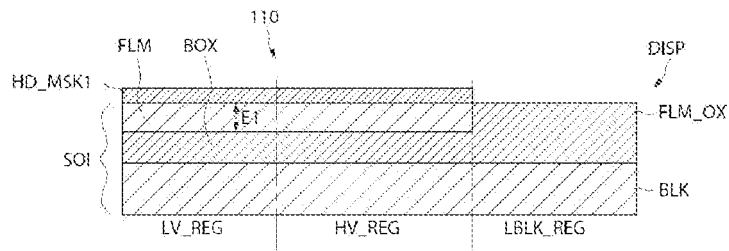
engendrer un état complètement déserté dans toute l'épaisseur du film semiconducteur (FLM) en présence d'une région de canal dudit au moins un transistor haute-tension (HV_NMOS, HV_PMOS).

[Revendication 11] Dispositif semiconducteur selon l'une des revendications 8 à 10, dans lequel la première épaisseur (E1) est inférieure ou égale à 7 nm et la deuxième épaisseur (E2) est comprise entre 20 nm et 25 nm.

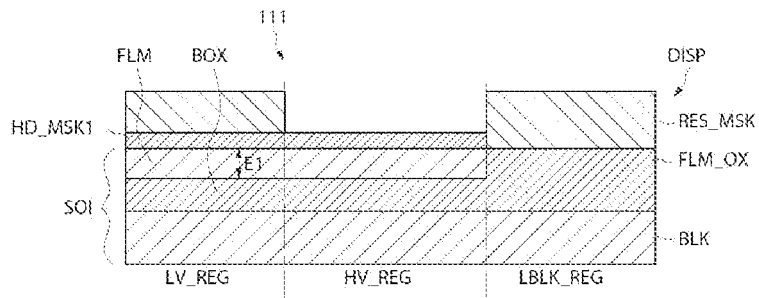
[Fig. 1]



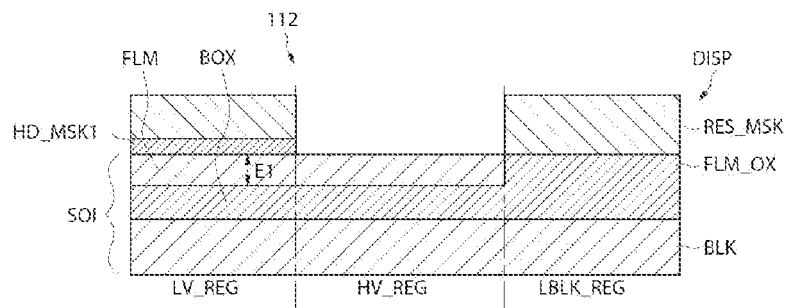
[Fig. 2]



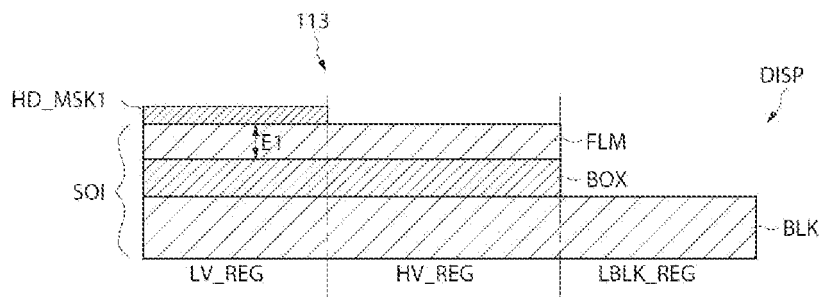
[Fig. 3]



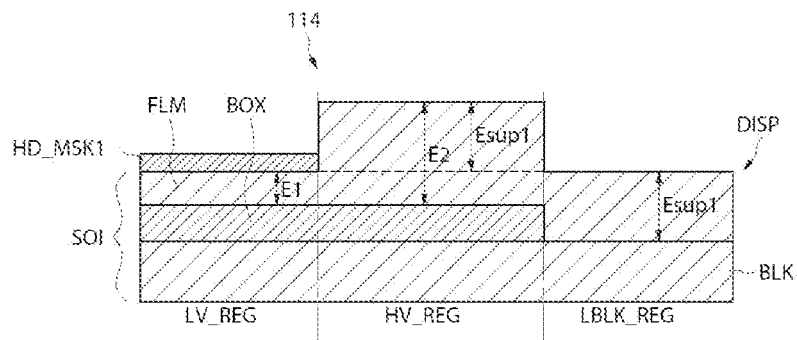
[Fig. 4]



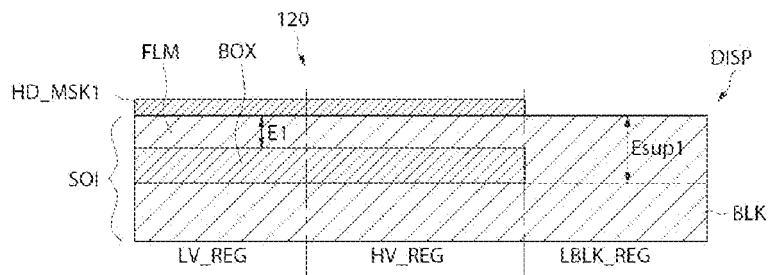
[Fig. 5]



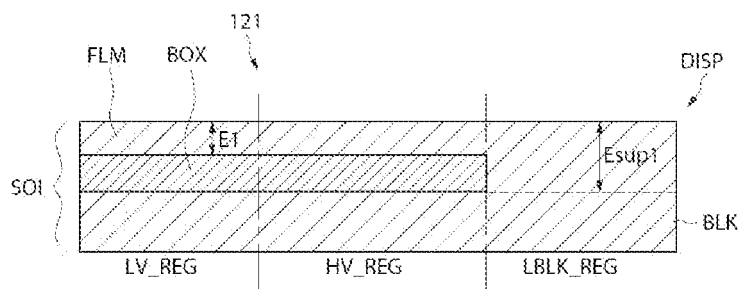
[Fig. 6]



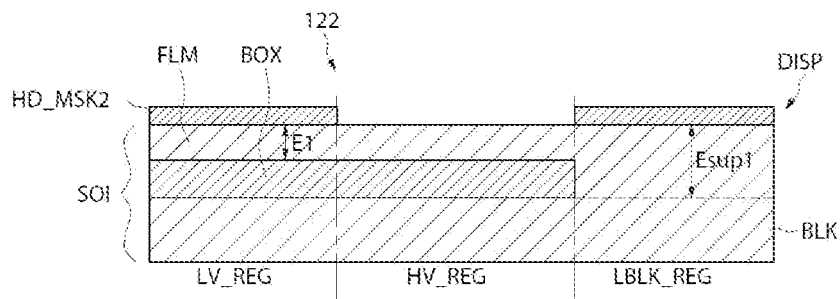
[Fig. 7]



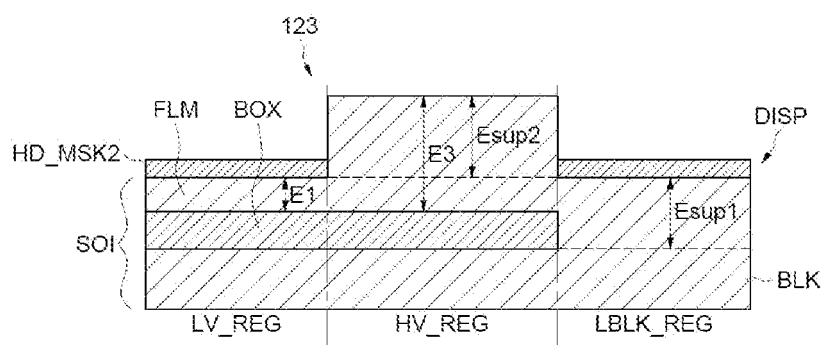
[Fig. 8]



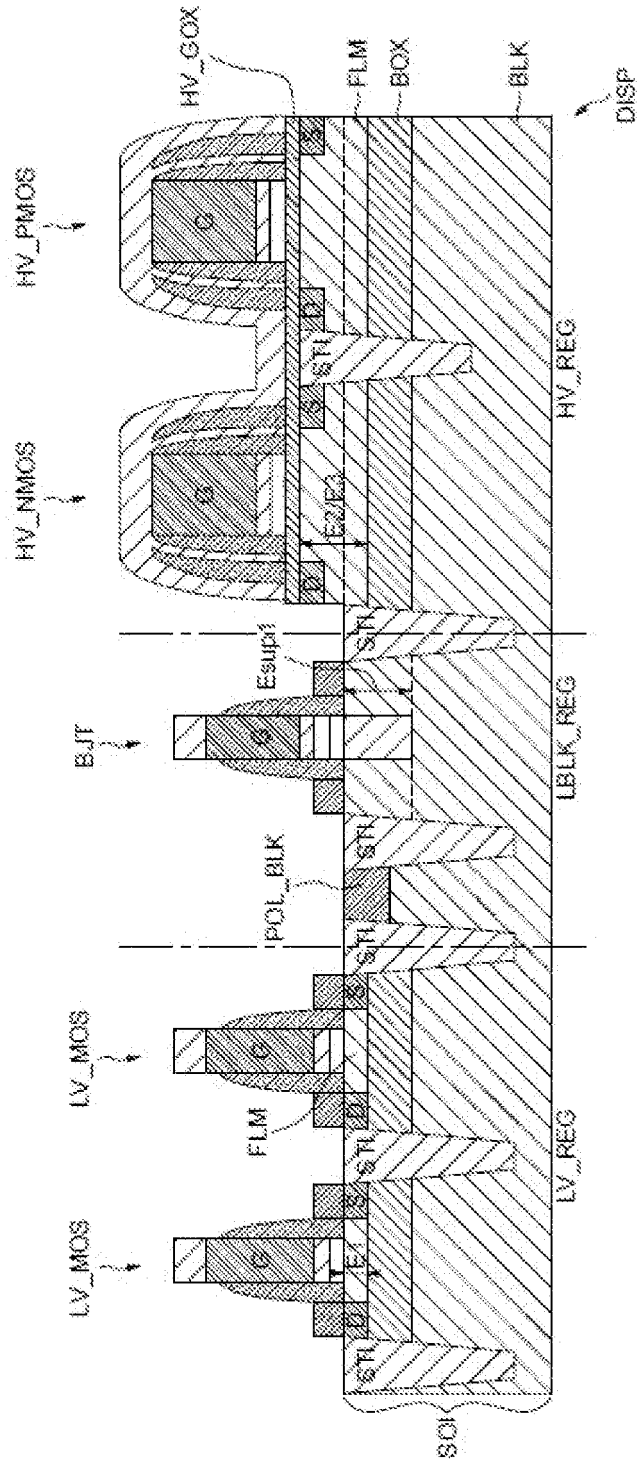
[Fig. 9]



[Fig. 10]



[Fig. 11]



RAPPORT DE RECHERCHE PRÉLIMINAIRE

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

N° d'enregistrement
national

FA 909602
FR 2206882

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	US 2018/090386 A1 (FAUL JÜRGEN [DE] ET AL) 29 mars 2018 (2018-03-29) * alinéa [0011] – alinéa [0012] * * alinéa [0026] – alinéa [0027] * * alinéa [0029] – alinéa [0031] * * alinéa [0035] * * alinéa [0037] * * alinéa [0040] – alinéa [0041] * * abrégé; figures 1a-1j, 2a-2e * -----	1-11	H01L21/328 H01L29/72
X	US 2015/155300 A1 (HOSHINO YUTAKA [JP]) 4 juin 2015 (2015-06-04) * alinéa [0080] * * alinéa [0086] * * alinéa [0092] – alinéa [0093] * * abrégé; figure 4 * -----	1-11	
X	US 2019/057981 A1 (FAGOT JEAN-JACQUES [FR] ET AL) 21 février 2019 (2019-02-21) * alinéa [0040] * * abrégé; figures 1A-1H * -----	1-11	DOMAINES TECHNIQUES RECHERCHÉS (IPC)
X	US 2016/284807 A1 (PETIT DAVID [FR] ET AL) 29 septembre 2016 (2016-09-29) * alinéa [0002] * * alinéa [0036] – alinéa [0042] * * abrégé; figures 7-11 * -----	1-11	H01L
Date d'achèvement de la recherche		Examineur	
24 février 2023		Morena, Enrico	
CATÉGORIE DES DOCUMENTS CITÉS X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire		T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant	

ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE **RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 2206882 FA 909602**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.
 Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **24-02-2023**
 Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche		Date de publication		Membre(s) de la famille de brevet(s)	Date de publication
US 2018090386 A1		29-03-2018	CN	107887396 A	06-04-2018
			TW	201830463 A	16-08-2018
			US	2018090386 A1	29-03-2018

US 2015155300 A1		04-06-2015	JP	2012190994 A	04-10-2012
			US	2012228711 A1	13-09-2012
			US	2015155300 A1	04-06-2015

US 2019057981 A1		21-02-2019	CN	109411483 A	01-03-2019
			CN	208722879 U	09-04-2019
			FR	3070220 A1	22-02-2019
			US	2019057981 A1	21-02-2019
			US	2020303423 A1	24-09-2020

US 2016284807 A1		29-09-2016	CN	106024698 A	12-10-2016
			CN	205177842 U	20-04-2016
			FR	3034254 A1	30-09-2016
			US	2016284807 A1	29-09-2016
