

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5267604号
(P5267604)

(45) 発行日 平成25年8月21日 (2013. 8. 21)

(24) 登録日 平成25年5月17日 (2013. 5. 17)

(51) Int. Cl.	F I
H05K 1/14 (2006.01)	H05K 1/14 B
H05K 3/46 (2006.01)	H05K 3/46 B
H05K 3/00 (2006.01)	H05K 3/46 Q
H01L 25/04 (2006.01)	H05K 3/00 N
H01L 25/18 (2006.01)	H01L 25/04 Z
請求項の数 15 (全 12 頁) 最終頁に続く	

(21) 出願番号	特願2011-62080 (P2011-62080)	(73) 特許権者	000000158
(22) 出願日	平成23年3月22日 (2011. 3. 22)		イビデン株式会社
(65) 公開番号	特開2011-211194 (P2011-211194A)		岐阜県大垣市神田町2丁目1番地
(43) 公開日	平成23年10月20日 (2011. 10. 20)	(74) 代理人	100095795
審査請求日	平成23年3月22日 (2011. 3. 22)		弁理士 田下 明人
(31) 優先権主張番号	61/319, 024	(72) 発明者	荻谷 隆
(32) 優先日	平成22年3月30日 (2010. 3. 30)		岐阜県大垣市神田町2丁目1番地 イビデ
(33) 優先権主張国	米国 (US)		ン株式会社内
(31) 優先権主張番号	13/050, 217	(72) 発明者	古谷 俊樹
(32) 優先日	平成23年3月17日 (2011. 3. 17)		岐阜県大垣市神田町2丁目1番地 イビデ
(33) 優先権主張国	米国 (US)		ン株式会社内
		審査官	吉澤 秀明
		最終頁に続く	

(54) 【発明の名称】 配線板及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

第1面と第2面とを有する第1基板と、
当該第1基板を貫通する通孔の内部に形成されて表裏を電氣的に接続するスルーホール
 導体と、

前記第1基板の第1面上に形成されていて、層間樹脂絶縁層と第1導体回路とが交互に
 積層されてなるビルドアップ層と、

を有し、

前記第1基板および前記ビルドアップ層には、前記第1基板を貫通する第1開口部と、
前記ビルドアップ層を貫通し、当該ビルドアップ層の最外面に開口する第2開口部とを有
する貫通孔が形成され、

前記第2開口部に収容されている第2基板と、
 前記第2基板上に形成されている第2導体回路と、
 前記第2開口部内に充填されている充填材と、

をさらに有する配線板であって、

前記第2開口部は、前記ビルドアップ層の最外面に向かいテーパするテーパ部を有する
 。

【請求項 2】

前記テーパ部はレーザーにより形成されている請求項1の配線板。

【請求項 3】

10

20

前記第 1 導体回路は、複数の半導体素子を実装する第 1 実装パッドを有する請求項 1 の配線板。

【請求項 4】

前記第 2 導体回路は、複数の半導体素子を実装する第 2 実装パッドを有する請求項 1 の配線板。

【請求項 5】

前記第 2 実装パッドのピッチは、前記第 1 実装パッドのピッチよりも小さい請求項 1 の配線板。

【請求項 6】

前記第 2 導体回路は、前記複数の半導体素子の間を接続する信号線である請求項 1 の配線板。

10

【請求項 7】

前記第 2 基板は、熱膨張係数 $2 \sim 10 \text{ ppm}$ の材料から形成されている請求項 1 の配線板。

【請求項 8】

前記第 2 基板は、シリコン、セラミック、ガラスから選択されるいずれか 1 種からなる請求項 1 の配線板。

【請求項 9】

前記第 2 導体回路の L/S は、前記第 1 導体回路の L/S よりも小さい請求項 1 のプリント配線板。

20

【請求項 10】

前記第 1 導体回路は、電源用又はグランド用の導体である請求項 1 の配線板。

【請求項 11】

前記ビルドアップ層は受動素子を有する請求項 1 の配線板。

【請求項 12】

前記第 2 基板は受動素子を有する請求項 1 の配線板。

【請求項 13】

前記第 2 基板の角部は面取りされている請求項 1 の配線板。

【請求項 14】

第 1 面と第 2 面とを有する第 1 基板を準備することと、

30

当該第 1 基板の表裏を電氣的に接続するスルーホール導体を前記第 1 基板を貫通する通孔の内部に形成することと、

前記第 1 基板の第 1 面上に、層間樹脂絶縁層と第 1 導体回路とが交互に積層されてなるビルドアップ層を形成することと、

前記第 1 基板および前記ビルドアップ層に、前記第 1 基板を貫通する第 1 開口部と、前記ビルドアップ層を貫通し、当該ビルドアップ層の最外面に開口する第 2 開口部とを有する貫通孔を形成することと、

前記第 2 開口部に、第 2 基板と該第 2 基板上に形成された第 2 導体回路とを有するインターポーザを収容することと、

前記第 2 開口部内に充填材を充填することと、
を含む配線板の製造方法であって、

40

前記第 2 開口部に、前記ビルドアップ層の最外面に向かいテーパするテーパ部を設ける。

【請求項 15】

前記テーパ部はレーザーにより形成されることを特徴とする請求項 14 の配線板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数の IC チップを実装する配線板、及びその製造方法に関するものである。

50

【背景技術】

【0002】

ＩＣチップ間での線間距離を縮めるため、複数のＩＣチップを１枚のプリント配線板に実装するマルチチップモジュール構造が採用される。特に、ＣＰＵと、キャッシュメモリとを１枚のプリント配線板に実装することで、ＣＰＵ－キャッシュメモリ間での高速伝送を可能にしている。

【0003】

特許文献１には、リジッド基板上にフレキシブル基板を積層して複合基板を形成し、複合基板上にＣＰＵとメモリとを実装したチップモジュールが開示されている。

【先行技術文献】

10

【特許文献】

【0004】

【特許文献１】特開２０００－３５３７６５号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、特許文献１では、複合基板の内層の配線を介して実装されたＣＰＵとメモリとが接続されるため、配線経路が長く、経路上の伝送損失、伝送遅れにより、ＣＰＵ－メモリ間の大容量、高速伝送には限界があった。

【0006】

20

本発明は、上述した課題を解決するためになされたものであり、その目的とするところは、実装する複数のＩＣチップ間を短い配線長で接続できる配線板及び半導体装置を提供することにある。

【課題を解決するための手段】

【0007】

上述した課題を解決するため、発明は、スルーホールを備えるコア基板上に層間樹脂絶縁層と導体回路とを交互にビルドアップ積層してなり、貫通孔を備え、複数個のチップを実装するための第１基板と、

前記貫通孔に収容されている第２基板と、

前記貫通孔に充填された充填剤とを備えるプリント配線板であって、

30

前記第２基板は、前記第１基板に実装される前記複数個のチップの端子を固定するパッドと、該パッドを連結させ複数個のチップの端子を電氣的に接続する信号線とを備えることを技術的特徴とする。

【発明の効果】

【0008】

例えば、配線板上に実装される半導体素子の間を接続する導体回路を第２基板上に形成すれば、第１基板上のビルドアップ層の導体回路の配線幅／配線間隔を緩和することが可能となる。その結果、配線板の歩留まりを向上させることが可能となる。このとき、例えばＣＰＵ、メモリの信号用パッドを一辺側に配置し、それら信号パッドを配置した辺側を対向させた状態で第１基板に実装させ、第２基板の信号線を介してＣＰＵの信号用パッドとメモリの信号用パッドとを接続する。第２基板の短い信号線によりＣＰＵ－メモリ間を接続することで、ＣＰＵ－メモリ間で大容量、高速伝送を可能にできる。

40

【0009】

第２基板は、第１基板上のビルドアップ層に設けられた開口部内に収容される。この開口部は、ビルドアップ層の最外面に向かうに連れてテーパするテーパ部を有する。このため、開口部内に第２基板を収容した後で開口部内に充填材を充填する際、テーパ部により充填材の流れが緩和されるため、開口部より外側にはみ出すことが無く、充填しやすくなる。

また、テーパ部を設けることで、充填材とビルドアップ層との接触面積が大きくなり、半導体素子との熱膨張係数の差により生じる応力を緩和でき、ビルドアップ層へ生じるクラ

50

ックが抑制されると推測される。

【図面の簡単な説明】

【 0 0 1 0 】

【図 1】(A) ~ (C) は本発明の第 1 実施形態に係るプリント配線板の製造方法を示す工程図である。

【図 2】(A) ~ (C) はプリント配線板の製造方法を示す工程図である。

【図 3】(A) ~ (C) はプリント配線板の製造方法を示す工程図である。

【図 4】(A) ~ (C) はプリント配線板の製造方法を示す工程図である。

【図 5】(A) ~ (C) はプリント配線板の製造方法を示す工程図である。

【図 6】(A) ~ (C) はプリント配線板の製造方法を示す工程図である。

【図 7】第 1 実施形態に係るプリント配線板の断面図である。

【図 8】図 7 に示すプリント配線板に CPU チップ、メモリチップを実装した状態を示す断面図である。

【図 9】図 7 に示すプリント配線板の平面図である。

【図 10】プリント配線板に実装される CPU チップ、メモリチップの底面図である。

【図 11】第 2 実施形態に係るプリント配線板の平面図である。

【発明を実施するための形態】

【 0 0 1 1 】

[第 1 実施形態]

次に、本発明の第 1 実施形態に係る製造方法により製造されるプリント配線板 10 の構成について、図 7、図 8、図 9、図 10 を参照して説明する。図 7 は、プリント配線板 10 の断面図を示している。図 8 は、図 7 に示すプリント配線板 10 に CPU チップ 901、メモリチップ 902 を取り付けした半導体装置を示している。図 9 は、図 7 に示すプリント配線板 10 の平面図を示している。図 10 は、実装される CPU チップ 901、メモリチップ 902 の底面図を示す。

【 0 0 1 2 】

図 7 に示すように、配線板 10 は、ビルドアップ多層配線板 11 の略中央部に設けた貫通孔 31 内にインターポーザ 80 を収容して成る。ビルドアップ多層配線板 11 は、表面及び裏面に導体回路 34 を有するコア基板 30 (第 1 基板) と、コア基板上に設けられているビルドアップ層 500 とからなる。コア基板 30 上の導体回路 34 は、スルーホール導体 36 を介して接続されている。ビルドアップ層 500 は、バイアホール 60 及び導体回路 58 の形成された層間樹脂絶縁層 50 と、バイアホール 160 及び導体回路 158 の形成された層間樹脂絶縁層 150 とを有する。該バイアホール 160 及び導体回路 158 の上層にはソルダーレジスト層 70 が形成されている。上面のソルダーレジスト層 70 には、開口 71 が形成され半田バンプ 78S が設けられている。下面のソルダーレジスト 70 には、開口 71 が形成され半田バンプ 78D が設けられている。また、該導体回路は主として電源用及びアース用に用いられている。

【 0 0 1 3 】

インターポーザ 80 は、耐熱基板 81 と耐熱基板 81 上に設けられている配線層とを備える。配線層は、第 2 導体回路としての信号線 83 と、信号線 83 上に設けられてその一部を露出する開口を有する絶縁皮膜 85 と、該開口の内部に形成されているバンプ 82A、82B とを備える。バンプ 82A は、CPU チップ 901 の実装に寄与し、バンプ 82B はメモリチップ 902 の実装に寄与する。これら CPU チップ 901 とメモリチップ 902 とは、信号線 83 を介して電氣的に接続されている。

図 9 の平面図中に示すように、インターポーザ 80 のバンプ 82A、82B は、ピッチ P2 (約 40 μm) に配置されている。また、ビルドアップ多層配線板の半田バンプ 78S は、ピッチ P1 (約 130 μm) に配置されている。そして、耐熱基板 80 の信号線 43 の L/S は、1/1 μm ~ 3/3 μm に設定されている。第 1 実施形態では、インターポーザ 80 はシリコンから成り、信号線 83 及びバンプ 82B、バンプ 82A は、半導体製造工程を用いることでファインに製造されている。耐熱基板 81 を形成する材料としては

10

20

30

40

50

、熱膨張係数 $2 \sim 10 \text{ ppm}$ のシリコン、セラミック、ガラスを用いることができる。

【0014】

図10に示すように、CPUチップ901の裏面には、インターポーザ80の bumps 82Aと接続するためのパッド901bが一边側に沿ってライン状に配置され、更に、ビルドアップ多層配線板11の半田 bumps 78Sに接続するためのパッド901aがマトリクス状に配置されている。同様に、メモリチップ902の裏面には、インターポーザ80の bumps 82Bと接続するためのパッド902bが一边側に沿ってライン状に配置され、更に、ビルドアップ多層配線板11の半田 bumps 78Sに接続するためのパッド902aがマトリクス状に配置されている。

【0015】

図8に示すように、CPUチップ901は、パッド901bがインターポーザ80の bumps 82Aに接続され、パッド901aがビルドアップ多層配線板11の半田 bumps 78Sに接続されている。同様に、メモリチップ902は、パッド902bがインターポーザ80の bumps 82Bに接続され、パッド902aがビルドアップ多層配線板11の半田 bumps 78Sに接続されている。

【0016】

第1実施形態のプリント配線板では、ファインピッチな配線を有するインターポーザ80をビルドアップ多層配線板11に収容することで、ビルドアップ多層配線板11上に、他種類ピッチが混在する半導体素子の実装が可能となり、ビルドアップ多層配線板のサイズを小さくすることができる。

【0017】

第1実施形態では、CPU901の信号用パッド901b、メモリ902の信号用パッド902bを一边側に配置し、それら信号パッドを配置した辺側を対向させた状態でビルドアップ多層配線板11に実装させ、インターポーザ80の信号線83を介してCPU901の信号用パッド901bとメモリ902の信号用パッド902bとを接続する。インターポーザ80の短い信号線43によりCPU-メモリ間を接続することで、CPU-メモリ間で大容量、高速伝送を可能にできる。

【0018】

引き続き、図7を参照して上述したプリント配線板10の製造方法について図1～図8を参照して説明する。

(1) 厚さ $0.2 \sim 0.8 \text{ mm}$ のガラスエポキシ樹脂またはBT(ビスマレイミドトリアジン)樹脂からなる絶縁性基板30の両面に $5 \sim 250 \mu\text{m}$ の銅箔32がラミネートされている銅張積層板30Aを出発材料とした(図1(A))。まず、この銅張積層板をドリル削孔して通孔33を穿設し(図1(B))、無電解めっき処理および電解めっき処理を施し、スルーホール導体36を形成する(図1(C))。その後、スルーホール導体36を形成した基板30を水洗いし、乾燥した後、黒化処理、および、還元処理を行い、スルーホール36の側壁導体層及び表面に粗化面を形成する(図示せず)。

【0019】

(2) 次に、平均粒径 $10 \mu\text{m}$ の銅粒子を含む充填剤37(例えばタツタ電線製の非導電性穴埋め銅ペースト、商品名:DDペースト)を、スルーホール36へスクリーン印刷によって充填し、乾燥、硬化させる(図2(A))。

【0020】

(3) 基板30表面に、パラジウム触媒(アトテック製)を付与し、無電解銅めっきを施すことにより、厚さ $0.6 \mu\text{m}$ の無電解銅めっき膜23を形成し、ついで、電解銅めっきを施し、厚さ $15 \mu\text{m}$ の電解銅めっき膜24を形成し、導体回路34となる部分の厚付け、およびスルーホール36に充填された充填剤37を覆う蓋めっき層(スルーホールランド)となる部分を形成する(図2(B))。

【0021】

(4) 導体回路および蓋めっき層となる部分を形成した基板30の両面に、市販の感光性ドライフィルムを張り付け、エッチングレジスト25を形成する(図2(C))。

10

20

30

40

50

【 0 0 2 2 】

(5)そして、エッチングレジスト 2 5 を形成してない部分のめっき膜 2 3 , 2 4 と銅箔 3 2 をエッチング液にて溶解除去し、さらに、エッチングレジスト 2 5 を剥離除去した。これにより、独立した導体回路 3 4、および充填剤 3 7 を覆う蓋めっき層 3 6 a を形成する (図 3 (A))。導体回路 3 4 および充填剤 3 7 を覆う蓋めっき層の表面をエッチングにより粗化する (図示せず)。

【 0 0 2 3 】

(6)基板 3 0 の両面上に、基板 3 0 より少し大きめの層間樹脂絶縁層用樹脂フィルム (味の素社製 : 商品名 ; A B F - 4 5 S H) を載置し、仮圧着して裁断した後、真空ラミネーター装置を用いて貼り付けることにより層間樹脂絶縁層 5 0 を形成する (図 3 (B))

10

【 0 0 2 4 】

(7)次に、C O 2 ガスレーザにて層間樹脂絶縁層 5 0 にバイアホール用開口 5 1 を形成した (図 3 (C))。バイアホール用開口 5 1 が形成された基板を、6 0 g / l の過マンガン酸を含む 8 0 の溶液に 1 0 分間浸漬した。そして、層間樹脂絶縁層 5 0 の表面に存在する粒子を除去することにより、バイアホール用開口 5 1 の内壁を含む層間樹脂絶縁層 5 0 の表面に粗化面を形成した (図示せず)。

【 0 0 2 5 】

(8)次に、上記処理を終えた基板を、中和溶液 (シブレイ社製) に浸漬してから水洗いした。

20

さらに、粗面化処理 (粗化深さ 3 μ m) した該基板の表面に、パラジウム触媒を付与することにより、層間樹脂絶縁層の表面およびバイアホール用開口の内壁面に触媒核を付着させた。

【 0 0 2 6 】

(9)次に、上村工業社製の無電解銅めっき水溶液 (スルカップ P E A) 中に、触媒を付与した基板を浸漬して、粗面全体に厚さ 0 . 3 ~ 3 . 0 μ m の無電解銅めっき膜を形成し、バイアホール用開口 5 1 の内壁を含む層間樹脂絶縁層 5 0 の表面に無電解銅めっき膜 5 2 が形成された基板を得た (図 4 (A))。

【 0 0 2 7 】

(1 0)無電解銅めっき膜 5 2 が形成された基板に市販の感光性ドライフィルムを張り付け、マスクを載置して露光し、現像処理することにより、厚さ 2 5 μ m のめっきレジスト 5 4 を設けた。ついで、基板を脱脂し、水洗後、さらに硫酸で洗浄してから、電解めっきを施し、めっきレジスト 5 4 非形成部に、厚さ 1 5 μ m の電解銅めっき膜 5 6 を形成した (図 4 (B))。

30

【 0 0 2 8 】

(1 1)さらに、めっきレジスト 5 4 を剥離除去した後、そのめっきレジスト下の無電解めっき膜をエッチング処理して溶解除去し、独立の導体回路 5 8、及び、バイアホール 6 0 とした (図 4 (C))。上記 (5) と同様の処理を行い、導体回路 5 8 及びバイアホール 6 0 の表面を粗化した (図示せず)。

【 0 0 2 9 】

40

(1 2)上記 (6) ~ (1 1) の工程を繰り返すことにより、さらに上層の導体回路 1 5 8、バイアホール 1 6 0 を有する層間絶縁層 1 5 0 を形成し、多層配線板を得た (図 5 (A))。

【 0 0 3 0 】

(1 3)次に、そして、多層配線基板の両面に、市販のソルダーレジスト組成物を 2 0 μ m の厚さで塗布し、乾燥処理を行った。引き続き、開口形成部を除いてソルダーレジスト組成物にレーザを照射してソルダーレジストの硬化を行った。その後、薬液でソルダーレジストの未硬化部分を除去することで、開口 7 1、7 1 を有し、その厚さが 1 5 ~ 2 5 μ m のソルダーレジストパターン層 7 0 を形成した (図 5 (B))。

【 0 0 3 1 】

50

(14) 次に、ソルダーレジスト層 70 が形成された基板を、無電解ニッケルめっき液に浸漬して、開口部 71、71 に厚さ 5 μm のニッケルめっき層 72 を形成した。さらに、その基板を無電解金めっき液に浸漬して、ニッケルめっき層 72 上に、厚さ 0.03 μm の金めっき層 74 を形成し、半田パッドとした (図 5 (C))。ニッケル - 金層以外にも、ニッケル - パラジウム - 金層を形成してもよい。

【0032】

(15) ビルドアップ多層配線板 11 のチップ実装面の反対面からドリルでコア基板 30 を貫通するように第 1 開口部 31a を形成する (図 6 (A))。ここで、ドリルをザグリ状に送ることで、第 1 開口部 31a を開口側から見て略矩形形状に形成する。

【0033】

(16) ビルドアップ多層配線板 11 の第 1 開口部 31a 側からレーザで、チップの実装面側の層間樹脂絶縁層 50、150 及びソルダーレジスト層 70 にチップの実装面に向けて第 2 開口部 31b を設ける。この第 2 開口部 31b は、チップの実装面に向かいテーパしている。これにより、第 1 開口部 31a 及び第 2 開口部 31b から成る貫通孔 31 が形成される (図 6 (B))。

【0034】

(17) ビルドアップ多層配線板 11 を支持板 110 上に載置し、インターポーザ 80 を貫通孔 31 内に收容し、アンダーフィル樹脂 84 で、貫通孔 31 内を封止する (図 6 (C))。インターポーザ 80 は、耐熱基板 81 と耐熱基板 81 上に設けられている信号線とを有する。

【0035】

(18) 支持板 110 からビルドアップ多層配線板を外し、ビルドアップ多層配線板 11 の開口 71 に半田ペーストを印刷してリフローを行うことで、半田バンプ 78S、78D を形成し、プリント配線板 10 を完成する (図 7)。

【0036】

CPUチップ 901 のパッド 901b をインターポーザ 80 のバンプ 82A に、パッド 901a をビルドアップ多層配線板 11 の半田バンプ 78S に位置決め載置する。さらに、メモリチップ 902 のパッド 902b をインターポーザ 80 のバンプ 82B に、パッド 902a をビルドアップ多層配線板 11 の半田バンプ 78S に位置決めして載置する。その後、リフローを行うことで、配線板 10 に CPUチップ 901 及びメモリチップ 902 を実装する (図 8)。

【0037】

第 1 実施形態で、インターポーザ 80 を收容する貫通孔 31 は、ビルドアップ多層配線板 11 のチップ実装面の反対側からコア基板 30 を貫通するようにドリルで形成された第 1 開口部 31a と、チップの実装面側の層間樹脂絶縁層 50、150 にレーザで形成された第 2 開口部 31b とから構成される。導体回路 58、158 の形成されているチップの実装面側の層間樹脂絶縁層 50、150 にレーザで孔を形成するため、ファインピッチに形成された導体回路 58、158 に損傷を与えることがほとんどないものと推測される。

【0038】

また、層間樹脂絶縁層 50、150 にレーザで第 2 開口部 31b を形成するため、第 2 開口部 31b にはチップの実装面側に向かうに連れてテーパするテーパ部が形成される。このため、チップの実装面側の反対側から充填樹脂 84 を充填する際、テーパ部により充填材の流れが緩和されるため、充填樹脂が貫通孔より外側にはみ出すことが無く、充填しやすくなる。

また、テーパ部を設けることで、充填樹脂とビルドアップ層 (層間樹脂絶縁層) との接触面積が大きくなり、半導体素子との熱膨張係数の差により生じる応力を緩和できる。その結果、ビルドアップ層へ生じるクラックが抑制されると推測される。

【0039】

[第 2 実施形態]

第 2 実施形態のプリント配線板について、第 2 実施形態に係るプリント配線板の平面図を

10

20

30

40

50

示す図 1 1 を参照して説明する。

第 2 実施形態のプリント配線板の構成は図 7 及び図 9 を参照して上述した第 1 実施形態と同様である。但し、第 1 実施形態では、貫通孔 3 1 の開口部が矩形になるように角柱形状に形成されたのに対して、第 2 実施形態では、貫通孔 3 1 の開口部が円形になるように円筒形状に形成されている。また、インターポーザ 8 0 は、角部が面取りされ、角部で応力が集中しないように構成されている。

【 0 0 4 0 】

また、第 2 実施形態では、インターポーザ 8 0 の表面に抵抗等の受動素子 8 6 が形成されている。この受動素子 8 6 は、ビルドアップ多層配線板 1 1 の内部に設けられてもよい。

【産業上の利用可能性】

10

【 0 0 4 1 】

上述した実施形態では、半導体チップとして CPU チップとメモリチップとを搭載する例を挙げたが、本願発明のプリント配線板では種々のチップを搭載することができる。更に、上述した実施形態で、一对のチップを搭載する例を挙げたが、CPU チップ、メモリチップ等の半導体チップ数は特に限定されない。

【符号の説明】

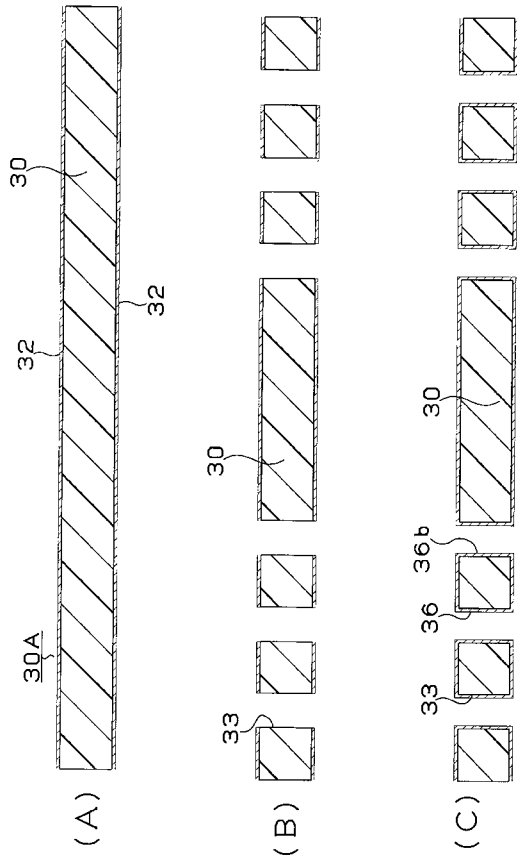
【 0 0 4 2 】

- 1 0 プリント配線板
- 1 1 多層プリント配線板
- 3 0 コア基板
- 3 6 スルーホール
- 4 0 樹脂充填層
- 5 0 層間樹脂絶縁層
- 5 8 導体回路
- 6 0 バイアホール
- 7 0 ソルダーレジスト層
- 7 8 S 半田バンプ
- 8 0 耐熱基板
- 8 2 A、8 2 B バンプ
- 8 3 信号線
- 9 0 1 CPU チップ
- 9 0 2 メモリチップ

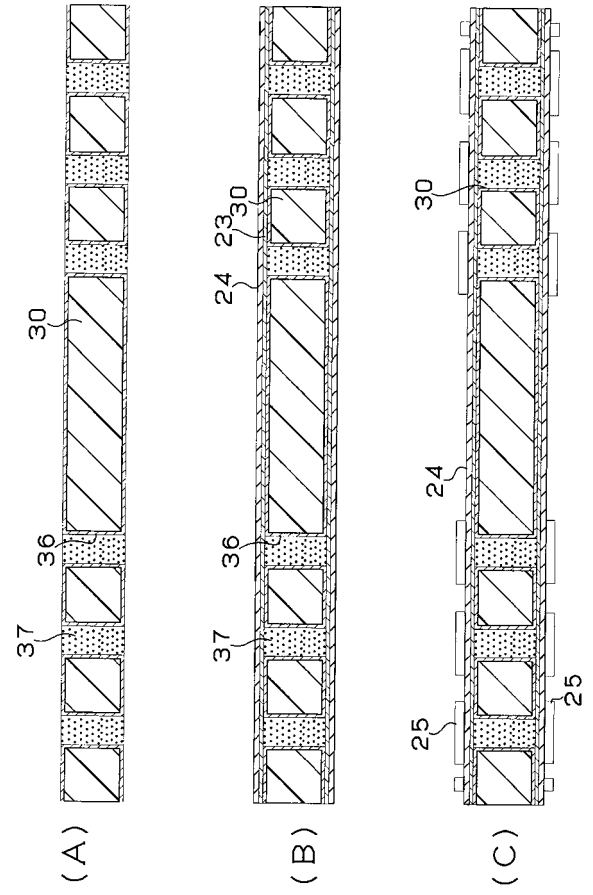
20

30

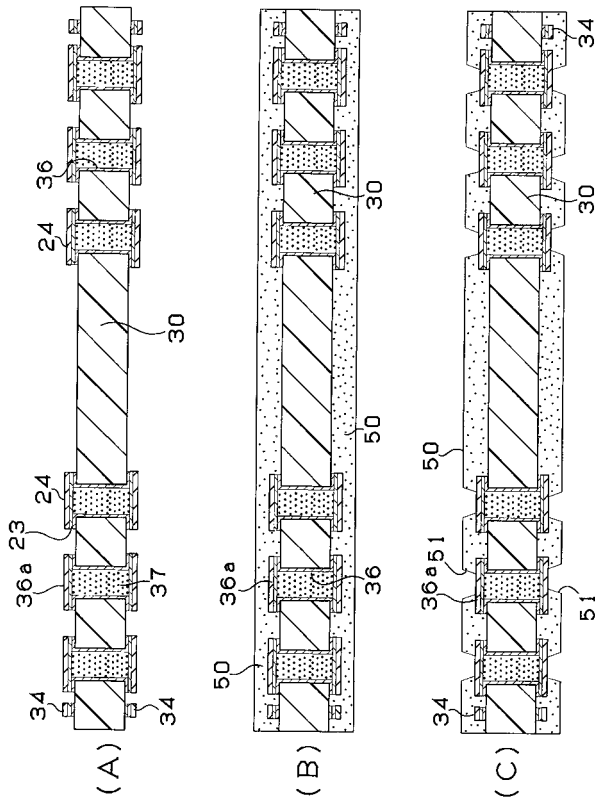
【図 1】



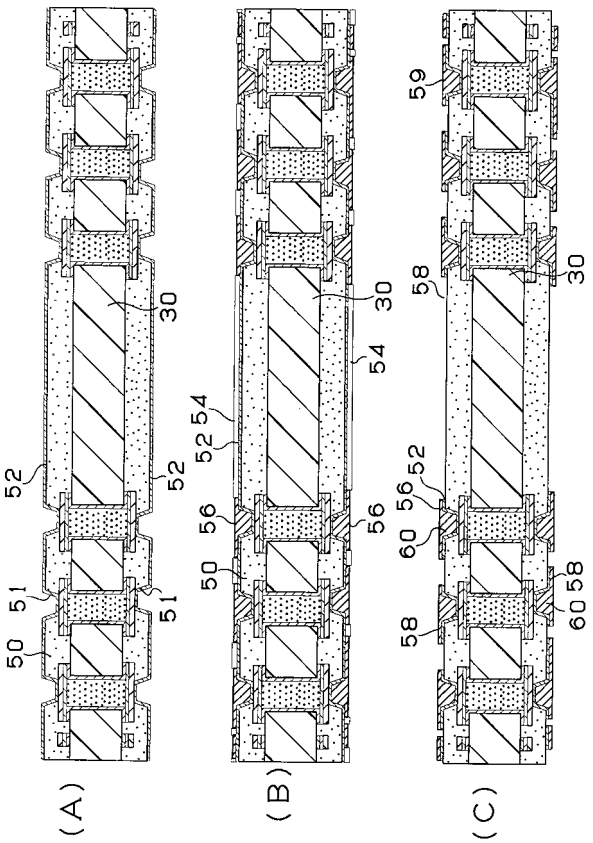
【図 2】



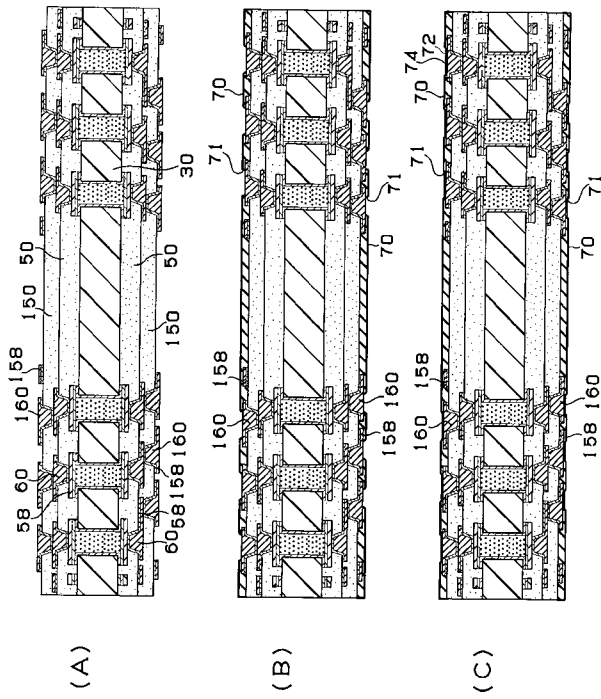
【図 3】



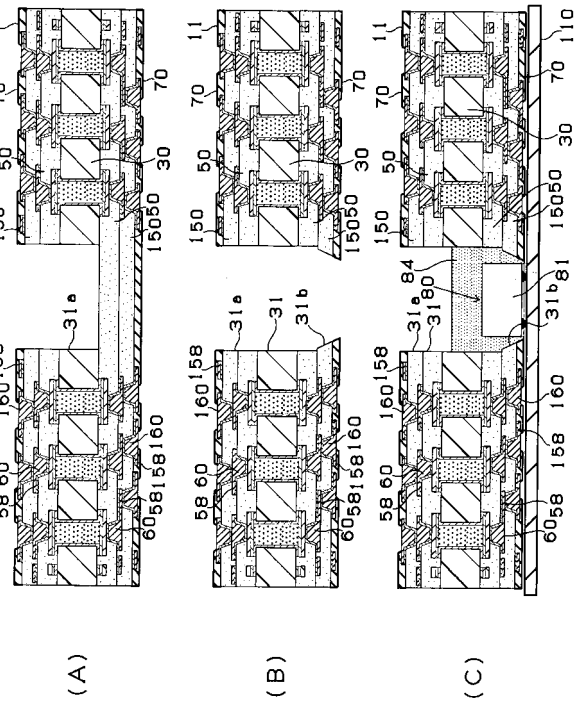
【図 4】



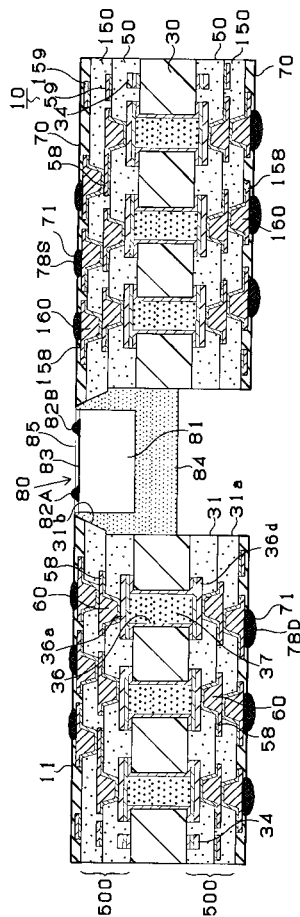
【図 5】



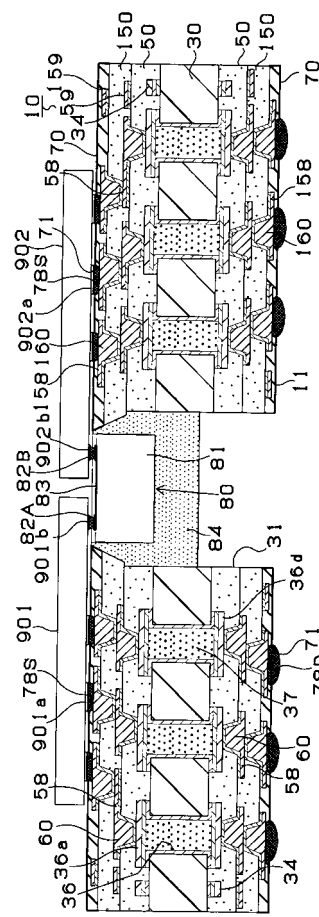
【図 6】



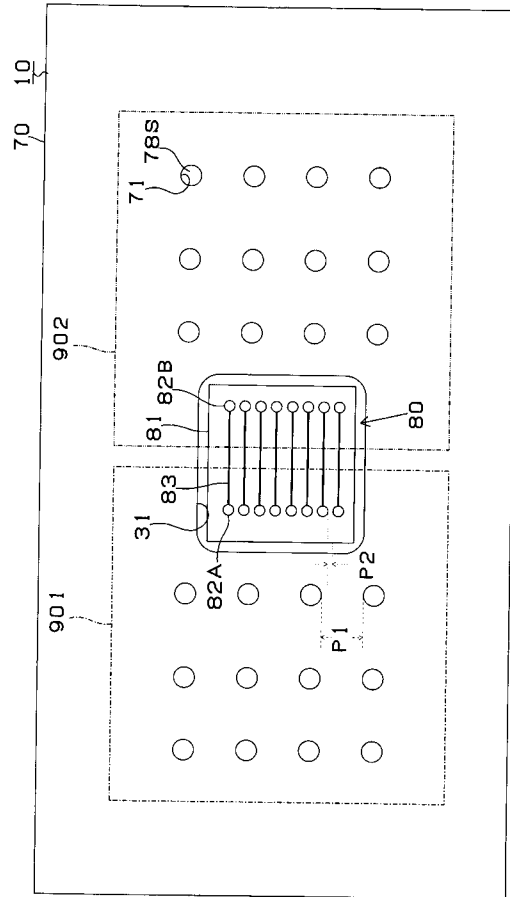
【図 7】



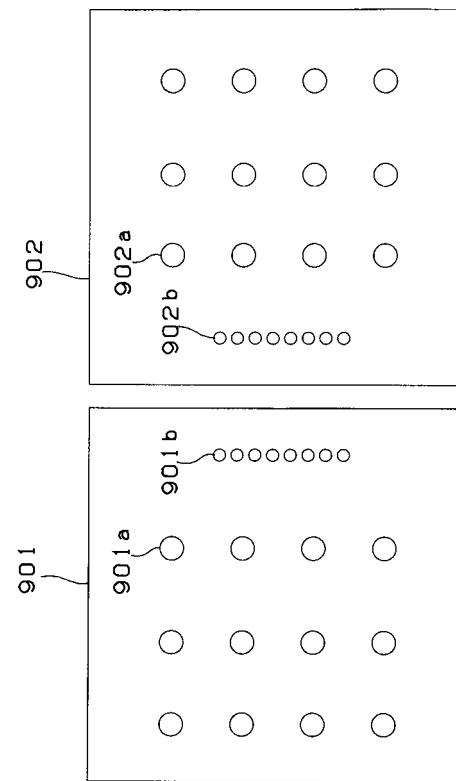
【図 8】



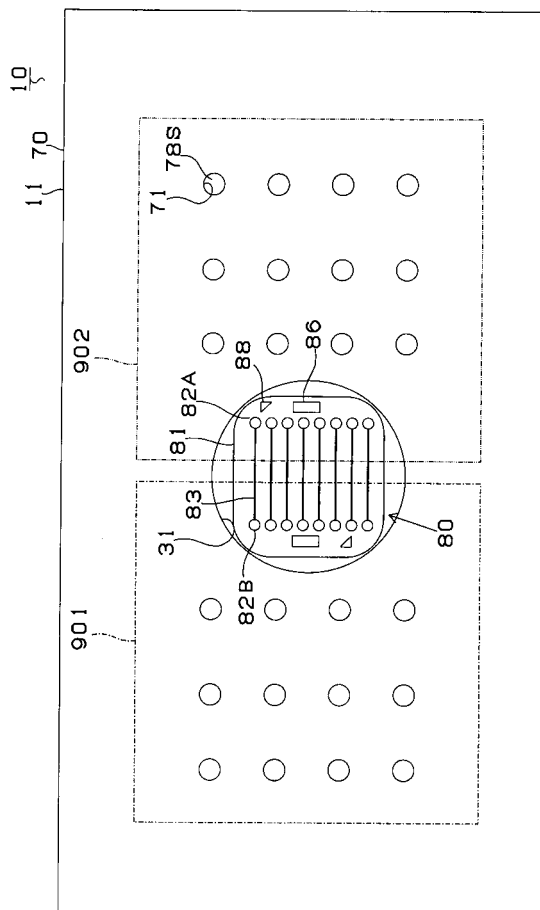
【図 9】



【図 10】



【図 11】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 23/12 (2006.01) H 0 1 L 23/12 N

(56)参考文献 特開 2 0 0 3 - 2 9 8 2 3 4 (J P , A)
特開 2 0 0 9 - 1 0 5 3 4 4 (J P , A)
特開 2 0 0 9 - 1 0 5 3 4 5 (J P , A)
特許第 3 6 5 9 1 6 7 (J P , B 2)

(58)調査した分野(Int.Cl. , D B 名)
H 0 5 K 1 / 1 4
H 0 1 L 2 3 / 1 2
H 0 1 L 2 5 / 0 4
H 0 1 L 2 5 / 1 8
H 0 5 K 3 / 0 0
H 0 5 K 3 / 4 6