



(12)发明专利

(10)授权公告号 CN 106486549 B

(45)授权公告日 2020.06.19

(21)申请号 201610657160.2

(22)申请日 2016.08.11

(65)同一申请的已公布的文献号  
申请公布号 CN 106486549 A

(43)申请公布日 2017.03.08

(30)优先权数据  
62/211,682 2015.08.28 US  
14/925,846 2015.10.28 US

(73)专利权人 台湾积体电路制造股份有限公司  
地址 中国台湾新竹

(72)发明人 吴政达 张简旭珂 陈政纬  
王廷君

(74)专利代理机构 北京德恒律治知识产权代理  
有限公司 11409  
代理人 章社泉 李伟

(51)Int.Cl.

H01L 29/78(2006.01)  
H01L 29/423(2006.01)  
H01L 21/8234(2006.01)  
H01L 21/336(2006.01)

(56)对比文件

US 2009/0269916 A1,2009.10.29,  
US 2009/0269916 A1,2009.10.29,  
US 2015/0137320 A1,2015.05.21,  
KR 10-2006-0124387 A,2006.12.05,

审查员 李水丽

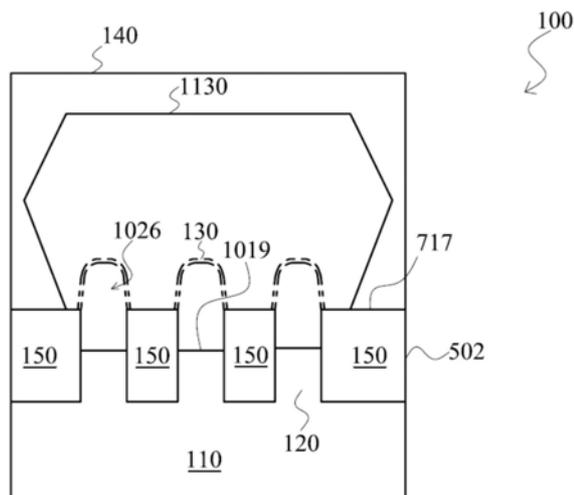
权利要求书3页 说明书11页 附图7页

(54)发明名称

用于FINFET器件中的栅极氧化物的均匀性的平坦STI表面

(57)摘要

在制造FinFET中的操作包括提供具有鳍结构的衬底,其中,鳍结构的上部具有第一鳍表面轮廓。在衬底上形成与鳍结构接触的隔离区域。通过蚀刻工艺凹进隔离区域的部分以形成凹进部分和暴露鳍结构的上部,该凹进部分具有第一隔离表面轮廓。对鳍结构和凹进部分应用热氢处理。通过热氢处理,在鳍结构上方形成具有基本上均匀厚度的栅极介电层,其中,将凹进部分从第一隔离表面轮廓调节至第二隔离表面轮廓且将鳍结构从第一鳍表面轮廓调节至第二鳍表面轮廓。本发明实施例涉及用于FINFET器件中的栅极氧化物的均匀性的平坦STI表面。



1. 一种制造鳍式场效应晶体管 (FinFET) 器件的方法,所述方法包括:  
提供具有鳍结构的衬底,所述鳍结构的上部具有第一鳍表面轮廓;  
在所述衬底上形成隔离区域且所述隔离区域与所述鳍结构接触;  
通过蚀刻工艺使所述隔离区域的至少部分凹进以形成凹进部分且暴露所述鳍结构的所述上部,所述凹进部分具有第一隔离表面轮廓;  
对所述鳍结构和所述凹进部分应用热氢处理;以及  
在所述鳍结构上方形成具有基本上均匀厚度的栅极介电层,  
其中,通过热氢处理将所述凹进部分从所述第一隔离表面轮廓调节至第二隔离表面轮廓且将所述鳍结构从所述第一鳍表面轮廓调节至第二鳍表面轮廓,其中,所述第一隔离表面轮廓包括位于所述凹进部分的上部处的基本上圆形的边缘,并且所述第二隔离表面轮廓包括位于所述凹进部分的所述上部处的方形边缘。
2. 根据权利要求1所述的方法,其中,在氢气环境中应用所述热氢处理。
3. 根据权利要求2所述的方法,其中,应用所述热氢处理包括使氢气以在0.2标准升/分钟 (slm) 至50标准升/分钟 (slm) 范围内的气体流速流动。
4. 根据权利要求1所述的方法,其中,在750°C至1100°C的范围内的温度下,应用所述热氢处理。
5. 根据权利要求1所述的方法,其中,在0.2Torr至760Torr的范围内的压力下,应用所述热氢处理。
6. 根据权利要求1所述的方法,应用所述热氢处理持续20秒至120秒的范围内的时间。
7. 根据权利要求1所述的方法,其中:  
在形成所述栅极介电层中,所述栅极介电层形成为在所述凹进部分的顶面处具有第一厚度、在所述鳍结构的顶面处具有第二厚度以及在所述鳍结构的一个或多个侧壁处具有第三厚度,并且  
所述第一厚度、所述第二厚度和所述第三厚度彼此变化小于0.3纳米。
8. 根据权利要求1所述的方法,还包括:  
在所述鳍结构的至少部分上方和在所述隔离区域上方形成栅极结构;  
通过蚀刻所述鳍结构的部分形成第二凹进部分;以及  
在所述第二凹进部分中和所述第二凹进部分之上形成外延层。
9. 根据权利要求1所述的方法,其中:  
所述第一鳍表面轮廓包括位于所述鳍结构的所述上部处的方形边缘,  
所述第二鳍表面轮廓包括位于所述鳍结构的所述上部处的基本上圆形的边缘。
10. 一种制造鳍式场效应晶体管 (FinFET) 器件的方法,所述方法包括:  
提供具有鳍结构的衬底,所述鳍结构的每个鳍结构的上部具有第一鳍表面轮廓;  
在所述衬底上形成隔离区域使得所述鳍结构嵌入在所述隔离区域中;  
通过蚀刻工艺使所述隔离区域的至少部分凹进以形成凹进部分且暴露所述鳍结构的所述上部,所述凹进部分具有位于邻近的两个鳍结构之间的第一隔离表面轮廓;  
对所述鳍结构和所述凹进部分应用热氢处理;以及  
在所述鳍结构的所述暴露的上部上方形成具有基本上均匀厚度的栅极介电层,  
其中,通过所述热氢处理,将所述凹进部分从所述第一隔离表面轮廓调节至第二隔离

表面轮廓且将所述鳍结构的所述上部从所述第一鳍表面轮廓调节至第二鳍表面轮廓,其中,所述第一隔离表面轮廓包括位于所述凹进部分的上部处的基本上圆形的边缘,并且所述第二隔离表面轮廓包括位于所述凹进部分的所述上部处的方形边缘。

11. 根据权利要求10所述的方法,其中:

所述第一鳍表面轮廓包括位于所述鳍结构的所述上部处的方形边缘,

所述第二鳍表面轮廓包括位于所述鳍结构的所述上部处的基本上圆形的边缘。

12. 根据权利要求11所述的方法,其中,应用所述热氢处理包括使氢气以在0.2标准升/分钟(slm)至50标准升/分钟(slm)范围内的气体流速流动。

13. 根据权利要求10所述的方法,其中,在750°C至1100°C的范围内的温度下,应用所述热氢处理。

14. 根据权利要求10所述的方法,其中,在0.2Torr至760Torr的范围内的压力下,应用所述热氢处理。

15. 根据权利要求10所述的方法,应用所述热氢处理持续20秒至120秒的范围内的时间。

16. 根据权利要求10所述的方法,其中:

在形成所述栅极介电层中,所述栅极介电层形成为在所述凹进部分的顶面处具有第一厚度、在所述鳍结构的顶面处具有第二厚度以及在所述鳍结构的一个或多个侧壁处具有第三厚度,并且

所述第一厚度、所述第二厚度和所述第三厚度彼此变化小于0.3纳米。

17. 根据权利要求10所述的方法,还包括:

在所述鳍结构的至少部分上方和在所述隔离区域上方形成栅极结构;

通过蚀刻所述鳍结构的部分形成第二凹进部分;以及

在所述第二凹进部分中和所述第二凹进部分之上形成外延层。

18. 一种半导体器件,包括:

衬底;

鳍结构,具有带有基本上圆形的拐角的顶面,所述基本上圆形的拐角由第一曲率半径和第二曲率半径限定,其中,所述第一曲率半径与所述鳍结构中的沟道区域的沿着所述顶面弯曲的宽度的部分相关,所述第二曲率半径与所述沟道区域的沿着所述鳍结构的侧壁弯曲的高度的部分相关;

隔离区域,形成在所述衬底上方且与所述鳍结构的至少侧壁接触,所述隔离区域基于热氢处理具有带有基本上平坦的阶梯高度的顶面,其中,所述隔离区域的凹进部分基于热氢处理从第一隔离表面轮廓调节至第二隔离表面轮廓,所述第一隔离表面轮廓包括位于所述凹进部分的上部处的基本上圆形的边缘,并且所述第二隔离表面轮廓包括位于所述凹进部分的所述上部处的方形边缘,所述基本上平坦的阶梯高度由从所述鳍结构的所述侧壁朝向所述隔离区域的所述顶面的下行斜坡限定,所述基本上平坦的阶梯高度与所述沟道区域的所述高度的部分相关;以及

栅极介电层,形成为与所述鳍结构接触且与所述隔离区域的所述顶面接触,基于所述热氢处理,所述栅极介电层在所述鳍结构和所述隔离区域上方具有基本上均匀的厚度。

19. 根据权利要求18所述的半导体器件,其中:

所述栅极介电层在所述隔离区域的所述顶面处具有第一厚度，  
所述栅极介电层在所述鳍结构的所述顶面处具有第二厚度，  
所述栅极介电层在所述鳍结构的一个或多个侧壁处具有第三厚度，以及  
所述第一厚度、所述第二厚度和所述第三厚度彼此变化小于0.3纳米。

20. 根据权利要求18所述的半导体器件，还包括：

栅极堆叠件，所述栅极堆叠件包括栅电极层和所述栅极介电层，所述栅极堆叠件覆盖所述鳍结构的部分；以及

源极和漏极，每个所述源极和漏极均包括设置在形成在所述鳍结构中的凹进部分中和所述鳍结构的凹进部分上方的应力源层，所述应力源层对所述鳍结构的由所述栅极堆叠件覆盖的沟道区域施加应力。

## 用于FINFET器件中的栅极氧化物的均匀性的平坦STI表面

### 技术领域

[0001] 本发明实施例涉及用于FINFET器件中的栅极氧化物的均匀性的平坦STI表面。

### 背景技术

[0002] 随着集成电路日渐按比例缩小并对集成电路的速度要求日益增加,需要晶体管在尺寸越来越小的同时具有更高的驱动电流。鳍式场效应晶体管(FinFET)由此得到发展。FinFET包括衬底之上的垂直的半导体鳍。半导体鳍用于形成源极和漏极区域,以及源极和漏极区域之间的沟道区域。形成浅沟槽隔离(STI)区域以限定半导体鳍。FinFET还包括形成有侧壁且位于半导体鳍的顶面上方的栅极堆叠件。

### 发明内容

[0003] 根据本发明的一个实施例,提供了一种制造鳍式场效应晶体管(FinFET)器件的方法,所述方法包括:提供具有鳍结构的衬底,所述鳍结构的上部具有第一鳍表面轮廓;在所述衬底上形成隔离区域且所述隔离区域与所述鳍结构接触;通过蚀刻工艺使所述隔离区域的至少部分凹进以形成凹进部分且暴露所述鳍结构的所述上部,所述凹进部分具有第一隔离表面轮廓;对所述鳍结构和所述凹进部分应用热氢处理;以及在所述鳍结构上方形成具有基本上均匀厚度的栅极介电层,其中,通过热氢处理将所述凹进部分从所述第一隔离表面轮廓调节至第二隔离表面轮廓且将所述鳍结构从所述第一鳍表面轮廓调节至第二鳍表面轮廓。

[0004] 根据本发明的另一实施例,还提供了一种制造鳍式场效应晶体管(FinFET)器件的方法,所述方法包括:提供具有鳍结构的衬底,所述鳍结构的每个鳍结构的上部具有第一鳍表面轮廓;在所述衬底上形成隔离区域使得所述鳍结构嵌入在所述隔离区域中;通过蚀刻工艺使所述隔离区域的至少部分凹进以形成凹进部分且暴露所述鳍结构的上部,所述凹进部分具有位于邻近的两个鳍结构之间的第一隔离表面轮廓;对所述鳍结构和所述凹进部分应用热氢处理;以及在所述鳍结构的所述暴露的上部上方形成具有基本上均匀厚度的栅极介电层,其中,通过所述热氢处理,将所述凹进部分从所述第一隔离表面轮廓调节至第二隔离表面轮廓且将所述鳍结构的所述上部从所述第一鳍表面轮廓调节至第二鳍表面轮廓。

[0005] 根据本发明的又一实施例,还提供了一种半导体器件,包括:衬底;鳍结构,具有带有基本上圆形的拐角的顶面,所述基本上圆形的拐角由第一曲率半径和第二曲率半径限定,其中,所述第一曲率半径与所述鳍结构中的沟道区域的沿着所述顶面弯曲的宽度的部分相关,所述第二曲率半径与所述沟道区域的沿着所述鳍结构的侧壁弯曲的高度的部分相关;隔离区域,形成在所述衬底上方且与所述鳍结构的至少侧壁接触,所述隔离区域基于热氢处理具有带有基本上平坦的阶梯高度的顶面,所述基本上平坦的阶梯高度由从所述鳍结构的所述侧壁朝向所述隔离区域的所述顶面的下行斜坡限定,所述基本上平坦的阶梯高度与所述沟道区域的所述高度的部分相关;以及栅极介电层,形成为与所述鳍结构接触且与所述隔离区域的所述顶面接触,基于所述热氢处理,所述栅极介电层在所述鳍结构和所述

隔离区域上方具有基本上均匀的厚度。

### 附图说明

[0006] 当结合附图进行阅读时,根据下面详细的描述可以最佳地理解本发明的方面。以下公开内容提供了多个不同的实施例或实例,用于实现本发明的不同特征。以下描述组件和布置的具体实例以简化本发明。当然,这些仅仅是实例而不旨在限制。应该强调的是,根据工业中的标准实践,各个部件未按比例绘制。实际上,为了清楚的讨论,各种部件的尺寸可以被任意增大或缩小。

[0007] 图1是根据本发明的一些实施例的鳍式场效应晶体管 (FinFET) 器件的示意性立体图。

[0008] 图2A和图2B是本发明的一些实施例的沿着栅电极具有鳍结构的FinFET器件的示意性截面图。

[0009] 图3至图11示出了根据本发明的一些实施例的FinFET结构的随后制造工艺的中间阶段的截面图的实例。

### 具体实施方式

[0010] 以下公开内容提供了许多用于实现所提供主题的不同特征的不同实施例或实例。下面描述了组件和布置的具体实例以简化本发明。当然,这些仅仅是实例,而不旨在限制本发明。例如,在以下描述中,在第二部件上方或者上形成第一部件可以包括第一部件和第二部件形成为直接接触的实施例,并且也可以包括在第一部件和第二部件之间可以形成额外的部件,从而使得第一部件和第二部件可以不直接接触的实施例。此外,本发明可在各个实例中重复参考标号和/或字母。该重复是为了简单和清楚的目的,并且其本身不指示所讨论的各个实施例和/或配置之间的关系。

[0011] 而且,为便于描述,在此可以使用诸如“在…之下”、“在…下方”、“下部”、“在…之上”、“上部”等的空间相对术语,以便于描述如图所示的一个元件或部件与另一个(或另一些)元件或部件的关系。除了图中所示的方位外,空间相对术语旨在包括器件在使用或操作中的不同方位。装置可以以其他方式定向(旋转90度或在其他方位上),而在此使用的空间相对描述符可以同样地作相应的解释。另外,术语“由…制成”可以意为“包括”或者“由…组成”。

[0012] 图1是根据本发明的一些实施例的具有鳍结构的鳍式场效应晶体管 (FinFET) 器件100的示意性立体图,以及图2A是根据本发明的一些实施例的沿着栅电极具有鳍结构的FinFET器件100的示意性截面图。在这些图中,为了简化省略了一些层/部件。图2B是图2A的单一鳍的详细视图。

[0013] 图1、图2A和图2B中描述的FinFET器件100包括,除了其他部件,衬底110、鳍结构120、栅极介电层130和栅电极层140。在本实施例中,衬底110是硅衬底。可选地,衬底110可以包括另一元素半导体,诸如锗;化合物半导体,包括诸如SiC和SiGe的IV-IV族化合物半导体,诸如GaAs、GaP、GaN、InP、InAs、InSb、GaAsP、AlGaIn、AlInAs、AlGaAs、GaInAs、GaInP和/或GaInAsP的III-V族化合物半导体;或它们的组合。在一个实施例中,衬底110为SOI(绝缘体上硅)衬底的硅层。当使用SOI衬底时,鳍结构120可从SOI衬底的硅层突出或者可从SOI衬底

的绝缘体层突出。在后面的情况中，SOI衬底的硅层用于形成鳍结构120。诸如非晶Si或非晶SiC的非晶衬底或诸如氧化硅的绝缘材料也可用作衬底110。衬底110可以包括已合适地掺杂杂质（例如，P型或N型导电性）的各种区域。

[0014] 鳍结构120设置在衬底110上方。鳍结构120可以由与衬底110相同的材料制成并且可以连续地从衬底110延伸。在本实施例中，鳍结构120由硅（Si）制成。鳍结构120的硅层可以是原生的，或适当地掺杂有n型杂质或p型杂质。

[0015] 在图1中，在衬底110上方设置一个鳍结构120，而在图2A中，在衬底110上方设置三个鳍结构120。然而，鳍结构的数量不局限于一个或三个。数量可为两个或四个或更多。此外，一个或多个伪鳍结构可以设置为与鳍结构120的两侧接触以提高图案化工艺中的图案保真度。在一些实施例中，鳍结构120的宽度在从约5nm至约40nm的范围内，以及在特定实施例中，鳍结构120的宽度可以在从约7nm至约12nm的范围内。在一些实施例中，鳍结构120的高度为约100nm至约300nm的范围，并且在其他实施例中可为约50nm至100nm的范围。

[0016] 在图2A和图2B中，介于鳍结构120的间隙和/或介于一个鳍结构和在衬底110上方形成的另一元件之间的间隙由包括绝缘材料的一个或多个层的隔离绝缘层（例如，隔离区域150）填充。用于隔离区域150的绝缘材料可以包括氧化硅、氮化硅、氮氧化硅（SiON）、SiOCN、氟掺杂的硅酸盐玻璃（FSG）或低K介电材料的一层或多层。

[0017] 如图2A所示，鳍结构120的位于栅电极层140下方的下部称为阱区域120A并且鳍结构120的上部称为沟道区域120B。在栅电极层140下方，阱区域120A嵌入在隔离区域150中，并且沟道区域120B从隔离区域150突出。沟道区域120B的下部也可以嵌入在隔离区域150中至约1nm至约5nm的深度。尽管图2A和图2B中示出的鳍结构120的上部拐角具有直角，这仅仅是为了说明的目的，并且鳍结构120的上部拐角的形状将在随后描述。

[0018] 从隔离区域150突出的沟道区域120B由栅极介电层130覆盖，并且栅极介电层130进一步由栅电极层140覆盖。沟道区域120B的未被栅电极层140覆盖的部分用作FinFET器件100（见图1）的源极和/或漏极。

[0019] 在特定实施例中，栅极介电层130包括单层或可选地多层结构，单层或可选地多层结构具有一种或多种介电材料，诸如氧化硅、氮化硅或高k介电材料、其他合适的介电材料和/或它们的组合的单层，或这些材料中的两种或多种的多层。高k介电材料的实例包括HfO<sub>2</sub>、HfSiO、HfSiON、HfTaO、HfTiO、HfZrO、氧化锆、氧化铝、氧化钛、氧化铪-氧化铝（HfO<sub>2</sub>-Al<sub>2</sub>O<sub>3</sub>）合金、其他合适的高k介电材料和/或它们的组合。

[0020] 栅电极层140包括任何合适的材料（诸如多晶硅、铝、铜、钛、钽、钨、钴、钼、氮化钽、硅化镍、硅化钴、TiN、WN、TiAl、TiAlN、TaCN、TaC、TaSiN、金属合金、其他合适的材料和/或它们的组合）的一层或多层。可以使用后栅极或替代栅极方法形成栅极结构。

[0021] 在本发明的特定实施例中，可以在栅极介电层130与栅电极层140之间插入一个或多个功函数调整层160。功函数调整层160可以包括单层或可选地多层结构，诸如具有选择性的功函数以提高器件性能的金属层（功函数金属层）、衬垫层、润湿层、粘合层、金属合金或金属硅化物的各个组合。功函数调整层160由一种或多种导电材料制成，一种或多种导电材料诸如Ti、Ag、Al、TiAlN、TaC、TaCN、TaSiN、Mn、Zr、TiN、TaN、Ru、Mo、Al、WN、Cu、W、Re、Ir、Co、Ni或其他合适的金属材料的单层，或两种以上这些材料的多层。在一些实施例中，功函数调整层160可以包括用于n沟道FinFET的第一金属材料 and 用于p沟道FinFET的第二金属材

料。例如,用于n沟道FinFET的第一金属材料可以包括具有功函数的金属,该功函数基本上与衬底导电带的功函数对准,或至少基本上与沟道区域120B的导电带的功函数对准。相似地,例如,用于p沟道FinFET的第二金属材料可以包括具有功函数的金属,该功函数基本上与衬底价带的功函数对准,或至少基本上与沟道区域120B的价带的功函数对准。在一些实施例中,功函数调整层160可以可选地包括多晶硅层。功函数调整层160可以通过ALD、PVD、CVD、电子束蒸发或其他合适的工艺来形成。另外,可以使用不同的金属层分别地形成用于n沟道FinFET和p沟道FinFET的功函数调整层160。

[0022] 通过在源极和漏极区域125中适当的掺杂杂质,在鳍结构120的未被栅电极层140覆盖的上部中还可以形成源极和漏极区125。Si或Ge的合金以及诸如Co、Ni、W、Ti或Ta的金属可以形成在源极和漏极区域125上。

[0023] 在隔离区域150的形成中,实施蚀刻操作以使隔离区域150的顶面117凹进以暴露鳍结构120的部分。由于蚀刻操作,在特定的湿蚀刻工艺中,介于鳍结构120之间的顶面117的中心部分显现低于顶面117的邻近鳍结构120的侧壁的边缘,从而使得顶面117具有弯曲边缘117a而中心平坦。如图2B所示,由于蚀刻不理想,弯曲边缘117a是隔离区域150的剩余部分。隔离区域150的剩余部分在弯曲边缘117a处抑制随后的栅极电介质的生长,导致这些部分处的栅极氧化物更薄,这影响了FinFET器件100的击穿电压且在这些部分处导致横跨减薄的栅极介电层130的更大的泄露电流。

[0024] 此外,隔离区域150的弯曲边缘表面轮廓可以减小沟道区域的有效面积。此外,鳍结构的顶部拐角的形状可以影响栅极介电层的形成和器件性能。例如,如图2B所示,当鳍结构具有锐角时,诸如当上部边缘123基本上垂直于侧壁124时,由于Si的定向效应,位于鳍结构120的顶部拐角处的栅极介电层130比栅极介电层的其他部分薄。栅极介电层的较薄部分130a可以导致等离子体诱导损坏的产量损失。

[0025] 本发明提供了在FinFET器件100中形成隔离区域150以后,使用热氢处理操作制造FinFET器件100的方法,从而减小了来自弯曲边缘表面轮廓的影响,进而改善了FinFET器件100的性能(见图8A)。例如,可以减小隔离区域150的顶面717的边缘部分718的物理尺寸以最小化弯曲边缘表面轮廓。这样的弯曲边缘表面轮廓的最小化增加了沟道区域的有效面积以及减小了栅极介电层130在鳍结构100拐角处的减薄以及有助于在栅极介电层130中的栅极氧化物厚度的一致性。此外,热氢处理造成了鳍结构120的顶部拐角变成基本上圆形状(见图8A和图8B),这进一步有助于栅极氧化物厚度的一致性,进而改善了击穿电压和最小化FinFET器件100的泄露电流。

[0026] 图3至图11示出了根据本发明的一些实施例的FinFET器件100的随后制造工艺的中间阶段的截面图的实例。应该理解,可以在由图3至图11示出的操作之前、期间和/或之后提供附加操作。并且对于方法的额外的实施例,可以替代或消除以下所描述的一些操作。操作的顺序可以互换。图3至图9中的截面图从栅极下方截取,并且图10和图11中的截面图在源极/漏极区域处截取。

[0027] 图3是根据本发明的实施例的FinFET器件100在制造阶段的截面图。在本实施例中,FinFET器件100包括衬底110。在一个实施例中,该衬底110包括晶体硅衬底(例如,晶圆)。取决于设计需求,可以使用p型衬底或n型衬底,且衬底110可以包括多个掺杂区域。在一些实施例中,掺杂区域掺杂有p型或n型掺杂剂。例如,掺杂区可掺杂有p型掺杂剂,诸如

硼;n型掺杂剂,诸如磷或砷和/或它们的组合。掺杂区域可配置为用于n型FinFET,或者可选地配置为用于P型FinFET。

[0028] 在一些可选实施例中,该衬底110由一些其他合适的元素半导体,诸如金刚石或锗;合适的化合物半导体,诸如砷化镓、碳化硅、砷化铟或磷化铟;或合适的合金半导体,诸如碳化硅锗,磷砷化镓或磷铟化镓制成。同样可选地,衬底可以包括外延层。例如,衬底可以具有位于块状半导体上面的外延层。此外,衬底可以是应变的以用于提高性能。例如,外延层可以包括与块状半导体的那些材料不同的半导体材料,诸如位于块状硅上面的硅锗层或者位于块状硅锗上面的硅层。可以通过选择性外延生长(SEG)形成这样的应变的衬底。此外,衬底可包括SOI结构。同样可选地,衬底可以包括诸如埋氧(BOX)层的掩埋介电层,埋氧(BOX)层通过注氧隔离(SIMOX)技术的隔离、晶圆接合、SEG或其他适当的工艺而形成。

[0029] 在一个实施例中,在半导体衬底110上形成垫层304a和掩模层304b。例如,垫层304a可以是使用热氧化工艺形成的具有氧化硅的薄膜。垫层304a在半导体衬底110和掩模层304b之间可以用作粘合层。垫层304a还可以用作作用于蚀刻掩模层304b的蚀刻停止层。在至少一个实施例中,例如,掩模层304b是使用低压化学汽相沉积(LPCVD)或等离子体增强化学汽相沉积(PECVD)由氮化硅形成的。掩模层304b在随后的图案化工艺期间用作硬掩模。在掩模层304b上形成光刻胶层306,且然后通过光刻图案化工艺图案化光刻胶层306。可以在图案化掩模层304b和垫层304a之后和沟槽蚀刻之前去除光刻胶层。

[0030] 图4是根据本发明的实施例的FinFET器件100在随后制造工艺的一个阶段的截面图。蚀刻掩模层304b和垫层304a以暴露下面的半导体衬底110。然后,通过将图案化的掩模层304b和垫层304a用作掩模来沟槽蚀刻暴露的半导体衬底110。

[0031] 在沟槽蚀刻工艺中,可以通过包括干蚀刻、湿蚀刻或干蚀刻和湿蚀刻的组合的各种方法来蚀刻衬底110。可以使用含氟气体(例如,CF<sub>4</sub>、SF<sub>6</sub>、CH<sub>2</sub>F<sub>2</sub>、CHF<sub>3</sub>和/或C<sub>4</sub>F<sub>8</sub>)、含氯气体(例如,C<sub>12</sub>、CHCl<sub>3</sub>、CCl<sub>4</sub>和/或BCl<sub>3</sub>)、含溴气体(例如,HBr和/或CHBr<sub>3</sub>)、含氧气体、含碘气体、其他适用的气体和/或等离子体或它们的组合来实现干蚀刻工艺。

[0032] 接下来,可以实施湿蚀刻操作以去除半导体衬底110的原生氧化物。可以使用稀释的氢氟(DHF)酸来实施湿蚀刻操作。半导体衬底110的介于沟槽402之间的部分形成半导体鳍120。鳍120可以是彼此平行地布置成条(从FinFET器件100的顶部看),并且相对彼此密集间隔开。鳍120的每个具有宽度W和高度H,且通过沟槽402的宽度S与邻近的鳍分隔开。例如,在一些实施例中,半导体鳍120的宽度W可以在从约3nm至约30nm的范围内。

[0033] 图5是根据本发明的实施例的FinFET器件100在随后制造工艺的一个阶段的截面图。沟槽402由介电材料502填充。介电材料502可以包括具有一种或多种介电材料的单层或多层结构,诸如氧化硅、氮化硅或高k介电材料、其他合适的介电材料和/或它们的组合的单层,或这些材料中的两种或多种的多层。在一个或多个实施方式中,例如,介电材料502由通过LPCVD(低压化学汽相沉积)、等离子体CVD或可流动CVD形成的二氧化硅制成。在可流动CVD中,沉积可流动介电材料而不是氧化硅。顾名思义,可流动介电材料在沉积期间可以“流动”以填充具有高高宽比的间隙或间隔。通常,将各种化学物质添加至含硅前体以允许沉积的膜流动。在一些实施例中,添加氮氢键。可流动介电前体(特别地,可流动氧化硅前体)的实例包括硅酸盐、硅氧烷、甲基倍半硅氧烷(MSQ)、氢倍半硅氧烷(HSQ)、MSQ/HSQ、全氢硅氮烷(TCPS)、全氢聚硅氮烷(PSZ)、正硅酸乙酯(TEOS)或甲硅烷基胺(诸如三甲硅烷基胺

(TSA)。在多重操作工艺中形成这些可流动氧化硅材料。在沉积可流动膜之后,将其固化然后退火以去除不需要的元素从而形成氧化硅。当去除不期望的元素时,可流动膜密度增加且收缩。在一些实施例中,进行多重退火工艺。固化和退火可流动膜。

[0034] 在一些实施例中,还可以使用诸如氮化硅、氮氧化硅、氟掺杂的硅酸盐玻璃(FSG)或低k介电材料的其他介电材料以形成介电材料502。在实施例中,使用硅烷( $\text{SiH}_4$ )和氧气( $\text{O}_2$ )作为反应前体,使用高密度等离子体(HDP)CVD工艺形成介电材料502。在其他实施例中,可以使用次大气压CVD(SACVD)工艺或高纵横比工艺(HARP)来形成介电材料502,其中,工艺气体可以包括正硅酸乙酯(TEOS)和臭氧( $\text{O}_3$ )。在又其他实施例中,可以使用旋涂介电(SOD)工艺来形成介电材料502,诸如氢倍半硅氧烷(HSQ)或甲基硅氧烷(MSQ)。在一些实施例中,填充的沟槽区域(或沟槽402)可以具有多层结构,诸如填充有氮化硅或氧化硅的热氧化物衬垫层。

[0035] 图6是根据本发明的实施例的FinFET器件100在随后制造工艺的各个阶段的一个的截面图。在介电材料502的沉积之后,然后实施诸如化学机械抛光(CMP)和/或回蚀刻工艺的平坦化操作,接下来去除掩模层304b和垫层304a。在平坦化操作之后,可以实施退火工艺。退火工艺包括快速热退火(RTA)、激光退火工艺或其他合适的退火工艺。

[0036] 在至少一个实施例中,由氮化硅形成掩模层304b,从而可以使用 $\text{H}_3\text{PO}_4$ 的湿工艺去除掩模层304b。如果垫层304a由氧化硅形成,可以使用稀释的HF去除垫层304a。介电材料502的在沟槽402中的剩余部分此处称为隔离区域150。在一些实施例中,在隔离区域150的凹进之后,实施掩模层304b和垫层304a的去除,其中,在图7中示出凹进操作。

[0037] 图7是根据本发明的实施例的FinFET器件100在随后制造工艺的一个阶段的截面图。可以实施蚀刻工艺以蚀刻隔离区域150以从隔离区域150暴露半导体鳍120的上部722。蚀刻工艺可以包括干蚀刻工艺、湿蚀刻工艺或干蚀刻和湿蚀刻工艺的组合以去除隔离区域150的部分。应该理解,蚀刻工艺可以实施为一个蚀刻工艺或多个蚀刻工艺。

[0038] 剩余的隔离区域150包括顶面717。此外,半导体鳍120的在剩余的隔离区域150的顶面717上方突出的上部722因此用于形成FinFET器件100的有源区域的部分,诸如沟道区域。半导体鳍120的上部722可以包括顶面723和侧壁724。从隔离区域150的顶面717的半导体鳍120的上部722(将是沟道区域)的高度 $H_1$ 可以在约6nm至约100nm的范围内。在一些实施例中,高度 $H_1$ 大于约100nm或小于约6nm。

[0039] 如图7所示,弯曲边缘表面隔离区域718可以存在于由两个鳍120相夹的隔离区域150的顶面717处。在本发明中,弯曲边缘表面隔离结构由与在顶面717上具有平坦的中心的沟道区域120B的侧壁724邻接的弯曲边缘限定。在一些实施例中,弯曲边缘表面隔离结构718的高度 $\Delta H$ 在 $0.3H_1 < \Delta H < 0.5H_1$ 的范围内,且在其他实施例中,在 $0.5H_1 < \Delta H < 0.7H_1$ 的范围内。

[0040] 弯曲边缘表面隔离区域718减小了沟道区域120B中可用的表面面积且造成沟道区域的底部处的非均匀的栅极介电层。由弯曲边缘表面隔离结构718造成的有源表面面积的减小对沟道电流的收集产生不利地影响。由减薄效应造成的非均匀氧化物的厚度还影响FinFET器件100的击穿电压和诱导横跨栅极氧化物的泄露电流的增加。在鳍120的顶面723的边缘附近可以观察到泄露电流,其中,栅极氧化物的厚度小于侧壁724和/或顶面723的厚度。在许多例子中,横跨沟道区域120B的表面的厚度的变化可以变化超过0.6nm。由于Si定

向效应,半导体鳍120的顶面723的边缘处的栅极氧化物的厚度变得相对较小。该减薄的栅极氧化物可以引起来自等离子体诱导损坏的产量损失。

[0041] 在本发明的一个或多个实施方式中,对鳍结构和凹进的氧化物部分施加热氢处理以改善鳍结构的形状和基本上消除在鳍结构和凹进的氧化物部分的界面处的弯曲边缘表面隔离结构718。

[0042] 在本实施例中,在诸如氢气(H<sub>2</sub>)的氢含量环境中应用热氢处理。在一些实施例中,以在从约0.2每分钟标准升(slm)至约50slm的范围内的气体流速应用热氢处理。在一些实施例中,在从约700°C至约1100°C的范围内的温度下且在其他实施例中的在从约850°C至约1000°C的范围内的温度下应用热氢处理。在一些实施例中,在约0.2Torr(托)至约760Torr的范围内的压力下应用热氢处理。在一些实施例中,可以应用热氢处理持续约20秒至约120秒的范围内的时间。在一个或多个实施方式中,应用热氢处理持续80秒的时间。

[0043] 氢气可以与诸如氦气、氮气或氩气的一个或多个载体气体组合。基于氢和载体气体的总摩尔数,在载体气体中的氢的浓度的范围从2%至80%。在特定实施例中,使用氨气(NH<sub>3</sub>)。当使用NH<sub>3</sub>时,根据该反应,在高温下,NH<sub>3</sub>可以分解成氢和氮:2NH<sub>3</sub>→N<sub>2</sub>+3H<sub>2</sub>。

[0044] 图8A是根据本发明的实施例的FinFET器件100在随后制造工艺的一个阶段的截面图。图8B是在形成栅极介电层130之后的单一鳍的详细视图。如图8A所示,在一些实施例中,在氢处理之后,可以减小或消除弯曲边缘表面隔离结构,且鳍结构的上部拐角可以是圆形状。例如,基于热氢处理,半导体鳍120从第一鳍表面轮廓(例如,方形上部边缘)调节至第二鳍表面轮廓(例如,基本上圆形上部边缘)。如图8A至图8B所示,在一些实施例中,半导体鳍120的拐角处的曲率R的半径可以是 $0.05W < R < 0.5W$ ,其中,W是半导体120的沟道区域的宽度,或在其他实施例中可以是 $0.1W < R < 0.2W$ 。在一些实施例中,弯曲边缘表面隔离结构718的高度的变化是在 $0.05H_1 < \Delta H' < 0.1H_1$ 的范围内,且在其他实施例中是在 $0.1H_1 < \Delta H' < 0.3H_1$ 的范围内,其中,H<sub>1</sub>是半导体鳍120的上部722的高度。与在热氢处理(见图7)之前的鳍结构的上部边缘723相比,在热氢处理之后,宽度的部分和弯曲的高度的部分显著增加。相反地,在热氢处理之后,鳍结构和凹进的氧化物部分的界面处的底部边缘(见图7),弯曲的高度的部分显著减小。

[0045] 由于热氢处理,隔离区域的顶面717可以具有基本平坦的阶梯高度。此外,由于应用的热氢处理,半导体鳍120的顶面723具有基本上圆形状的拐角。基本上平坦的STI表面提供更大的沟道区域的有源表面面积,以及半导体鳍120的基本上圆形状拐角提供均匀厚度的栅极电介质130,从而改善了击穿电压且最小化FinFET器件100的泄露电流。

[0046] 图9是根据学科技术的实施例的FinFET器件100在随后制造工艺的一个阶段的截面图。栅极堆叠件920形成在衬底110上方的半导体鳍120的顶面723和侧壁724上方且延伸至第一隔离区域150a和第二隔离区域150b的顶面717。栅极堆叠件920包括栅极介电层130和设置在栅极介电层130上方的栅电极层140。在栅极堆叠件920的形成期间,可以实施蚀刻隔离区域150的各种清洗/蚀刻工艺。

[0047] 形成栅极电介质130以覆盖半导体鳍120的沟槽区域的至少部分的顶面723和侧壁724。为了简化,在图9中未示出在隔离区域的上部顶面上形成的栅极电介质。由于鳍结构的上部拐角通过热氢处理变圆,栅极介电层可以具有在鳍结构上方基本上均匀的厚度(没有或减小的减薄效应)。在沟道区域的底部处的隔离区域150的减小的弯曲边缘表面轮廓(例

如,弯曲边缘表面隔离结构718的去除部分)还有助于栅极介电层130的均匀性。

[0048] 在一些实施例中,栅极介电层130的厚度在约1.8纳米(nm)至约5nm的范围内,并且在其他实施例中,在约2.0nm至约4.4nm的范围内。在特定实施例中,栅极介电层130的厚度可以在3nm至5nm的范围内。在一个或多个实施方式中,栅极介电层130在隔离区域150的顶面717处具有第一厚度 $t_1$ 、在半导体鳍120的顶面处具有第二厚度 $t_2$ 以及在半导体鳍120的一个或多个侧壁724处具有第三厚度 $t_3$ 。如果在图7所示的结构上形成栅极介电层130而不实施热氢处理,横跨沟道区域120B的表面的厚度的变化将大于0.6nm。相反地,通过添加热氢处理,第一厚度 $t_1$ 、第二厚度 $t_2$ 以及第三厚度 $t_3$ 的变化可以小于0.3nm。在其他实施例中,三个指定位置处的厚度的变化可以小于0.6nm。栅极介电层130的均匀的厚度可以最小化来自等离子体诱导的损坏的产量损失。消除栅极介电层130的减薄的部分可以减小栅极介电层130的减薄的部分处的泄露电流。

[0049] 在一些实施例中,栅极介电层130包括氧化硅、氮化硅、氮氧化硅或高k电介质的一层或多层。高k介电材料可以包括金属氧化物。用于高k电介质的金属氧化物的实例包括Li、Be、Mg、Ca、Sr、Sc、Y、Zr、Hf、Al、La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu的氧化物和/或它们的混合物。可以使用诸如原子层沉积(ALD)、化学汽相沉积(CVD)、物理汽相沉积(PVD)、热氧化、UV-臭氧氧化或它们的组合的合适的工艺形成栅极介电层130。栅极介电层130可包括单层或多层结构。例如,栅极介电层130可以进一步包括界面层(未示出)以降低栅极介电层130和鳍120之间的损坏。界面层可以包括氧化硅。

[0050] 然后,在栅极介电层130上形成栅电极层140。在至少一个实施例中,栅电极层140覆盖一个以上的半导体鳍120的上部722,从而使得所得的FinFET器件100包括一个以上的鳍结构。在一些可选实施例中,半导体鳍120的上部722的每个可以用于形成单独的FinFET器件100。栅电极层140可以包括单层或多层结构。栅电极层140可以包括多晶硅。此外,栅电极层140可以是利用均匀或非均匀掺杂的掺杂的多晶硅。在一些可选实施例中,栅电极层140包括诸如Al、Cu、W、Ti、Ta、TiN、TiAl、TiAlN、TaN、NiSi、CoSi的金属、具有与衬底材料相容的功函数的其他导电材料或者它们的组合。可以使用诸如ALD、CVD、PVD、镀或它们的组合的合适的工艺形成栅电极层140。

[0051] 图10是根据本发明的实施例的FinFET器件100在随后制造工艺的一个阶段的截面图。在该实例中,沿着栅极堆叠件920的轴线外侧截取的FinFET器件100的截面图。

[0052] 使半导体鳍120的未由栅电极层140覆盖的部分凹进以形成具有位于隔离区域150的平坦顶面717下方的顶面1019的半导体鳍120的凹进部分1026。在一个实施例中,实施偏置蚀刻工艺以使沟道区域的未被保护或暴露的顶面1019凹进以形成半导体鳍120的凹进部分1026。在实施例中,使用HBr和/或 $Cl_2$ 作为蚀刻气体实施蚀刻工艺。

[0053] 图11是根据本发明的实施例的FinFET器件100在随后制造工艺的一个阶段的截面图。通过在半导体鳍120的凹进部分1026上方选择性地生长应变材料1130以及将应变材料1130在隔离区域150的顶面717上方延伸来生产图11中描述的结构。由于应变材料1130的晶格常数与半导体鳍120的沟道区域不同,因此半导体鳍120的沟道区域是应变的或受应力的,以增加器件的载流子迁移率以及提高器件的性能。尽管在图11中每个鳍上面的应变材料1130是连接的,但是可以相对于每个鳍单独地形成应变材料1130。

[0054] 在至少一个实施例中,通过LPCVD工艺外延生长诸如碳化硅(SiC)和/或磷化硅

(SiP)的应变材料1130以形成n型FinFET的源极和漏极区域。在另一实施例中,通过LPCVD工艺外延生长诸如硅锗(SiGe)的应变材料1130以形成p型FinFET的源极和漏极。单独形成p型FinFET和n型FinFET。在这方面,可以使用光刻和蚀刻工艺限定n型外延区域或p型外延区域。例如,当处理n型外延区域时,形成诸如氮化硅(SiN)层的保护层以覆盖p型外延区域(例如,S/D形成)。相反地,当处理p型外延区域时,SiN层可以覆盖n型外延区域。

[0055] FinFET器件100仅用作一个实例。可以在诸如数字电路、成像传感器器件、异质半导体器件、动态随机存取存储器(DRAM)单元、单一电子晶体管(SET)和/或其他微电子器件(此处统称为微电子器件)的各种应用中使用FinFET器件100。当然,本发明的各方面也适用于和/或容易适应其他类型的晶体管,包括单栅极晶体管、双栅极晶体管和其他多栅极晶体管、并且可以用在许多不同的应用中,包括传感器单元、存储器单元、逻辑单元和其他。

[0056] 本发明提供了一种制造FinFET器件100的方法,方法在FinFET器件100中形成隔离区域150以后使用热氢处理操作从而减小了来自弯曲边缘表面轮廓的影响,进而改善了FinFET器件100的性能。例如,可以减小隔离区域150的顶面处的边缘部分的物理尺寸以最小化弯曲边缘表面轮廓。这样的弯曲边缘表面轮廓的最小化通过防止栅极介电层130的减薄增加了沟道区域的有源表面面积且有助于在沟道区域的底部处的栅极电介质厚度的均匀性。此外,热氢处理造成鳍结构120的顶部拐角基本上变为圆形状,这进一步有助于栅极氧化物厚度的均匀性,从而改善了击穿电压和最小化FinFET器件100的泄露电流。

[0057] 在实施例中,本文描述了一种制造FinFET器件的方法。该方法包括提供具有鳍结构的衬底,鳍结构的上部具有第一鳍表面轮廓。该方法还包括在衬底上形成与鳍结构接触的隔离区域。该方法还包括通过蚀刻工艺使隔离区域的至少部分凹进以形成凹进部分和暴露鳍结构的上部,该凹进部分具有第一隔离表面轮廓。该方法还包括对鳍结构和凹进部分应用热氢处理。该方法还包括通过热氢处理,在鳍结构上方形成具有基本上均匀厚度的栅极介电层,其中,将凹进部分从第一隔离表面轮廓调节至第二隔离表面轮廓且将鳍结构从第一鳍表面轮廓调节至第二鳍表面轮廓。

[0058] 在另一实施例中,本文描述了一种制造FinFET器件的方法。该方法包括提供具有鳍结构的衬底,该鳍结构的上部具有第一鳍表面轮廓。该方法还包括在衬底上形成隔离区域从而在隔离区域中嵌入鳍结构中。该方法还包括通过蚀刻工艺使隔离区域的至少部分凹进以形成凹进部分和暴露鳍结构的上部,该凹进部分具有在邻近的两个鳍结构之间的第一隔离表面轮廓。该方法还包括对鳍结构和凹进部分应用热氢处理。该方法还包括通过热氢处理,在鳍结构的暴露上部上方形成具有基本上均匀厚度的栅极介电层,其中,将凹进部分从第一隔离表面轮廓调节至第二隔离表面轮廓且将鳍结构的上部从第一鳍表面轮廓调节至第二鳍表面轮廓。

[0059] 在又另一实施例中,一种半导体器件包括衬底和具有基本上圆形的拐角的顶面的鳍结构,基本上圆形的拐角由第一曲率半径和第二曲率半径限定,其中,第一曲率半径与沿着顶面弯曲的鳍结构中的沟道区域的宽度的部分相关且第二曲率半径与沿着鳍结构的侧壁弯曲的沟道区域的高度的部分相关。半导体器件还包括在衬底上方形成的且与鳍结构的至少侧壁接触的隔离区域,基于热氢处理,隔离区域包括具有基本上平坦的阶梯高度的顶面,基本上平坦的阶梯高度由从鳍结构的侧壁朝向隔离区域的顶面的下行斜坡限定,基本上平坦的阶梯高度与沟道区域的高度的部分相关的。半导体器件还包括形成为与鳍结构接

触且与隔离区域的顶面接触的栅极介电层,基于热氢处理,栅极介电层在鳍结构和隔离区域上方具有基本上均匀的厚度。

[0060] 根据本发明的一个实施例,提供了一种制造鳍式场效应晶体管(FinFET)器件的方法,所述方法包括:提供具有鳍结构的衬底,所述鳍结构的上部具有第一鳍表面轮廓;在所述衬底上形成隔离区域且所述隔离区域与所述鳍结构接触;通过蚀刻工艺使所述隔离区域的至少部分凹进以形成凹进部分且暴露所述鳍结构的所述上部,所述凹进部分具有第一隔离表面轮廓;对所述鳍结构和所述凹进部分应用热氢处理;以及在所述鳍结构上方形成具有基本上均匀厚度的栅极介电层,其中,通过热氢处理将所述凹进部分从所述第一隔离表面轮廓调节至第二隔离表面轮廓且将所述鳍结构从所述第一鳍表面轮廓调节至第二鳍表面轮廓。

[0061] 在上述方法中,在氢气环境中应用所述热氢处理。

[0062] 在上述方法中,应用所述热氢处理包括使氢气以在0.2标准升/分钟(slm)至50slm范围内的气体流速流动。

[0063] 在上述方法中,在750°C至1100°C的范围内的温度下,应用所述热氢处理。

[0064] 在上述方法中,在0.2Torr至760Torr的范围内的压力下,应用所述热氢处理。

[0065] 在上述方法中,应用所述热氢处理持续20秒至120秒的范围内的时间。

[0066] 在上述方法中,在形成所述栅极介电层中,所述栅极介电层形成为在所述凹进部分的顶面处具有第一厚度、在所述鳍结构的顶面处具有第二厚度以及在所述鳍结构的一个或多个侧壁处具有第三厚度,并且所述第一厚度、所述第二厚度和所述第三厚度彼此变化小于0.3纳米。

[0067] 在上述方法中,还包括:在所述鳍结构的至少部分上方和在所述隔离区域上方形成栅极结构;通过蚀刻所述鳍结构的部分形成第二凹进部分;以及在所述第二凹进部分中和所述第二凹进部分之上形成外延层。

[0068] 在上述方法中,所述第一鳍表面轮廓包括位于所述鳍结构的所述上部处的方形边缘,所述第二鳍表面轮廓包括位于所述鳍结构的所述上部处的基本上圆形的边缘,所述第一隔离表面轮廓包括位于所述凹进部分的上部处的基本上圆形的边缘,以及所述第二隔离表面轮廓包括位于所述凹进部分的所述上部处的方形边缘。

[0069] 根据本发明的另一实施例,还提供了一种制造鳍式场效应晶体管(FinFET)器件的方法,所述方法包括:提供具有鳍结构的衬底,所述鳍结构的每个鳍结构的上部具有第一鳍表面轮廓;在所述衬底上形成隔离区域使得所述鳍结构嵌入在所述隔离区域中;通过蚀刻工艺使所述隔离区域的至少部分凹进以形成凹进部分且暴露所述鳍结构的上部,所述凹进部分具有位于邻近的两个鳍结构之间的第一隔离表面轮廓;对所述鳍结构和所述凹进部分应用热氢处理;以及在所述鳍结构的所述暴露的上部上方形成具有基本上均匀厚度的栅极介电层,其中,通过所述热氢处理,将所述凹进部分从所述第一隔离表面轮廓调节至第二隔离表面轮廓且将所述鳍结构的所述上部从所述第一鳍表面轮廓调节至第二鳍表面轮廓。

[0070] 在上述方法中,所述第一鳍表面轮廓包括位于所述鳍结构的所述上部处的方形边缘,所述第二鳍表面轮廓包括位于所述鳍结构的所述上部处的基本上圆形的边缘,所述第一隔离表面轮廓包括位于所述凹进部分的上部处的基本上圆形的边缘,以及所述第二隔离表面轮廓包括位于所述凹进部分的所述上部处的方形边缘。

[0071] 在上述方法中,应用所述热氢处理包括使氢气以在0.2标准升/分钟(slm)至50slm范围内的气体流速流动。

[0072] 在上述方法中,在750°C至1100°C的范围内的温度下,应用所述热氢处理。

[0073] 在上述方法中,在0.2Torr至760Torr的范围内的压力下,应用所述热氢处理。

[0074] 在上述方法中,应用所述热氢处理持续20秒至120秒的范围内的时间。

[0075] 在上述方法中,在形成所述栅极介电层中,所述栅极介电层形成为在所述凹进部分的顶面处具有第一厚度、在所述鳍结构的顶面处具有第二厚度以及在所述鳍结构的一个或多个侧壁处具有第三厚度,并且所述第一厚度、所述第二厚度和所述第三厚度彼此变化小于0.3纳米。

[0076] 在上述方法中,还包括:在所述鳍结构的至少部分上方和在所述隔离区域上方形成栅极结构;通过蚀刻所述鳍结构的部分形成第二凹进部分;以及在所述第二凹进部分中和所述第二凹进部分之上形成外延层。

[0077] 根据本发明的又一实施例,还提供了一种半导体器件,包括:衬底;鳍结构,具有带有基本上圆形的拐角的顶面,所述基本上圆形的拐角由第一曲率半径和第二曲率半径限定,其中,所述第一曲率半径与所述鳍结构中的沟道区域的沿着所述顶面弯曲的宽度的部分相关,所述第二曲率半径与所述沟道区域的沿着所述鳍结构的侧壁弯曲的高度的部分相关;隔离区域,形成在所述衬底上方且与所述鳍结构的至少侧壁接触,所述隔离区域基于热氢处理具有带有基本上平坦的阶梯高度的顶面,所述基本上平坦的阶梯高度由从所述鳍结构的所述侧壁朝向所述隔离区域的所述顶面的下行斜坡限定,所述基本上平坦的阶梯高度与所述沟道区域的所述高度的部分相关;以及栅极介电层,形成为与所述鳍结构接触且与所述隔离区域的所述顶面接触,基于所述热氢处理,所述栅极介电层在所述鳍结构和所述隔离区域上方具有基本上均匀的厚度。

[0078] 在上述半导体器件中:所述栅极介电层在所述隔离区域的所述顶面处具有第一厚度,所述栅极介电层在所述鳍结构的所述顶面处具有第二厚度,所述栅极介电层在所述鳍结构的一个或多个侧壁处具有第三厚度,以及所述第一厚度、所述第二厚度和所述第三厚度彼此变化小于0.3纳米。

[0079] 在上述半导体器件中,还包括:栅极堆叠件,所述栅极堆叠件包括栅电极层和所述栅极介电层,所述栅极堆叠件覆盖所述鳍结构的部分;以及源极和漏极,每个所述源极和漏极均包括设置在形成在所述鳍结构中的凹进部分中和所述凹进部分上方的应力源层,所述应力源层对所述鳍结构的由所述栅极堆叠件覆盖的沟道区域施加应力。

[0080] 上面概述了若干实施例的部件、使得本领域技术人员可以更好地理解本发明的方面。本领域技术人员应该理解,他们可以容易地使用本发明作为基础来设计或修改用于实现与在此所介绍实施例相同的目的和/或实现相同优势的其他工艺和结构。本领域技术人员也应该意识到,这种等同构造并不背离本发明的精神和范围、并且在不背离本发明的精神和范围的情况下,在此他们可以做出多种变化、替换以及改变。

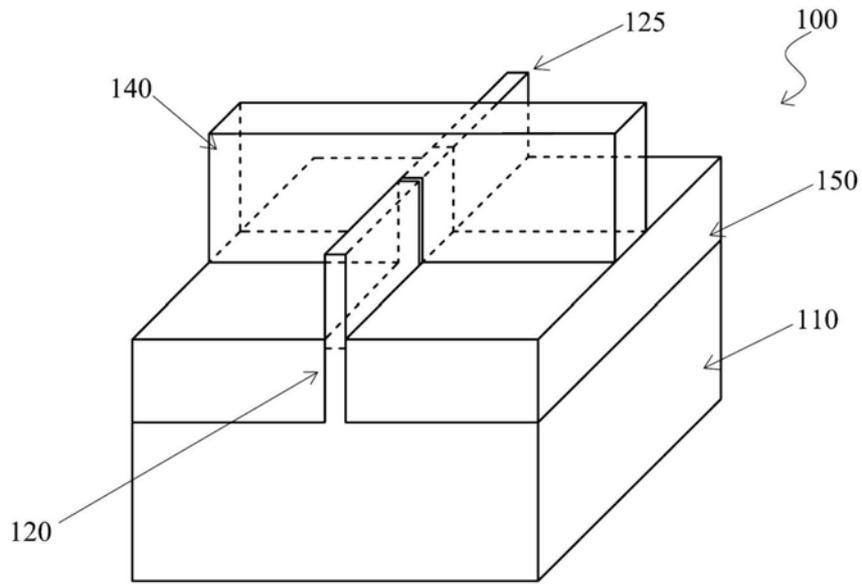


图1

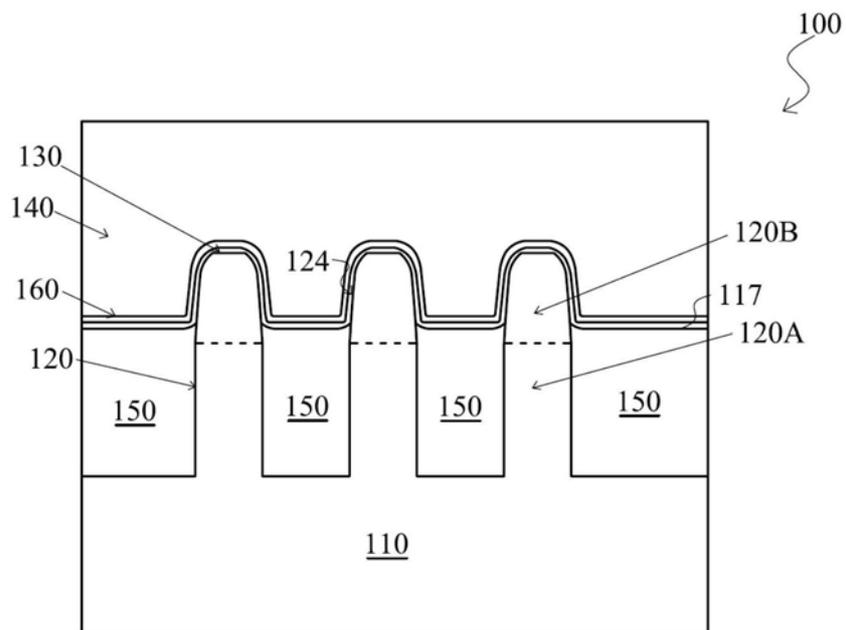


图2A

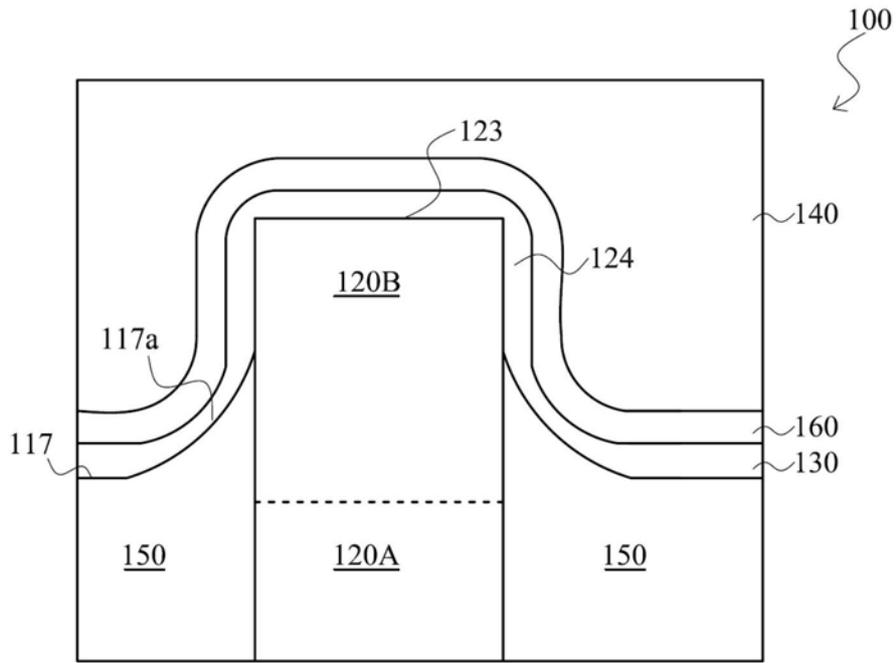


图2B

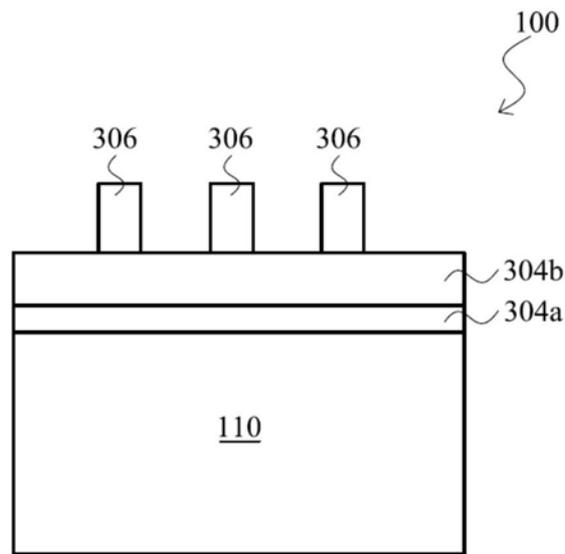


图3

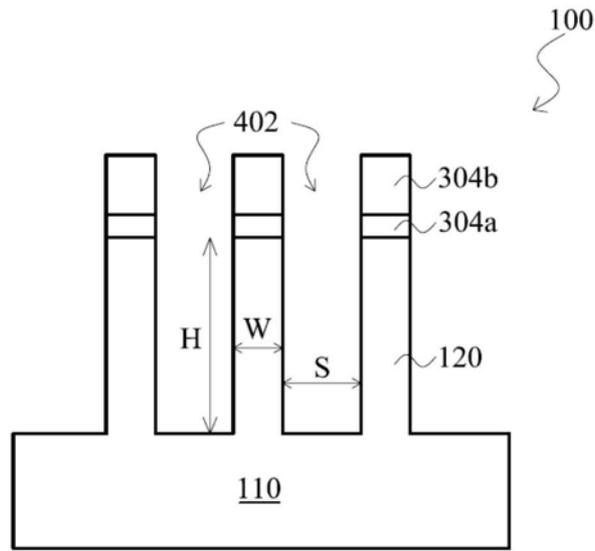


图4

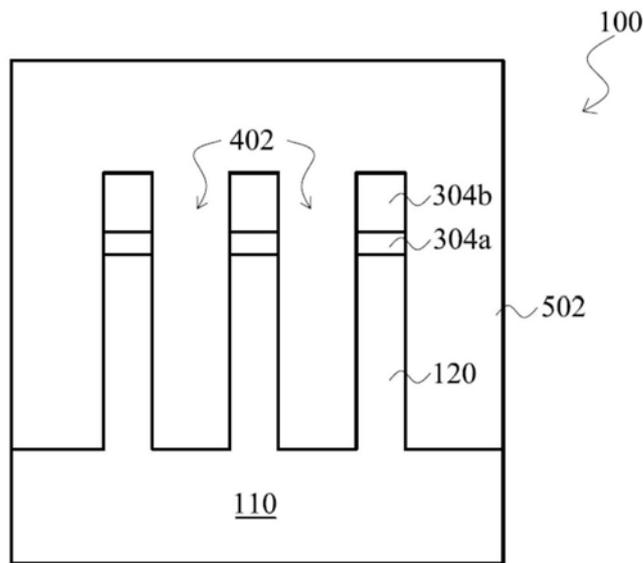


图5

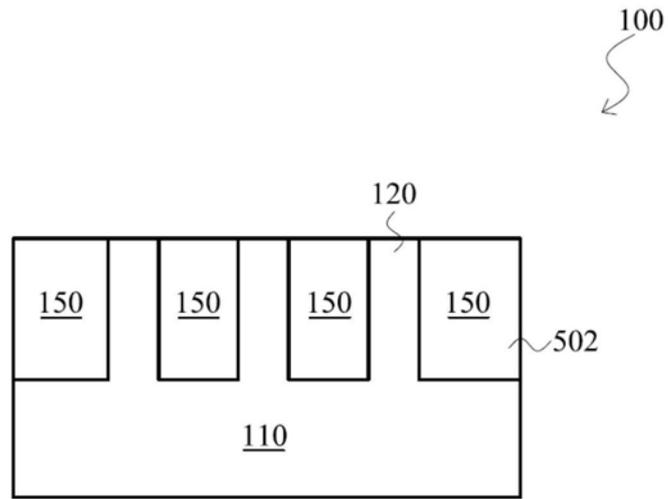


图6

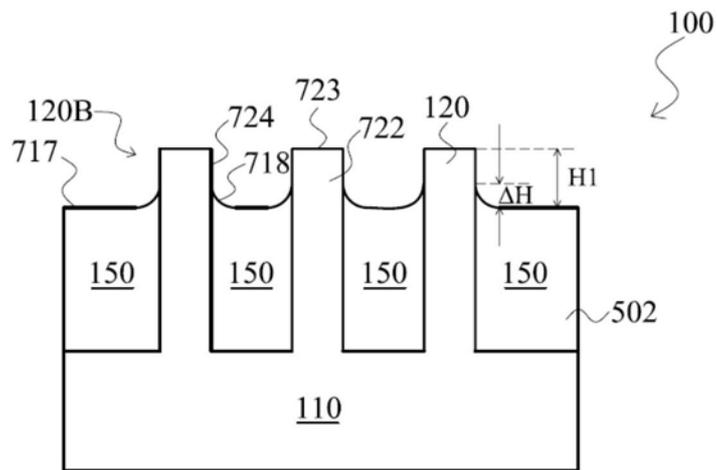


图7

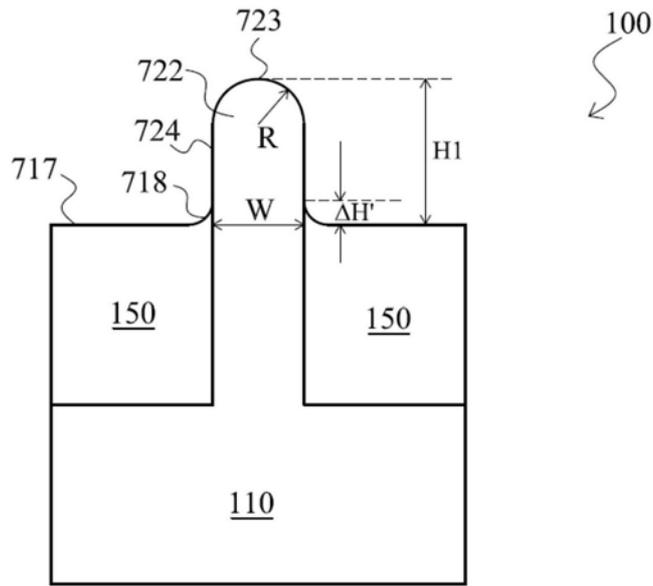


图8A

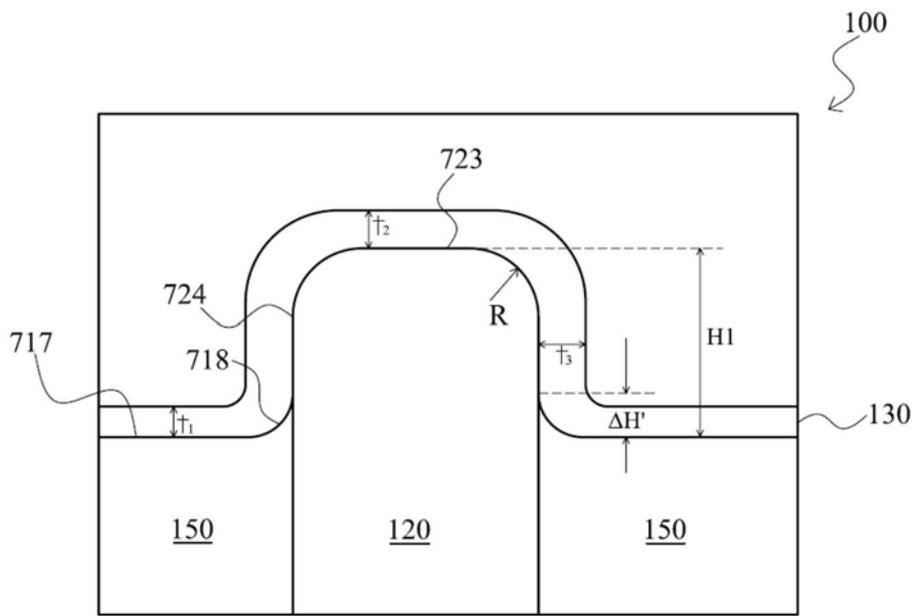


图8B

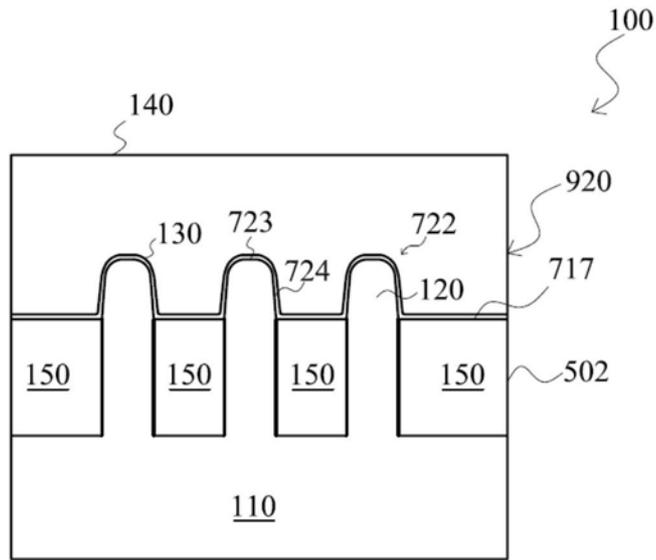


图9

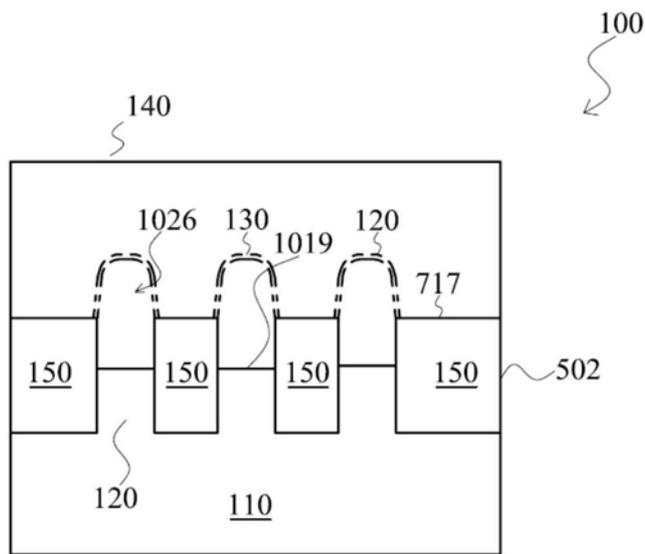


图10

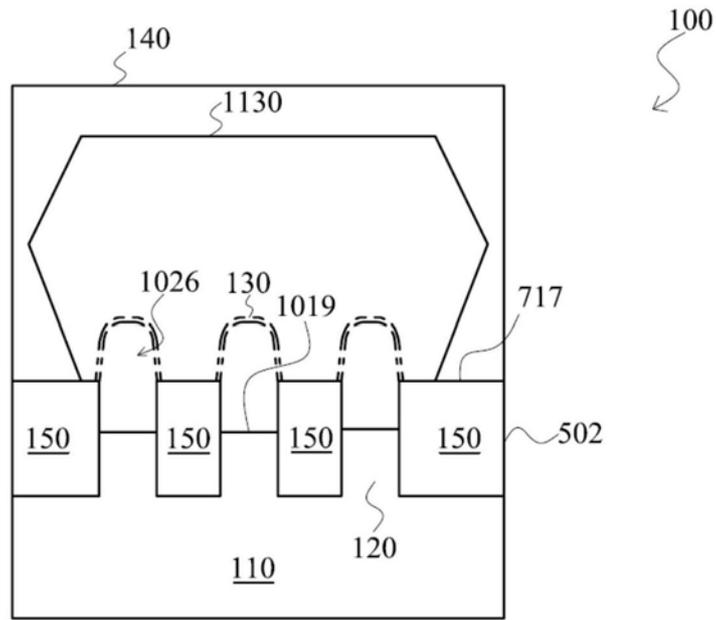


图11