

公告本

申請日期：

80.2.1 ✓

案號：

89125690

類別：

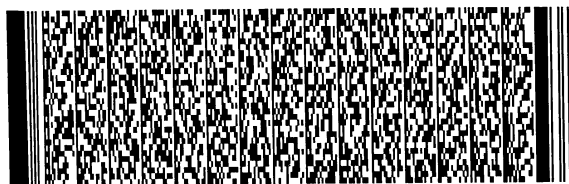
H03L 1/08

(以上各欄由本局填註)

發明專利說明書

498620

一、 發明名稱	中 文	使用延遲補償技術之鎖相迴路
	英 文	PHASE LOCKED LOOP USING DELAY COMPENSATION TECHNIQUES
二、 發明人	姓 名 (中文)	1. 福維歐 史葩納 2. 深堀 清 ✓
	姓 名 (英文)	1. FULVIO SPAGNA 2. KIYOSHI FUKAHORI
	國 籍	1. 義大利 2. 日本
	住、居所	1. 美國加州聖荷西市達頓廣場1808號 2. 美國加州山景市萊圖廣場2061號
三、 申請人	姓 名 (名稱) (中文)	1. 美商德州儀器公司
	姓 名 (名稱) (英文)	1. TEXAS INSTRUMENTS INCORPORATED
	國 籍	1. 美國
	住、居所 (事務所)	1. 美國德州達拉斯市梅爾史特遜邱吉爾路7839號
	代表人 姓 名 (中文)	1. 威廉 B. 坎普樂
	代表人 姓 名 (英文)	1. WILLIAM B. KEMPLER



本案已向

國(地區)申請專利

美國 US

申請日期

1999/12/03 60/168,903

案號

主張優先權

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

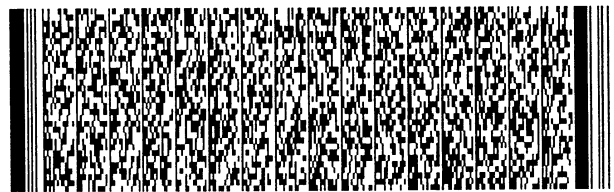
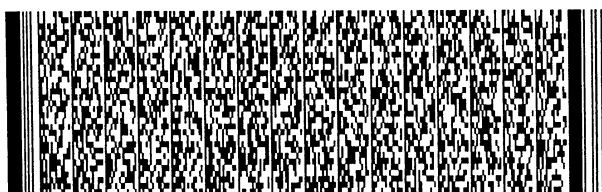
發明範疇

本發明說明鎖相迴路拓撲學，其包括及更明確地說明該用以補償一個讀取通道中該等迴路等待時間影響之鎖相迴路技術。

發明背景

已藉由實施決策導向之通則使用設計給硬碟機(HDD)資料回復的鎖相迴路，以調整該回復之時計的頻率和相位，而使該等接收之信號的取樣瞬間(時序瞬間)最佳化。當該讀取通道信號處理發展到較高的局部回應多項式時，該等天生即憑藉可靠地估計(決定)該目前的樣品之通則亦增加了其複雜性。一種獲得可靠相位錯誤估計的方式係仗恃著自該Viterbi偵測器中所獲得的決策(二位元資料)資訊。因該複雜性與該區段相關，故該等拓撲學係以等待時間為特徵，通常以該術語mD表徵該等等待時間，且該等等待時間可輕易地超過20個時計循環。圖1例證說明一種像這樣的電路。

該過多的等待時間大大地減縮了該PLL其穩定的區域。如一個範例，圖2和圖3說明當該等待時間從一個時計循環(理想的)增加到19個時計循環(代表一個媒體等待時間數位PLL)時，則一種像這樣的區域將如何改變。於實際的關係中，除卻增加了該系統模型的複雜性之外，當該等待時間越長時(就該處理其原動力的時間比例而言)，該迴路增益縮減亦需越大。此將於大部分的情況下在該PLL內導致不良的性能和緩慢的回應。



五、發明說明 (2)

迴路等待時間對該時基產生器的設計亦有一個重要的衝擊，其中該時基產生器為一個對該PLL產生該參考時計的電路。

如是，需要拓撲學將該時計回復電路性能自該迴路等待時間中去耦合，同時維護該相位偵測處理的可靠性。

發明概述

本發明提供一個排除該與外部延遲相關之等待時間的電路。提供一個回饋迴路排除該等延遲。本發明在該輸入信號的頻率和該參考時計的頻率之間的位移出現時提供一個零穩態錯誤。

圖示簡單說明

圖1，例證說明一個PLL電路；

圖2，例證說明一個作為一等待時間功能之穩定性區域

；

圖3，例證說明作為一等待時間功能之另一個穩定性區域；

圖4，例證說明本發明的一個電路圖；

圖5，例證說明本發明的另一個電路圖；

圖6，例證說明本發明的另一個電路圖；

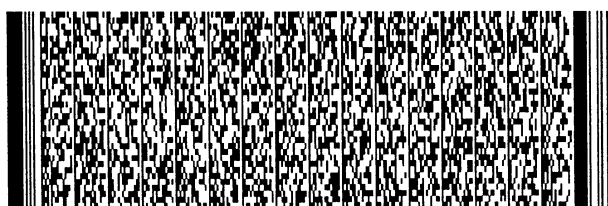
圖7，例證說明本發明的另一個電路圖；

圖8，例證說明本發明的另一個電路圖；

圖9，例證說明本發明的另一個電路圖；

圖10，例證說明本發明的另一個電路圖；

圖11，例證說明本發明的另一個電路圖；



五、發明說明 (3)

圖12，例證說明一個作為一等待時間功能之穩定性區域；

圖13，例證說明作為一等待時間功能之另一個穩定性區域；

圖14，例證說明作為一等待時間功能之另一個穩定性區域；

圖15A-15F，說明比較該回應一相位步驟之系統原動力；

圖16A-16F，說明比較該回應一頻率步驟之系統原動力；

圖17A-17F，說明比較該回應一頻率波路之系統原動力；

圖18A-18F，說明本發明的座標圖；

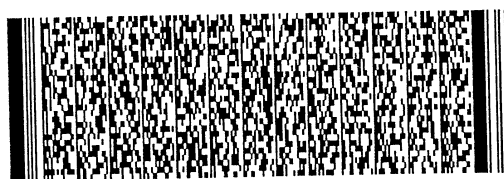
圖19，為一個磁碟機系統的側面圖；

圖20，為一個磁碟機系統的上面圖。

發明詳述

就圖示說明該下面的發明，其中類似或相同的號碼代表該等相同或類似的元件。當就達成本發明該等目地的觀點說明本發明時，則那些熟知此技藝的人可察知可考慮該等未脫離本發明其精髓或範疇的教旨以實現變化。

圖19和圖20分別顯示一個封閉物110內由該通用參考100所指示之該磁碟機系統的側面圖和上面圖。磁碟機系統100包括多個堆疊架置在一個盤軸114上的磁性記錄磁盤112。該等磁盤112可為傳統的微粒或薄膜記錄磁盤；或於

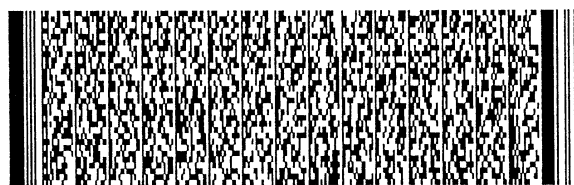


五、發明說明 (4)

其它的具體實施例中，該等磁盤112可為具有液體的磁盤。盤軸114接附在一個盤軸馬達116上，其中盤軸馬達116旋轉盤軸114和磁盤112。一個底盤120連接至封閉物110上，以對該磁碟機系統提供穩固的機械支撐。盤軸馬達116和讀寫頭驅動器軸130接附在底盤120上。一個輪軸零件132在讀寫頭驅動器軸130的周圍旋轉，及支撐多個讀寫頭驅動器臂134。有時將該等堆疊的讀寫頭驅動器臂134意指為一個"梳狀物"。一個旋轉音圈馬達140接附在底盤120上，及接附在該等讀寫頭驅動器臂134的後面部分。

多個磁頭懸垂零件150接附在該等讀寫頭驅動器臂134上。多個感應轉換器磁頭152各別地接附在該等懸垂零件150上，每一個磁頭152至少包括一個感應寫入元件。此外，又每一個磁頭152亦可包括一個感應讀取元件或一個MR(磁抵抗)讀取元件。該等懸垂零件150將該等磁頭152置放在緊鄰該等磁盤112處，以便該等磁頭於操作期間與該等磁盤112作電磁通訊。旋轉音圈馬達140在讀寫頭驅動器軸130的周圍旋轉該等讀寫頭驅動器臂134，以便將該等磁頭懸垂零件150移動至磁盤112上該合適的幅射位置中。

一個控制器單元160對磁碟機系統100提供全面的控制，包括磁盤112的旋轉控制及磁頭152的位置控制。雖然一個熟知該等電腦技藝的人應顯見亦可如致能硬體邏輯一樣地致能該等觀點，但控制器單元160典型地包括一個中央處理單元(CPU)(未顯示)、一個記憶體單元及其它的數位電路。控制器單元160連接至讀寫頭驅動器控制/驅動單元



五、發明說明 (5)

166 上，並繼之連接到旋轉音圈馬達 140 上。一個主系統 180 (典型地為一個電腦系統或個人電腦(PC)) 連接至控制器單元 160 上。主系統 180 可將數位資料傳送給控制器單元 160，以儲存在該等磁盤上；或主系統 180 可要求自該等磁盤 112 中讀取一指定位置上的數位資料，並將該數位資料傳回主系統 180 中。耦合一個讀寫通道 190，以接收、及條件式地讀取和寫入控制器單元 160 所產生的信號，並經由音圈馬達 140 的一個切開部分將該等信號通訊至一個臂電子單元(AE)，通常以 192 顯示之。AE 單元 192 包括架置在該等讀寫頭驅動器臂 134 上或非常接近那裡的一個印刷電路板 193 或一個易曲的載波，及一個架置在印刷電路板 193 或載波上之包括電路的 AE 模組 194，其中該電路最好在一個積體電路(IC)中履行，且該積體電路包括讀取驅動器、寫入驅動器及相關的控制電路。經由該印刷電路板中的連接將 AE 模組 194 耦合至讀取/寫入通道 190 上，且亦將 AE 模組 194 耦合至多個磁頭 152 中的每一個讀取磁頭和每一個寫入磁頭上。讀取/寫入通道 190 包括本發明的該 PLL 電路。

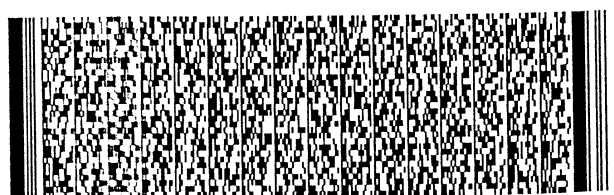
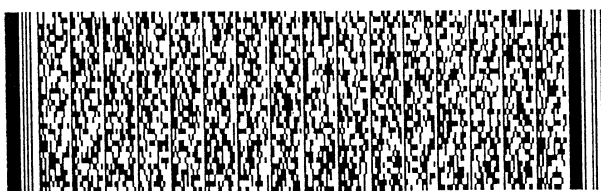
本發明消除了等待時間對該一個 PLL 電路其時序迴路的影響，且本發明係根據該下面的概念 - 每一次更新該 PLL Vco 相位時，均遵從下面的方程式 (圖 1)：

$$\phi_{vco_n} = \phi_{vco_{n-1}} + \text{phUpdate}_{n-1} \quad (1)$$

反之，藉由定義該相位錯誤推斷出方程式 (2)。

$$\phi_{err_n} = \theta_{in_{n-1}} + \theta_{vco_{n-1}} = \theta_{in_{n-1}} + \phi_{vco_{n-m-1}} \quad (2)$$

一個人可正確地計算因更新該 Vco 相位而必須減少之該



五、發明說明 (6)

相位錯誤的總數。一種排除該等等待時間的影響之方式為自該下一個相位錯誤條件中移除該等待時間的更正。可藉由回饋該Vco相位資訊和自該相位錯誤中扣除該Vco相位資訊完成此。將該操作的該等結果稱為該延遲補償之相位錯誤，以方程式(3)定義之。

$$\lambda_n = \phi err_{n-1} - \phi vco_{n-1} = \theta in_{n-2} - \phi vco_{n-m-2} - \phi vco_{n-1} \tag{3}$$

且該延遲補償之相位錯誤包括三個不同的元件，如方程式(3a)中所例證說明的。

$$\begin{aligned} \theta in_{n-1} & , && \text{輸入相關之相位變化} \\ \phi vco_{n-m-1} & , && \text{延遲之vco相位條件} \\ \phi vco_{n-1} & && \text{延遲補償條件} \end{aligned} \tag{3a}$$

方程式(3)暗指該PLL迴路將處理該相同的更正兩回，一次在時間指標n-1上，且一次在時間指標n-m-2上。因此係較不可取的，其較希望排除該 ϕvco_{n-m-2} 條件。可藉由重新定義 λ 完成此操作，如方程式(4)中所例證說明的。

$$\lambda_n = \phi err_{n-1} - \psi_{n-1} = (\theta in_{n-2} - \phi vco_{n-m-2}) - (\phi vco_{n-2} - \phi vco_{n-m-2}) = \theta in_{n-2} - \phi vco_{n-2} \tag{4}$$

於圖4中說明該概念的履行。將 θ_n 輸入加法器電路402中。此外，將 θvco 輸入加法器電路402的陰極輸入端中。將加法器電路402的輸出信號 ϕ 輸入加法器電路404中。此外，將信號 ψ 輸入加法器電路404中。加法器電路404中的輸出為該輸入乘法器406和408中的信號 λ 。乘法器406以 α 放大 λ ，且將該放大之 λ 輸出給加法器電路410。乘法器408以 ρ 乘 λ ，且將 $\rho \lambda$ 輸出給加法器電路412。延遲電



五、發明說明 (7)

路414 遲誤加法器電路412的輸出，且將該輸出輸入加法器電路412中。另外又將加法器電路412的輸出輸入加法器電路410中。加法器電路410的輸出為信號 $phUpdate_{n-1}$ ，且將該信號輸入加法器電路416中。加法器電路416的輸出為 ϕvco ，且將其輸入延遲電路418中。將延遲電路418的輸出輸入加法器電路416中。將加法器電路416的輸出 ϕvco 輸入加法器電路420和延遲電路422中。延遲電路422代表該與該取樣(A/D(類比/數位))電路、該同等化(FIR)電路及該相位偵測器電路相關之該延遲。將延遲電路422的輸出輸入加法器電路420中，且亦作為至加法器電路402中的 θvco 。將加法器電路420的輸出輸入加法器電路404中。

比例分支432包括乘法器406，及整合分支434包括乘法器408、加法器412及延遲414。加法器412、連同延遲414亦為一個整合累積器。Vco累積器436包括加法器416和延遲418。P11濾波器430包括比例分支432和整合分支434。

該拓撲學達成了該所宣稱的利益 - 僅依照與該迴路濾波器相關之該延遲、該Vco累積器及該延遲補償迴路，使該全面時序迴路的性能自m中穩固地去耦合。有關圖4，可將該延遲補償之相位錯誤信號 λ_n 寫入方程式(5)中。

$$\lambda_n = \phi_{err_{n-1}} - \gamma \psi_{n-1} = (\theta_{in_{n-2}} - \theta_{vco_{n-2}}) - \gamma (\phi_{vco_{n-2}} - \theta_{vco_{n-2}}) = (\theta_{in_{n-2}} - \gamma \phi_{vco_{n-2}}) - (\theta_{vco_{n-2}} - \gamma \theta_{vco_{n-2}}) \tag{5}$$

於此， ϕ_{err} 為該相位錯誤， ψ_n 為該延遲補償回饋。該延遲補償增益 γ 為一個允許打開和關閉該延遲補償網路該等



五、發明說明 (8)

效果之參數。因 θ_{vco} 為該 ϕ_{vco} 的延遲版本，故可寫成方程式(6)：

$$\theta_{vco_n} = \phi_{vco_{n-m}} \quad (6)$$

其中 m 為因讀取通道190中該取樣網路(例如A/D)、該等同等化電路(例如FIR)及該相位偵測器(連Viterbi處理等待時間在內)而產生之該全面迴路等待時間的部分。 θ_{vco} 為該取樣時計的相位。於方程式(7)中顯示該基本的 V_{co} 更新方程式：

$$\phi_{vco_n} = \phi_{vco_{n-1}} + \text{phUpdate}_{n-1} \quad (7)$$

結合(6)和(7)得到方程式(8)：

$$\theta_{vco_n} = \theta_{vco_{n-1}} + \text{phUpdate}_{n-m-1} \quad (8)$$

就一個傳統的PI濾波器而言，我們取得方程式(9)：

$$\text{phUpdate}_n = \alpha \lambda_{n-2} + \rho \sum_{j=1}^{n-3} \lambda_j \quad (9)$$

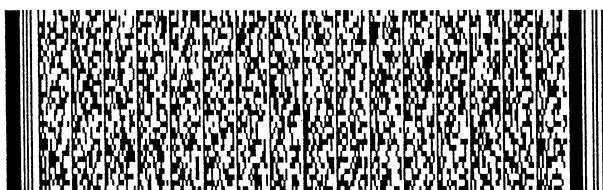
結合(8)和(9)產生方程式(10)：

$$\theta_{vco_n} - 2\theta_{vco_{n-1}} + \theta_{vco_{n-2}} = \alpha (\lambda_{n-m-3} - \lambda_{n-m-4}) + \rho \lambda_{n-m-4} \quad (10)$$

及將(5)替換至(10)中而產生方程式(11)：

$$\begin{aligned} \theta_{vco_n} - 2\theta_{vco_{n-1}} + \theta_{vco_{n-2}} = & \alpha ((\sin_{n-m-5} - \gamma \phi_{vco_{n-m-5}}) - (\theta_{vco_{n-m-5}} - \gamma \theta_{vco_{n-m-5}})) - \\ & (\sin_{n-m-6} - \gamma \phi_{vco_{n-m-6}}) + (\theta_{vco_{n-m-6}} - \gamma \theta_{vco_{n-m-6}})) + \\ & \rho ((\sin_{n-m-6} - \gamma \phi_{vco_{n-m-6}}) - (\theta_{vco_{n-m-6}} - \gamma \theta_{vco_{n-m-6}})) \end{aligned} \quad (11)$$

此提供一條基準線以與本發明比較。我們討論該非補償之事例，其中 $\gamma = 0$ 。



五、發明說明 (9)

開放式迴路增益

我們從方程式(5)和(10)獲得方程式(12)：

$$\theta vco_n - 2\theta vco_{n-1} + \theta vco_{n-2} = \alpha (\phi err_{n-m-4} - \phi err_{n-m-5}) + \rho \phi err_{n-m-6} \quad (12)$$

自(12)中取出該z-轉換，則於方程式(13)中獲得一個開放式迴路轉移函數：

$$OlGain_0 = z^{-m} \frac{\alpha (z^{-5} - z^{-6}) + \rho z^{-6}}{1 - 2z^{-1} + z^{-2}} = \frac{z^{-4-m} ((-1+z)\alpha + \rho)}{(-1+z)^2} \quad (13)$$

如預期，該等開放式迴路轉移函數包含一個與迴路等待時間相關之 z^{-m} 因數。

封閉式迴路增益

可直接自方程式(11)獲得該封閉式迴路轉移，使簡化成方程式(14)，其中 $\gamma=0$ ：

$$\theta vco_n - 2\theta vco_{n-1} + \theta vco_{n-2} = \alpha ((\theta in_{n-m-5} - \theta vco_{n-m-5}) - (\theta in_{n-m-6} - \theta vco_{n-m-6})) + \rho (\theta in_{n-m-6} - \theta vco_{n-m-6}) \quad (14)$$

可處理方程式(14)以產生方程式(15)：

$$\theta vco_n - 2\theta vco_{n-1} + \theta vco_{n-2} + \alpha (\theta vco_{n-m-5} - \theta vco_{n-m-6}) + \rho \theta vco_{n-m-6} = \alpha (\theta in_{n-m-5} - \theta in_{n-m-6}) + \rho \theta in_{n-m-6} \quad (15)$$

自(15)中取出該z-轉換，則獲得下面方程式(16)中的該封閉式迴路轉移函數：

$$ClGain_0 = z^{-m} \frac{\alpha (z^{-5} - z^{-6}) + \rho z^{-6}}{1 - 2z^{-1} + z^{-2} + z^{-m} (\alpha (z^{-5} - z^{-6}) + \rho z^{-6})} = \frac{(-1+z)\alpha + \rho}{(-1+z)\alpha + \rho + (-1+z)^2 z^{4+m}} \quad (16)$$

該方程式清楚地指示依存該迴路等待時間 m 之該轉移函數。更明確地說，該系統的穩定性，即該等封閉式迴路磁極



五、發明說明 (10)

的位置係視 m 而定。

現在，討論該補償之系統，其中 $\gamma = 1$ 。

封閉式迴路增益

討論該封閉式迴路轉移函數的導出。於該事例中，因 $\gamma = 1$ ，故方程式(11)簡化成方程式(17)：

$$\theta vco_n - 2 \theta vco_{n-1} + \theta vco_{n-2} = \alpha ((\theta in_{n-m-5} - \rho vco_{n-m-5}) - (\theta in_{n-m-6} - \rho vco_{n-m-6})) + \rho (\theta in_{n-m-6} - \rho vco_{n-m-6}) \tag{17}$$

其中可召回和處理方程式(6)而產生方程式(18)：

$$\theta vco_n - 2 \theta vco_{n-1} + \theta vco_{n-2} + \alpha (\theta vco_{n-5} - \theta vco_{n-6}) + \rho \theta vco_{n-6} = \alpha (\theta in_{n-m-5} - \theta in_{n-m-6}) + \rho \theta in_{n-m-6} \tag{18}$$

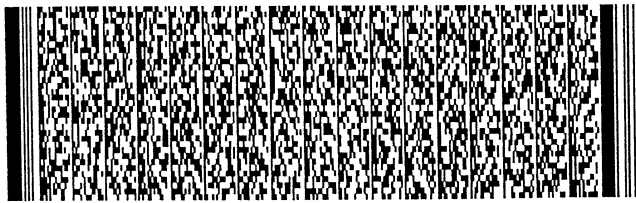
自方程式(18)中取出該 z -轉換，則可獲得該下面的封閉式迴路轉移函數，以方程式(19)表示：

$$ClGain_1 = \frac{z^{-m} \alpha (z^{-5} - z^{-6}) + \rho z^{-6}}{1 - 2z^{-1} + z^{-2} + \alpha (z^{-5} - z^{-6}) + \rho z^{-6}} = z^{-m} \frac{(-1+z)\alpha + \rho}{(-1+z)^2 z^4 + \alpha (-1+z) + \rho} \tag{19}$$

注意，可將該項因數 z^{-m} 分解出來，以指示與一個延遲條件分開，該封閉式迴路轉移函數相當於方程式(20)：

$$\frac{(-1+z)\alpha + \rho}{(-1+z)^2 z^4 + \alpha (-1+z) + \rho} \tag{20}$$

因此，該方程式係與迴路等待時間 m 無關的，而僅依存該內部迴路的等待時間，其中該內部迴路的等待時間基本上為迴路濾波器432和Vco累積器436的等待時間。換言之，圖4的電路在數學上係相當於圖5的電路，且所有的穩定性考慮應僅與方程式(20)有關。於圖5中，將加法器416的輸



五、發明說明 (11)

出直接連接到加法器404上。

開放式迴路增益

可直接自方程式(10)計算出該開放式迴路轉移函數，其中可考慮將(5)和(6)重新寫成方程式(21)：

$$\phi vco_{n-m} - 2 \phi vco_{n-m-1} + \phi vco_{n-m-2} = \alpha (\theta in_{n-m-5} - \theta in_{n-m-6}) + \rho \theta in_{n-m-6} \quad (21)$$

如下獲得該z轉移，方程式(22)：

$$OlGain_1 = \frac{\alpha (z^{-5} - z^{-6}) + \rho z^{-6}}{1 - 2z^{-1} + z^{-2}} = \frac{(-1+z)\alpha + \rho}{(-1+z)^2 z^4} \quad (22)$$

其不同於方程式(13)，因該延遲項 z^{-m} (該迴路等待時間)目前係不存在的。

穩態錯誤

由方程式(23)產生該等某些共用輸入的穩態錯誤(例如該一個相位步驟 η 的穩態錯誤)：

$$\lim_{z \rightarrow 1} \left((z-1) \left(\frac{\eta z}{z-1} \right) \left(1 - z^{-m} \frac{(-1+z)\alpha + \rho}{(-1+z)((-1+z)z^4 + \alpha) + \rho} \right) \right) = 0 \quad (23)$$

由方程式(24)產生該一個頻率步驟 w_0 的穩態錯誤：

$$\lim_{z \rightarrow 1} \left((z-1) \left(\frac{w_0 z}{(z-1)^2} \right) \left(1 - z^{-m} \frac{(-1+z)\alpha + \rho}{(-1+z)((-1+z)z^4 + \alpha) + \rho} \right) \right) = m w_0 \quad (24)$$

方程式(24)將我們導引至本計劃的一個限制上，如圖4中所示，因一個頻率步驟而產生的該穩態錯誤為非零的，且該穩態錯誤係視該迴路的等待時間 m 而定的。當就 $\gamma=1$ 改寫方程式(5)時，該理由將變得顯而易見，且方程式(5)利用方程式(6)中所示之 θvco 和 ϕvco 之間的關聯性獲得方程式(25)：

$$\lambda_{n-m} = (\theta in_{n-m-2} - \phi vco_{n-m-2}) = (\theta in_{n-m-2} - \theta vco_{n-2}) \quad (25)$$



五、發明說明 (12)

因 λ 扮演該系統錯誤信號的角色，故方程式(25)指出該如圖5中所示的回饋迴路在稍早使該Vco的目前相位與該輸入信號其m個時計循環的相位排齊。方程式(24)因此而為該結果。

雖然圖4的計劃為我們所述之出現在一相位步驟輸入中之問題的一種解決方式，但可於實際的事例中達成改善，其中該輸入信號其頻率中的不確定性使該假定成為不必要的限制。

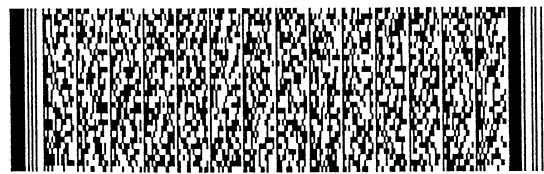
如我們在方程式(24)中展開該e項1-CIGain，則獲得方程式(26)：

$$\frac{(-1+z)^2 z^4 + \alpha (-1+z) + \rho - z^{-m} ((-1+z) \alpha + \rho)}{(-1+z) ((-1+z) z^4 + \alpha) + \rho} = \frac{(-1+z)^2 z^4 + \alpha (-1+z) (1-z^{-m}) + \rho (1-z^{-m})}{(-1+z) ((-1+z) z^4 + \alpha) + \rho} \quad (26)$$

注意，方程式(26)的分子必須比方程式(24)中的限制 $(z-1)$ 更快趨向零，以產生零。為使此發生，則該分子中該整合增益的係數 ρ 必須為0亦或包含一個 $(z-1)$ 項。當滿足任何一個條件時，則該系統應能夠追蹤一個零穩態錯誤的頻率步驟。

接著，將例證說明兩個範例，其中從圖4的該拓撲學開始發展成一個能夠處理該輸入信號其頻率中不確定性的架構。如圖6中所例證說明的及改寫方程式(10)，以達成方程式(27)。

$$\Theta vco_n - 2 \Theta vco_{n-1} + \Theta vco_{n-2} = \alpha (\lambda_{n-m-3} - \lambda_{n-m-4}) + \rho \varphi err_{n-m-5} \quad (27)$$



五、發明說明 (13)

方程式(27)反映出下面的事實-- ϕerr 正在驅動該整合路徑(計劃A)。

接著，例證說明該開放式迴路增益。

開放式迴路增益

由方程式(27)獲得方程式(27a)，其中以 ϕerr 表示 λ ：

$$\begin{aligned} \theta vco_n - 2\theta vco_{n-1} + \theta vco_{n-2} = & \alpha(\phi err_{n-m-4} - \psi_{n-m-4} - \phi err_{n-m-5} + \psi_{n-m-5}) + \rho \phi err_{n-m-5} = \\ & \alpha(\phi err_{n-m-4} - \phi err_{n-m-5}) + \\ & \rho \phi err_{n-m-5} - \alpha(\phi vco_{n-m-5} - \theta vco_{n-m-5} - \phi vco_{n-m-6} + \theta vco_{n-m-6}) = \\ & \alpha(\phi err_{n-m-4} - \phi err_{n-m-5}) + \rho \phi err_{n-m-5} - \\ & \alpha(\theta vco_{n-5} - \theta vco_{n-m-5} - \theta vco_{n-6} + \theta vco_{n-m-6}) \end{aligned} \tag{27a}$$

方程式(27a)在該z-定義域中產生該開放式迴路轉移函數，表示成方程式(28)：

$$OlGain_2 = z^{-m} \frac{\alpha(z^{+5} - z^{-6}) + \rho z^{-6}}{1 - 2z^{-1} + z^{-2} + \alpha(z^{+5} - z^{-6}) + \rho z^{-6}} = \frac{(-1+z)\alpha + \rho}{(-1+z)(-\alpha + z^m((-1+z)z^4 + \alpha))} \tag{28}$$

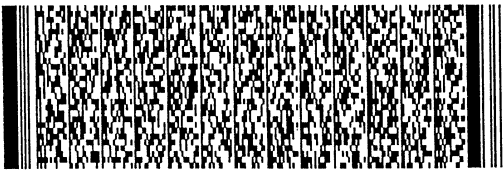
封閉式迴路增益

鑑於方程式(11)，將方程式(27)轉換成方程式(29)：

$$\begin{aligned} \theta vco_n - 2\theta vco_{n-1} + \theta vco_{n-2} = & \alpha((\theta in_{n-m-5} - \phi vco_{n-m-5}) - (\theta in_{n-m-6} - \phi vco_{n-m-6})) + \\ & \rho(\theta in_{n-m-6} - \theta vco_{n-m-6}) = \\ & \alpha((\theta in_{n-m-5} - \theta vco_{n-5}) - (\theta in_{n-m-6} - \theta vco_{n-6})) + \rho(\theta in_{n-m-6} - \theta vco_{n-m-6}) \end{aligned} \tag{29}$$

於方程式(30)中例證說明該z-定義域中的該封閉式迴路轉移函數。

$$ClGain_{20} = z^{-m} \frac{\alpha(z^{+5} - z^{-6}) + \rho z^{-6}}{1 - 2z^{-1} + z^{-2} + \alpha(z^{+5} - z^{-6}) + \rho z^{-6}} = \frac{(-1+z)\alpha + \rho}{(-1+z)z^m((-1+z)z^4 + \alpha) + \rho} \tag{30}$$



五、發明說明 (14)

如我們比較方程式(30)和圖4該拓撲學所獲得該方程式(19)，則不可再將該項因數 z^{-m} 分解出來。該結果為僅部份地補償該迴路等待時間，但該系統將處理如上討論之該等頻率的不確定性。

穩態錯誤

於方程式(31)中例證說明該錯誤增益：

$$1 - ClGain_{20} = \frac{(-1+z) \cdot (-z^{4+m} + z^{5+m} - \alpha + z^m \alpha)}{z^{4+m} - 2z^{5+m} + z^{6+m} - z^m \alpha + z^{1+m} \alpha + \rho} \tag{31}$$

方程式(31)不再依存該分子中的 ρ 。由方程式(32)定義該回應一相位步驟的穩態錯誤：

$$\lim_{z \rightarrow 1} \left((z-1) \cdot \frac{\eta \cdot z}{z-1} \cdot \frac{(-1+z) \cdot (-z^{4+m} + z^{5+m} - \alpha + z^m \alpha)}{z^{4+m} - 2z^{5+m} + z^{6+m} - z^m \alpha + z^{1+m} \alpha + \rho} \right) = 0 \tag{32}$$

一個頻率步驟的穩態錯誤 ω_0 為方程式(33)：

$$\lim_{z \rightarrow 1} \left((z-1) \cdot \frac{\omega_0 \cdot z}{(z-1)^2} \cdot \frac{(-1+z) \cdot (-z^{4+m} + z^{5+m} - \alpha + z^m \alpha)}{z^{4+m} - 2z^{5+m} + z^{6+m} - z^m \alpha + z^{1+m} \alpha + \rho} \right) = 0 \tag{33}$$

為了獲知該迴路作業，故審查該回應一頻率步驟的迴路作業。假設已設定了該系統，且假設鎖定該PLL，則phUpdate必須在每一個時計循環以 $\Delta = \theta in_{n-1} - \theta in_{n-2}$ 的增量增加 ϕvco 。

然而，因該迴路為鎖定的，故 $\phi err = 0$ ，其意指方程式(33a)：

$$\lambda_n = -\psi_{n-1} = -(\phi vco_{n-2} - \theta vco_{n-m-2}) = -m \Delta \tag{33a}$$

且該整合路徑累積器設定成 $(1 + \alpha m) \Delta$ 。



五、發明說明 (15)

最後，該一個斜波 $\frac{A}{2}$ 的頻率波路之穩態錯誤為方程式(34)：

$$\lim_{z \rightarrow 1} \left((z-1) \left(\frac{A z (z+1)}{2(z-1)^3} \right) \frac{(-1+z)(-z^{4+m} + z^{5+m} - \alpha + z^m \alpha)}{z^{4+m} - 2z^{5+m} + z^{6+m} - z^m \alpha + z^{1+m} \alpha + \rho} \right) = A \frac{(1+m\alpha)}{\rho} \tag{34}$$

存在延遲錯誤匹配中的穩態錯誤

延遲補償方法包括：移除因如方程式(4)中所例證說明之該時間指標 $n-m-2$ 的 vco 相位更新而產生的該相位更正；及以因該時間指標 $n-2$ 的相位更新而產生之該更正替代該移除之相位更正。由於延遲錯誤匹配，故無法完成該取消。例如，當 m 為該等兩項的總和時，其中一項與一個類比延遲相關，且其中一項與一個數位延遲相關。一般而言，該第一項將提出一個問題，此係因該第一項依存處理和作業條件，故其不是該時計周期的一個明確倍數。

於圖7中，已藉由該參數 δ 導引出該延遲錯誤匹配，且方程式(27)變成方程式(35)：

$$\begin{aligned} &\theta vco_n - 2 \theta vco_{n-1} + \theta vco_{n-2} = \\ &\alpha ((\theta in_{n-m-5} - \theta vco_{n-m-5} - \psi vco_{n-m-5-\delta} + \theta vco_{n-m-5-\delta}) - (\theta in_{n-m-6} - \theta vco_{n-m-6} - \psi vco_{n-m-6-\delta} + \theta vco_{n-m-6+\delta})) + \rho (\theta in_{n-m-6} - \theta vco_{n-m-6}) \end{aligned} \tag{35}$$

該封閉式迴路變成方程式(36)：

$$\begin{aligned} &(z^{-m} (\alpha (z^{-5} - z^{-6}) + \rho z^{-6})) / (1 - 2z^{-1} + z^{-2} + \\ &\alpha ((z^{-m-5} + z^{-5-\delta} - z^{-m-5-\delta}) - (z^{-m-6} + z^{-6-\delta} - z^{-m-6-\delta})) + \rho z^{-m-6}) \end{aligned} \tag{36}$$

當 $\delta=0$ 時，則方程式(36)簡化成方程式(30)。該錯誤增益變成方程式(37)：

$$\begin{aligned} &((-1+z)(-z^{4+m+\delta} + z^{5+m+\delta} - \alpha + z^m \alpha)) / \\ &(z^{4+m+\delta} - 2z^{5+m+\delta} + z^{6+m+\delta} + \alpha - z \alpha - z^m \alpha + z^{1+m} \alpha - z^\delta \alpha + z^{1+\delta} \alpha + z^\delta \rho) \end{aligned} \tag{37}$$



五、發明說明 (16)

該回應一相位步驟的穩態錯誤為方程式(38)：

$$\lim_{z \rightarrow 1} \left((z-1) \frac{\eta z}{z-1} \frac{(-1+z) (-z^{4+m+\delta} + z^{5+m+\delta} - \alpha + z^m \alpha)}{z^{4+m+\delta} - 2 z^{5+m+\delta} + z^{6+m+\delta} + \alpha - z \alpha - z^m \alpha + z^{1+m} \alpha - z^\delta \alpha + z^{1+\delta} \alpha + z^\delta \rho} \right) = 0 \tag{38}$$

同時該一個頻率步驟的穩態錯誤 ω_0 為方程式(39)：

$$\lim_{z \rightarrow 1} \left((z-1) \frac{\omega_0 z}{(z-1)^2} \frac{(-1+z) (-z^{4+m+\delta} + z^{5+m+\delta} - \alpha + z^m \alpha)}{z^{4+m+\delta} - 2 z^{5+m+\delta} + z^{6+m+\delta} + \alpha - z \alpha - z^m \alpha + z^{1+m} \alpha - z^\delta \alpha + z^{1+\delta} \alpha + z^\delta \rho} \right) = 0 \tag{39}$$

最後，該一個斜波 $\frac{1}{2}$ 的頻率波路之穩態錯誤為方程式(40)：

$$\lim_{z \rightarrow 1} \left((z-1) \left(\frac{A z (z+1)}{2 (z-1)^3} \right) \frac{(-1+z) (-z^{4+m+\delta} + z^{5+m+\delta} - \alpha + z^m \alpha)}{z^{4+m+\delta} - 2 z^{5+m+\delta} + z^{6+m+\delta} + \alpha - z \alpha - z^m \alpha + z^{1+m} \alpha - z^\delta \alpha + z^{1+\delta} \alpha + z^\delta \rho} \right) = A \frac{(1+m\alpha)}{\rho} \tag{40}$$

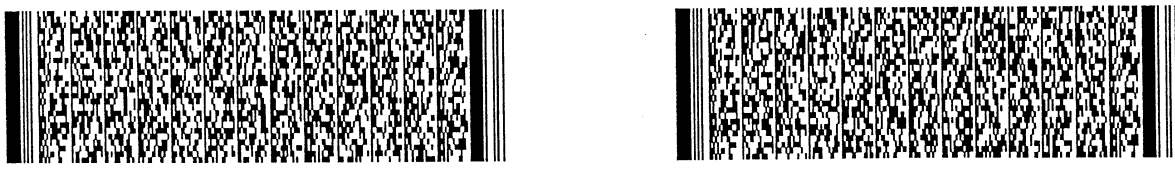
如是，我們可推斷該穩態系統行為對延遲補償錯誤匹配係無感覺的。

藉由迫使該延遲補償之相位錯誤項變成零，以使圖4該一個頻率步驟面前的計劃具有一個非零的穩態錯誤。該第二種設計的概念為"藉由回饋該頻率步驟的一個估計以嘗試補償該穩態錯誤"。該一個估計可以該頻率累積器中該具有一適當量化 μ 的內容 f_{err} 為根據。於圖8中例證說明該一種系統的方塊圖(計劃B)。

於圖8中，藉由加法器412的輸出將一個乘法器802增加到總數電路404中。為了獲得該封閉式迴路增益的一個陳式，我們應用方程式(41)、(42)及(43)：

$$\psi_n = \phi_{vco_{n-1}} - \theta_{vco_{n-1}} = \phi_{vco_{n-1}} - \phi_{vco_{n-m-1}} \tag{41}$$

$$\lambda_n = \phi_{err_{n-1}} + \psi_{n-1} - \psi_{n-1} \tag{42}$$



五、發明說明 (17)

$$f_n - f_{n-1} = \mu (ferr_{n-1} - ferr_{n-2}) = \mu \rho \lambda_{n-3} \quad (43)$$

該等方程式、連同方程式(6)和(10)一起認可該z-定義域下的方程式(44)、(45)及(46)：

$$\Psi = \Phi vco (z^{-1} - z^{-m-1}) = \frac{\Phi vco}{z^{-m}} (z^{-1} - z^{-m-1}) = \Phi vco (z^{m-1} - z^{-1}) \quad (44)$$

$$L = \Lambda \mu \rho \frac{z^{-3}}{1 - z^{-1}} \quad (45)$$

$$\Phi vco = \Lambda z^{-m-4} \frac{\alpha(z-1) + \rho}{1 - 2z^{-1} + z^{-2}} \quad (46)$$

結合該等方程式(44)、(45)及(46)，我們獲得方程式(47)：

$$\begin{aligned} \Phi vco &= z^{-m-4} \frac{\alpha(z-1) + \rho}{1 - 2z^{-1} + z^{-2}} (\Phi err z^{-1} + L z^{-1} - \Psi z^{-1}) = \\ &= z^{-2} z^{-m-4} \frac{\alpha(z-1) + \rho}{1 - 2z^{-1} + z^{-2}} (\Phi in - \Phi vco) + \\ &= \Phi vco \mu \rho \frac{z^{-3}}{1 - z^{-1}} z^{-1} - z^{-m-4} \frac{\alpha(z-1) + \rho}{1 - 2z^{-1} + z^{-2}} \Phi vco (z^{m-1} - z^{-1}) z^{-1} \end{aligned} \quad (47)$$

藉由方程式(47)而於方程式(48)中獲得該封閉式迴路增益：

$$ClGain_{21} = \frac{z^{-m} ((-1+z)\alpha + \rho)}{-\alpha + \rho + z((-1+z)^2 z^3 + \alpha + \mu\rho - \mu z\rho)} \quad (48)$$

且當 $\mu = 0$ 時，則方程式(48)簡化成方程式(19)。

開放式迴路增益



五、發明說明 (18)

於方程式(49)中表示該開放式迴路增益：

$$OlGain_{21} = \frac{(z-1)\alpha + \rho}{z^m(-\alpha + \rho + z((z-1)^2 z^3 - \mu \rho z + \alpha + \mu \rho)) - ((z-1)\alpha + \rho)} \quad (49)$$

穩態錯誤

於方程式(50)中表示該錯誤增益：

$$1 - ClGain_{21} = 1 - \frac{z^{-m}((-1+z)\alpha + \rho)}{-\alpha + \rho + z((-1+z)^2 z^3 + \alpha + \mu \rho - \mu z \rho)} \quad (50)$$

於方程式(51)中表示該回應一相位步驟之穩態錯誤：

$$\lim_{z \rightarrow 1} \left((z-1) \frac{\eta z}{z-1} \left(1 - \frac{z^{-m}((-1+z)\alpha + \rho)}{-\alpha + \rho + z((-1+z)^2 z^3 + \alpha + \mu \rho - \mu z \rho)} \right) \right) = 0 \quad (51)$$

且該一個頻率步驟的穩態錯誤為方程式(52)：

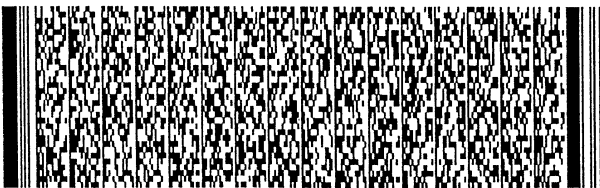
$$\lim_{z \rightarrow 1} \left((z-1) \frac{\omega_0 z}{(z-1)^2} \left(1 - \frac{z^{-m}((-1+z)\alpha + \rho)}{-\alpha + \rho + z((-1+z)^2 z^3 + \alpha + \mu \rho - \mu z \rho)} \right) \right) = (m-\mu)\omega_0 \quad (52)$$

其中當 $m \equiv (\text{全等}) \mu$ 時，則方程式(52)變為零。

該一個斜波 $\frac{1}{2}$ 的頻率波路之穩態錯誤為方程式(53)：

$$\lim_{z \rightarrow 1} \left((z-1) \left(\frac{Az(z+1)}{2(z-1)^3} \right) \left(1 - \frac{z^{-m}((-1+z)\alpha + \rho)}{-\alpha + \rho + z((-1+z)^2 z^3 + \alpha + \mu \rho - \mu z \rho)} \right) \right) = \frac{A(-2-2m\alpha+3m\rho+m^2\rho)}{2\rho} = \frac{Am(3+m)}{2} - \frac{A(1+m\alpha)}{\rho} \quad (53)$$

圖9顯示圖1該方塊圖的一個修正版本。圖9例證說明一個具有兩項j(向後延遲902)和k(向後延遲904)的分割等待時間。該第一項j(向後延遲904)代表"從取樣該輸入信號時"到"計算出和自該相位偵測器中輸出該相對應相位錯誤時"的該延遲。該第二項k(向後延遲902)代表"一個Vco相位更新"和"該取樣位置如是移動時"該其間所經過的時間。



五、發明說明 (19)

圖10 說明該相對應的延遲補償版本(計劃A)。於該事例中，由方程式(19)產生該封閉式迴路轉移函數，其中 $m=j=k$ ，且因此將該等對計劃A導出的結果引用至圖12中。

可藉由視察獲得方程式(54)、(55)及(56)：

$$\Theta vco_n = \varphi vco_{n-k} \quad (54)$$

$$\Theta vco_n = \Theta vco_{n-1} + phUpdate_{n-k-1} \quad (55)$$

$$\lambda_n = \varphi err_{n-j-1} - \gamma \psi_{n-1} = (\Theta in_{n-j-2} - \Theta vco_{n-j-2}) - \gamma (\varphi vco_{n-2} - \varphi vco_{n-j-k-2}) = (\Theta in_{n-j-2} - \gamma \varphi vco_{n-2}) - \Theta vco_{n-j-2} (1 - \gamma) \quad (56)$$

方程式(48)與方程式(8)類似，除了一個指數改變之外。因此，例證說明方程式(57)：

$$\Theta vco_n - 2 \Theta vco_{n-1} + \Theta vco_{n-2} = \alpha (\lambda_{n-k-3} - \lambda_{n-k-4}) + \rho \lambda_{n-k-4} \quad (57)$$

利用方程式(49)中對 λ 所下的新定義，我們得到方程式(58)：

$$\begin{aligned} & \rho ((\Theta in_{n-j-k-6} - \gamma \varphi vco_{n-k-6}) - \Theta vco_{n-j-k-6} (1 - \gamma)) = \\ & \alpha ((\Theta in_{n-j-k-5} - \gamma \Theta vco_{n-5}) - \Theta vco_{n-j-k-5} (1 - \gamma) - (\Theta in_{n-j-k-6} - \gamma \Theta vco_{n-6}) + \\ & \quad \Theta vco_{n-j-k-6} (1 - \gamma)) + \rho ((\Theta in_{n-j-k-6} - \gamma \Theta vco_{n-6}) - \Theta vco_{n-j-k-6} (1 - \gamma)) = \\ & \alpha ((\Theta in_{n-j-k-5} - \gamma \Theta vco_{n-5}) - \Theta vco_{n-j-k-5} (1 - \gamma) - (\Theta in_{n-j-k-6} - \gamma \Theta vco_{n-6}) + \\ & \quad \Theta vco_{n-j-k-6} (1 - \gamma)) + \rho ((\Theta in_{n-j-k-6} - \gamma \Theta vco_{n-6}) - \Theta vco_{n-j-k-6} (1 - \gamma)) \end{aligned} \quad (58)$$

當為該未補償之事例時，即 $\gamma=0$ 時，則方程式(51)簡化成方程式(59)：

$$\begin{aligned} & \Theta vco_n - 2 \Theta vco_{n-1} + \Theta vco_{n-2} = \\ & \alpha ((\Theta in_{n-j-k-5} - \Theta vco_{n-j-k-5}) - (\Theta in_{n-j-k-6} - \Theta vco_{n-j-k-6})) + \\ & \quad \rho (\Theta in_{n-j-k-6} - \Theta vco_{n-j-k-6}) \end{aligned} \quad (59)$$

當 $j+k=m$ 時，則方程式(59)與方程式(14)完全相同。當為



五、發明說明 (20)

該補償之事例時(計劃A)，即當 $\gamma=0$ 時，則方程式(51)簡化成方程式(60)：

$$\theta_{vco_n} - 2\theta_{vco_{n-1}} + \theta_{vco_{n-2}} = \alpha((\theta_{in_{n-j-k-5}} - \theta_{vco_{n-5}}) - (\theta_{in_{n-j-k-6}} - \theta_{vco_{n-6}})) + \rho(\theta_{in_{n-j-k-6}} - \theta_{vco_{n-6}}) \quad (60)$$

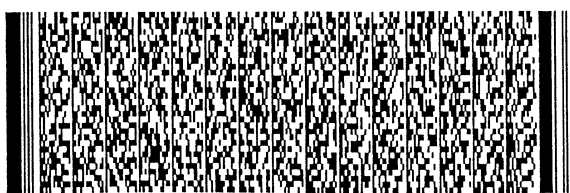
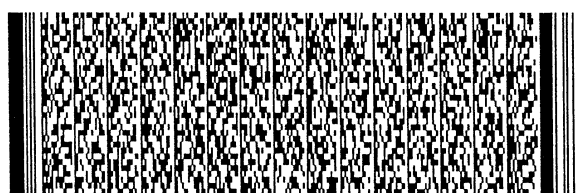
同樣地，可證明圖11的該拓撲學相當於圖8中所呈現的該拓撲學(計劃B)。

可將自該迴路等待時間中去耦合該PLL行為相關之該等利益概述如下。首先，有可能將管路化導引入該等取樣網路(例如ADC(類比數位轉換器))同等化電路(例如有限的脈衝回應濾波器)的設計中，及導引入該讀取通道的決策導向相位偵測器中。此將在該PLL性能沒有退化的情況下輕易地設計該等決定性的元件。

本發明增加了該系統的穩定性區域。因該穩定性區域較之該未補償事例中的穩定性區域大很多，故改良了該追蹤最佳化。

圖12說明該一個未補償系統的穩定性區域，其中 $m=10$ 。已藉由在一個特定的 α 和 ρ 下編譯方程式(16)的該等磁極，及藉由回報另外來自該起源之該磁極的大小產生該輪廓線略圖。顯然，就該數值小於等於1所作的該等設定將相對應至穩定的作業點。為了分析，故已將該等迴路參數 ρ (x軸)和 α (y軸)的範圍調整成使該作業區域最大化，其中該作業區域係該系統為穩定的區域。

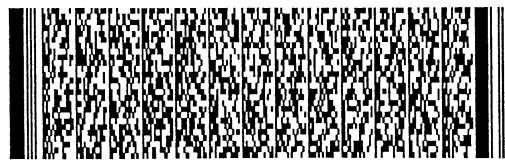
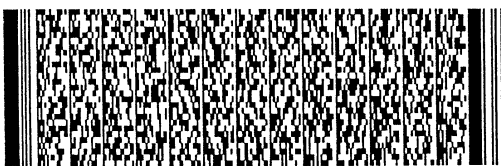
圖13和圖14說明當利用圖6和圖7中所呈現的該等拓撲學時之該穩定性區域。當與圖12比較時，可推斷已由一個因數"20"增加了該穩定性區域。



五、發明說明 (21)

就該未補償之事例而言，將顯著地改良該系統的動態特徵。更明確地說，因已大大地降低了該系統的有效延遲，故該回應一頻率波路之剩餘穩態錯誤亦降低很多。圖15-17分別說明該系統該等原動力與一個相位步驟、一個1%的頻率步驟及一個頻率波路的比較。如於該先前事例中一樣，係在 $m=30$ 的假定之下執行該等模擬。

該迴路頻寬將不再受限於該迴路等待時間，且可根據輸入雜訊和參考時計雜訊特徵將該迴路頻寬最佳化。特別是，當該參考時計為吵雜的時，該補償之拓撲學展現出一項清楚的利益，如圖18中所例證說明的。一個人可注意到該補償拓撲學將有效地取消或顯著地減少該等待時間，其中藉由該等待時間限制回應該參考時計上之雜訊的該控制行動。



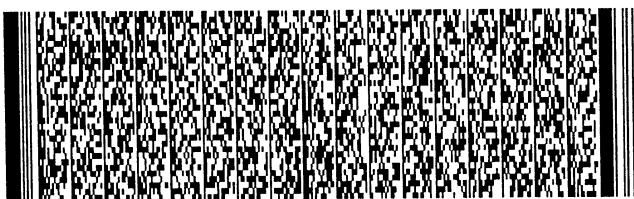
圖式簡單說明

四、中文發明摘要 (發明之名稱：使用延遲補償技術之鎖相迴路)

一種用以排除迴路等待時間之鎖相迴路電路，包括：一個輸入電路，用以輸入一個相對應至相位變化的相位信號和一個相對應至一取樣時計其實際相位取樣的實際相位信號；一個濾波器電路，用以將該相位信號和該實際相位信號連接至一個相位更新信號上；及一個回饋電路，藉由將該相位更新信號的一部分回饋給該濾波器電路，以排除該迴路等待時間。

英文發明摘要 (發明之名稱：PHASE LOCKED LOOP USING DELAY COMPENSATION TECHNIQUES)

A phase locked loop circuit for eliminating loop latency includes an input circuit for inputting a phase signal corresponding to phase changes and an actual phase signal corresponding to actual phase sampling of a sampling clock, a filter circuit for connecting the phase signal and the actual phase signal to a phase update signal, and a feedback circuit to eliminate the loop latency by feeding back to the filter circuit a portion of the phase update signal.



六、申請專利範圍

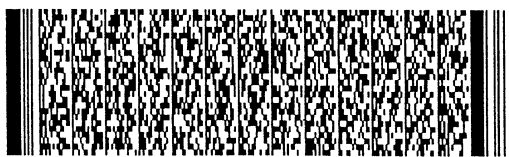
1. 一種用以排除迴路等待時間之鎖相迴路電路，包括

:

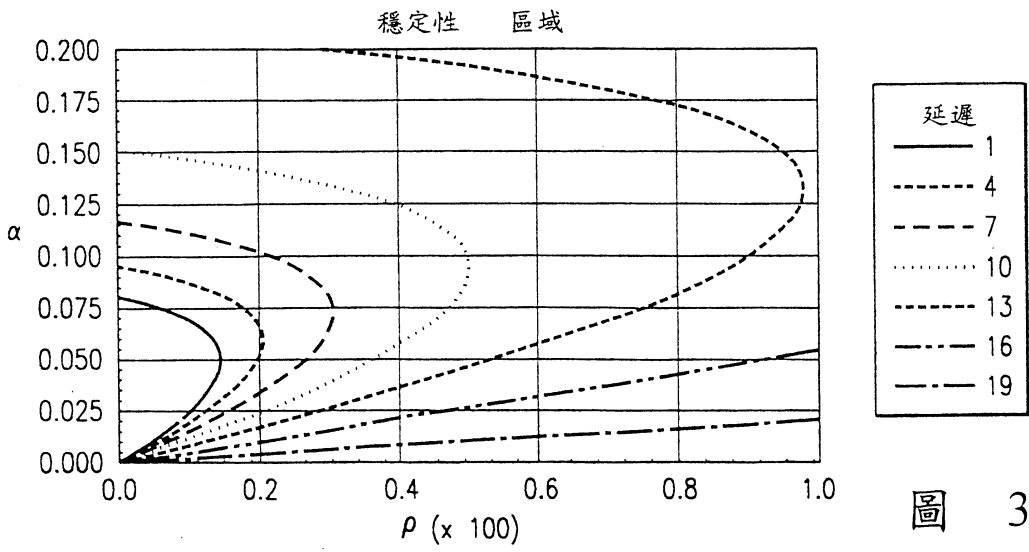
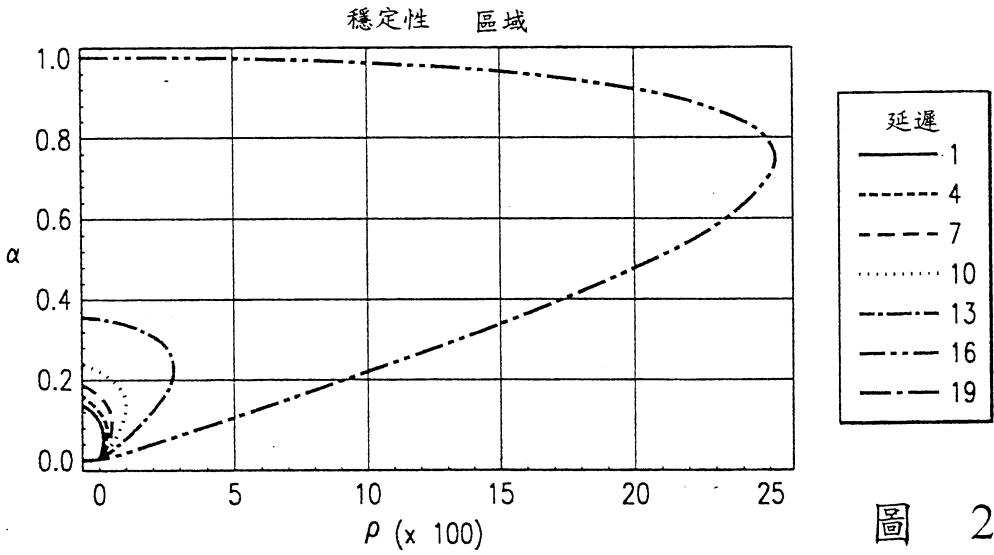
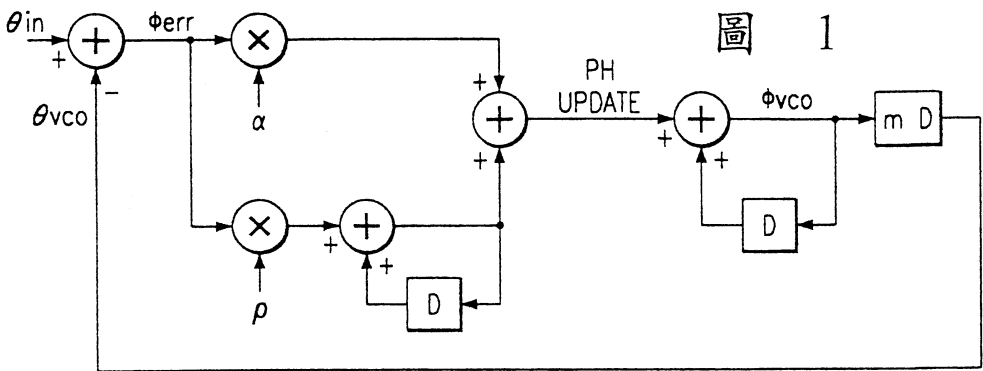
一輸入電路，用以輸入一相對應至相位變化的相位信號和一相對應至一取樣時計其實際相位取樣的實際相位信號；

一濾波器電路，用以將該相位信號和該實際相位信號連接至一相位更新信號上；及

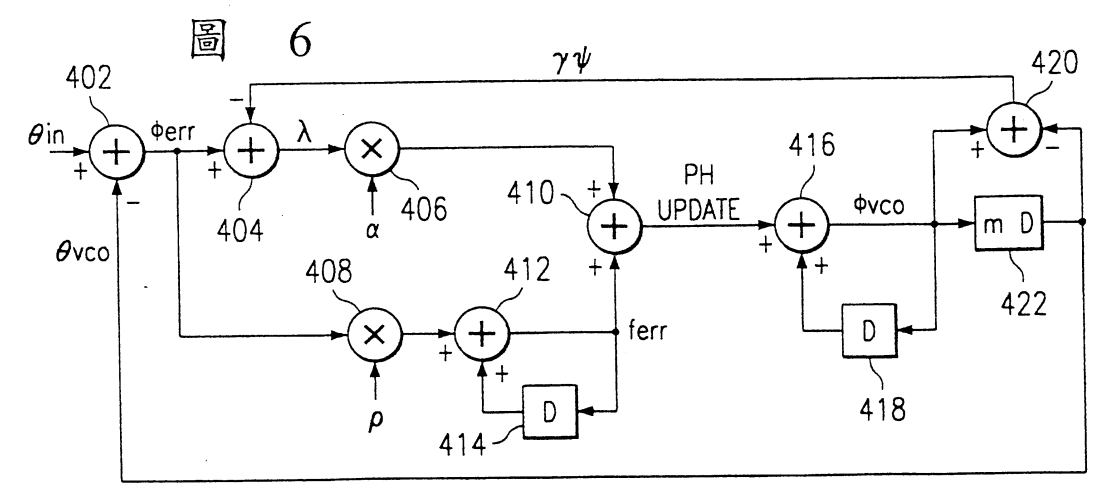
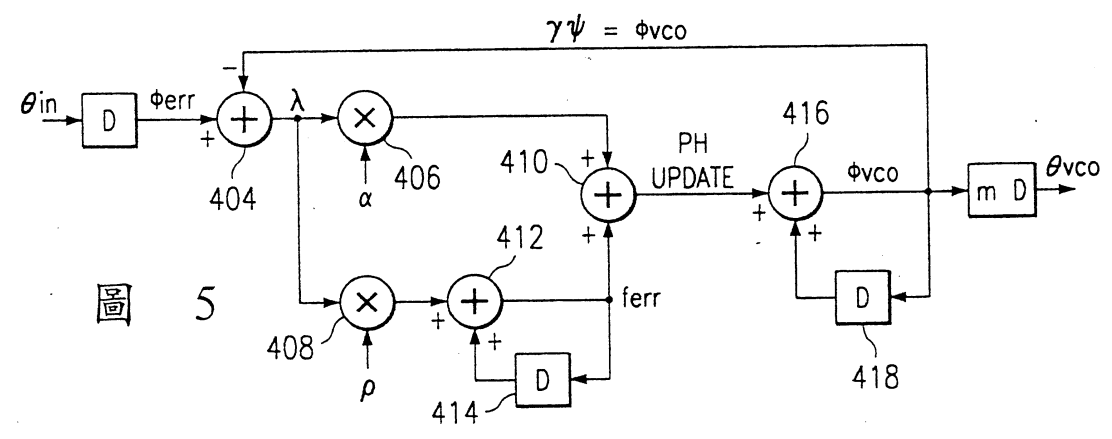
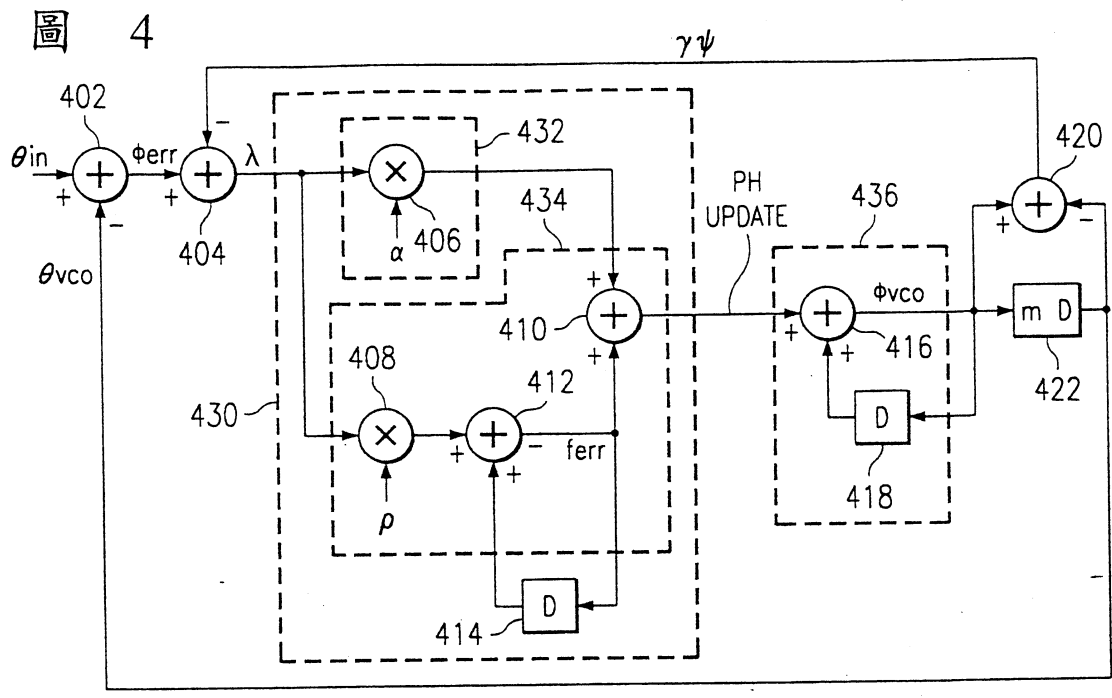
一回饋電路，藉由將該相位更新信號的一部分回饋給該濾波器電路，以排除該迴路等待時間。



圖式



圖式



圖式

圖 7

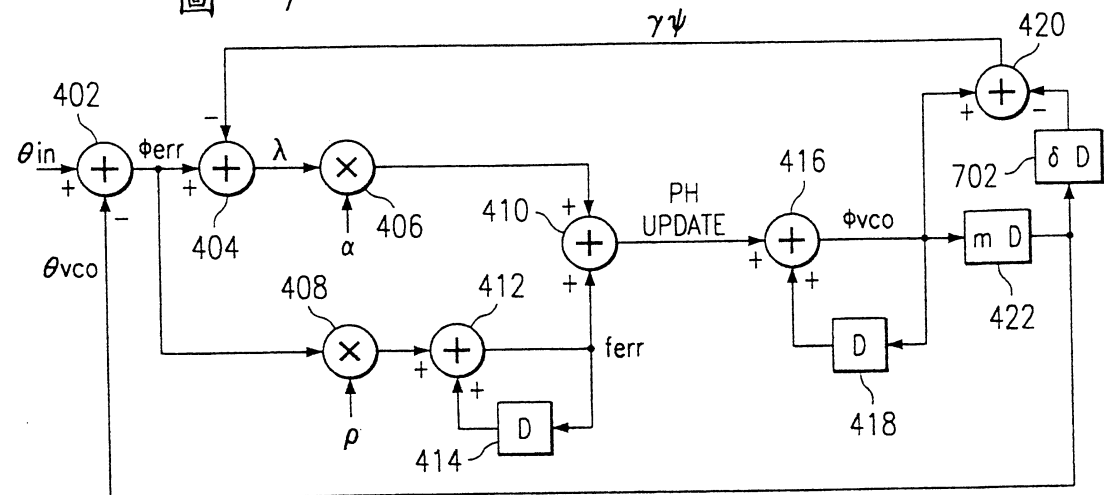


圖 8

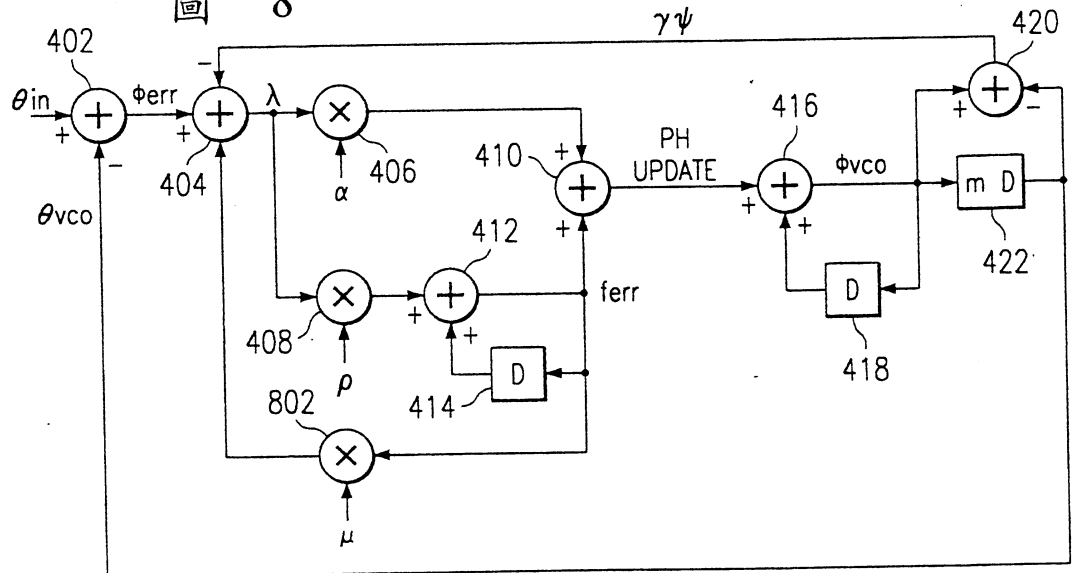
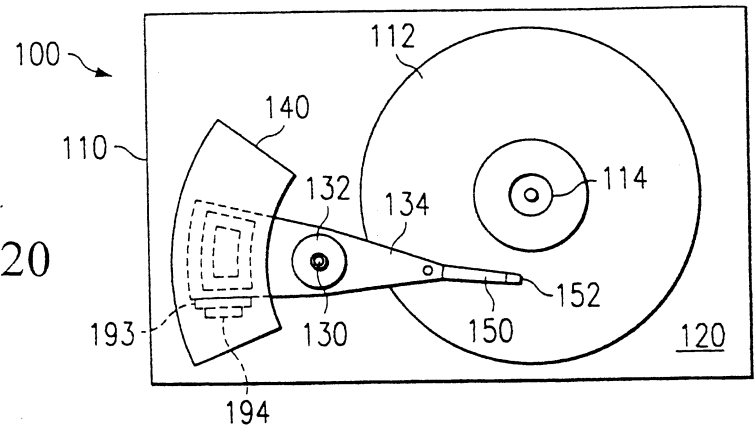
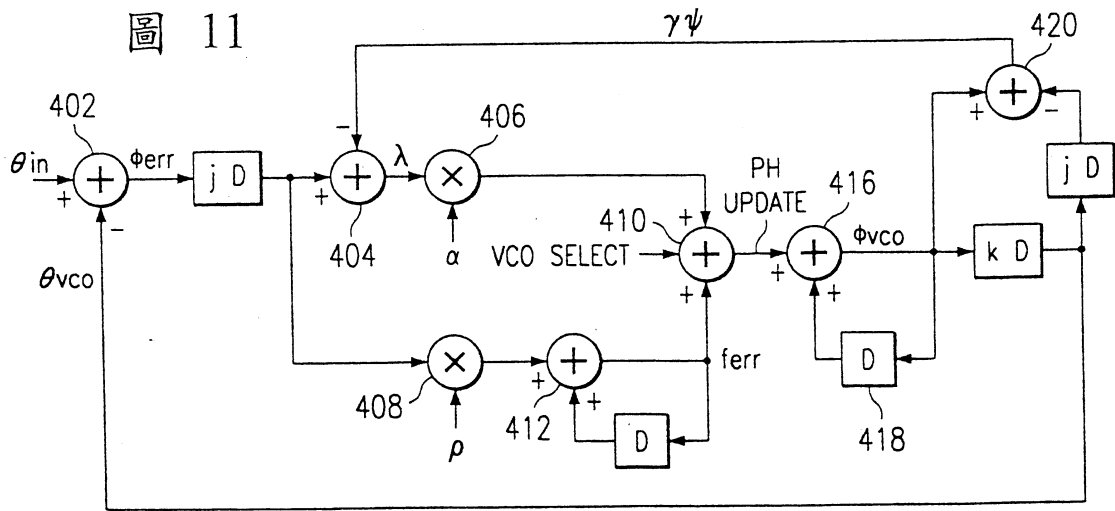
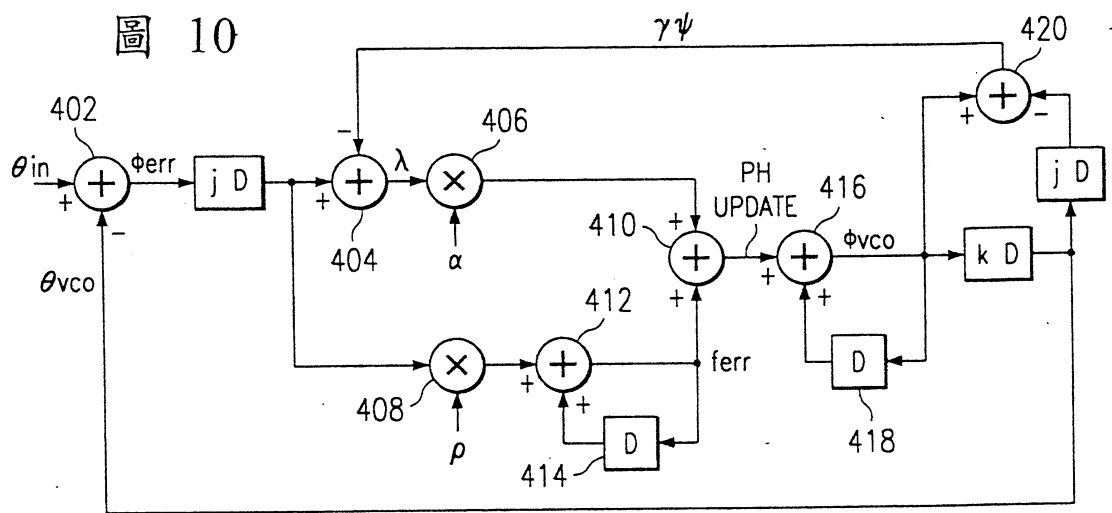
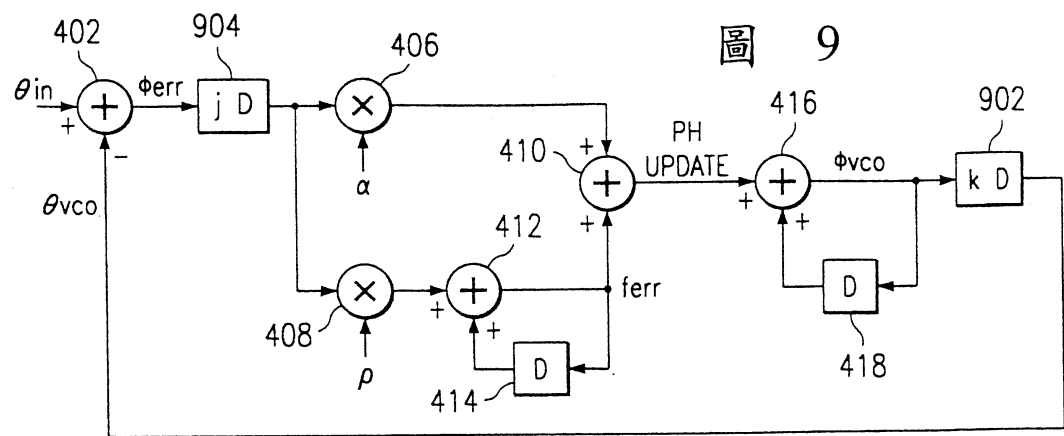


圖 20



圖式



圖式

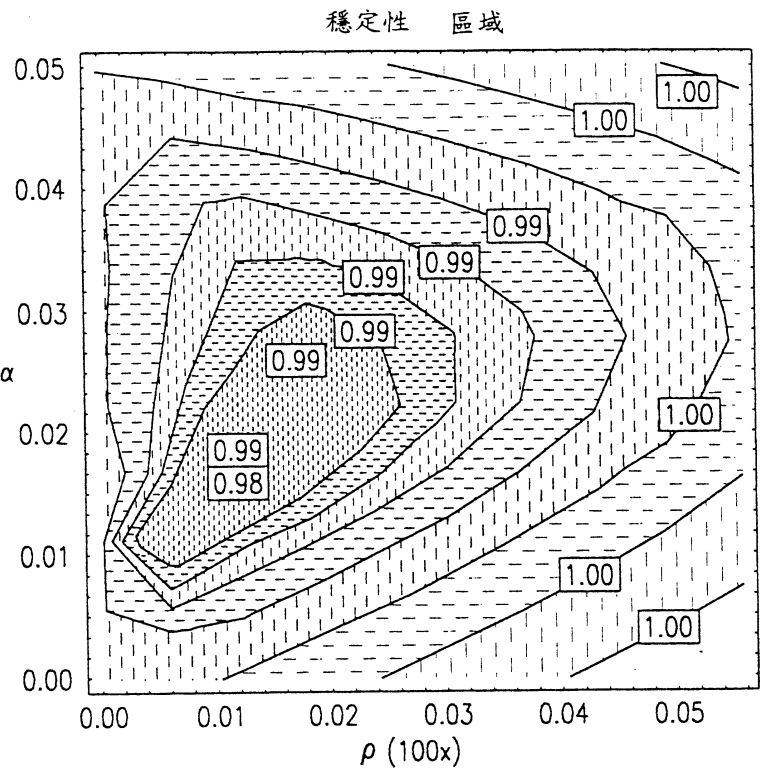


圖 12

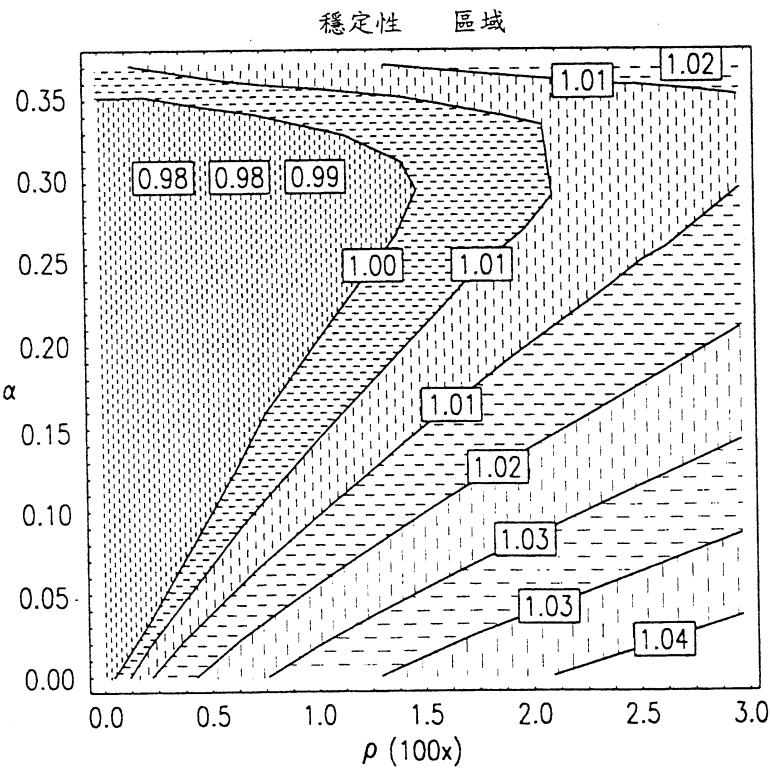


圖 13

圖式

圖 14

穩定性 區域

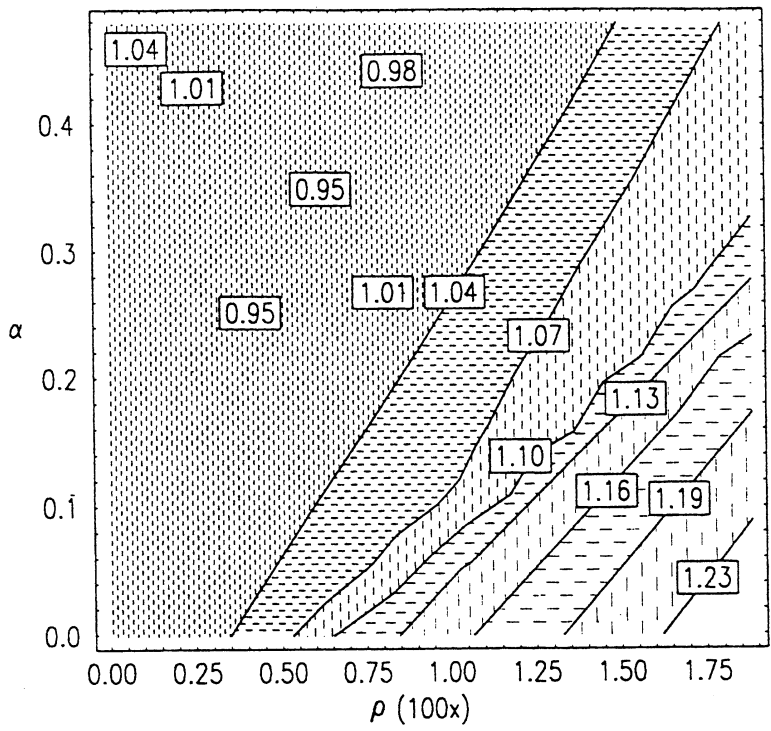
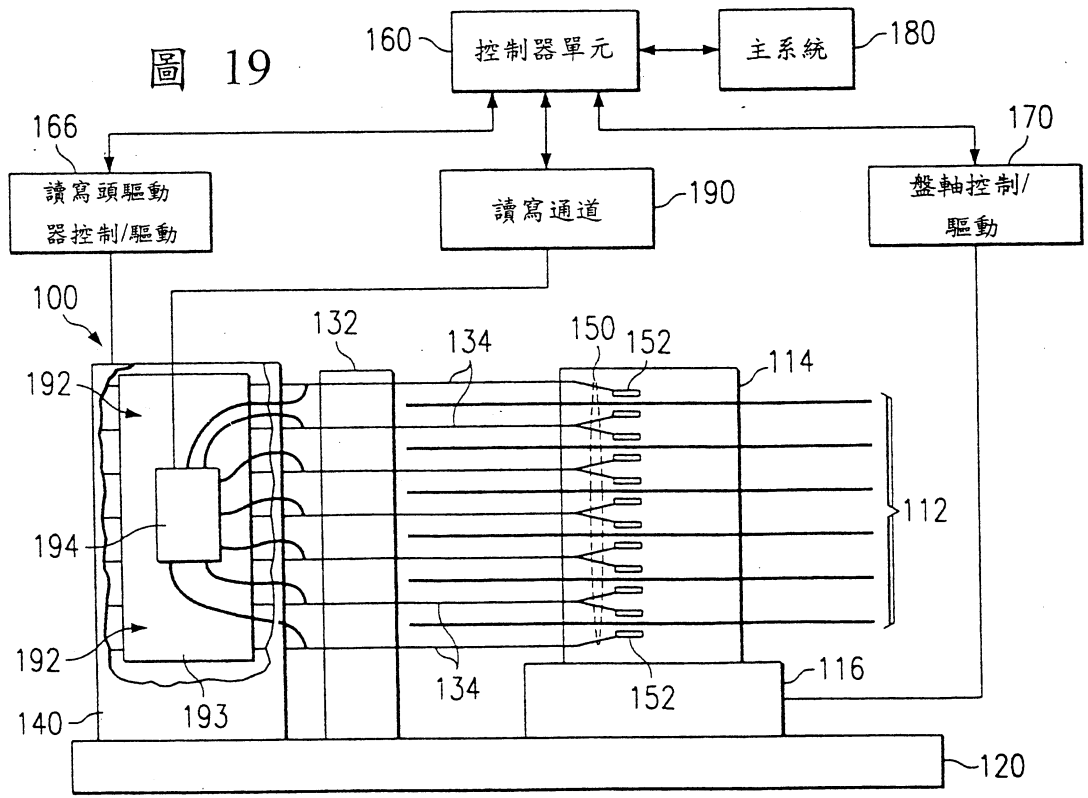


圖 19



圖式

圖 15A

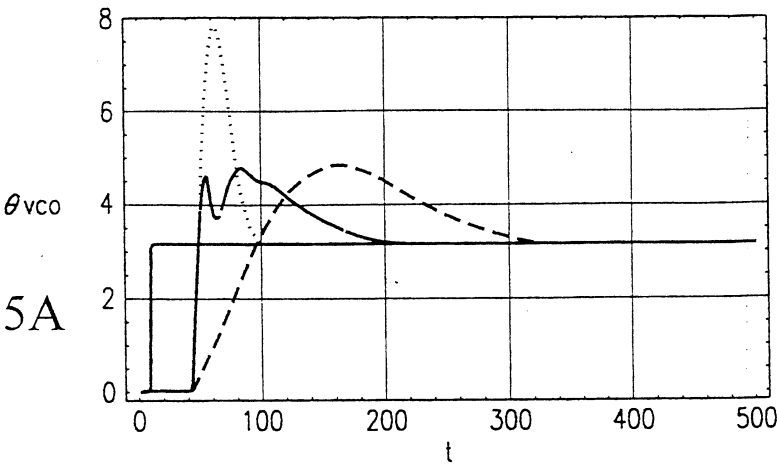


圖 15B

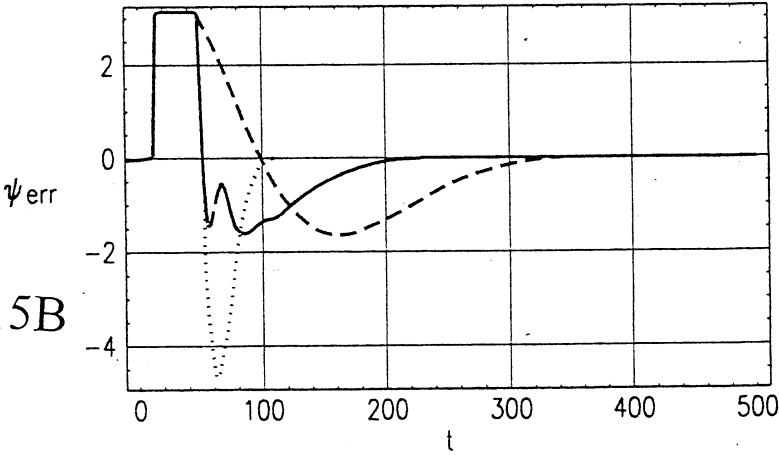
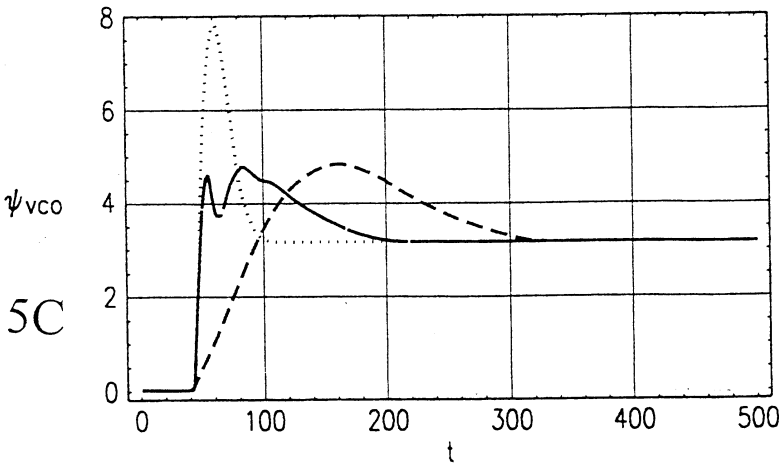


圖 15C



圖式

圖 15D

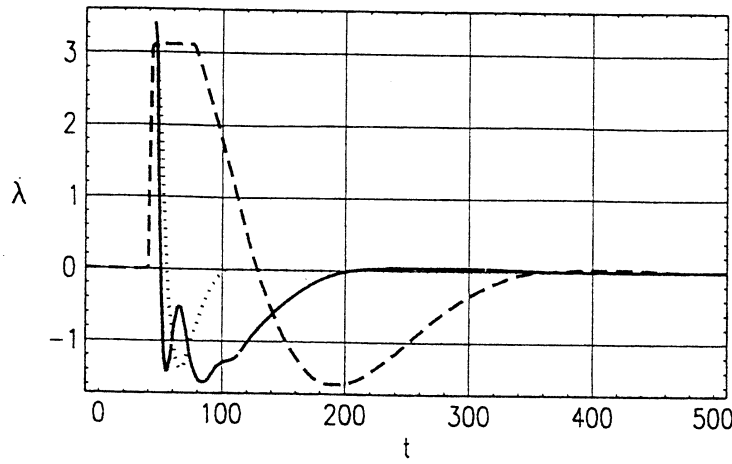


圖 15E

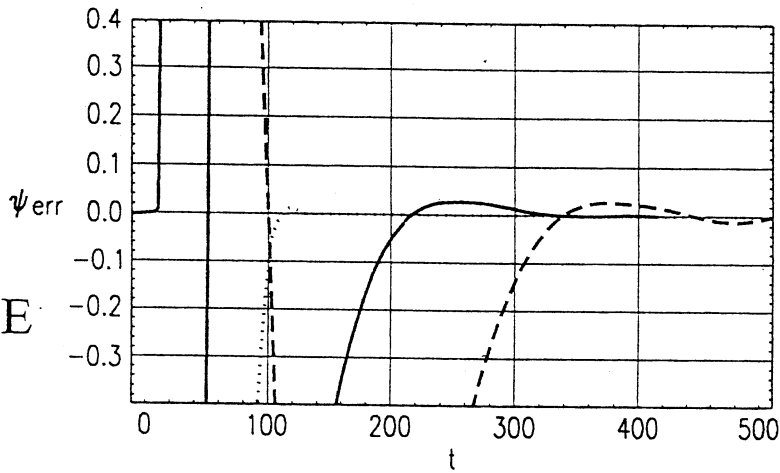
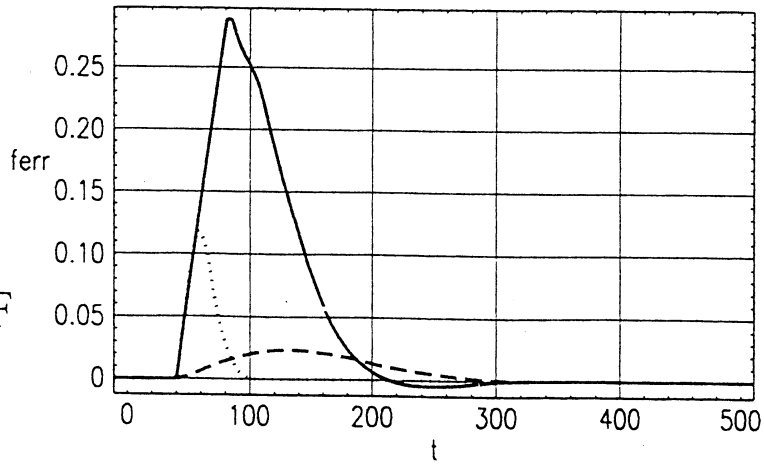


圖 15F



圖式

圖 16A

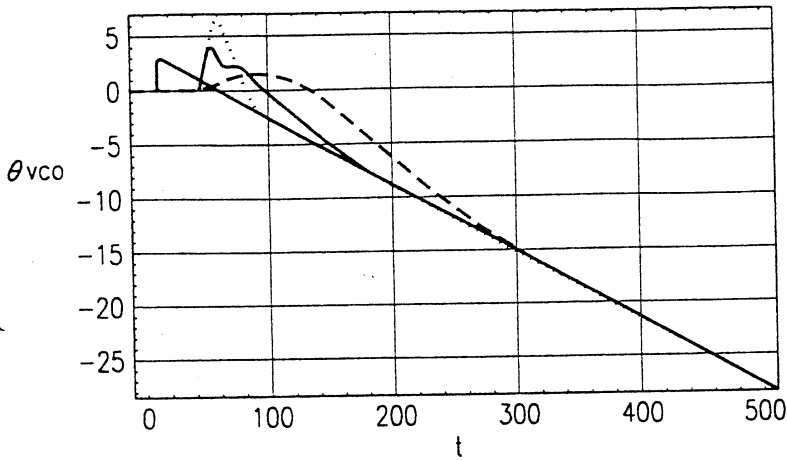


圖 16B

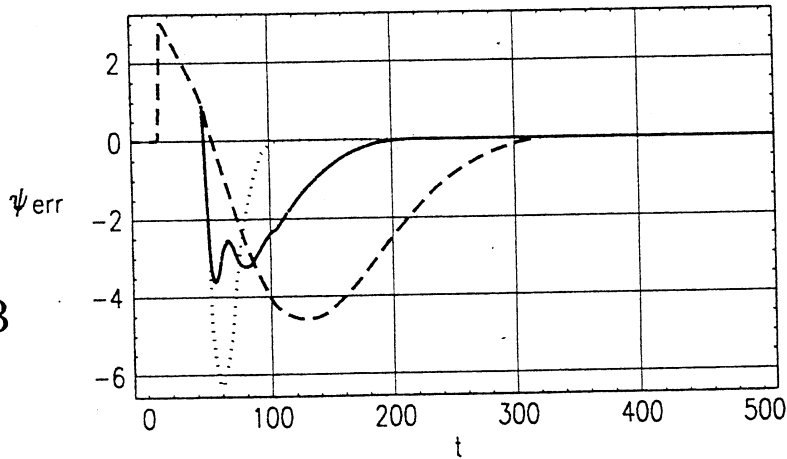
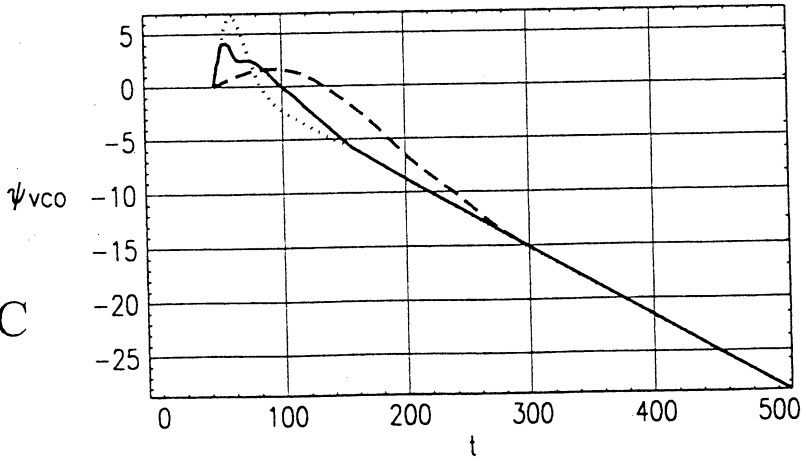


圖 16C



圖式

圖 16D

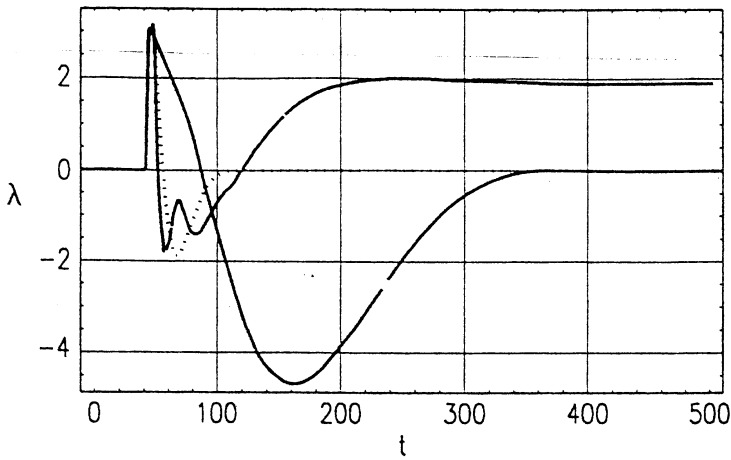


圖 16E

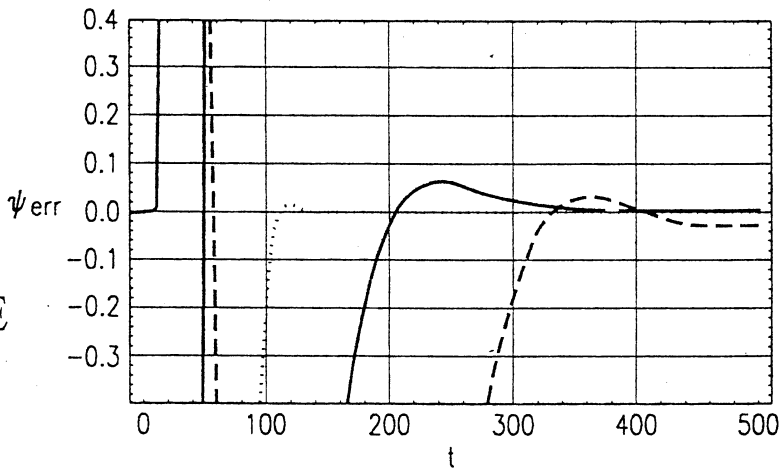
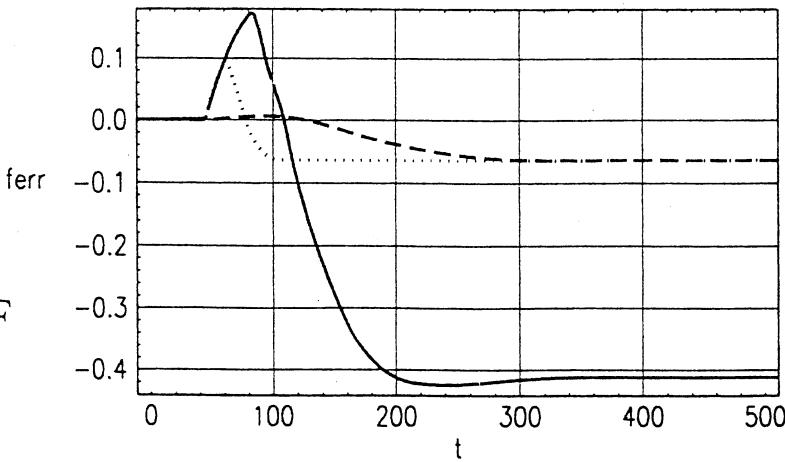


圖 16F



圖式

圖 17A

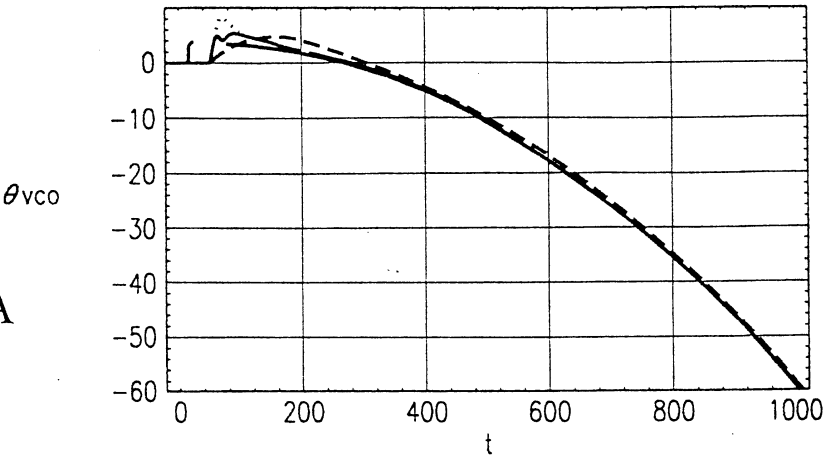


圖 17B

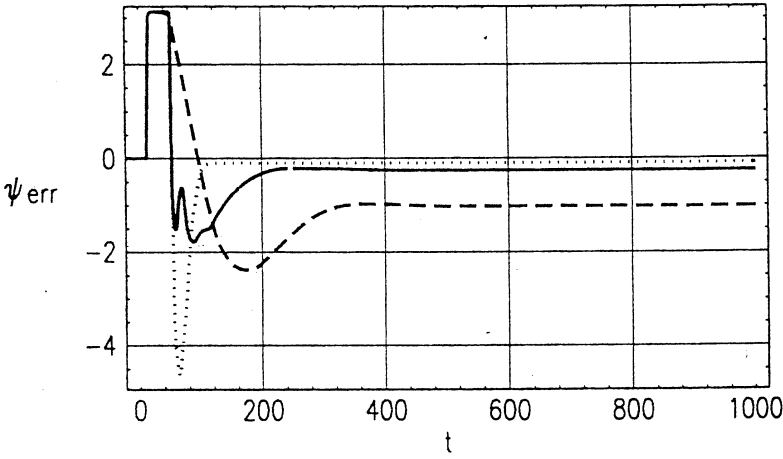
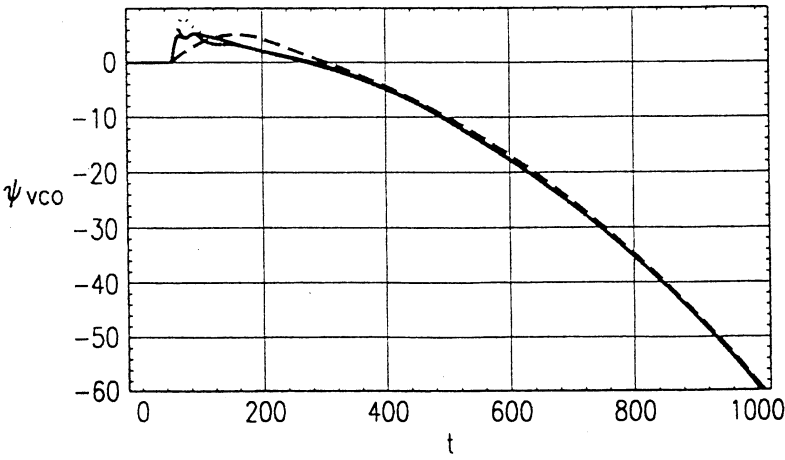


圖 17C



圖式

圖 17D

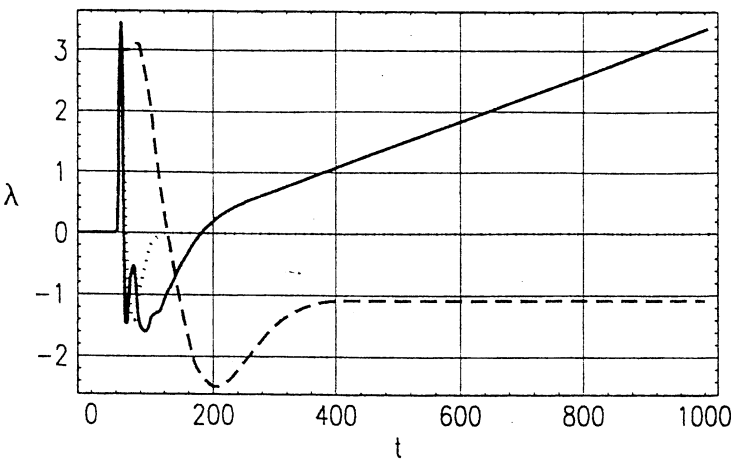


圖 17E

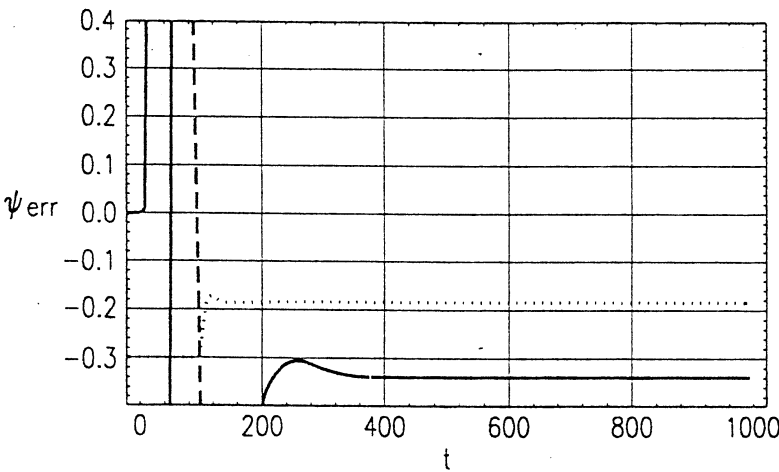
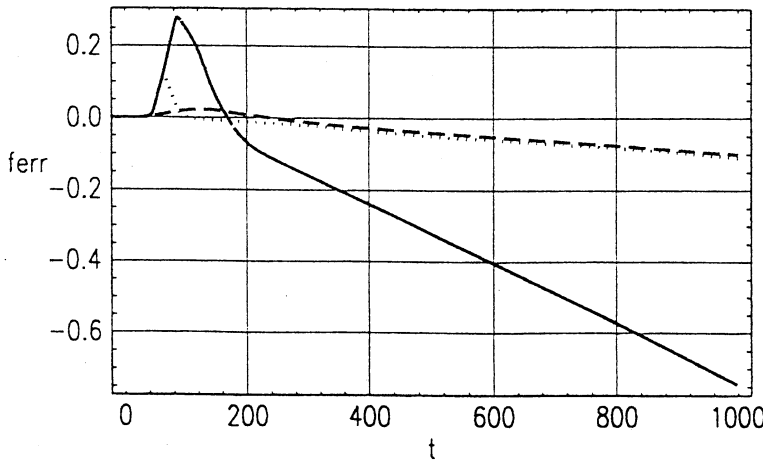


圖 17F



圖式

圖 18A

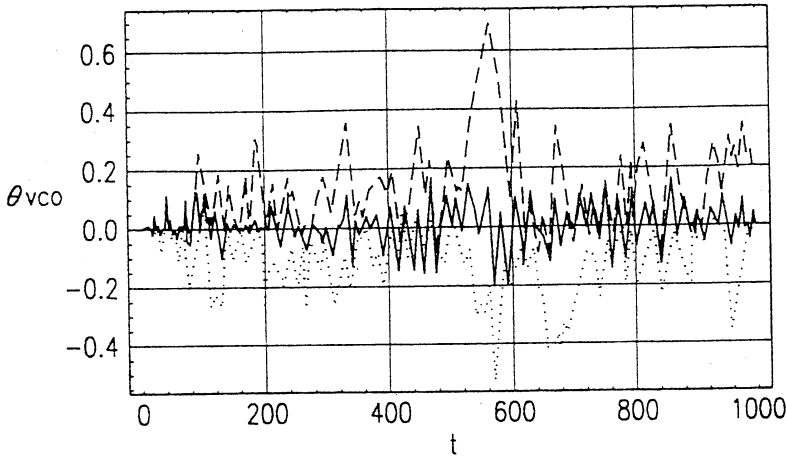


圖 18B

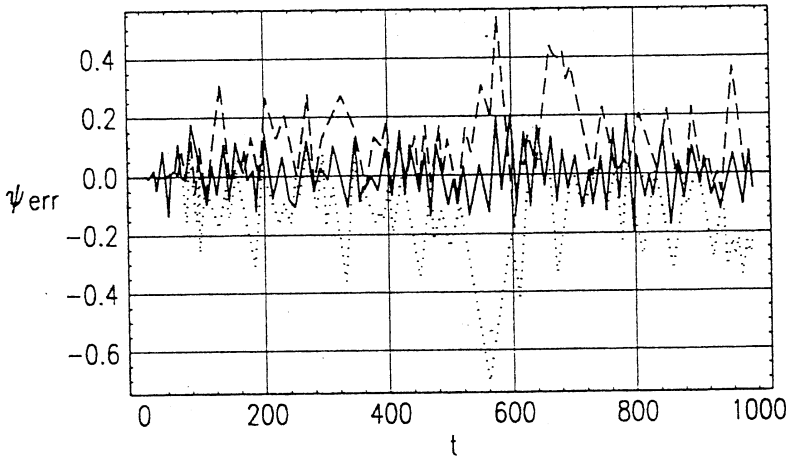
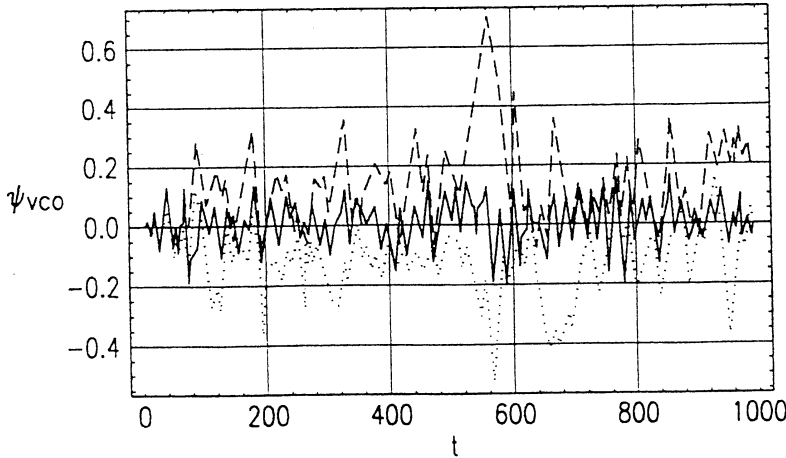


圖 18C



圖式

圖 18D

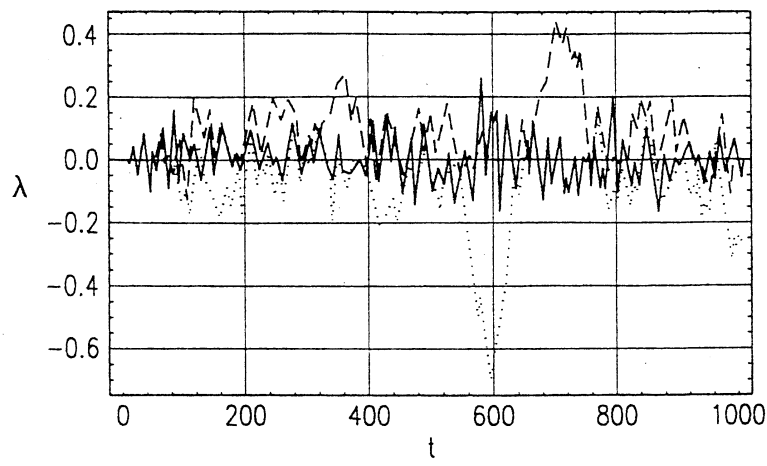


圖 18E

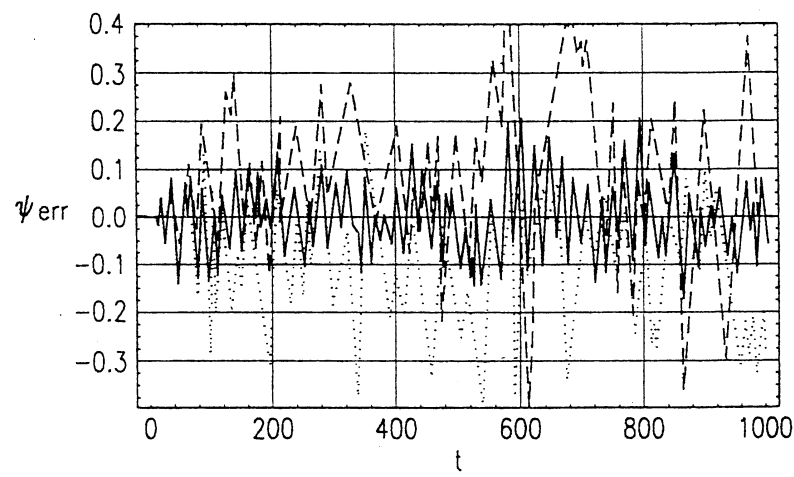


圖 18F

