

I296134

SY-50645-TW-01

申請日期：

91.5.17

案號：

91110334

公告本

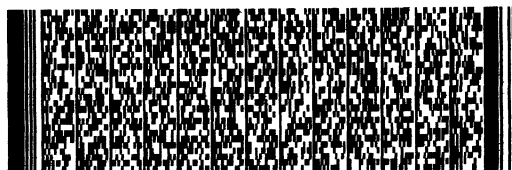
類別：

H01L 31/3213

(以上各欄由本局填註)

發明專利說明書

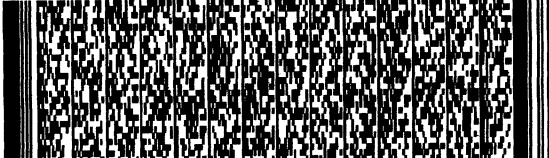
一、 發明名稱	中文	薄膜電晶體及主動矩陣型顯示裝置及其製造方法
	英文	THIN FILM TRANSISTOR, ACTIVE MATRIX TYPE DISPLAY DEVICE, AND THEIR PROCESS.
二、 發明人	姓名 (中文)	1. 米田清 2. 山田努
	姓名 (英文)	1. KIYOSHI YONEDA 2. TSUTOMU YAMADA
	國籍	1. 日本 2. 日本
	住、居所	1. 日本國岐阜縣本巢郡巢南町古橋1495-6 1495-6, Furuhashi, Sunami-cho, Motosu-gun, Gifu, Japan 2. 日本國岐阜縣本巢郡穗積町馬場前畑町3丁目112-3 112-3, 3-chome, Babamaehata-machi, Hozumi-cho, Motosu-gun, Gifu, Japan
三、 申請人	姓名 (名稱) (中文)	1. 三洋電機股份有限公司
	姓名 (名稱) (英文)	1. SANYO ELECTRIC CO., LTD.
	國籍	1. 日本
	住、居所 (事務所)	1. 日本國大阪府守口市京阪本通2丁目5番5號 5-5, Keihan-Hondori, 2-Chome, Moriguchi-City, Osaka, Japan
	代表人 姓名 (中文)	1. 桑野幸德
	代表人 姓名 (英文)	1. YUKINORI KUWANO



申請日期：	案號：
類別：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人	姓名 (中文)	3. 湯田真次 4. 鈴木浩司
	姓名 (英文)	3. SHINJI YUDA 4. KOUJI SUZUKI
	國籍	3. 日本 4. 日本
	住、居所	3. 日本國岐阜縣大垣市東前3-5佛薈格蘭斯魯拉米大樓 A-102 A-102, Fureguransu, NUNAMI, 3-5, Higashimae, Ohgaki-shi, Gifu, Japan 4. 日本國愛知縣葉栗郡木曾川町三法寺辻前1-501 1-501, Mithouji Tujimae, Kisogawa-cho, Haguri-gun, Aichi, Japan
三、 申請人	姓名 (名稱) (中文)	
	姓名 (名稱) (英文)	
	國籍	
	住、居所 (事務所)	
	代表人 姓名 (中文)	
	代表人 姓名 (英文)	
		

本案已向

國(地區)申請專利	申請日期	案號	主張優先權
日本 JP	2001/05/18	特願2001-149453	有
日本 JP	2002/03/11	特願2002-065794	有

有關微生物已寄存於	寄存日期	寄存號碼
-----------	------	------

無



五、發明說明 (1)

【技術領域】

本發明係有關於薄膜電晶體 (Thin Film Transistor: 以下稱 TFT) 及具備此薄膜電晶體之主動矩陣型顯示裝置及其製造方法。

【背景技術】

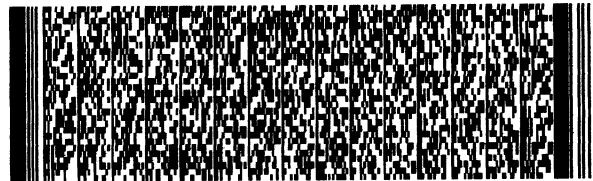
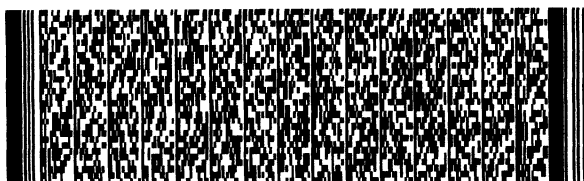
在液晶顯示裝置以及最近受矚目之有機電激光顯示裝置 (electroluminescence) 等之中，一般所知係有一種為了實現高精密度顯示而於各畫素形成開關元件之所謂的主動矩陣型 (active matrix type) 之顯示裝置。

第1圖A至第1圖I，係習知之主動矩陣型液晶顯示裝置之製造過程斷面圖。

步驟A (第1圖A)：在絕緣基板310上，形成非晶矽 (Amorphous Silicon: 以下稱「a-Si」) 膜320。

步驟B (第1圖B)：將雷射照射於此a-Si膜320之表面，藉此，將a-Si熔融並結晶化，以形成多晶矽 (Poly Silicon: 以下稱「poly-Si」) 膜。然後，採用光微影 (photolithography) 以及蝕刻，以將poly-Si膜圖案化成為島狀，並形成半導體膜330。

步驟C (第1圖C)：在絕緣基板310及半導體膜330上，形成由 SiO_2 膜所構成之閘極絕緣膜340以作為第1絕緣膜。在閘極絕緣膜340上，形成由鉻 (Cr) 所構成之金屬膜，並採用光微影以及蝕刻，以在與閘極絕緣膜340上之半導體膜330之中央部份相對應並重疊之位置上形成閘極電極350。



五、發明說明 (2)

步驟D (第1圖D) : 針對半導體膜330, 以閘極電極350為遮罩, 注入P型或N型之雜質。之後, 為使所注入之雜質活化, 而施以加熱處理, 並於半導體膜330形成源極區域330a以及汲極區域330b。

如此一來, 即形成作為半導體元件之poly-SiTFT。

步驟E (第1圖E) : 在閘極絕緣膜340以及閘極電極350上, 形成由SiO₂膜360a以及SiN膜360b之2層所構成之層間絕緣膜360, 以作為第2絕緣膜。

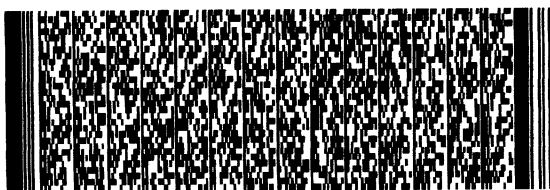
步驟F (第1圖F) : 為貫通閘極絕緣膜340以及層間絕緣膜360, 並使源極區域330a以及汲極區域330b露出, 而形成第1接觸孔370。於露出汲極區域330b之第1接觸孔370中, 形成由鋁 (Al) 構成並向紙面垂直方向延伸之配線380。

步驟G (第1圖G) : 在第1接觸孔370以及層間絕緣膜360、配線380上, 形成由有機材料所構成平坦化膜390以使表面平坦化。

步驟H (第1圖H) : 貫通平坦化膜390, 並形成露出源極區域330a之第2接觸孔, 再於此第2接觸孔, 形成由ITO (Indium Tin Oxide: 氧化銦錫) 所構成並與源極區域330a連接而擴展於平坦化膜390上之畫素電極400。

步驟I (第1圖I) : 在畫素電極400以及平坦化膜390上, 形成由聚亞醞胺 (polyimide)、SiO₂等所構成並使液晶配向之配向膜410。

如此一來, 主動矩陣型液晶顯示裝置之TFT基板即完



五、發明說明 (3)

成。液晶顯示裝置，係於與TFT基板以及共通電極所形成之對向基板之間，挾持液晶而構成。

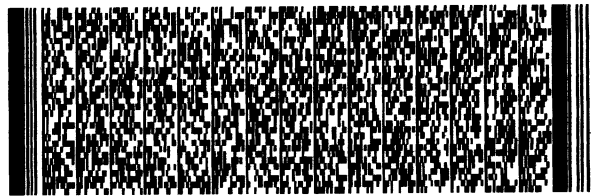
在上述製造方法中，與TFT之源極區域330a以及畫素電極400連接之第2接觸孔，係為將平坦化膜390以及層間絕緣膜開口而形成，故較開口直徑為深，亦即，其長寬比將成為較大。因此，在第2接觸孔形成時，經常有在到達源極區域330a前未能除盡平坦化膜390之情況。反之，為完全去除平坦化膜390，而將施行蝕刻時間設長之際，在與平坦化膜390以及層間絕緣膜360與半導體膜330之間，因無法完全地進行選擇性的蝕刻，故將使半導體膜330上之源極區域330a之表面粗糙等，致使難以增減蝕刻，並易於在接觸孔之深度及大小上產生誤差，而成為製品產率下降之主要原因之一。

此外，接觸孔，係為採用利用化學反應之蝕刻而形成，故在接觸孔之上端之面積，將變為較底面面積為大。由於該差異，將由於接觸孔愈深而變得愈大，因此為了形成較深之接觸孔，必須在上端確保廣泛的面積，而阻礙了高積體化。

本發明，係為解決上述問題而創作者，其目的係為使接觸孔可易於並確實的形成，並使製品產率提升，達到更進一步高積體化之目的。

本發明之另一目的係為於薄膜電晶體製造之際，防止雜質摻雜之際之遮罩材料之硬化。

【發明概要】



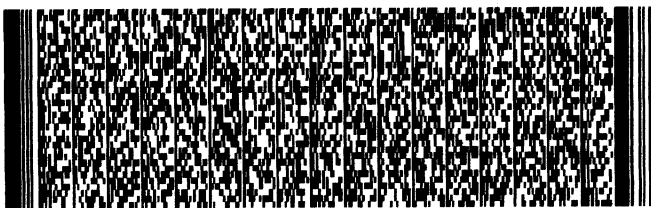
五、發明說明 (4)

為達成上述目的，本發明具備下列之特徵。

亦即，本發明係有關一種薄膜電晶體之製造方法，具備有：在絕緣基板上，形成島狀之半導體膜之步驟；於前述絕緣基板及前述半導體膜上，覆蓋前述半導體膜並形成第1絕緣膜之步驟；貫通前述第1絕緣膜，並形成露出前述半導體膜之一部份之至少1個之第1接觸孔之步驟；以及於前述第1絕緣膜上以及前述第1接觸孔內，形成第1導電體膜，並對該第1導電體膜進行蝕刻，再於與前述半導體膜之一部份重疊之閘極電極以及前述第1接觸孔內，同時形成與前述半導體膜電性連接之第1接觸部之步驟。

本發明之另一態樣，係一種上述薄膜電晶體之製造方法，具備有：覆蓋前述第1絕緣膜以及前述閘極電極以及前述第1接觸部，而形成第2絕緣膜之步驟；至少貫通前述第2絕緣膜，而形成露出前述第1接觸部之一部份之第2接觸孔之步驟；以及於前述第2絕緣膜上以及前述第2接觸孔內，形成第2導電體膜，並對預定區域進行蝕刻，再形成與前述第1接觸電性連接之預定形狀之配線以及第2接觸部之步驟。

本發明之又一態樣，係一種上述薄膜電晶體之製造方法，具備有：覆蓋前述第1絕緣膜以及前述閘極電極以及前述第1接觸部，而形成第2絕緣膜之步驟；至少貫通前述第2絕緣膜，而形成露出前述第1接觸部以及前述半導體膜之一部份之至少2個第2接觸孔之步驟；以及於前述第2絕緣膜上以及前述第2接觸孔內，形成第2導電體膜，並對預



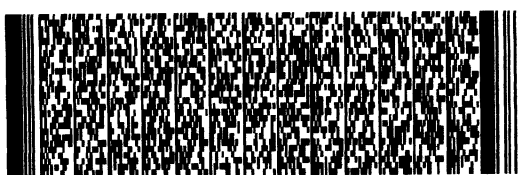
五、發明說明 (5)

定區域進行蝕刻，再形成與前述半導體膜電性連接之預定形狀之配線以及第2接觸部之步驟。

本發明之又一態樣，係一種採用薄膜電晶體之主動矩陣型顯示裝置，具體而言，具備有：在絕緣基板上，形成島狀之半導體膜之步驟；於前述絕緣基板及前述半導體膜上，覆蓋前述半導體膜並形成第1絕緣膜之步驟；貫通前述第1絕緣膜，並形成露出前述半導體膜之一部份之至少1個之第1接觸孔之步驟；以及於前述第1絕緣膜上以及前述第1接觸孔內，形成第1導電體膜，並對該第1導電體膜進行蝕刻，再於與前述半導體膜之一部份重疊之閘極電極以及前述第1接觸孔內，同時形成與前述半導體膜電性連接之第1接觸部之步驟。

本發明之又一態樣，係一種上述主動矩陣型顯示裝置之製造方法，具備有：覆蓋前述第1絕緣膜以及前述閘極電極以及前述第1接觸部，而形成第2絕緣膜之步驟；至少貫通前述第2絕緣膜，而形成露出前述第1接觸部之一部份之第2接觸孔之步驟；以及於前述第2絕緣膜上以及前述第2接觸孔內，形成第2導電體膜，並對預定區域進行蝕刻，再形成與前述第1接觸部電性連接之預定形狀之配線以及第2接觸部之步驟。

本發明之又一態樣，係一種上述主動矩陣型顯示裝置之製造方法，具備有：於前述第2絕緣膜以及前述第2接觸部以及前述配線上，形成將藉由下層構造而形成之凹凸予以平坦化之平坦化膜之步驟；貫通前述平坦化膜，而形成



五、發明說明 (6)

露出前述第2接觸部之第3接觸孔之步驟；以及於前述平坦化膜上，隔著前述第3接觸孔，而形成與前述第2接觸部電性連接之電極之步驟。

本發明之又一態樣，係一種上述主動矩陣型顯示裝置之製造方法，具備有：覆蓋前述第1絕緣膜以及前述閘極電極以及前述第1接觸部，而形成第2絕緣膜之步驟；至少貫通前述第2絕緣膜，而形成露出前述第1接觸部以及前述半導體膜之一部份之至少2個第2接觸孔之步驟；以及於前述第2絕緣膜上以及前述第2接觸孔內，形成第2導電體膜，並對預定區域進行蝕刻，再形成與前述半導體膜電性連接之預定形狀之配線以及第2接觸部之步驟。

本發明之又一態樣，係一種上述主動矩陣型顯示裝置之製造方法，具備有：於前述第2絕緣膜以及前述第2接觸部以及前述配線上，形成將藉由下層構造而形成之凹凸予以平坦化之平坦化膜之步驟；貫通前述平坦化膜，而形成露出第2接觸部之第3接觸孔之步驟；以及於前述平坦化膜上，隔著前述第3接觸孔，而形成與前述第2接觸部電性連接之電極之步驟。

本發明之又一態樣，係一種上述主動矩陣型顯示裝置之製造方法，具備有：覆蓋前述第1絕緣膜以及前述閘極電極以及前述第1接觸部，而形成第2絕緣膜之步驟；貫通前述第2絕緣膜，而形成露出前述第1接觸部之第2接觸孔之步驟；於前述第2絕緣膜上以及前述第2接觸孔內，形成第2導電體膜，並對預定區域進行蝕刻，再形成與前述第1



五、發明說明 (7)

接觸部電性連接之預定形狀之配線之步驟；於前述第2絕緣膜以及前述第2接觸部以及前述配線上，形成將藉由下層構造而形成之凹凸予以平坦化之平坦化膜之步驟；形成至少貫通前述平坦化膜之第3接觸孔之步驟；以及於前述平坦化膜上，隔著前述第3接觸孔，而形成與前述半導體膜電性連接之電極之步驟。

本發明之又一態樣，係一種上述主動矩陣型顯示裝置之製造方法，其中前述第3接觸孔，係貫通前述平坦化膜以及前述第2絕緣膜，並露出前述第1接觸部；而前述電極，係隔著前述第3接觸孔，與前述第1接觸部電性連接。

本發明之又一態樣，係一種上述主動矩陣型顯示裝置之製造方法，具備有：覆蓋前述第1絕緣膜以及前述閘極電極以及前述第1接觸部，而形成第2絕緣膜之步驟；貫通前述第2絕緣膜，而露出前述第1接觸孔之第2接觸孔之步驟；貫通前述第2絕緣膜以及前述第1絕緣膜，而形成露出前述半導體膜之第3接觸孔之步驟；於前述第2絕緣膜上以及前述第2接觸孔內、前述第3接觸孔內，形成第2導電體膜，並對預定區域進行蝕刻，再形成與前述第1接觸部電性連接之第2接觸部，以及與前述半導體膜電性連接之預定形狀之配線之步驟；於前述第2絕緣膜以及前述第2接觸部以及前述配線上，形成將藉由下層構造而形成之凹凸予以平坦化之平坦化膜之步驟；形成貫通前述平坦化膜，並露出前述第2接觸部之第4接觸孔之步驟；以及於前述平坦化膜上，隔著前述第4接觸孔，而形成與前述第2接觸部電



五、發明說明 (8)

性連接之電極之步驟。

本發明之又一態樣，係一種薄膜電晶體，具備有由含有通道區域、源極區域及汲極區域之半導體膜所構成之主動層、閘極絕緣膜、閘極電極、源極電極及汲極電極，其中前述半導體膜，係形成於絕緣基板上，覆蓋以半導體膜，前述閘極絕緣膜即形成，在前述閘極絕緣膜之源極對應區域及汲極對應區域之至少一方形成第1接觸孔，而在前述閘極絕緣膜之源極對應區域及汲極對應區域之至少一方所形成之前述第1接觸孔之中埋入與前述閘極電極同一材料構成，並且與對應之前述半導體膜之源極區域或汲極區域電性連接之第1接觸部，前述源極電極及前述汲極電極所對應之其中一方或兩方，係隔著前述第1接觸部而與對應之前述半導體膜之前述源極區域或汲極區域連接。

本發明之又一態樣，係一種上述薄膜電晶體，其中前述第1接觸孔，係各別於前述閘極絕緣膜之源極對應區域及汲極對應區域開口，在前述各別之第1接觸孔中，埋入前述第1接觸部，前述源極電極係隔著對應之前述第1接觸部而連接於前述半導體之源極區域，前述汲極電極，係隔著對應之前述第1接觸部而連接於前述半導體膜之汲極區域。

本發明之又一態樣，係一種上述薄膜電晶體，其中前述源極電極及前述汲極電極，係與各自於覆蓋以前述第1接觸部及前述閘極電極之層間絕緣膜之前述第1接觸部對應區域開口之第1接觸孔，相對應之前述源極區域與前述



五、發明說明 (9)

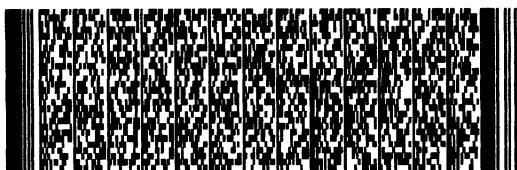
汲極區域連接。

本發明之又一態樣，係一種上述薄膜電晶體，其中前述第1接觸孔，係於前述閘極絕緣膜之源極對應區域及汲極對應區域之其中一方開口，前述第1接觸孔中埋入前述第1接觸部，前述源極電極及前述汲極電極之其中一方，係隔著前述第1接觸部而與前述半導體膜之源極區域或汲極區域連接。

本發明之又一態樣，係一種上述薄膜電晶體，其中前述源極電極及前述汲極電極之另一方，係覆蓋以前述閘極電極及前述閘極絕緣膜而形成之層間絕緣膜，以及在與前述閘極絕緣膜之對應區域，隔著使前述半導體膜表面露出於底部而開口之第2接觸孔，而與前述半導體膜之對應之汲極區域或源極區域連接。

本發明之又一態樣，係一種上述薄膜電晶體，其中前述閘極電極及前述第1接觸部，係為高熔點金屬材料。

本發明之又一態樣，係一種採用薄膜電晶體之主動矩陣型顯示裝置，具備有由含有通道區域、源極區域及汲極區域之半導體膜所構成之主動層、閘極絕緣膜、閘極電極、源極電極及汲極電極，其中前述半導體膜，係形成於絕緣基板上，覆蓋半導體膜，即形成前述閘極絕緣膜，前述閘極電極於前述閘極絕緣上之通道對應區域形成，前述閘極絕緣膜之源極對應區域及汲極對應區域中各形成第1接觸孔，在前述源極對應區域及汲極對應區域所形成之前述第1接觸孔之至少一方，埋入與前述閘極電極同一材料



五、發明說明 (10)

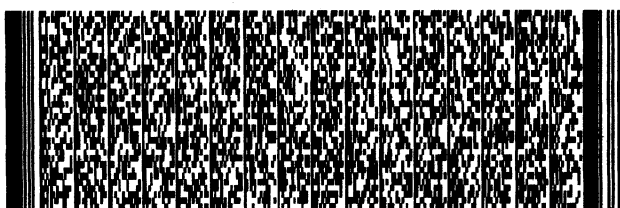
構成，並且與對應之前述半導體膜之源極區域或汲極區域電性連接之第1接觸部，前述源極電極及前述汲極電極之其中一方或兩方，係隔著前述第1接觸部而與對應之前述半導體膜之前述源極區域或汲極區域連接。

本發明之又一態樣，係一種上述主動矩陣型顯示裝置，其中前述第1接觸孔，係各別於前述閘極絕緣膜之源極對應區域及汲極對應區域開口，在前述各別之第1接觸孔中，埋入前述第1接觸部，前述源極電極及前述汲極電極，係與各自於覆蓋以前述第1接觸部及前述閘極電極之層間絕緣膜之前述第1接觸部對應區域所開口之第2接觸孔相對應之前述源極區域，以及與前述汲極區域連接。

本發明之又一態樣，係一種上述主動矩陣型顯示裝置，其係覆蓋前述源極電極及前述汲極電極，而更形成平坦化絕緣膜，且在前述平坦化絕緣膜之前述源極電極及前述汲極電極之其中一方之對應區域，形成第3接觸孔，並以前述第3接觸孔，與所對應之前述源極電極及前述汲極電極之其中之一，以及與畫素電極電性連接。

本發明之又一態樣，係一種上述主動矩陣型顯示裝置，其中前述第1接觸孔，係於前述閘極絕緣膜之源極對應區域及汲極對應區域之其中一方開口，而前述第1接觸孔，係埋入第1接觸部，前述源極電極及前述汲極電極之其中一方，隔著前述第1接觸部，而與對應之前述半導體膜之源極區域或汲極連接。

本發明之又一態樣，係一種上述主動矩陣型顯示裝



五、發明說明 (11)

置，其中前述源極及前述汲極電極之另一方，係於覆蓋前述閘極電極及前述閘極絕緣膜所形成之層間絕緣膜以及與前述閘極絕緣膜間之對應區域，隔著為使前述半導體膜表面露出底部而開口之第2接觸孔，而與前述半導體膜之對應汲極區域或源極區域連接。

本發明之又一態樣，係一種上述主動矩陣型顯示裝置，其係覆蓋前述源極電極及前述汲極電極，而更形成平坦化絕緣膜，且在前述平坦化絕緣膜之前述源極電極及前述汲極電極之其中一方之對應區域，形成第3接觸孔，並以前述第3接觸孔，與所對應之前述源極電極及前述汲極電極之其中之一，以及與畫素電極電性連接。

本發明之又一態樣，係一種上述主動矩陣型顯示裝置，其中前述閘極電極及前述第1接觸部，係高熔點金屬材料。

根據以上所述之本發明，係將形成於平坦化膜等較厚之膜上之畫素電極，以及與用於薄膜電晶體之主動層等之半導體膜間之電性連接，隔著各別埋入例如階段性形成之第1、第2、第3接觸孔之第1接觸部、第2接觸部、第3接觸部而進行。藉此，各接觸孔可各別作成較淺、長寬比較小之孔。接觸孔愈淺，則開口時，須蝕刻時間愈短，愈容易形成，並可縮小各接觸部之上面及底面之面積，同時可縮小上面與底面之面積差而達高積體化之目的。

此外，用於各接觸部之導電體，由於接觸孔開口，故其選擇比大多相較於蝕刻去除之膜為大，而可選擇性的蝕



五、發明說明 (12)

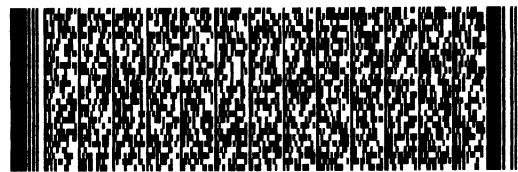
刻。因之，可藉由蝕刻而防止露出接觸孔底面之膜的特性惡化。此外，第1接觸部係與閘極電極同時形成，第2接觸部係與配線同時形成，故不會增加程序，即可達成上述效果。

本發明之又一態樣，係一種閘極電極形成於較主動層更上層之頂閘極型之電晶體之製造方法，其係於形成前述主動層之後，並於覆蓋該主動層之閘極絕緣膜之形成前，選擇性的以光罩材覆蓋該主動層之所希望區域後，將雜質注入該主動層，並於注入前述雜質後，將前述光罩材去除，再覆蓋前述主動層而形成閘極絕緣膜，並於前述閘極絕緣膜上形成閘極電極。

本發明之又一態樣，係一種閘極電極形成於較主動層更上層之頂閘極型之電晶體之製造方法，其係於形成前述主動層之後，並於覆蓋該主動層之閘極絕緣膜之形成前，選擇性的以光罩材覆蓋成為該主動層之通道區域以及低濃度雜質注入區域之區域，而將雜質注入該主動層，並於高濃度注入前述雜質後，將前述光罩材去除，再覆蓋前述主動層而形成閘極絕緣膜，並於前述閘極絕緣膜上形成閘極電極，並於前述閘極電極形成後，以該閘極電極作為遮罩，而以低濃度將雜質注入前述主動層。

本發明之又一態樣，係一種上述各頂閘極型電晶體之製造方法，其中前述主動層，係於形成非晶矽層後，將該矽層多結晶化而獲得之多晶矽層。

本發明之又一態樣，係一種上述各頂閘極型電晶體之



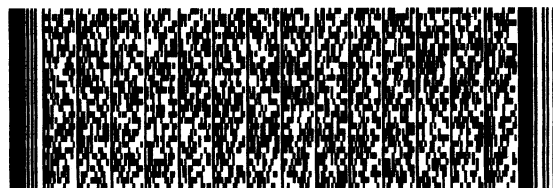
五、發明說明 (13)

製造方法，其中以上述高濃度及低濃度注入之雜質，係為n型（n導電型）雜質。

如此，本發明之又一態樣，係將雜質注入（摻雜）步驟，至少將高濃度雜質注入步驟，較絕緣膜形成步驟提前實施，而直接將雜質摻雜至電晶體主動層。因此，將摻雜之雜質之加速能源，可設定成可到達主動層預定深度之較低程度之準位。如能將雜質離子之加速能源縮小，則光罩即使被置於以高濃度摻雜雜質之環境下，可防止硬化，並可於摻雜步驟結束後，確實地去除。

此外，有關雜質之低濃度摻雜，如欲將閘極電極作為遮罩，則針對閘極電極可自己整合形成通道及低濃度雜質區域，並可形成寄生電容較小之電晶體。

本發明之又一態樣，係一種閘極電極形成於較主動層更上層之頂閘極型之電晶體，導電型相互不同之電晶體之製造方法，其係形成前述主動層，並覆蓋前述主動層而形成閘極絕緣膜，並於前述閘極絕緣膜上形成閘極電極材料層，對於該閘極電極材料層，在第1導電型電晶體之形成區域係覆蓋其主動層之全區域，而在前述第2導電型電晶體之形成區域則將其圖案化成為閘極電極之形狀，並於前述閘極電極材料層之圖案化後，將該閘極電極材料層作為遮罩，選擇性的將前述第2導電型雜質注入前述第2導電型電晶體之前述主動層。在此第2導電型雜質注入後，將前述第1導電型電晶體之形成區域之前述閘極電極材料層，圖案化成為閘極電極形狀。



五、發明說明 (14)

如此，於其他導電型雜質之摻雜時，在藉由高能源之雜質摻雜環境下不會硬化，而在去除時由於藉由不發生剝離殘餘之自身的閘極電極材料層，對主動層區域予以遮罩，而在摻雜高濃度雜質之後，可正確地將用作遮罩之閘極電極材料層，圖案化成為所希望的閘極電極之形狀。此外，在第1及第2導電型之任一電晶體，均係將自身的閘極電極摻雜雜質作為遮罩，因此閘極電極與通道區域將自己整合，故可形成寄生電容較小之電晶體。

本發明之又一態樣，係一種閘極電極形成於較主動層更上層之頂閘極型之電晶體，導電型相互不同之電晶體之製造方法，其係於形成前述主動層之後，覆蓋前述主動層之閘極絕緣膜形成前，並於前述閘極絕緣膜上形成閘極電極材料層，在第1導電型電晶體之形成區域，覆蓋其主動層之通道形成區域，且在第2導電型電晶體之形成區域，形成其主動層之形成區域之光罩後，將第1導電型雜質注入至前述主動層。在注入第1導電型雜質後，去除前述光罩，形成覆蓋前述主動層之閘極絕緣膜。其次，在此閘極絕緣膜上形成閘極電極材料層，並於前述第1導電型電晶體之形成區域覆蓋其主動層之全區域，並於前述第2導電型電晶體之形成區域將該閘極電極材料層圖案化成閘極電極之形狀，在前述閘極電極材料層之圖案化後，以該閘極電極材料層作為遮罩，將前述第2導電型雜質注入至前述主動層。在注入此第2導電型雜質後，將前述第1導電型電晶體之形成區域之前述閘極電極材料層圖案化成閘極電極



五、發明說明 (15)

形狀。

本發明之又一態樣，係一種閘極電極形成於較主動層更上層之頂閘極型之電晶體，導電型相互不同之電晶體之製造方法，其係於形成前述主動層之後，覆蓋前述主動層之閘極絕緣膜形成前，並於第1導電型電晶體之形成區域，覆蓋與其主動層之通道形成區域及該通道形成區域鄰接所形成之低濃度雜質注入區域，且在第2導電型電晶體之形成區域，形成其主動層之形成區域之光罩後，將第1導電型雜質注入至前述主動層。在高濃度注入前述第1導電型雜質後，去除前述光罩材，形成覆蓋前述主動層之閘極絕緣膜，並於閘極絕緣膜上形成閘極電極材料層，並於前述第1導電型電晶體之形成區域覆蓋其主動層之全區域，並於前述第2導電型電晶體之形成區域將該閘極電極材料層圖案化成閘極電極之形狀。在前述閘極電極之圖案化後，以該閘極電極作為遮罩，將前述第2導電型雜質以高濃度注入至前述主動層，並將前述第1導電型電晶體之形成區域之前述閘極電極材料層圖案化成閘極電極形狀後，將該閘極電極作為遮罩，而以低濃度將第1導電型雜質摻雜至前述主動層。

本發明之又一態樣，係一種上述各頂閘極型電晶體之製造方法，其中前述第1導電型雜質係為n導電型雜質，前述第2導電型雜質係為p導電型雜質。

如此，藉由將第1導電型雜質之注入步驟，特別是將高濃度注入步驟較絕緣膜形成步驟提前實施，並藉由直接



五、發明說明 (16)

將雜質摻雜至電晶體主動層，而可將摻雜之雜質之加速能源，設定成可到達主動層預定深度之較低程度之準位。如能將雜質離子之加速能源縮小，則光罩即使被置於以高濃度摻雜雜質之環境下，可防止硬化，並可於摻雜步驟結束後，確實地去除。再者，在另一導電型雜質（第2導電型雜質）之注入步驟之際，先以成為本身之閘極電極之材料層將主動層遮罩。如上所述如為閘極電極材料層，則即使曝露於以高能源下之高濃度雜質注入，亦不會發生硬化而難以剝離之類的問題。因此，由於光罩不曝露於以高能源下的雜質注入，且以高能源條件下的雜質注入，係採用電極材料層作為遮罩，故可在不同導電型之電晶體同時形成之元件中，不會有遮罩剝離殘餘情況發生，而可形成各電晶體。

再者，第1導電型雜質之低濃度注入，係藉由於第2導電型雜質注入時將作為遮罩之閘極電極材料層，圖案化成預定閘極電極之形狀後，將此閘極電極作為遮罩而實施，而在第1導電型電晶體，可相對於閘極電極而自己整合形成通道及低濃度雜質區域，並可形成寄生電容小之電晶體。

【實施發明之最佳形態】

以下，採用圖示以說明此發明之最佳實施形態（以下稱實施形態）。

（第1實施形態）

第2圖A至M、第3圖，係顯示與本發明第1實施形態有



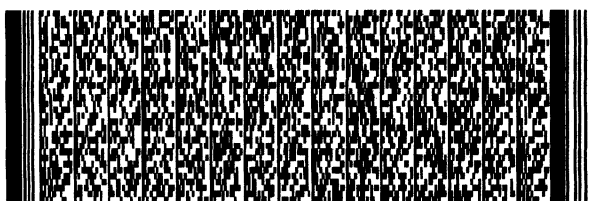
五、發明說明 (17)

關之主動矩陣型顯示裝置之製造方法。

步驟1 (第2圖A)：於石英玻璃、無鹼玻璃等所構成之絕緣基板1上之全面，採用包含 SH_4 (矽甲烷) 及 Si_2H_6 (乙矽烷) 氣體之電漿CVD (Chemical Vapor Deposition：化學氣相沈積) 法，形成a-Si膜。

步驟2 (第2圖B)：對s-Si膜2之表面照射雷射光束L進行退火處理，並將a-Si熔融再結晶化而形成poly-Si所構成的半導體膜3。在此，由於poly-Si之粒徑因應雷射的照射能源密度及照射次數而變化，故雷射光束L，預先將其能源密度最佳化以使粒徑成為最大。

步驟3 (第2圖C)：在半導體膜3上形成光阻膜，並進行曝光。光阻膜將已感光之部份去除，僅留下已被遮罩遮光的部份，圖案化成為島狀。藉由蝕刻，去除未被光阻膜覆蓋區域之半導體膜3，並將半導體膜3及光阻膜圖案化成島狀。為使剩餘之光阻膜之兩端露出，進行遮罩再度曝光，將已感光之光阻膜之兩端部份去除，形成絕緣塗料4。對於未被絕緣塗料4覆蓋之半導體膜3，係注入雜質。所注入之雜質，可因應待形成之TFT之型態而選擇P型或N型，但以下以N型為例進行說明。在雜質注入後，去除絕緣塗料4。未被半導體膜3之絕緣塗料4覆蓋之部份成為通道區域3c。對於注入雜質之半導體膜3，則進行藉由RTA (Rapid Thermal Anneal：急速熱退火) 法之退火。藉由RTA法之退火，雜質活性化而可形成源極區域3s及汲極區域3d。



五、發明說明 (18)

步驟4 (第2圖D) : 於絕緣基板1及半導體膜3上, 採用電漿CVD法, 以形成溫度 35°C 、膜厚 $1000\text{\AA}$ 形成由 SiO_2 膜所構成之閘極絕緣膜5, 以作為第1絕緣膜。

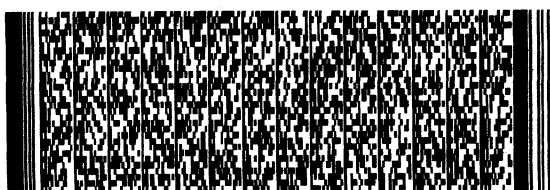
步驟5 (第2圖E) : 採用光微影及蝕刻, 貫通閘極絕緣膜5, 並形成第1接觸孔6 (6s及6d), 以使源極區域3s及汲極區域3d露出。

步驟6 (第2圖F) : 在閘極絕緣膜5及第1接觸孔6上, 藉由濺鍍法以 $2000\text{\AA}$ 形成由鉻 (Cr)、鉬 (Mo) 等高熔點金屬所構成之金屬膜, 以作為第1導電體膜。其次, 採用光微影及蝕刻, 在與閘極絕緣膜5之通道區域3ch對應重疊之區域形成閘極電極7g, 同時於第1接觸孔6 (6s及6d) 形成與閘極電極7g同一材料所構成之第1接觸件7s及7d。

步驟7 (第2圖G) : 在閘極絕緣膜5與閘極電極7g及第1接觸部7s及7d之上, 採用電漿CVD法, 形成由 SiO_2 膜8a及SiN膜8b所構成之層間絕緣膜8。此外, SiO_2 膜之厚度為 $2000\text{\AA}$ 、SiN膜之厚度為 $1000\text{\AA}$ 。

步驟8 (第2圖H) : 採用光微影及蝕刻, 貫通層間絕緣膜8, 並形成第2接觸孔9 (9s及9d), 以使第1接觸部7s、7d露出。此時, 第1接觸部7s及7d係為金屬, 故相對於 SiO_2 膜及SiN膜, 可以十分大的比例進行選擇性的蝕刻, 且第1接觸部7s及7d可發揮蝕刻擋止件的功能。因此, 可充分確保蝕刻層間絕緣膜8之時間, 而完全去除第2接觸孔9內之層間絕緣膜8。

步驟9 (第2圖I) : 在層間絕緣膜8及第2接觸孔上,



五、發明說明 (19)

藉由濺鍍法以 $3000\text{ \AA}$ 形成鋁 (Al) 等所構成之金屬膜，以作為第2導電體膜，並採用光微影及蝕刻，於第2接觸孔 9s 形成第2接觸部 13 (此處為源極電極 13s)，同時，於第2接觸孔 9d，形成向紙面垂直方向延伸之第2接觸部 13 (配線、此處為汲極電極兼用配線 13d)。

步驟 10 (第2圖 J)：在層間絕緣膜 8 及第2接觸部 13 (13s、13d) 之上，形成由有機系材料所構成之平坦化絕緣膜 26，並填埋藉由第2接觸部 13 之凹凸而將表面平坦化。

步驟 11 (第2圖 K)：再者，採用光微影及蝕刻，貫通平坦化膜 26，並形成第3接觸孔 11，以使第2接觸部 13s 露出。此時之相當於接觸孔 11 之底面之第2接觸部 13s 亦係為金屬，故選擇比較大，而不會有使底面破壞之情況發生。此外，因僅將平坦化膜 26 開口即可，故可將第3接觸孔 11 形成的更淺，接觸孔之上端與底面之面積差 (口徑差異) 變得更小。

步驟 12 (第2圖 L)：在平坦化膜 26 及第3接觸孔 11 之上，形成透明導電體膜，例如 ITO。然後，採用光微影及蝕刻，於第3接觸孔 11，與第2接觸部 13s 電性連接，而形成擴展於平坦化膜 26 上之畫素電極 40。

步驟 13 (第2圖 M)：在平坦化膜 26 及畫素電極 40 之上，形成由聚亞醞胺 (polyimide)、 SiO_2 膜等所構成，並使液晶配向之配向膜 14。

如此一來，具備 TFT 之主動矩陣型液晶顯示裝置之單



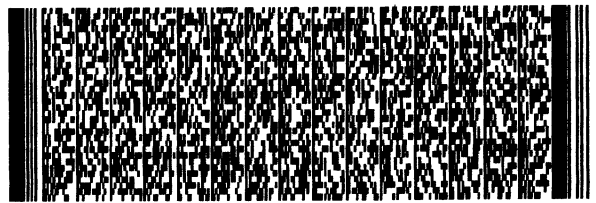
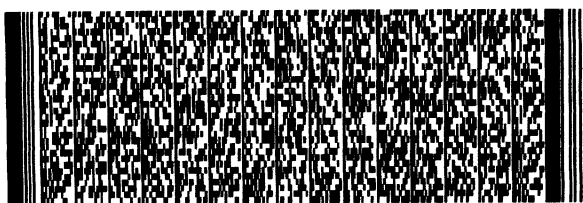
五、發明說明 (20)

側之TFT基板即完成。

步驟14 (第3圖)：在由石英玻璃或無鹼玻璃所構成之絕緣基板之對向基板41上，依序將ITO膜等透明電極所構成之對向電極43，形成於基板全面後，於其上形成由聚亞醯胺、 SiO_2 膜等構成，使液晶配向之配向膜45。然後，在與上述TFT基板相對向之位置配置對向基板41，並於TFT基板與對向基板41之間之周邊部份，採用具有接著性之樹脂所構成之密封劑47將兩基板接著，並於兩基板間填充液晶35，而主動矩陣型之液晶顯示裝置即完成。

在本實施型態中，與畫素電極 (第3接觸部) 40及半導體膜3之電性接觸結構，係隔著第1接觸部7s、第2接觸部13 (此處為源極電極13s)、甚至第3接觸部40之階段性結構。與配線13 (此處為汲極電極兼用) 及半導體膜3之電性接觸結構，係隔著第1接觸部7d、第2接觸部13d之階段性結構。由於形成此等階段性連接結構，而各接觸孔可作淺而無須作深，而且埋入此接觸孔之接觸部亦無須作厚。

例如，在步驟4中，在形成第1接觸孔6時開口的僅有閘極絕緣膜5，其厚度為1000 Å。因此，即使將實施蝕刻的時間，設定成十分長的時間以使閘極絕緣膜5貫通，第1接觸孔6之長寬比仍較小，而可將深度之誤差控制在較小，亦不會使半導體膜3之表面特性大幅度的惡化。此外，第1接觸部7s及7d，係由於與閘極電極7g同時採用同一材料而形成，故不會有增加步驟數之情況。此外，在步



五、發明說明 (21)

驟8，形成第2接觸孔時僅將層間絕緣膜8開口，其厚度係為 $3000\text{ \AA}$ 。由於第2接觸部13s係與配線13d同時形成，故在此亦不會有增加步驟數之情況。

因此，在本實施形態中，各接觸孔6、9、11，不會有增加全體的步驟數情況，而可作成與習知之接觸孔370相較，其長寬比較小之淺孔，而且可將各接觸部之上面之面積縮成較習知更小，而使積體度提高。

(第2實施形態)

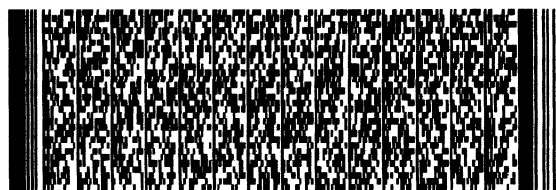
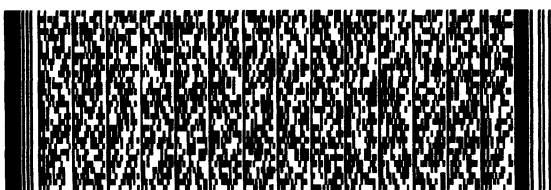
其次，對於第2實施形態進行說明。第4圖係為藉由與第2實施形態有關之製造過程而形成之TFT基板之剖面圖。在第2圖A至第2圖G所示之步驟7之前，與第1實施形態相同，故不再贅述。

步驟9：在層間絕緣膜8及第2接觸孔之上，藉由濺鍍法以 $3000\text{ \AA}$ 形成金屬膜以作為第2導電體膜，採用光微影及蝕刻，於第2接觸孔形成向紙面垂直方向延伸之配線13d。

步驟10：覆蓋層間絕緣膜8及配線13d，而形成平坦化絕緣膜26。

步驟11：採用光微影及蝕刻，貫通平坦化膜26及層間絕緣膜8，並形成第3接觸孔以使第1接觸部7s露出於底部。

步驟12：在平坦化膜26及第3接觸孔之上形成透明導電體膜。然後，採用光微影及蝕刻，於第3接觸孔，與第1接觸部7s電性連接而形成擴展於平坦化膜26上之畫素電極



五、發明說明 (22)

40。

如此一來，如第4圖所示，亦可直接連接畫素電極40與第1接觸部7s。但是，如上述第1實施形態所示，如於層間絕緣膜8將第2接觸孔9開口，並在此形成第2接觸部時，則在步驟10，第3接觸孔無須使層間絕緣膜貫通，而可僅以其膜厚3000 Å而淺淺形成，故可確實獲得本發明之效果。

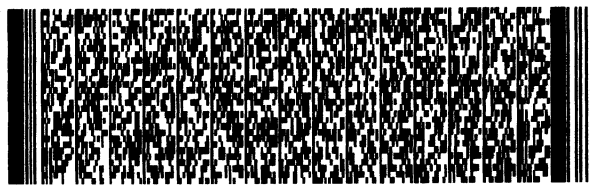
此外，在第1實施形態及第2實施形態中，第1接觸部，係平均每一個TFT形成有2個（7s、7d）以作為源極區域使用及汲極區域使用，但本發明並不以此為限，第1接觸部，亦可是源極區域使用或汲極區域使用之其中之一個即可，當然，亦可多於2個。

（第3實施形態）

其次，針對平均每一TFT之第1接觸部數量與上述第1實施形態及第2實施形態相異之第3實施形態進行說明。第5圖及第6圖係為藉由與第3實施形態相關之製造過程而形成之TFT基板之剖面圖。第2圖A至D所示之步驟4之前，與第1實施形態相同，故不再贅述。

步驟5：採用光微影及蝕刻，於第2圖E貫通閘極絕緣膜5，並僅形成第1接觸孔6s，以使源極區域3s之一部份露出。

步驟6：在閘極絕緣膜5及第1接觸孔上，藉由濺鍍法以2000 Å金屬膜以作為第1導電體膜，並採用光微影及蝕刻，而於與閘極絕緣膜5之通道區域3ch對應重疊之區域形



五、發明說明 (23)

成閘極電極7g，並同時於第1接觸孔6s，形成與閘極電極7g同一材料所構成之第1接觸部7s（第2圖F參照）。

步驟7：在閘極絕緣膜5及第1接觸部7s之上，採用電將CVD法，而形成由 SiO_2 膜8a及 SiN 膜8b之層積結構而構成之層間絕緣膜8。

步驟8：採用光微影及蝕刻，貫通層間絕緣膜8，並形成第2接觸孔9s，以僅使第2圖H之第1接觸部7s露出。又同時於與層間絕緣膜8之半導體膜3之汲極區域3d對應之區域，形成貫通層間絕緣膜8之第2接觸孔9d₁。再者，採用光微影及蝕刻，貫通閘極絕緣膜5，並形成第2接觸孔9d₂（第5圖參照），以使半導體膜3之汲極區域3d露出。

步驟9：在層間絕緣膜8及第2接觸孔9s及第2接觸孔9d₁、9d₂之上，藉由濺鍍法以3000 Å形成金屬膜以作為第2導電體膜，並如第5圖所示形成第2接觸部13s以埋入第2接觸孔9s，並形成向紙面垂直方向延伸之配線13d，以埋入第2接觸孔9d₁、9d₂。

步驟10：在層間絕緣膜8與第2接觸部13s及配線13d之上，形成平坦化膜26。

步驟11：採用光微影及蝕刻，貫通平坦化膜26，並形成第3接觸孔11，以使第2接觸部13s露出。

步驟12：於平坦化膜26及第3接觸孔11之上形成透明導電體膜。然後，採用光微影及蝕刻，填埋第3接觸孔11，而且，形成與第2接觸部7s接觸而擴展於平坦化膜26上之畫素電極40。



五、發明說明 (24)

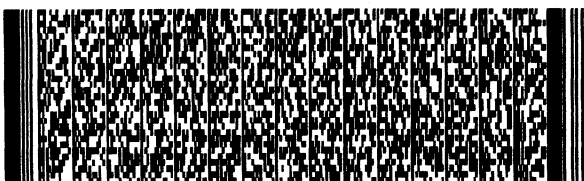
如此一來，如第5圖所示，可在第2接觸孔 $9d_1$ 、 $9d_2$ 直接將配線13d與汲極區域3d連接。此外，亦可如與第5圖相反的第6圖所示，在第2接觸孔 $9d_1$ 、 $9d_2$ 直將第2接觸部13s與源極區域3s連接。

另外，在以上各實施形態中，雖以主動矩陣型液晶顯示裝置為例，但本發明係可於運用其他TFT之主動矩陣型液晶顯示裝置中實施。舉例而言，例如亦可適用於用以使EL顯示裝置之類的其他型態主動矩陣型液晶顯示裝置之EL元件驅動之TFT等。再者，在上述顯示裝置以外，亦可應用於影像感測器及指紋感測器。

此外，在以上第1至第3實施型態中，雖以源極區域隔著接觸部，而與畫素電極40連接為例進行了說明，但對於汲極區域隔著接觸部而與畫素電極40連接之情況，亦可藉由同樣的階段性的接觸結構的採用，而以長寬比較小之接觸孔，實現確實的接觸。再者，亦有因為電路構成而與畫素電極不直接接觸之TFT，在此類TFT中，第2接觸部13，係各依原狀用作為源極電極或配線（13s），汲極電極或配線（13d）。

（第4實施型態）

其次針對本發明之第4實施型態進行說明。在上述第1實施型態中，如第2圖C及第2圖D所示，對於半導體膜3注入雜質，係於閘極絕緣膜5形成前進行。在第4實施型態中亦如第1實施型態所示，係於形成閘極絕緣膜前，而實施對TFT之主動層注入雜質，尤其是以高濃度雜質注入處

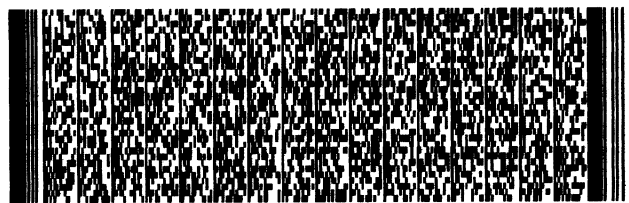
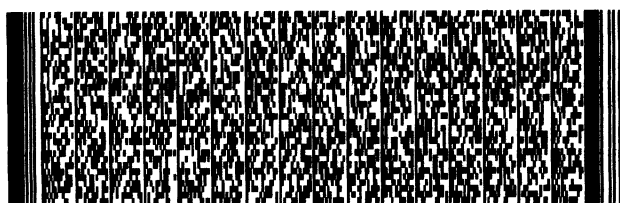


五、發明說明 (25)

理。由於在閘極絕緣膜之形成前先行注入雜質，故不用貫通閘極絕緣膜而使雜質到達其下層之主動層所需之極高的雜質加速能源，而防止作為雜質注入遮罩之絕緣塗料層的過度硬化。

以作為形成於主動矩陣型液晶顯示裝置之各畫素之開關元件者而言，上述所示TFT係眾所周知，此TFT之中，一種採用poly-Si於主動層之所謂的poly-SiTFT，與採用非晶矽(a-Si)於主動層之情況相較，更能實現高導電率故反應性極佳，且可利用閘極電極於主動層自己整合形成通道、源極及汲極區域，故可縮小元件面積，再者，易於構成CMOS(Complementary Metal Oxide Semiconductor)電路。因此，用於高精密度之顯示器用之開關極佳，而且於形成畫素用TFT之基板上，可構成由同樣的TFT所構成之CMOS電路，並可內藏驅動顯示部之驅動電路。

poly-Si，與單結晶Si不同，在半導體膜中（結晶內及結晶晶界）有許多缺陷。其中一方面，摻雜磷(P)等作為雜質之n通道(n-ch)TFT，除用於驅動電路之CMOS電路之一方外，大多採用於畫素用TFT。在採用於畫素用TFT之n-ch型TFT中，隔著成為載子阱(carrier trap)之poly-Si中的上述缺陷的漏電電流將造成問題。此外，以低溫製程形成之poly-SiTFT，具有可在廉價之玻璃基板上形成，並可以低成本大型化之極佳特徵之外，又以低溫形成閘極絕緣膜，故不會形成如熱氧化膜般之精密的膜。因此，在採用於周邊驅動電路之n-ch型TFT中，藉由熱載流



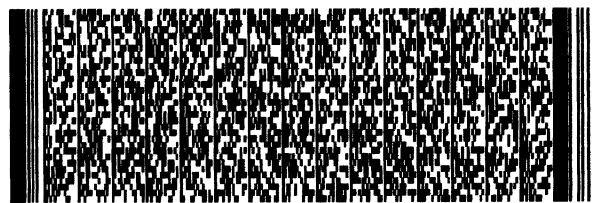
五、發明說明 (26)

子（電子）之TFT之特性惡化將造成問題。由以上所示之理由，低溫poly-SiTFT，在有關n-ch型方面，係於汲極區域與通道區域之間，採用具有低濃度之雜質注入區域之LDD（Lightly Doped Drain）結構。

第7圖A至第7圖E，係顯示由採用於LCD之畫素TFT之LDD結構之poly-Si所構成之TFT相關技術之有關製造過程。首先，於玻璃基板10上形成a-Si層12，並藉雷射退火使此a-Si層12多結晶化。其次，將所得之poly-Si層圖案化成為各TFT之主動層140之形狀，並覆蓋此主動層140形成SiO₂等之閘極絕緣膜160（第7圖A）。

在閘極絕緣膜160形成後，形成閘極電極材料，並如第7圖B所示，圖案化成閘極電極180之形狀。再者，在將絕緣塗料層形成於基板全體後，以光微影方式選擇性的殘留此絕緣塗料層200，以使如第7圖C所示，較閘極電極180之電極長（圖的橫方向），覆蓋更長的預定距離。在驅動電路內藏於同一基板之情況下，亦以此絕緣塗料層200，對CMOS電路之p通道TFT之主動層進行覆蓋。剩餘之絕緣塗料層200作為遮罩，使閘極絕緣膜160通過，而以高濃度將磷等雜質摻雜（注入）至主動層140。藉此，在未以主動層140遮罩之區域中，係以高濃度摻雜n型雜質，其後再形成構成源極區域及汲極區域140s、140d之高濃度雜質區域（N⁻區域）。

其次，如第7圖D所示，去除作為遮罩之絕緣塗料層200，並以露出之閘極電極180為遮罩，將磷等雜質以低濃



五、發明說明 (27)

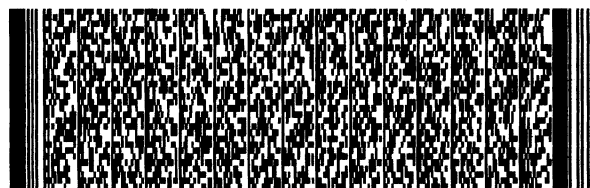
度摻雜至主動層140。藉此，在未摻雜主動層140之閘極電極180之正下之雜質之真性區域之兩側，其在與最初之高濃度雜質摻雜步驟所形成之 N^+ 區域之間，即形成低濃度雜質(LD)區域(N^- 區域)。此外，摻雜至主動層140之雜質，其後係以退火處理而活性化。

活性化處理後，形成層間絕緣膜22以覆蓋含有閘極電極180之基板全體，並形成接觸孔以貫通層間絕緣膜22即閘極絕緣膜160之源極、汲極區域140s、140d之對應區域，並形成電極配線材料再圖案化，在上述接觸孔，形成與源極區域140s連接之源極電極30s，以及與汲極區域140d連接之汲極電極30d。

藉由以上之方法，可獲得LDD之結構之頂閘極型TFT，在流過高的導通電流同時，可獲得切斷電流少，且特性一致之TFT。

藉由以上的方法，於製造LDD結構之TFT之際，欲形成高濃度雜質區域(140s、140d)，如第7圖C所示，為使雜質通過閘極絕緣膜160而到達主動層140，而須以高能源加速雜質。

但是，以高加速摻雜高濃度之雜質之際，由於雜質在用作遮罩之絕緣塗料層上亦被多量且高加速地摻雜，而通常所用之絕緣塗料樹脂將硬化。如絕緣塗料層200硬化，則欲形成下一個LD區域而去除絕緣塗料層200之際，將易於發生剝離殘餘。如欲降低此剝離殘餘，將需要剝離時間，而且如發生剝離殘餘，則對於元件之特性、信賴度及



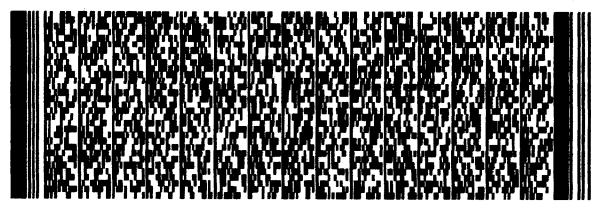
五、發明說明 (28)

製品產率均將造成不良影響。

針對此點，依據以下所說明之第4實施型態之方法，將可防止作為在雜質摻雜之際之遮罩層之硬化。

與本發明第4實施型態有關之TFT，係為在主動矩陣型顯示裝置（例如LCD及有機電場發光顯示裝置）作為採用於各畫素之開關元件之畫素TFT，或是作為與此開關元件在同一基板同時形成之驅動電路之CMOS結構之TFT，甚或是可採用於此兩方。

第8圖，係於主動矩陣型LCD之畫素開關元件及驅動電路元件採用與本實施型態有關之TFT情況下，概略顯示LCD之電路構成。LCD，係為使液晶封入於1對基板間而構成，在其中一方基板之顯示部，將複數個畫素配置成矩陣狀，在各畫素配置個別的畫素電極，並作為連接此畫素電極之畫素開關之poly-Si，係具有用於主動層之雙閘極型之TFT 1、對此TFT 1提供數據訊號之數據線DL2、選擇TFT 1以使其動作閘極線GL3。且在基板之顯示部之外側，配置有H驅動器及V驅動器以作為驅動電路。兩驅動器均具備採用與畫素部TFT相同之poly-Si於主動層之TFT，H驅動器以預定時序對各數據線輸出顯示數據訊號，V驅動器則對閘極線GL3依次輸出閘極訊號。在LCD之另一方基板上形成有對向電極，在與此對向電極及各畫素電極之間構成有畫素電容（液晶電容）CLC。此外於各畫素，在1顯示期間中為補助以液晶電容CLC之電荷保持，而相對於畫素TFT 1，則係以與液晶電容CLC並列方式設有補助電容Cs。



五、發明說明 (29)

其次，針對與本實施型態有關之作為如上述第8圖所示畫素開關元件及驅動電路元件之TFT之製造過程，茲以第9圖A至C以及第10圖A至C進行說明。另外，在此等圖面所示之TFT，係形成於主動矩陣型LCD之驅動區域之CMOS構成之TFT，以及形成於畫素區域之畫素TFT。

例如在玻璃基板10上形成有未圖示之由 SiN_x 膜與 SiO_2 膜所構成之緩衝層，且在此緩衝層之上形成a-Si層12，並對此a-Si層12照射準分子雷射光束以多結晶化退火。將藉由退火所得之poly-Si層依次圖案化成各TFT之主動層14之形狀（第9圖A）。

其次雖以相關技術，覆蓋主動層14形成 SiO_2 等之閘極絕緣膜，但在本實施型態中，於閘極絕緣膜成膜之前，係形成覆蓋第9圖B所示主動層14上之預定區域之絕緣塗料層20，以作為雜質摻雜時之遮罩。此絕緣塗料層20，係例如酚醛樹脂系之正光阻。在基板全體，配置絕緣塗料材以直接覆蓋主動層14，並由於藉由光罩並以選擇性的殘餘絕緣塗料層，而作成如第9圖B所示之圖案。在本實施型態中，此絕緣塗料層20，其後覆蓋n通道TFT之通道、成為LD（Lightly Doped）區域之區域，然後為p通道TFT之主動層14全區域。

在形成絕緣塗料層20並圖案化後，以此絕緣塗料層20為遮罩，對主動層14直接以高濃度摻雜磷等之n導電型雜質，其後再形成構成源極及汲極區域14s、14d之高濃度雜質區域（ N^+ 區域）。摻雜之際，在未由主動層14之絕緣塗



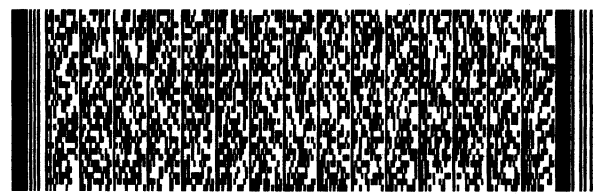
五、發明說明 (30)

料層 20 覆蓋之區域，此主動層 14 之表面露出，而雜質，可直接打入此露出之主動層 14。因此，加諸於雜質之加速能源，僅需能到達主動層 14 之預定深度之大小即可，與習知般使閘極絕緣膜通過而注入之情況相較，可以控制的非常小。

在將絕緣塗料層 20 作為遮罩並以高濃度將雜質摻雜至主動層 14 之後，此絕緣塗料層 20，係藉由例如灰化與濕式剝離而去除。如上所述，雖以絕緣塗料層 20 為遮罩而以高濃度摻雜雜質，但在本實施型態中，可將打入之雜質之加速能源控制在最小限度，且如為此類條件之摻雜步驟，則絕緣塗料層 20 之去除，將可確實實施而不會有絕緣塗料殘餘。此外，在針對 n 通道 TFT 以低濃度之 p 導電型雜質注入至該通道時，係在此絕緣塗料層 20 形成前實施摻雜。

由主動層 14 表面去除絕緣塗料層 20 之後，如第 9 圖 C 所示覆蓋主動層 14 以形成閘極絕緣膜 16，其後，如第 10 圖 A 所示在閘極絕緣膜 16 之上形成閘極電極材料，並圖案化成為所希望之閘極電極 18 之形狀。

在閘極電極 18 圖案化後，如第 10 圖 B 所示，將此閘極電極 18 作為遮罩，並使閘極絕緣膜 16 通過主動層 14 以而進行磷等之 n 導電型雜質之低濃度摻雜。藉此，僅在未由閘極電極 18 覆蓋，且在高濃度摻雜之際由絕緣塗料層 20 所覆蓋之區域，選擇性地進行低濃度之雜質摻雜。亦即，在閘極電極正下區域（通道區域）之兩外側，與主動層 14 之 N^+ 區域（14s、14d）之間，相對於閘極電極 18 而自己整合形

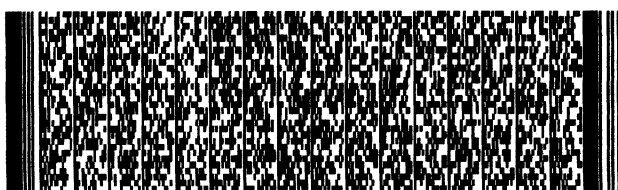


五、發明說明 (31)

成低濃度雜質 (LD) 區域 (N⁻區域)。

如此，在本實施型態中，有關LD區域，可相對於閘極電極18而自己整合形成與該通道區域間之境界，故對於考慮光罩層之位置偏移之配置空間，與習知之LDDTFT之製造方法比較，無須特別擴大。以閘極電極正下之通道區域端為基準之N⁻區域之幅度 (LD距離)，係依絕緣塗料層20與閘極電極18間之位置偏移而變動。但是，例如在第10圖B，藉由閘極電極位置向源極側偏移，而通道區域與源極區域14s間之LD距離，雖可較目標變得更小，但相對地通道區域與汲極區域14d間之LD距離亦變得較目標大。因此，源極—汲極距離，即使發生位置偏移亦不變動，而在源極側與汲極側取消導通電流之變動，其結果TFT之導通電流不發生變化。此外，LD距離係預先考慮遮罩之位置偏移而設置，故在切斷電流，亦即漏電電流方面即使發生遮罩偏移，亦能控制在非常小的範圍，並能充分達成確保TFT之信賴度。

在此，即使在形成於同一基板上之p-ch型TFT之主動層中，存在磷離子 (N導電型)，如其為少量，則不會對電性特性造成很大的影響，故在如第10圖B所示磷離子之低濃度摻雜步驟中，特別不將此p-ch型TFT遮罩而進行摻雜。但是，亦可以絕緣塗料層覆蓋此p-ch型TFT之形成區域而實施。如果，以絕緣塗料層覆蓋p-ch型TFT之形成區域，而進行磷離子之低濃度摻雜時，則此絕緣塗料層，將曝露於經加速而成為可通過閘極絕緣膜16之離子。但是，

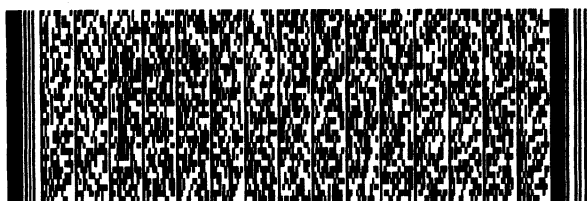


五、發明說明 (32)

即使給予高的加速能源而其濃度仍低，則最後對於絕緣塗料層造成之損傷（硬化）會非常地小。因此，與高濃度區域14s、14d之形成時所用光罩層具有同等的剝離性，亦即可毫無殘餘地將此絕緣塗料層去除。

在將n導電型雜質摻雜於此n-ch型TFT之主動層14之後，雖未予以圖示，但係將n-ch型TFT之形成區域作為遮罩，而將硼（B）等之p導電型雜質摻雜至p-ch型TFT之主動層14。對於此p導電型雜質之摻雜，當然亦以上述所示在閘極絕緣膜16之形成前實施較為理想。但是，例如進行質量分析而注入離子，亦即採用離子佈植而注入硼離子，則該硼離子，較磷離子小，而摻雜硼離子之光罩所受損傷程度較為輕微。亦即，與以高濃度且高能源摻雜磷離子的光罩相較，以高濃度且高能源摻雜硼離子之光罩較不易於硬化。此外在硼離子摻雜之後，更不須要如摻雜雜質之類的步驟，因此即使發生些許程度之絕緣塗料硬化，對後段步驟造成之影響亦非常小。因此，可如上所述以n-ch型TFT之形成區域為遮罩，而將硼（B）等p導電型雜質，摻雜至p-ch型TFT之主動層14。

如以上所示在所需區域全部摻雜雜質之後，即進行用以將此經摻雜之雜質予以活性化之活性化退火處理。雜質之活性化處理後，形成層間絕緣膜以覆蓋含有閘極電極之基板全體，並形成接觸孔以貫通層間絕緣膜22及閘極絕緣膜16之源極、汲極區域14s、14d之對應區域，此外，並形成電極材料而圖案化，並在上述接觸孔形成與源極區域



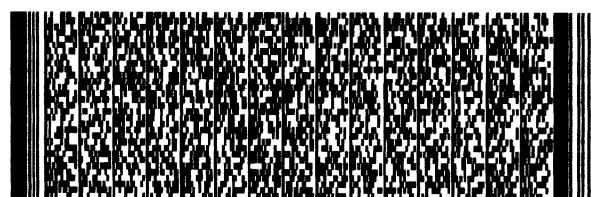
五、發明說明 (33)

14s連接之源極電極30s、與汲極區域14d連接之汲極電極30d或是與此一體之訊號配線。

在源極電極30s及汲極電極30d形成後，如第11圖所示，覆蓋基板全面以形成由丙烯酸樹脂等樹脂材料所構成之平坦化絕緣膜26，並形成接觸孔於該源極電極30s之對應區域。然後，由於形成例如ITO等之畫素電極材料，並圖案化成各畫素之形狀而獲得畫素電極40。最後形成配向膜28以覆蓋基板全面，第1基板即完成。第1基板完成後，將此第1基板與共通電極及配向膜等所形成之第2基板黏合，並於基板間封入液晶，LCD單元即完成。

此外，上述之TFT，係可採用於利用有機EL元件之主動矩陣型OLED之各畫素TFT以及驅動電路TFT，以作為顯示元件。此外，如第12圖所示，有機EL元件50，係在陽極52、與由Al等之金屬材料所構成之陰極56之間，形成至少具有採用有機化合物之發光層之有機層54（例如正孔傳輸層／發光層／電子傳輸層之層積體）而構成。

在適用於OLED時，TFT，係與第9圖A至C及第10圖A至C同樣之步驟形成即可，其後與第11圖同樣，覆蓋含有各TFT之源極電極30s及汲極電極30d之基板全面，而形成由丙烯酸樹脂等樹脂材料所構成之平坦化絕緣膜26。其次，在對有機EL元件50供給電流之TFT之源極或是汲極電極之對應區域形成接觸孔，並由於形成例如ITO等之透明導電性材料以作為陽極材料，並圖案化成各畫素之形狀，而獲得各畫素個別的陽極（畫素電極）52。如此一來，與本發明



五、發明說明 (34)

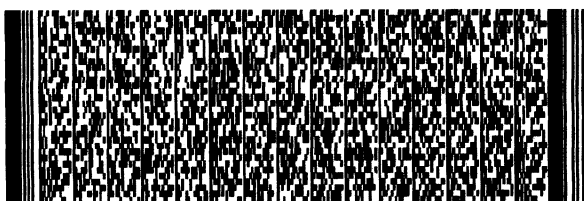
第4實施型態有關之TFT，亦可適用於主動矩陣型之OLED。

其次，針對雜質之摻雜條件與構成遮罩之絕緣塗料層之剝離性之關係，說明其中之一例。針對poly-Si主動層14，當採用5%濃度之 PH_3 為材料而摻雜時，如習知般欲隔著閘極絕緣膜16而形成 N^+ 區域時（以下顯示為穿透注入），加速能源最大亦以15keV即足夠，且在打進側之磷離子濃度以 $2 \times 10^{14} \text{cm}^{-2}$ 程度即足夠。

在曝露於習知之穿透注入之條件（90keV， $6 \times 10^{14} \text{cm}^{-2}$ ）下之絕緣塗料層（第7圖C），即使經灰化及濕式剝離亦無法完全去除而產生絕緣塗料殘餘。針對此點，曝露於如第4實施型態所示之直接注入之條件（15keV， $2 \times 10^{14} \text{cm}^{-2}$ ）下之絕緣塗料層（第9圖B），係可經由灰化及濕式剝離而確實去除，不會有絕緣塗料殘餘情況。此外，以直接注入方式，其加速能源小，使用離子濃度亦低，故可降低製造成本。

此外，如上所述，對於LD區域之低濃度雜質摻雜，在第4實施型態亦與習知相同，雖係使閘極絕緣膜16通過而摻雜至主動層14，但其注入條件，係為加速能源90keV、P離子濃度 $3 \times 10^{13} \text{cm}^{-2}$ 程度，與高濃度穿透注入比較，其加速能源雖係同等，但注入離子濃度少了一位數。因此，相對於將曝露於此種離子注入環境下之例如驅動電路之p-ch型TFT形成區域予以覆蓋之絕緣塗料層等，此絕緣塗料層，將與 N^+ 區域之直接注入情況達成約同等之剝離性。

在第4實施型態中，由於在閘極絕緣膜16形成前實施

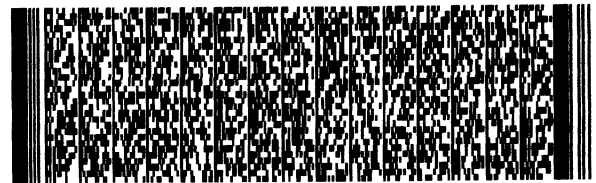
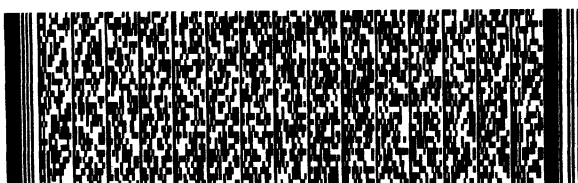


五、發明說明 (35)

高濃度雜質摻雜，故在閘極絕緣膜16之 N^+ 對應區域與 N^- 對應區域曝露於離子摻雜之環境係變為相同。在上述直接注入條件下，主動層14之 N^- 區域中之注入磷濃度，雖為 $1 \times 10^{19} \text{cm}^{-3}$ 程度，主動層14之 N^- (LD) 區域中之注入磷濃度雖為 $1 \times 10^{18} \text{cm}^{-3}$ 程度，但另一方面，隔著閘極絕緣膜16之摻雜處理因僅係低濃度摻雜，故閘極絕緣膜16中之磷濃度，不論在閘極絕緣膜16之 N^+ 對應區域或 N^- 對應區域，兩方區域均為 $1 \times 10^{17} \text{cm}^{-3}$ 程度。閘極絕緣膜中之磷濃度，在約為第10圖B所示低濃度摻雜之際，係以在膜中停止之磷離子決定。另一方面，如習知般隔著閘極絕緣膜16而實施高濃度摻雜時，因閘極絕緣膜16之 N^+ 對應區域，係曝露於高濃度摻雜及低濃度摻雜之兩方，故其較閘極絕緣膜16之 N^- 對應區域中之膜中磷濃度更高，例如閘極絕緣膜16之 N^+ 對應區域之磷濃度將達 $1 \times 10^{18} \text{cm}^{-3}$ 程度以上。如此一來，習知之閘極絕緣膜16，雖然其膜中之磷濃度高，而對TFT之耐壓之降低等、損害的降低等擔憂，但依據第4實施型態之方法將可防止此問題。

(第5實施型態)

第5實施型態，與第4實施型態同樣，係於高濃度雜質摻雜之際，防止其摻雜遮罩層硬化。再者，在第5實施型態中，在採用poly-SiTFT而於同一基板上形成n-ch型TFT與p-ch型TFT之兩方之元件中，不僅n-ch型TFT，對於p-ch型TFT，亦已提出可防止用於離子摻雜之遮罩難以去除之硬化產生。此外，參照以下圖示並針對第5實施型態進行



五、發明說明 (36)

說明，惟對於與在上述第4實施型態等既已說明之結構相對應之部份，均以相同符號表示。

poly-SiTFT，係如上所述易於構成CMOS電路。因此，poly-SiTFT，除高精密度顯示器用之畫素開關（畫素用TFT）之外，並於與此畫素用TFT同一基板上，構成由同樣之TFT所構成之CMOS電路，並運用於內藏驅動顯示部之驅動電路之顯示裝置等。

第13圖A至D，係顯示此種驅動內藏型LCD用之畫素TFT、以及與驅動電路中之CMOS結構之TFT之相關技術有關之製造過程。首先，於玻璃基板上形成a-Si層，並藉雷射退火使此a-Si層多結晶化。其次，將所得之poly-Si層圖案化成為各TFT之主動層140之形狀，並覆蓋此主動層140形成SiO₂等之閘極絕緣膜160。在閘極絕緣膜160形成後，形成閘極電極材料，並如第13圖A所示，圖案化成閘極電極180之形狀。

n-ch型TFT，除用於驅動電路之CMOS電路之一方，同時並採用於畫素用TFT。接著，如第4實施型態中所說明，在驅動電路之n-ch型TFT中，以低溫而成膜之閘極絕緣膜，須防止導因於膜的精密性低之熱載流子（電子）所造成之TFT特性惡化，而在畫素用之n-ch型TFT中，則須降低導因於poly-Si中許多結晶缺陷之漏電電流。因此，採用低溫poly-Si之n-ch型TFT，係於汲極區域與通道區域之間，採用具有低濃度雜質區域之LDD（Lightly Doped Drain）結構。



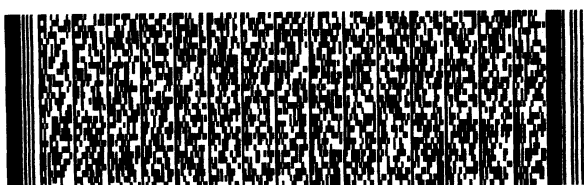
五、發明說明 (37)

在有關 n-ch 型 TFT 方面，為作成此種 LDD 結構，故於閘極電極 180 之圖案化後，對絕緣塗料層 200 僅覆蓋以 n-ch 型 TFT 區域之閘極電極 180 之電極長（第 13 圖 B 方向）一定距離長，此外，為使 p-ch 型 TFT 覆蓋全區域而選擇性地留下組成遮罩的絕緣塗料層 200n。之後，使閘極絕緣膜 160 通過而以高濃度摻雜磷等 n 導電型之雜質。藉此，未由絕緣塗料層 200n 所覆蓋之區域，亦即於之後形成構成為源極區域 140s、汲極區域 140d 的高濃度雜質區域（ N^+ 區域）。

其次，去除此絕緣塗料層 200n，並以第 13 圖 C 所示露出之閘極電極 180 為遮罩，並使閘極絕緣膜 160 通過而以低濃度摻雜 n 導電型雜質至主動層 140。藉此，在主動層 140 之閘極電極 180 之正下之真性區域與 N^+ 區域之間形成低濃度雜質（LD）區域（ N^- ）。

在對 n-ch 型 TFT 之主動層 140 摻雜雜質後，接下來，如第 13 圖 D 所示，形成選擇性覆蓋此 n-ch 型 TFT 之形成區域之絕緣塗料層 200p。然後，於 p-ch 型 TFT 之主動層 140 以閘極電極 180 作為遮罩，並使閘極絕緣膜 160 通過而以高濃度注入硼等 p 導電型雜質。

在對於 n-ch 型 TFT、p-ch 型 TFT 之各主動層 140 各自摻雜雜質之後，形成層間絕緣膜 22 以覆蓋含有閘極電極 180 之基板全面，並進行雜質之活性化退火。此外，於所需區域形成接觸孔以貫通上述層間絕緣膜 22 及閘極絕緣膜 160，並形成電極與配線材料以圖案化，於上述接觸孔，形成與源極區域 140s 連接之源極電極、與汲極區域 140d 連



五、發明說明 (38)

接之汲極電極。

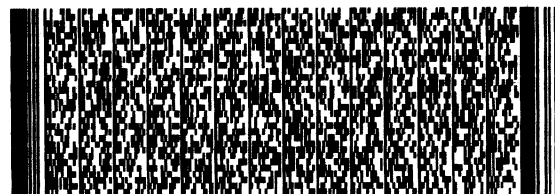
經以上所示步驟，可在同一基板上各別形成頂閘極型之n-ch型以及p-ch型TFT。

在n-ch型及p-ch型TFT之主動層140各別以高濃度摻雜雜質時，以高能源加速雜質，而使雜質通過閘極絕緣膜160而到達主動層140。但是，藉由此曝露於高速下的高濃度之雜質，在通常用為絕緣塗料層200(200n、200p)之絕緣塗料層200中，將產生過度之硬化。

此種絕緣塗料層200之硬化，如第13圖B所示，不僅有在n-ch型TFT之源極區域140s、汲極區域140d進行高濃度雜質摻雜之際，所形成之絕緣塗料層200，並如第13圖D所示，在p-ch型TFT之源極區域140s、汲極區域140d以高濃度雜質摻雜p導電型雜質之際，亦將於覆蓋n-ch型TFT而形成之絕緣塗料層200p產生。

如上所示在同一基板上形成n-ch型TFT與p-ch型TFT之兩方之裝置中，尤其是在用以形成一方之導電型之TFT之高濃度雜質摻雜時，須藉由光罩而覆蓋另一導電型之TFT，故習知之製造方法，無法避免上述般由於絕緣塗料層之硬化造成之不良影響。

針對此點，在第5實施形態中，製造導電型不同之複數種類之頂閘極型之電晶體時，以高能源摻雜與本身導電型不同之雜質之際，係不將組成本身之閘極電極之層予以圖案化，而用作為覆蓋主動層之遮罩層。藉由此種方法，可確實防止雜質摻雜之際，作為遮罩之層之硬化，而第5



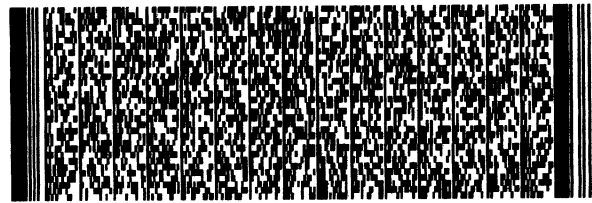
五、發明說明 (39)

實施形態，非常適合於主動矩陣型顯示裝置之各畫素 TFT、以及與此畫素 TFT 在同一基板同時形成之驅動電路之 CMOS TFT 等之製造方法。另外，在主動矩陣型 LCD 之畫素開關元件以及驅動電路元件中，採用與第 5 實施形態有關之 TFT 時之 LCD 之概略電路構成，係如上述第 8 圖所示。

以下，針對用作為與第 5 實施形態有關之 TFT 及驅動電路用 TFT 之複數個導電型之 TFT 之製作方法，請參照第 14 圖 A 至第 14 圖 D 及第 15 圖 A 至第 15 圖 D 進行說明。此外，第 14 圖 A 至第 15 圖 D 所示 TFT，係為形成於主動矩陣型 LCD 之驅動區域之 CMOS 構成之 TFT、與形成於畫素區域之畫素 TFT。

在玻璃基板 10 上係形成例如未圖示之 SiN_x 膜與 SiO_2 膜構成之緩衝層，並在此緩衝層上形成 a-Si 層 12，又對此 a-Si 層 12 照射準分子雷射光束而多結晶化退火。藉由退火所得到之 poly-Si 層再接著圖案化成各 TFT 之主動層 14 之形狀（第 14 圖 A）。

在相關技術中，接下來，雖覆蓋主動層 14 形成 SiO_2 等之閘極絕緣膜，但在第 5 實施形態中，於閘極絕緣膜成膜之前，形成覆蓋如第 14 圖 B 所示之主動層 14 上之預定區域之絕緣塗料層 20，以作為雜質摻雜時之遮罩。此絕緣塗料層 20，係例如為酚醛清漆樹脂系之光阻。在基板全體，配置光阻材以直接覆蓋主動層 14，並由於藉由以光阻而選擇性地殘餘絕緣塗料層，而作成如第 14 圖 B 所示之圖案。在本實施形態中，此絕緣塗料層 20，其後則覆蓋 n 通道 TFT 之通道、以及與此通道鄰接而形成 LD (Lightly Doped) 區



五、發明說明 (40)

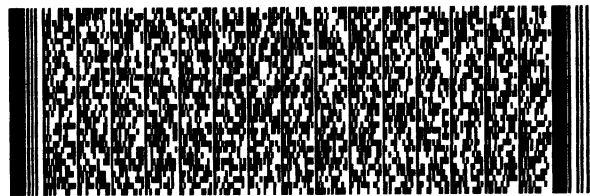
域之區域，然後則為p通道TFT之主動層14全區域。

在形成絕緣塗料層20並圖案化之後，將此絕緣塗料層20作為遮罩，並對主動層14直接地以高濃度摻雜磷等n導電型雜質，其後再形成構成源極及汲極區域14s、14d之高濃度雜質區域(N^-)。於摻雜之際，此主動層14之表現，係露出在未被主動層14之絕緣塗料層20覆蓋之區域，而雜質，係直接被打進此露出之主動層14。因此，如在第4實施形態亦已說明般，對雜質施加之加速能源，僅需到達主動層14之預定深度之大小即可，與使閘極絕緣膜通過而注入之情況相較可以大幅縮小。

在將絕緣塗料層20作為遮罩而以高濃度將雜質摻雜至主動層14之後，此絕緣塗料層20，係例如以灰化與濕式剝離而去除。如上述所示雖以絕緣塗料層20作為遮罩而以高濃度摻雜雜質，但在第5實施形態中，可將所打入之雜質之加速能源控制在最小限度，且如為此種條件下之摻雜過程，則絕緣塗料層20之去除，將可毫無殘餘絕緣塗料而確實地實施。此外，在對有關n通道TFT，以低濃度的p導電型雜質對其通道進行摻雜時，係在此絕緣塗料層20之形成前實施摻雜。

由主動層14表面去除絕緣塗料層20之後，如第14圖C所示覆蓋主動層14並藉由CVD形成閘極絕緣膜。

在閘極絕緣膜16之上，形成由Mo及Cr等之高熔點金屬所構成之電極材料層。如第14圖D所示，此閘極電極材料層，在n-ch型TFT之形成區域中，為使其發揮作為遮罩層

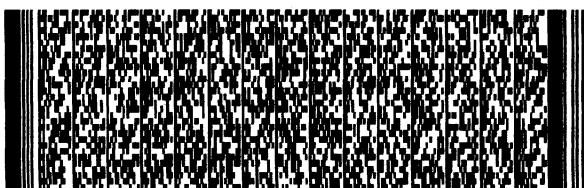


五、發明說明 (41)

18_{MA}之功能而覆蓋該TFT之至少主動層14全區域，並且，在p-ch型TFT之形成區域，圖案化成閘極電極18p之形狀（閘極電極第1圖案化）。另外，在所有的畫素TFT以n-ch型TFT構成時，雖可將配置成島狀的各畫素TFT，作成遮罩層18_{MA}個別覆蓋之形狀，但如為共同覆蓋畫素區域全區域而將上述遮罩層18_{MA}圖案化，將可緩和遮罩層18_{MA}之圖案化精度，而從簡化製程之觀點而言係較為理想。

在閘極電極第1圖案化後，如第15圖A所示，作成n-ch型TFT形成區域之遮罩層18_{MA}與p-ch型TFT形成區域之閘極電極18p與遮罩，並使閘極絕緣膜16通過主動層14，而進行硼等p導電型雜質之高主動摻雜。藉此，在p-ch型TFT之形成區域，p導電型雜質選擇性地摻雜至主動層14中，並相對於閘極電極18p，而形成自己整合地構成源極及汲極區域14s、14d之導電型雜質注入區域（P⁺）。另外，在n-ch型TFT之形成區域，其主動層14係由閘極電極材料層而構成之遮罩層18_{MA}而覆蓋，而防止p導電型雜質被摻雜。

在p導電型雜質之摻雜後，接下來，將n-ch型TFT之主動層14，圖案化成為覆蓋n-ch型TFT之閘極電極之形狀（閘極第2圖案化）。具體而言，例如係於基板全面形成感光型絕緣塗料層，並藉由光微影，如第15圖B所示，在覆蓋n-ch型TFT之形成區域之遮罩層18_{MA}之中，僅在待去除之區域（閘極電極與配線以外之區域）殘餘絕緣塗料層19。然後，相對此絕緣塗料層19，而採用具有選擇蝕刻性之蝕刻氣體進行乾式蝕刻，並選擇性地去除絕緣塗料層19



五、發明說明 (42)

及覆蓋於絕緣塗料層19之遮罩層18_{MA}。藉由此種蝕刻處理，即使在n-ch型TFT之形成區域，亦形成所希望圖案之閘極電極18n。另外，由於尚有配置的空間，故此絕緣塗料層19，實際上係形成比待去除遮罩層18_{MA}之區域稍大。因此，在閘極電極第2圖案化後，如第15圖C所示，閘極絕緣膜16之表面在n-ch型TFT之主動層14之周圍區域，些許受到蝕刻。另外，亦可藉由濕式蝕刻而對遮罩層18_{MA}進行蝕刻，形成所希望之閘極電極18n之圖案。

在n-ch型TFT之閘極電極18n之圖案化終了後，接下來，如第15圖D所示，以閘極電極18n作為遮罩，進行n導電型雜質之低濃度摻雜。藉由此摻雜處理，在n-ch型TFT區域，未由閘極電極18n覆蓋，而且在n導電型雜質之高濃度摻雜之際，僅在被絕緣塗料層20覆蓋之區域，而選擇性地注入低濃度之雜質。亦即，在閘極電極正下方區域（通道區域）之兩外側，於主動層14之（N⁺）區域（14s、14d）之間，相對於閘極電極18n而自己整合地形成低濃度雜質（LD）區域（N⁻區域）。如此，有關LD區域，因相對於閘極電極18n而可自己整合地形成與其通道區域間之境界，故與相關技術之製造方法比較，無須特別將遮罩層之位置偏移考慮在內而擴大配置空間。以閘極電極18n正下方之通道區域端作為基準之N⁻區域之幅度（LD距離），係由於絕緣塗料層20與閘極電極18n間之位置偏移而變動，例如在第15圖D中，當閘極電極18n之形成位置向源極側偏移時，通道區域與源極區域14s間之LD距離，將較目標變



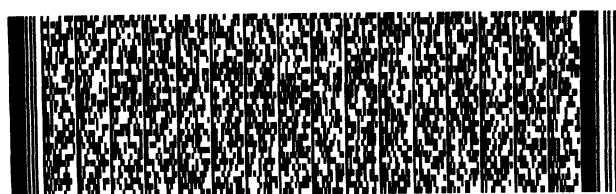
五、發明說明 (43)

得更小。但是，通道區域與汲極區域14d間之LD距離亦隨之較目標變得更大。因此，源極至汲極距離即使位置偏移發生亦不會變動，而導通電流之變動在源極側與汲極側取消，其結果TFT之導通電流不發生變化。此外，LD距離係由於預先考慮遮罩之位置偏移而設定，故切斷電流，亦即相對於漏電電流而言，即使發生遮罩偏移亦可控制在極小的範圍，並可充分達成確保TFT之信賴度。

另外，在p-ch型TFT之主動層中，即使n導電型雜質（例如磷離子）存在，如係為少量，則對電氣特性並不造成大的影響。因此在本第5實施形態中，於n導電型雜質之低濃度摻雜之際，如第15圖C所示，未特別將p-ch型TFT遮罩而進行摻雜。另外，亦可以絕緣塗料層將此p-ch型TFT之形成區域覆蓋而實施。此絕緣塗料層，雖係曝露於加速成可通過閘極絕緣膜16之離子，但由於注入濃度低，且絕緣塗料層所受損傷（硬化）較小，故可確實地去除絕緣塗料層。

如以上方式，在需要n-ch型TFT、p-ch型TFT之區域各別摻雜雜質之後，形成層間絕緣22以覆蓋包含閘極電極18n、18p之基板全體。其次，進行用以使經過摻雜之雜質活性化之活性化退火處理。另外，在本實施形態中，將包含在閘極絕緣膜16及層間絕緣膜22之氫導入至poly-Si層，而將用以終止主動層中之結晶缺陷之氫化退火，與此活性化退火處理同時進行。

在此些退火處理後，形成接觸孔以貫通層間絕緣膜22



五、發明說明 (44)

及閘極絕緣膜16之源極、汲極區域14s、14d之對應區域，此外，形成Al等電極材料而圖案化，並如第15圖D所示，在上述接觸孔，形成與源極區域14s連接之源極電極30s、與汲極區域14d連接之汲極電極30d或是與此等形成一體之訊號配線。

在源極電極30s及汲極電極30d形成後，如上述第11圖所示，覆蓋基板全面而形成丙烯酸樹脂等樹脂材料所構成之平坦化絕緣膜26，並於源極電極30s之對應區域形成接觸孔。其次，例如形成ITO等之畫素電極，並以圖案化成各畫素之形狀而獲得畫素電極40。最後，形成配向膜28以覆蓋基板全面，LCD之第1基板即完成。第1基板完成後，將此第1基板與由共通電極及配向膜等所形成之第2基板黏合，並將液晶封入於基板間，LCD單元即完成。

此外，與第5實施形態有關之TFT，與第4實施形態同樣，係亦可用於採用有機EL元件以作為顯示元件之主動矩陣型OLED之各畫素TFT及驅動電路TFT。另外，如上述第12圖所示，此有機EL元件50，在陽極52與陰極56之間，形成至少具有有機發光層之有機層54而構成。

適用於此種OLED之TFT，與此第5實施形態之第14圖A至第15圖D同樣之順序形成即可，之後，與第11圖同樣，覆蓋含有各TFT之源極電極30S及汲極電極30D之基板全面，而形成由丙烯酸樹脂等樹脂材料所構成之平坦化絕緣膜26。其次，在對有機EL元件50供給電流之TFT之源極或汲極電極之對應區域形成接觸孔，並形成例如ITO等之透



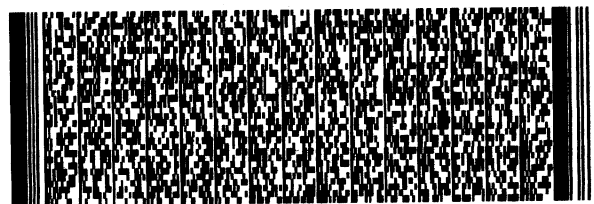
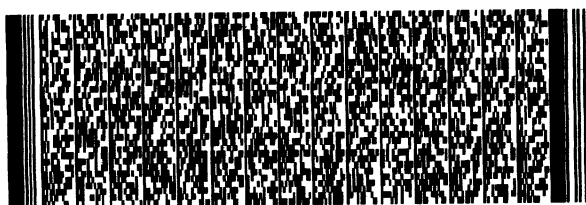
五、發明說明 (45)

明導電性材料以作為陽極材料，並以圖案化成各畫素之形狀而獲得各畫素個別之陽極（畫素電極）52。

其次，針對雜質之摻雜條件與組成遮罩之絕緣塗料層之剝離性之關係進行說明。相對於poly-Si主動層14，欲採用5%濃度之 PH_3 作為材料而摻雜離子時，習知之穿透注入條件，已在第4實施形態中說明，須以90keV程度之加速能源，在打入側之磷離子濃度設定成 $6 \times 10^{14} \text{cm}^{-2}$ 程度。相對於此，係以不隔著在第5實施形態中亦採用之閘極絕緣膜16而直接注入，加速能源最大僅需15keV即足夠，且在打入側之磷離子濃度僅需 $2 \times 10^{14} \text{cm}^{-2}$ 程度即足夠。

此外，如第4實施形態中之說明，曝露於穿透注入（90keV， $6 \times 10^{14} \text{cm}^{-2}$ ）之絕緣塗料層（第13圖B），即使經過灰化及濕式剝離亦無法完全去除而產生絕緣塗料層殘餘。但是，在第5實施形態中，在n導電型雜質之高濃度注入之際亦採用直接注入（15keV， $2 \times 10^{14} \text{cm}^{-2}$ ），而絕緣塗料層（第14圖B），係經由灰化及濕式剝離而可毫無殘餘將絕緣塗料層確實地去除。

再者，在第5實施形態中，於p導電型雜質之高濃度注入之際，藉由閘極電極材料層（18_{MA}）而將n-ch型TFT區域予以遮罩（第15圖A）。在此p導電型雜質注入之際，此p導電型雜質，係為使既已形成之閘極絕緣膜16通過而以高的能源加速。但是，即使放在此種穿透注入條件下，與絕緣材料不同，閘極電極材料層（18_{MA}）不會硬化，在其後之圖案化處理之際，不會產生剝離殘餘等。由此點亦可確

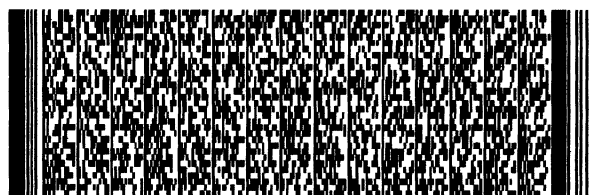
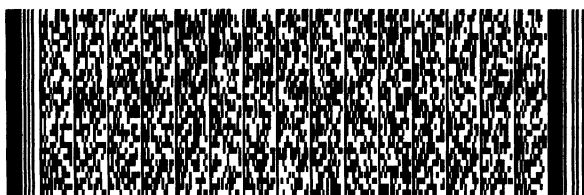


五、發明說明 (46)

認，在以高的能源摻雜與自己導電型不同的雜質之際，由於採用組成自己閘極電極之層作為將主動層覆蓋於圖案之遮罩，而可簡單消除遮罩剝離殘餘之問題。

另外，對於LD區域之低濃度雜質摻雜，在第5實施形態中，係以使閘極絕緣膜16通過之類的注入條件下進行，例如加速能源90keV、P離子濃度 $3 \times 10^{13} \text{cm}^{-2}$ 程度。與高濃度穿透注入比較，加速能源雖同等，但注入離子濃度少一位數。因此，在此n導電型雜質之低濃度摻雜之際，即使以光罩將此驅動電路之p-ch型TFT形成區域覆蓋，亦僅是如上述所示曝露於低濃度之雜質，而此種絕緣塗料層之硬化少，可達成充分的剝離性。此外，在第5實施形態中，如第15圖C所示，在形成LD區域所需之低濃度雜質摻雜步驟之前，已在p-ch型TFT之源極區域實施p導電型雜質之高濃度摻雜（第15圖A），相對於此種p導電型源極與汲極區域，即使以低濃度摻雜n導電型雜質，亦不至於對TFT特性造成很大影響。因此，在n導電型雜質之低濃度摻雜之際，對於p-ch型TFT，亦與n-ch型TFT同樣，源極汲極區域不特別遮罩，而將已圖案化之閘極電極18p、18n，實施作為對於各別通道區域之遮罩。因此，依據第5實施形態之方法，在低濃度雜質摻雜之際，無須形成多少有硬化可能之光罩。

而在第5實施形態中，亦與第4實施形態同樣，由在閘極絕緣膜16形成前實施高濃度雜質摻雜，故閘極絕緣膜16之 N^+ 對應區域與 N^- 對應區域，僅曝露於磷之低濃度摻雜，



五、發明說明 (47)

而曝露於離子摻雜之環境係為同樣。因此，在主動層14，相對於注入該 N^+ 區域之磷濃度為 $1 \times 10^{19} \text{cm}^{-3}$ 程度，注入 N^- 區域之磷濃度為 $1 \times 10^{18} \text{cm}^{-3}$ 程度，在閘極絕緣膜16中之磷濃度，不論在 N^+ 對應區域 N^- 對應區域，兩區域均為 $1 \times 10^{17} \text{cm}^{-3}$ 程度。因此，膜中之磷主動在高的閘極絕緣膜16中，TFT之耐壓下降等、受損害的下降雖受到關心，但在第5實施形態中可防止此種不良發生。另外，n-ch型TFT形成區域，在p導電型雜質摻雜時因以閘極電極材料層遮罩，故在n-ch型TFT之閘極絕緣膜16中不含p導電型雜質。相反地，p-ch型TFT之閘極絕緣膜16，如上述所示當曝露於n導電型雜質之低濃度摻雜時，則在膜中將少量存在p導電型雜質與n導電型雜質。

【發明效果】

依據本發明，平坦化膜等、形成於厚膜上之畫素電極，與用於TFT主動層等之半導體膜間之電性連接，係藉由將階段性所形成之複數個接觸孔以及各別將此埋入之接觸部材料而實施。因此，藉此，即使上述畫素電極與半導體膜間之層間距離很大，各接觸孔亦可各自形成為長寬比較小之孔，且接觸孔可以短時間之蝕刻形成，且可縮小各接觸部之上面及底面之面積，又可縮小上面與底面之面積差而達到高積體化之目的。

此外，用於各接觸部之導電體，由於形成於其上之接觸孔開口，而相對於蝕刻去除之膜，其選擇比經常較大，而可進行選擇性的蝕刻。因此，而可藉由蝕刻防止露出於



五、發明說明 (48)

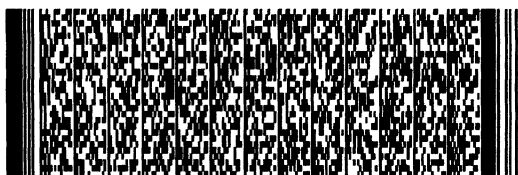
孔底面之膜之特性惡化。此外，由於第1接觸部與閘極電極同時形成，此外，第2接觸部與配線同時形成，而不會增加步驟數，可形成信賴度高的接觸部。

此外，依據本發明另一態樣，可防止用於雜質摻雜之際之光罩之剝離殘餘。又因可對閘極電極自己整合形成通道區域及低濃度雜質區域，故可有效地製造小面積且信賴度高的電晶體。

依據本發明之另一態樣，在形成CMOS構造等、導電型不同之2種類之TFT於同一基板時，其中一方之導電型雜質之摻雜在閘極絕緣膜形成前實施，而另一方之導電型雜質摻雜，在閘極絕緣膜形成後，亦以採用閘極電極材料作為遮罩，而對於不同之導電型雜質之任一摻雜處理，亦可完全地消除摻雜遮罩材料之剝離殘餘之問題。此外，可對閘極電極自己整合形成通道區域及低濃度雜質區域，並可有效地製造小面積且信賴度高之電晶體。

【產業上之利用可能性】

此發明係適用於例如彩色液晶顯示裝置、彩色EL顯示裝置等之彩色顯示裝置、及其他半導體元件之TFT。



圖式簡單說明

【圖面簡單說明】

第1圖A、B、C、D、E、F、G、H及I，係習知之主動矩陣型顯示裝置之TFT基板之製造過程剖面圖。

第2圖A、B、C、D、E、F、G、H、I、J、K、L及M，係與本發明之第1實施形態有關之主動矩陣型顯示裝置之TFT基板之製造過程剖面圖。

第3圖，係有關本發明之第1實施形態之主動矩陣型顯示裝置之剖面圖。

第4圖，係有關本發明之第2實施形態之主動矩陣型顯示裝置之TFT基板之剖面圖。

第5圖及第6圖，係有關本發明之第3實施形態之主動矩陣型顯示裝置之TFT基板之剖面圖。

第7圖A、B、C、D、E，係顯示關於相關技術之TFT之製造過程。

第8圖，係顯示有關本發明之第4實施形態之主動矩陣型LCD之概略電路構成圖。

第9圖A、B、C，係顯示有關本發明之第4實施形態之TFT之製造過程圖。

第10圖A、B、C，係顯示繼第9圖C後與本發明之第4實施形態有關之TFT之製造過程圖。

第11圖及第12圖，係顯示與本發明之第4及第5實施形態有關之TFT之主動矩陣型顯示裝置中之適用例圖。

第13圖A、B、C、D，係說明有關形成於同一基板上之n-ch型及p-ch型TFT之相關技術之製造過程圖。



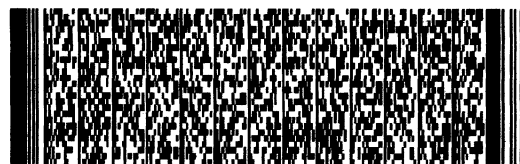
圖式簡單說明

第 14 圖 A、B、C、D，係顯示與本發明之第 5 實施形態有關之 TFT 之製造過程圖。

第 15 圖 A、B、C、D，係顯示繼第 14 圖 D 後有關本發明之第 5 實施形態之 TFT 之製造過程圖。

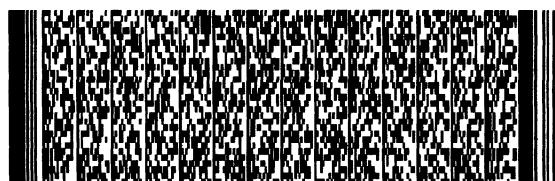
【元件符號說明】

1	畫素 TFT	3	半導體膜
3ch	通道區域	3d	汲極區域
3s	源極區域	4	絕緣塗料
5	閘極絕緣膜	6、9、11	接觸孔
6、6s、6d	第 1 接觸部		
7g	閘極電極	7s、7d	第 1 接觸部
8	層間絕緣膜	8a	SiO ₂ 膜
8b	SiN 膜		
9、9s、9d、9d1、9d2			第 2 接觸孔
10	玻璃基板	11	第 3 接觸孔
12	a-Si 層	13	配線
13、13s、13d	第 2 接觸部	14	配向膜
14d	汲極區域	14s	源極區域
18 _{MA}	遮罩層	18p、18n	閘極電極
19	絕緣塗料層	20	絕緣塗料層
22	層間絕緣膜	26	平坦化絕緣膜
28	配向膜	30d	汲極電極
30s	源極電極	35	液晶
40	電極	41	對向基板



圖式簡單說明

43	對向電極	45	配向膜
47	密封劑	50	有機EL元件
52	陽極	54	有機層
56	陰極	140	主動層
140d	汲極區域	140s	源極區域
160	閘極絕緣膜	180	閘極電極
200、200n、200p			絕緣塗料層
310	絕緣基板	320	非晶矽膜
330	半導體膜	330a	源極區域
330b	汲極區域	340	閘極絕緣膜
350	閘極電極	360	層間絕緣膜
360a	SiO ₂ 膜	360b	SiN膜
370	第1接觸孔	380	配線
390	平坦化膜	400	畫素電極
410	配向膜		

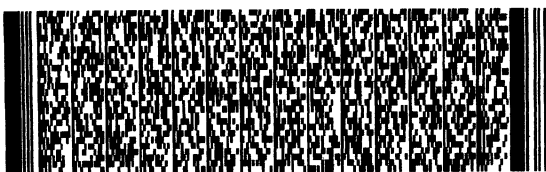


四、中文發明摘要 (發明之名稱：薄膜電晶體及主動矩陣型顯示裝置及其製造方法)

形成貫通閘極絕緣膜 (5) 之第1接觸孔 (6) , 並於閘極絕緣膜 (5) 上形成閘極電極 (7g) , 並同時於第1接觸孔內形成第1接觸部 (7s、7d) 。形成貫通層間絕緣 (8) 膜之第2接觸孔 (9) , 並於第2接觸孔 (9) 內, 形成第2接觸部 (10) 。形成貫通平坦化膜 (26) 之第3接觸孔 (11) , 並於第3接觸孔 (11) 內形成電極 (40) 。為電性連接電極 (40) 與半導體膜 (3) 而利用複數個接觸孔, 而各接觸孔可縮小長寬比, 並實現良率提升、接觸件之上面與底面之面積差降低所帶來之高積體化等。

英文發明摘要 (發明之名稱：THIN FILM TRANSISTOR, ACTIVE MATRIX TYPE DISPLAY DEVICE, AND THEIR PROCESS.)

A first contact hole (6) is formed through gate insulation film (5). Successively a gate electrode (7g) on the gate insulation film (5), and first contacts (7S, 7d) in the first contact hole (6) are formed. Thereafter, a second contact hole (9) through an inter insulation film (8), and a second contact (10) in the second contact hole (9) are formed. Further thereafter, a third contact hole (11) through a planarized film (26), and an electrode (40) in the third contact hole (11) are

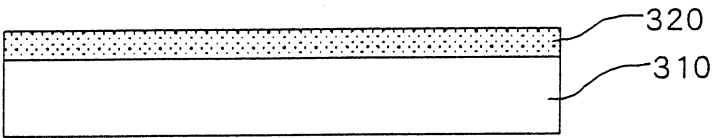


四、中文發明摘要 (發明之名稱：薄膜電晶體及主動矩陣型顯示裝置及其製造方法)

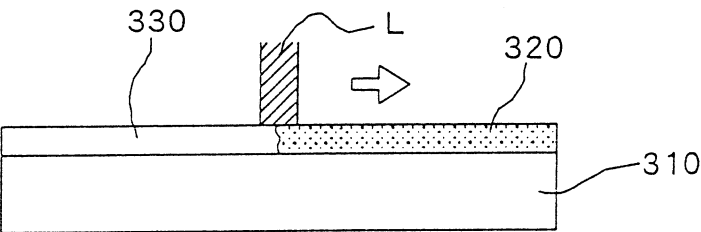
英文發明摘要 (發明之名稱：THIN FILM TRANSISTOR, ACTIVE MATRIX TYPE DISPLAY DEVICE, AND THEIR PROCESS.)

formed. By employing a plurality of contact holes for electrically connecting the electrode (40) and semiconductor film (3), the aspect ratio of each contact hole can be reduced and thus the production yield can be increased. A high density integration is possible by reducing the difference between the upper area and the lower area of the contacts.

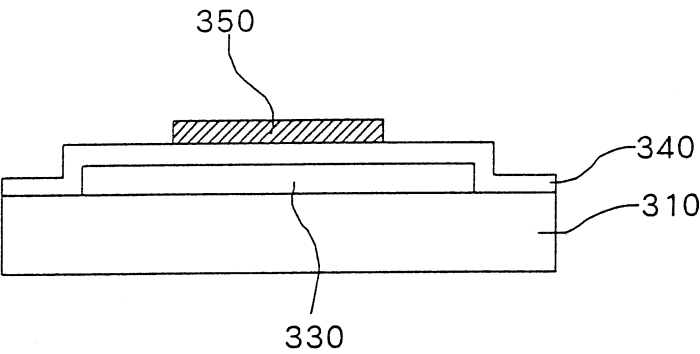




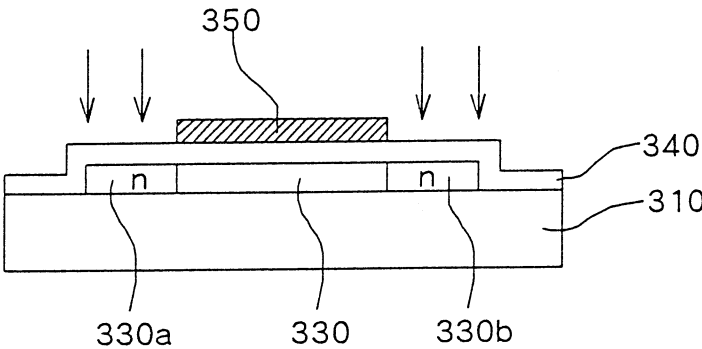
第 1A 圖



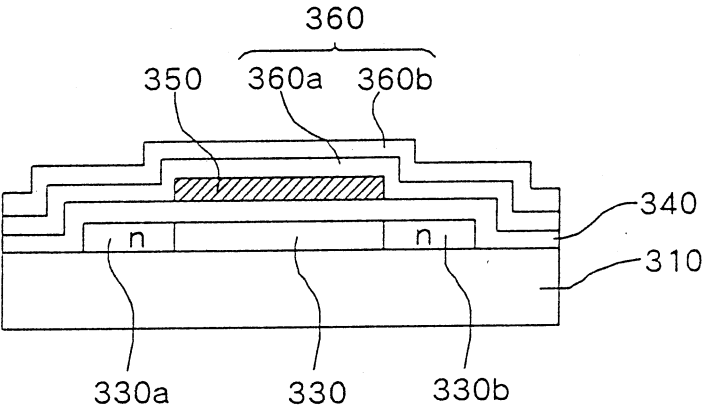
第 1 B 圖



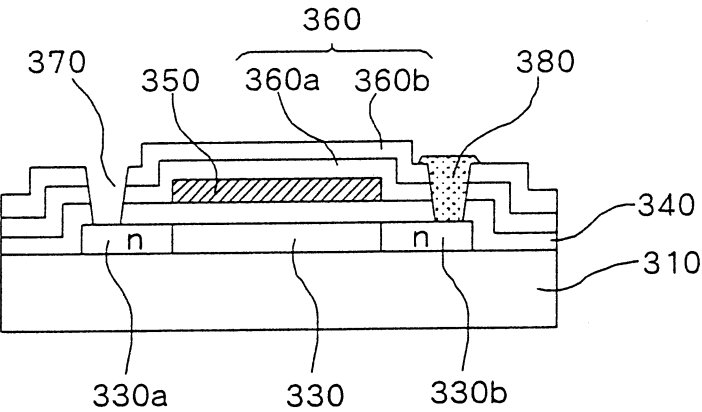
第 1C 圖



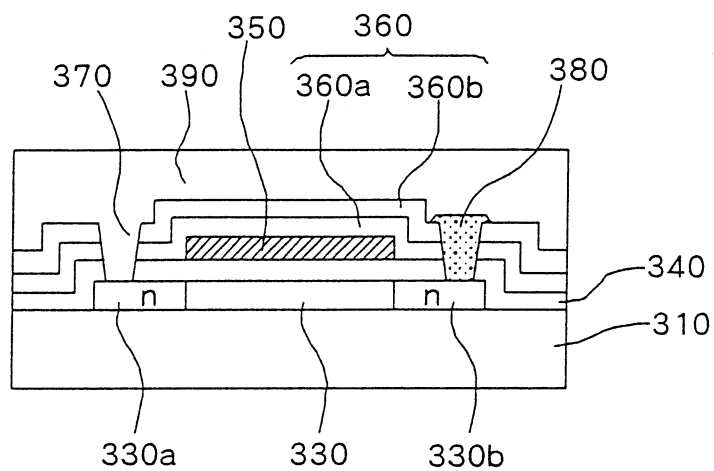
第1 D圖



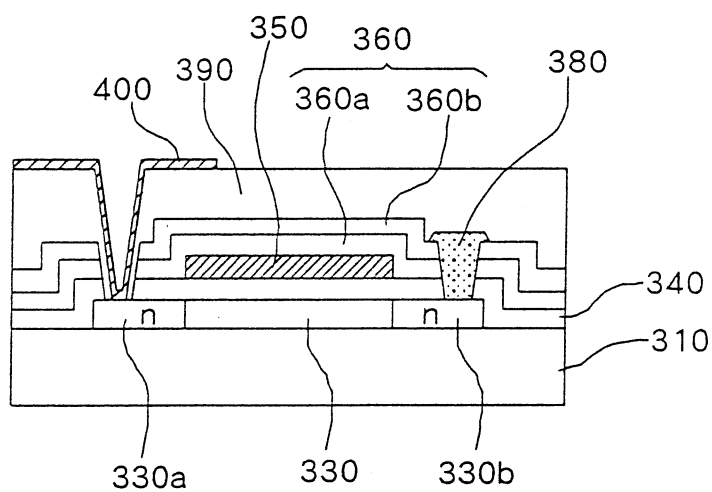
第1 E圖



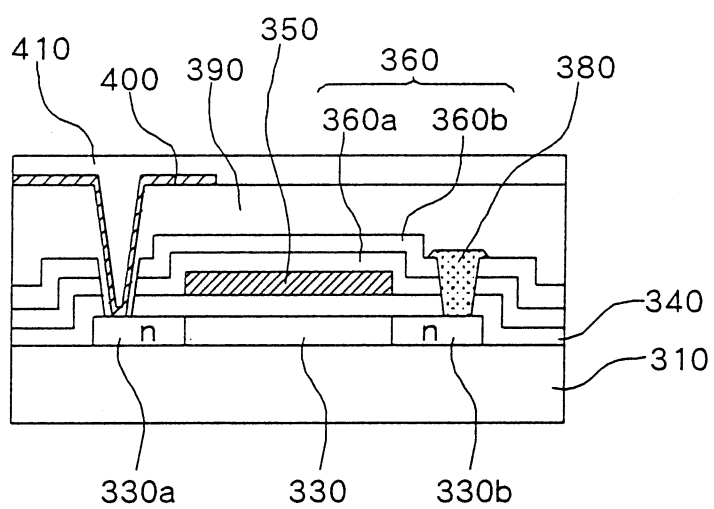
第1 F圖



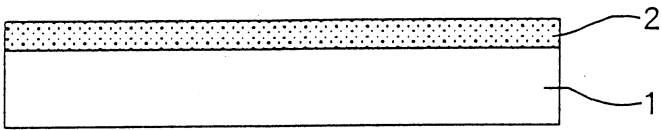
第 1 G 圖



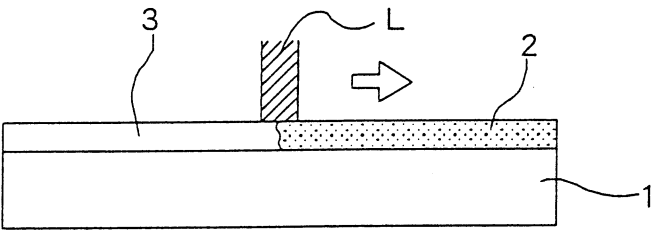
第 1 H 圖



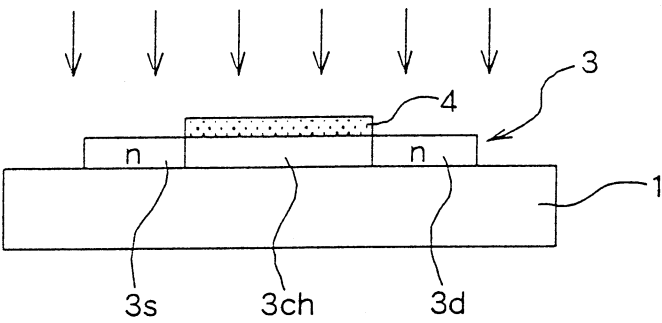
第 1 I 圖



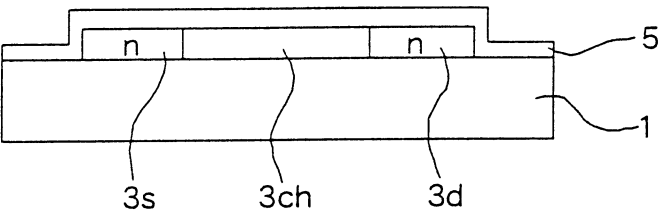
第 2 A 圖



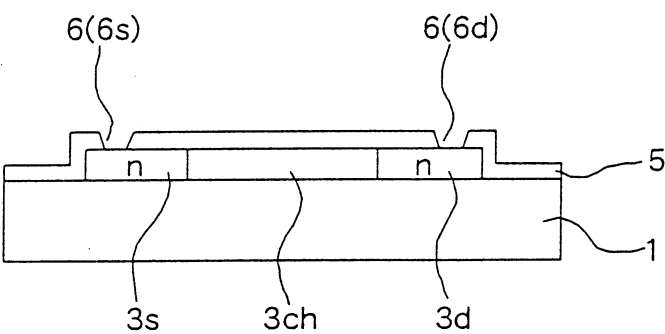
第 2 B 圖



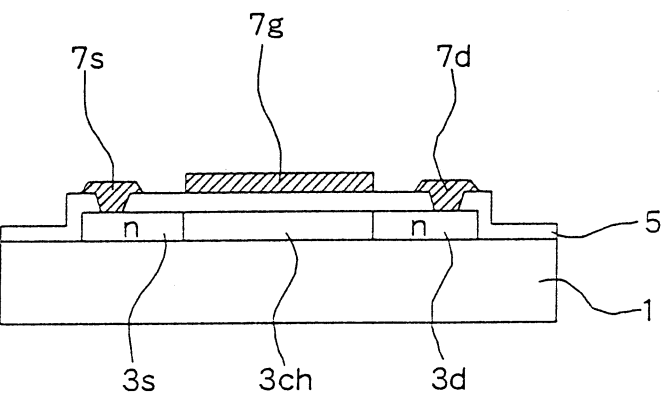
第 2 C 圖



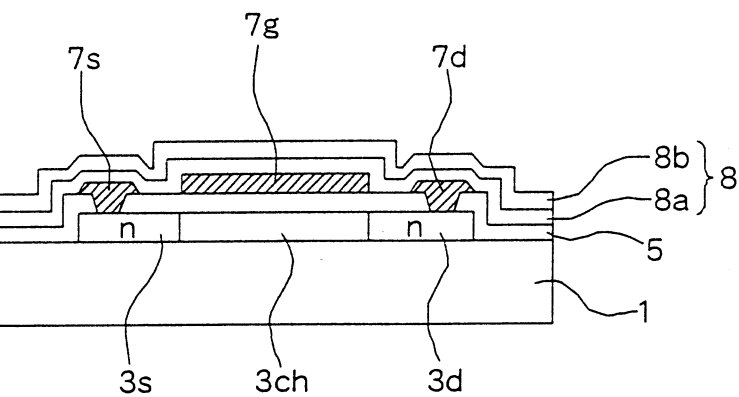
第 2 D 圖



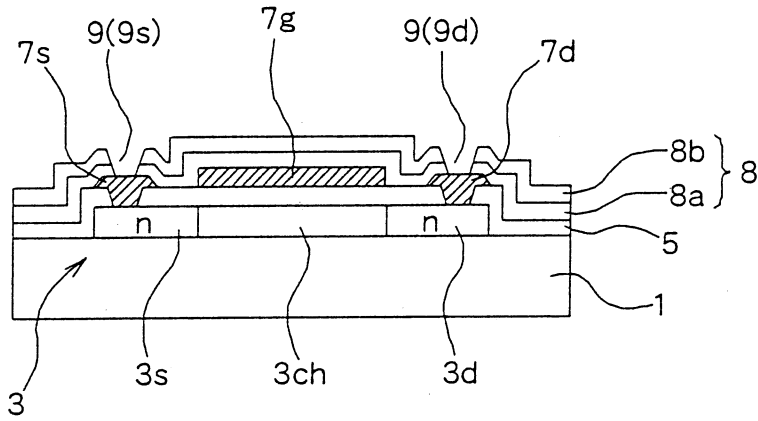
第 2 E 圖



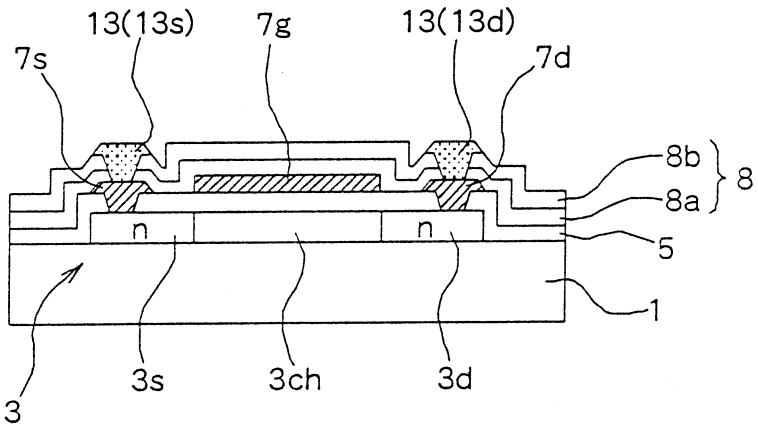
第 2 F 圖



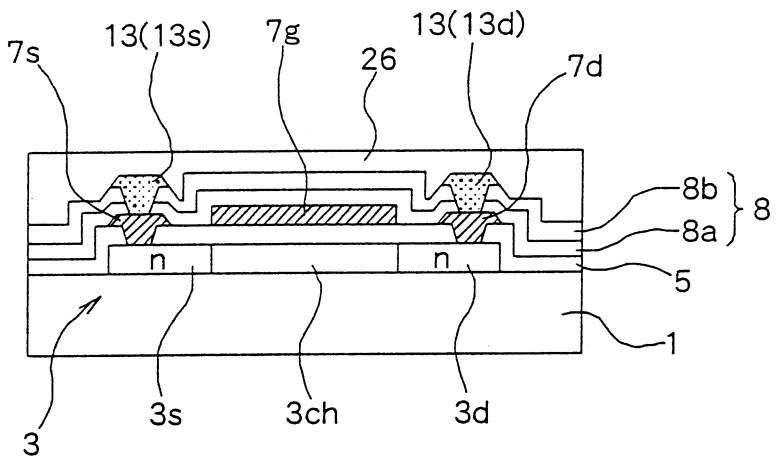
第 2 G 圖



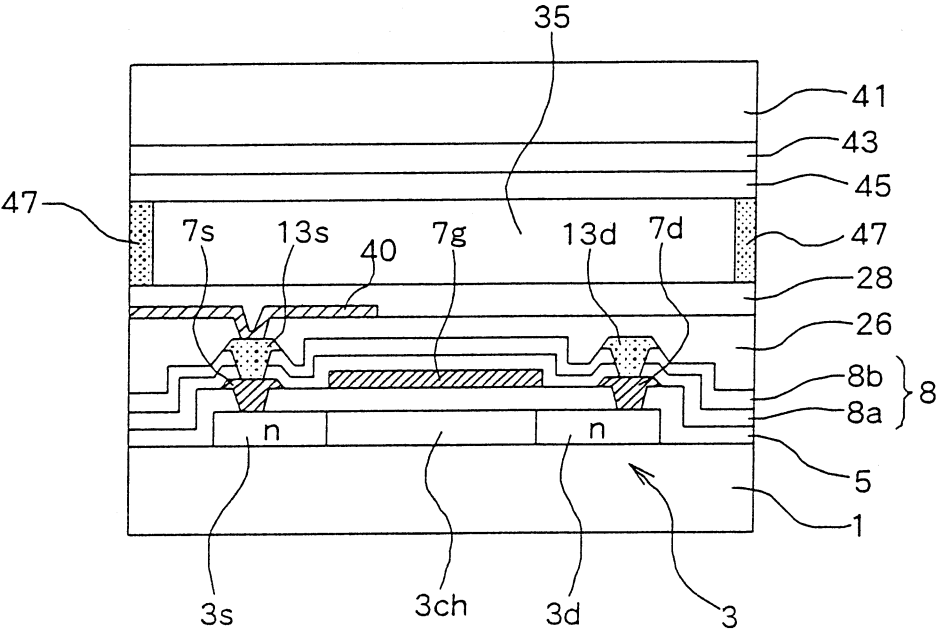
第 2 H 圖



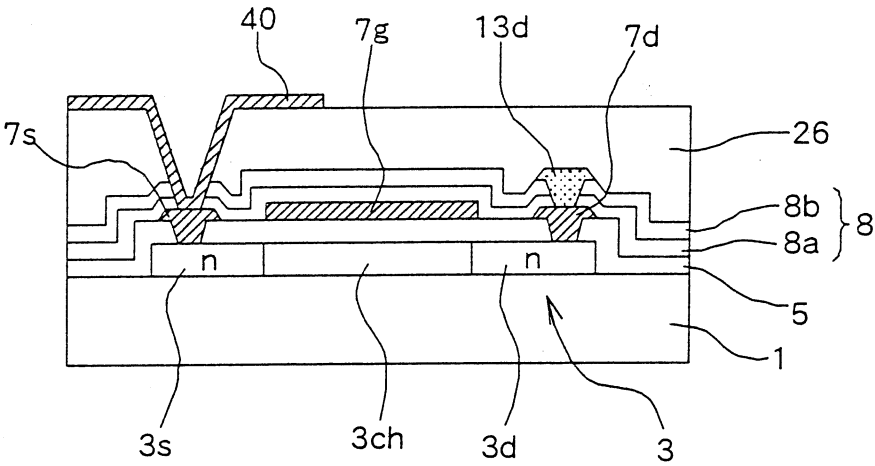
第 2 I 圖



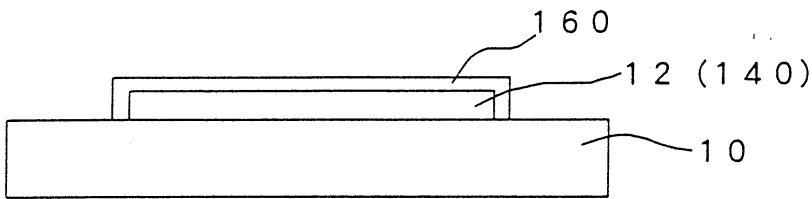
第 2 J 圖



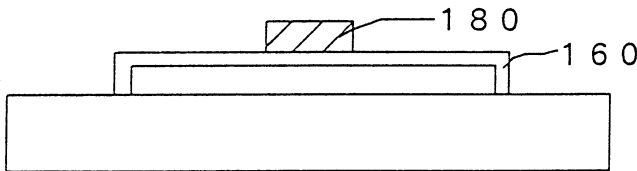
第 3 圖



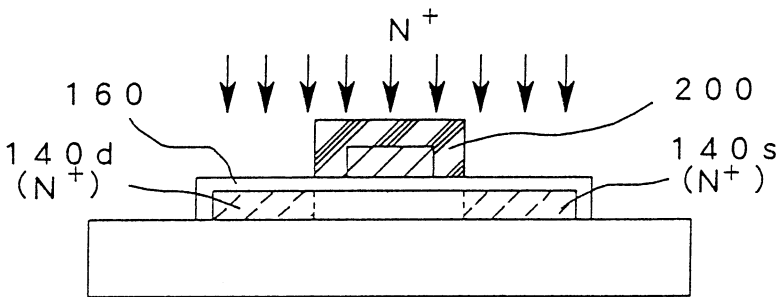
第 4 圖



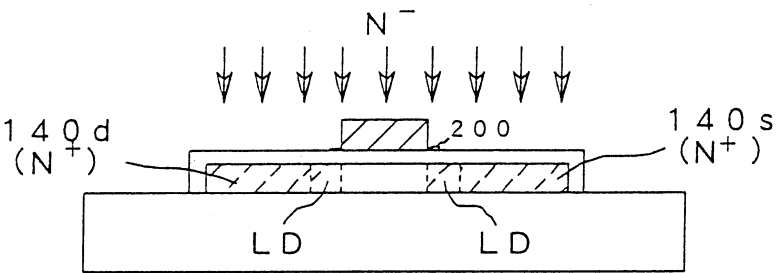
第 7 A 圖



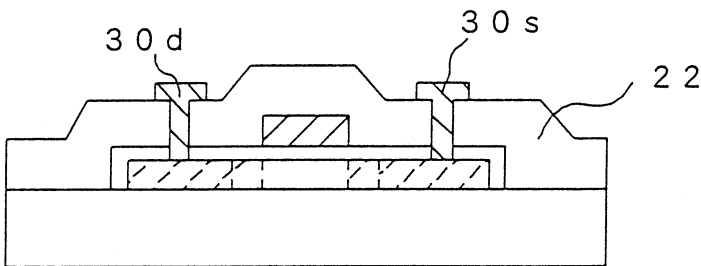
第 7 B 圖



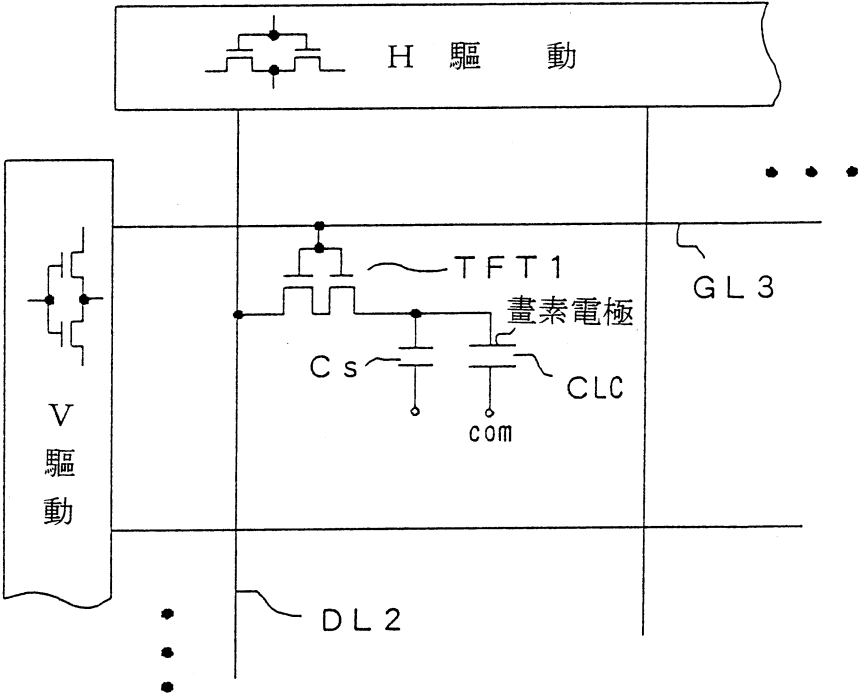
第 7 C 圖



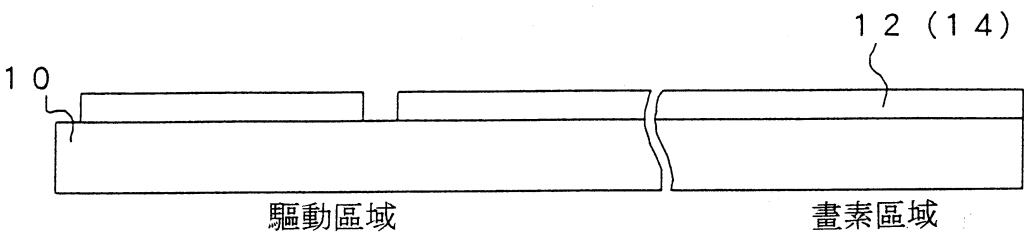
第 7 D 圖



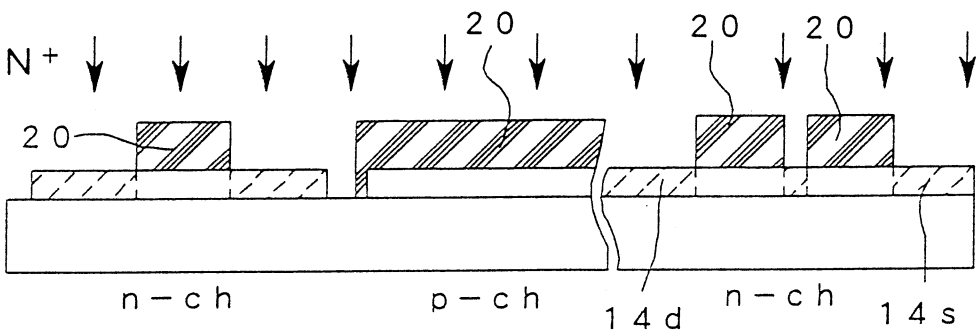
第 7 E 圖



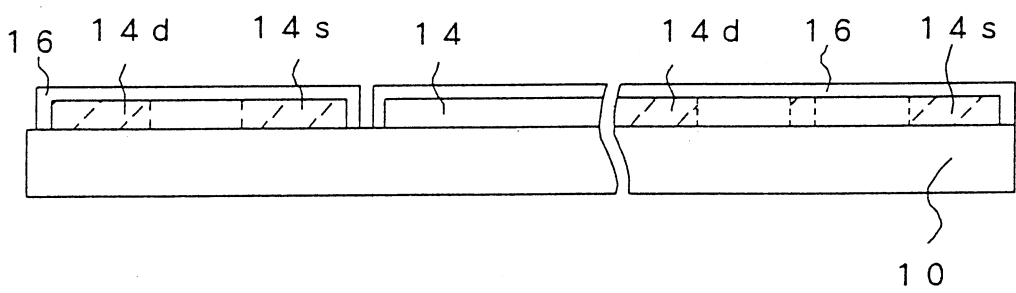
第 8 圖



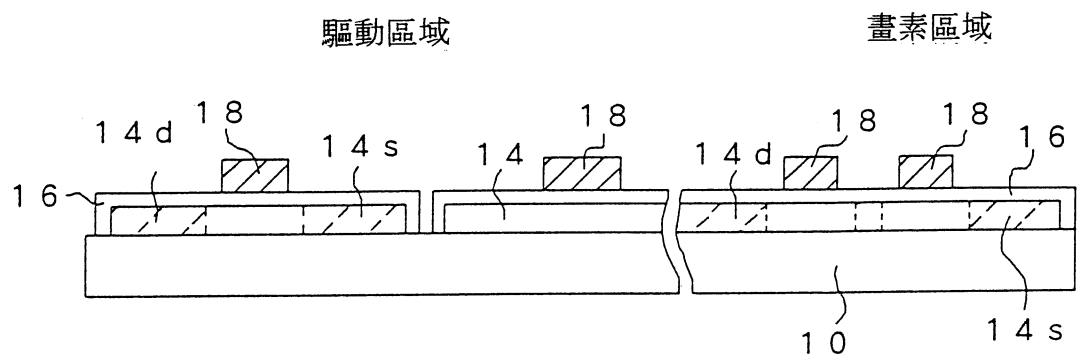
第 9 A 圖



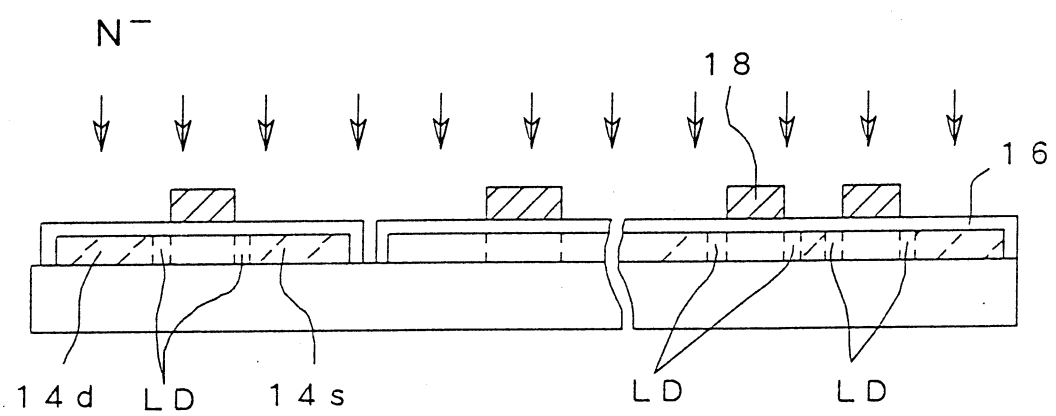
第 9 B 圖



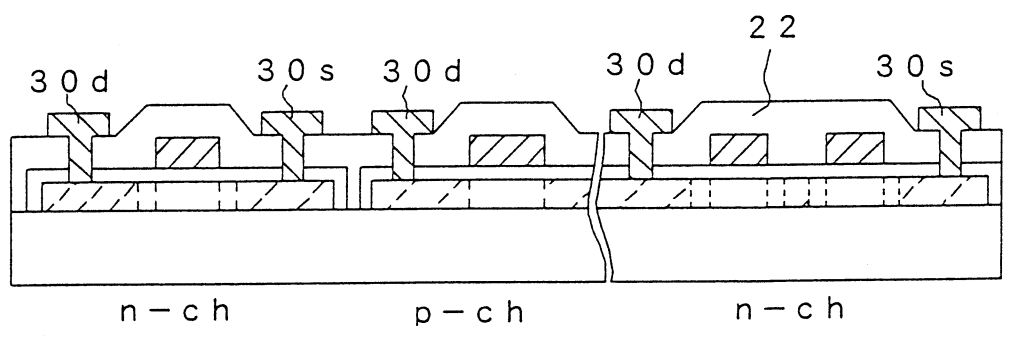
第 9 C 圖



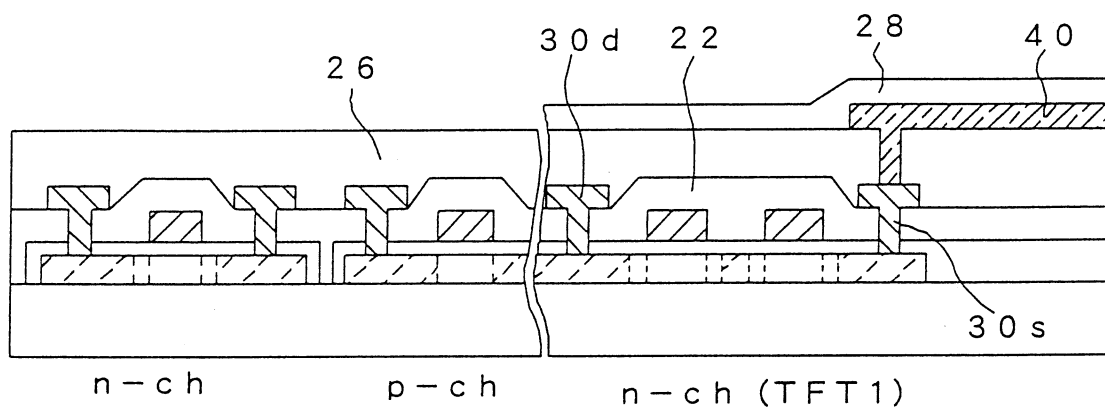
第10A圖



第10B圖



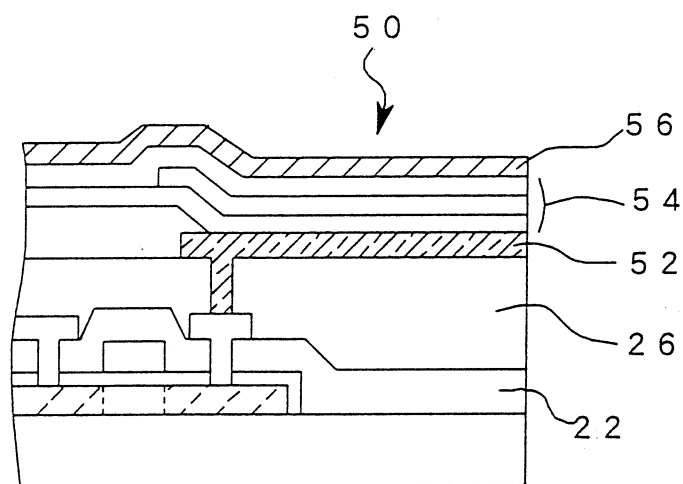
第10C圖



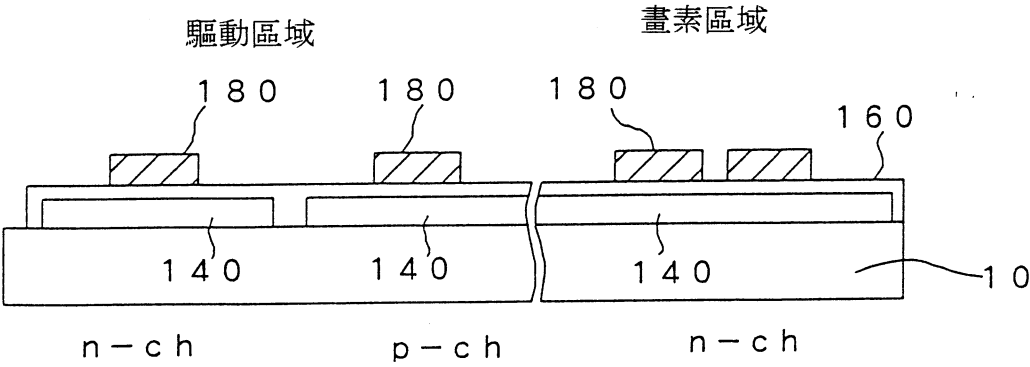
驅動區域

畫素區域

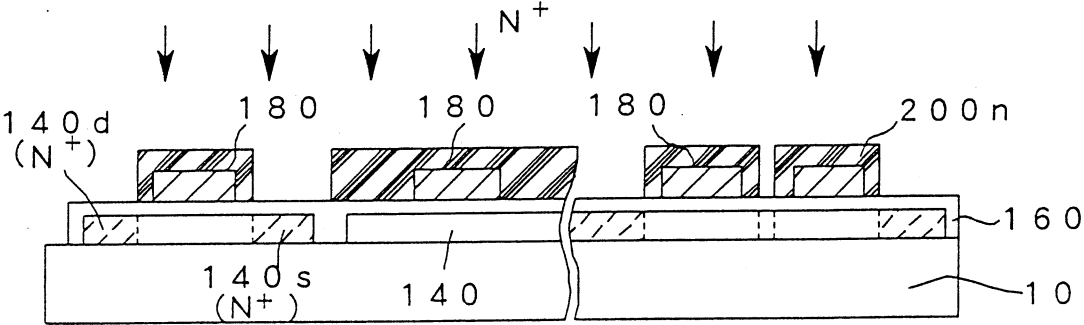
第11圖



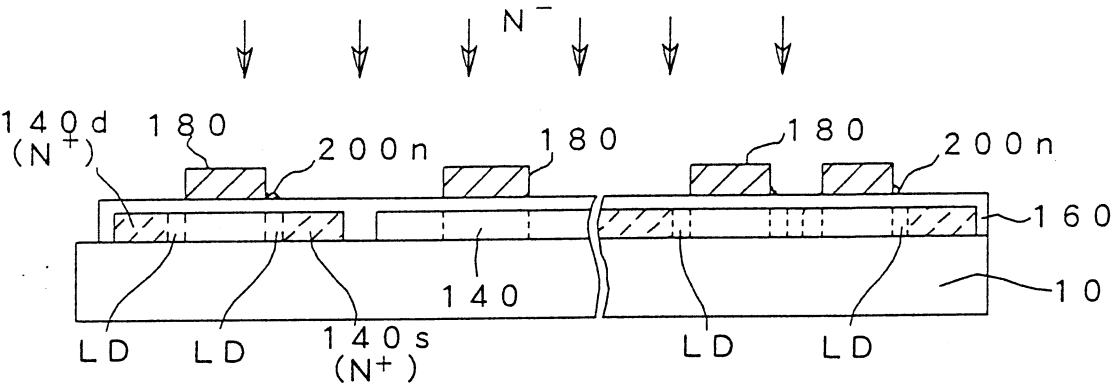
第12圖



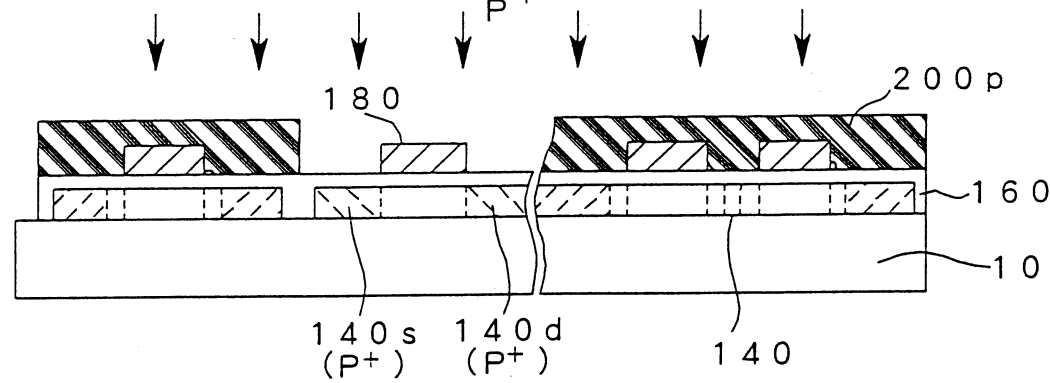
第 13 A 圖



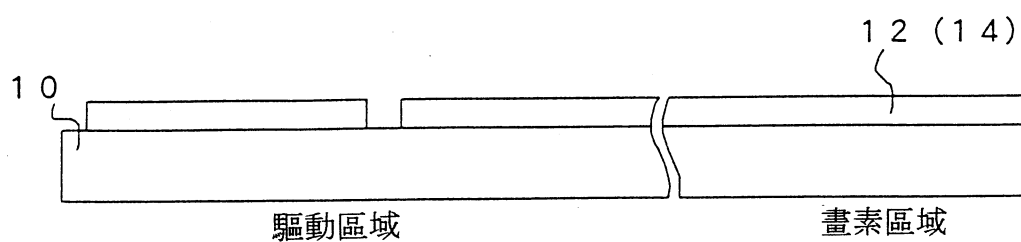
第 13 B 圖



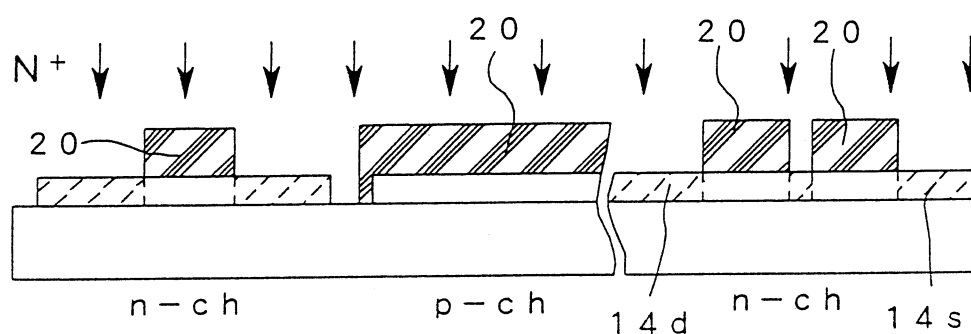
第 13 C 圖



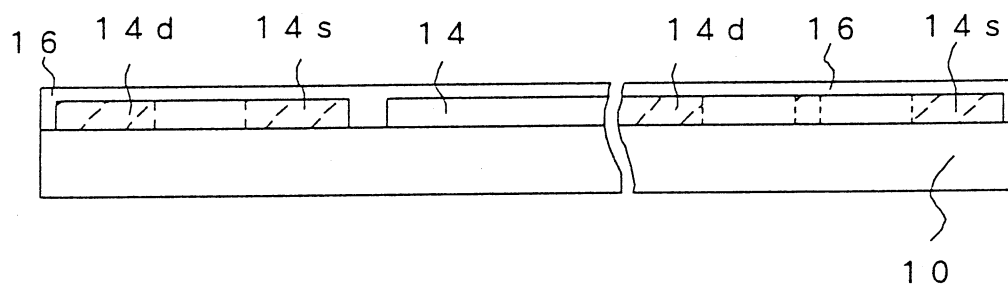
第 13 D 圖



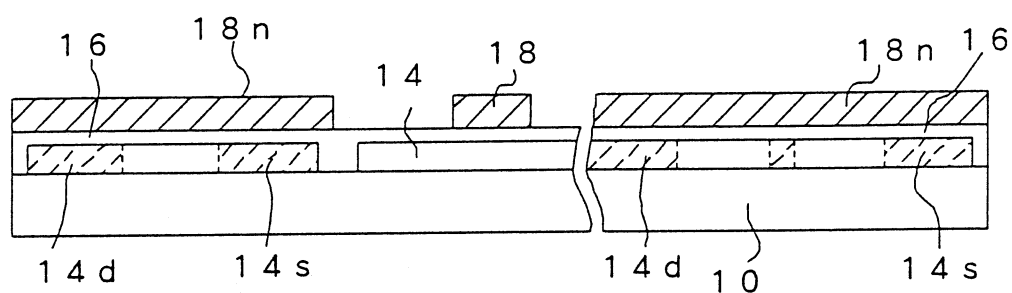
第14A圖



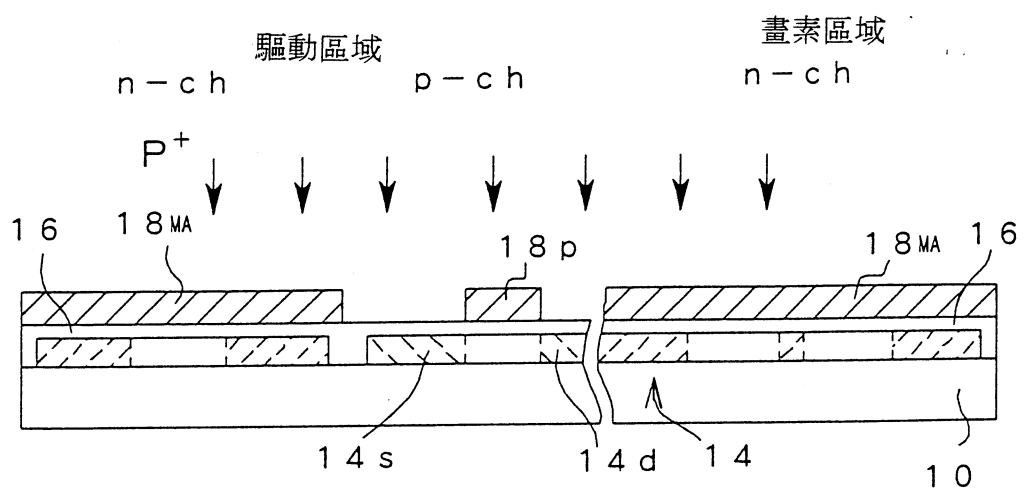
第14B圖



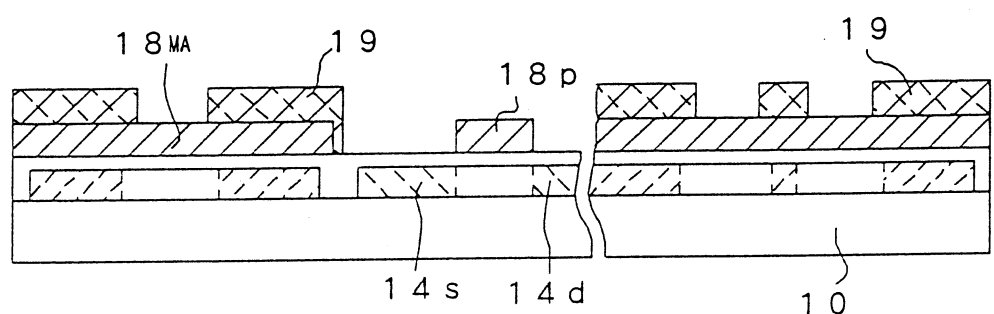
第14C圖



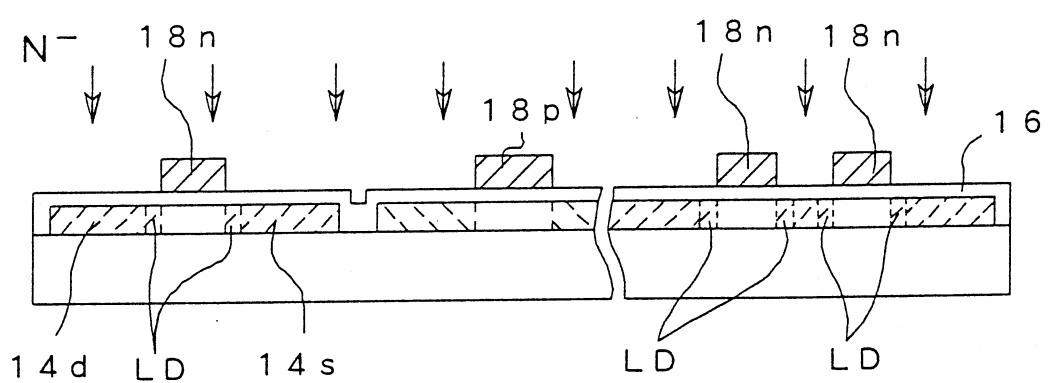
第14D圖



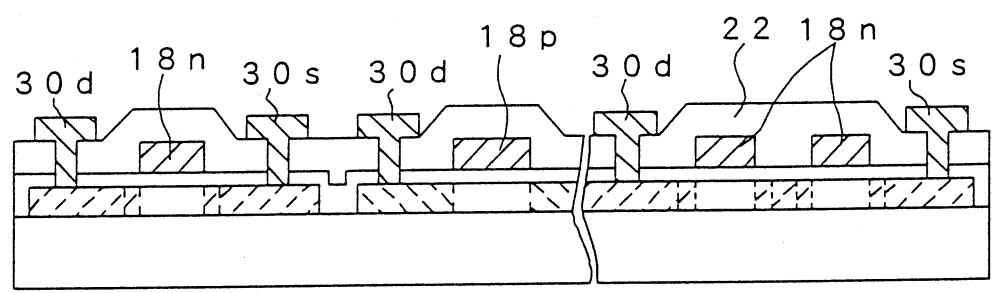
第15A圖



第15B圖



第15C圖



第15D圖

六、申請專利範圍

1. 一種薄膜電晶體之製造方法，其特徵為具有：

在絕緣基板上，形成島狀之半導體膜之步驟；

於前述絕緣基板及前述半導體膜上，覆蓋前述半導體膜並形成第1絕緣膜之步驟；

貫通前述第1絕緣膜，並形成露出前述半導體膜之一部份之至少1個之第1接觸孔(6s, 6d)之步驟；

以及於前述第1絕緣膜上以及前述第1接觸孔內，形成第1導電體膜，並對該第1導電體膜進行蝕刻，而同時形成與前述半導體膜之一部份重疊之閘極電極以及於前述第1接觸孔內形成與前述半導體膜電性連接之第1接觸部之步驟，

覆蓋前述第1絕緣膜以及前述閘極電極以及前述第1接觸部，而形成第2絕緣膜之步驟；

至少貫通前述第2絕緣膜，而形成露出前述第1接觸部之一部份之第2接觸孔(9s, 9d)之步驟；

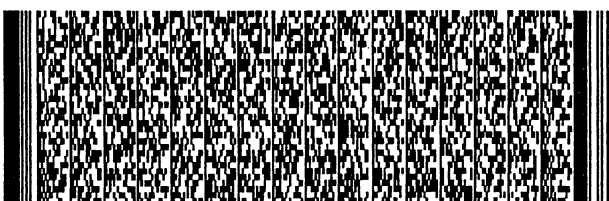
以及於前述第2絕緣膜上以及前述第2接觸孔內，形成第2導電體膜，並對預定區域進行蝕刻，再形成與前述第1接觸部電性連接之預定形狀之配線以及第2接觸部之步驟。

2. 一種薄膜電晶體之製造方法，其特徵為具有：

在絕緣基板上，形成島狀之半導體膜之步驟；

於前述絕緣基板及前述半導體膜上，覆蓋前述半導體膜並形成第1絕緣膜之步驟；

貫通前述第1絕緣膜，並形成露出前述半導體膜之



六、申請專利範圍

一部份之至少 1 個之第 1 接觸孔 (6s, 6d) 之步驟；

以及於前述第 1 絕緣膜上以及前述第 1 接觸孔內，形成第 1 導電體膜，並對該第 1 導電體膜進行蝕刻，而同時形成與前述半導體膜之一部份重疊之閘極電極以及於前述第 1 接觸孔內形成與前述半導體膜電性連接之第 1 接觸部之步驟，

覆蓋前述第 1 絕緣膜以及前述閘極電極以及前述第 1 接觸部，以形成第 2 絕緣膜之步驟；

至少貫通前述第 2 絕緣膜，而形成露出前述第 1 接觸部以及前述半導體膜之一部份之至少 2 個第 2 接觸孔之步驟；

以及於前述第 2 絕緣膜上以及前述第 2 接觸孔內，形成第 2 導電體膜，並對預定區域進行蝕刻，再形成與前述半導體膜電性連接之預定形狀之配線以及第 2 接觸部之步驟。

3. 一種主動矩陣型顯示裝置之製造方法，其特徵為具有：

在絕緣基板上，形成島狀之半導體膜之步驟；

於前述絕緣基板及前述半導體膜上，覆蓋前述半導體膜並形成第 1 絕緣膜之步驟；

貫通前述第 1 絕緣膜，並形成露出前述半導體膜之一部份之至少 1 個之第 1 接觸孔之步驟；

以及於前述第 1 絕緣膜上以及前述第 1 接觸孔內，形成第 1 導電體膜，並對該第 1 導電體膜進行蝕刻，再



六、申請專利範圍

於與前述半導體膜之一部份重疊之閘極電極以及前述第1接觸孔內，同時形成與前述半導體膜電性連接之第1接觸部之步驟。

4. 如申請專利範圍第3項之主動矩陣型顯示裝置之製造方法，其特徵為更具有：

覆蓋前述第1絕緣膜以及前述閘極電極以及前述第1接觸部，以形成第2絕緣膜之步驟；

至少貫通前述第2絕緣膜，而形成露出前述第1接觸部之一部份之第2接觸孔之步驟；

以及於前述第2絕緣膜上以及前述第2接觸孔內，形成第2導電體膜，並對預定區域進行蝕刻，再形成與前述第1接觸部電性連接之預定形狀之配線以及第2接觸部之步驟。

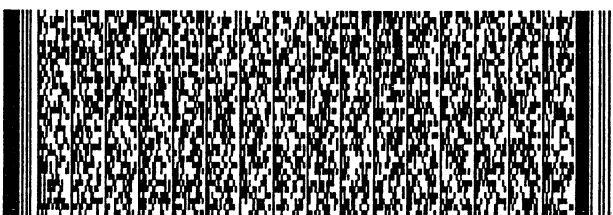
5. 如申請專利範圍第4項之主動矩陣型顯示裝置之製造方法，其特徵為更具有：

於前述第2絕緣膜以及前述第2接觸部以及前述配線上，形成將藉由下層構造而形成之凹凸予以平坦化之平坦化膜之步驟；

貫通前述平坦化膜，而形成露出前述第2接觸部之第3接觸孔之步驟；

以及於前述平坦化膜上，隔著前述第3接觸孔，而形成與前述第2接觸部電性連接之電極之步驟。

6. 如申請專利範圍第3項之主動矩陣型顯示裝置之製造方法，其特徵為更具有：



六、申請專利範圍

覆蓋前述第 1 絕緣膜以及前述閘極電極以及前述第 1 接觸部，以形成第 2 絕緣膜之步驟；

至少貫通前述第 2 絕緣膜，而形成露出前述第 1 接觸部以及前述半導體膜之一部份之至少 2 個第 2 接觸孔之步驟；

以及於前述第 2 絕緣膜上以及前述第 2 接觸孔內，形成第 2 導電體膜，並對預定區域進行蝕刻，再形成與前述半導體膜電性連接之預定形狀之配線以及第 2 接觸部之步驟。

7) 如申請專利範圍第 6 項之主動矩陣型顯示裝置之製造方法，其特徵為更具有：

於前述第 2 絕緣膜以及前述第 2 接觸部以及前述配線上，形成將藉由下層構造而形成之凹凸予以平坦化之平坦化膜之步驟；

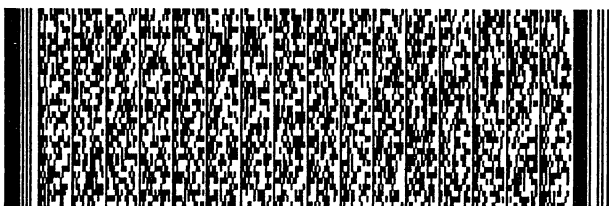
貫通前述平坦化膜，而形成露出第 2 接觸部之第 3 接觸孔之步驟；

以及於前述平坦化膜上，隔著前述第 3 接觸孔，而形成與前述第 2 接觸部電性連接之電極之步驟。

8. 如申請專利範圍第 3 項之主動矩陣型顯示裝置之製造方法，其特徵為更具有：

覆蓋前述第 1 絕緣膜以及前述閘極電極以及前述第 1 接觸部，以形成第 2 絕緣膜之步驟；

貫通前述第 2 絕緣膜，而形成露出前述第 1 接觸部之第 2 接觸孔之步驟；



六、申請專利範圍

於前述第2絕緣膜上以及前述第2接觸孔內，形成第2導電體膜，並對預定區域進行蝕刻，再形成與前述第1接觸部電性連接之預定形狀之配線之步驟；

於前述第2絕緣膜以及前述第2接觸部以及前述配線上，形成將藉由下層構造而形成之凹凸予以平坦化之平坦化膜之步驟；

形成至少貫通前述平坦化膜之第3接觸孔之步驟；

以及於前述平坦化膜上，隔著前述第3接觸孔，而形成與前述半導體膜電性連接之電極之步驟。

9. 如申請專利範圍第8項之主動矩陣型顯示裝置之製造方法，其特徵為更具有：

其中前述第3接觸孔，係貫通前述平坦化膜以及前述第2絕緣膜，並露出前述第1接觸部；

而前述電極，係隔著前述第3接觸孔，與前述第1接觸部電性連接。

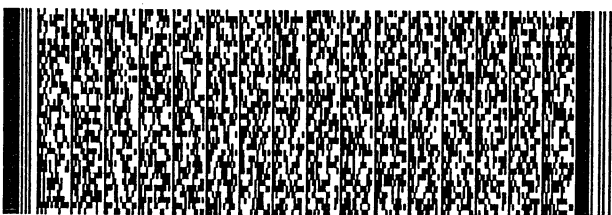
10. 如申請專利範圍第3項之主動矩陣型顯示裝置之製造方法，其特徵為更具有：

覆蓋前述第1絕緣膜以及前述閘極電極以及前述第1接觸部，以形成第2絕緣膜之步驟；

貫通前述第2絕緣膜，而露出前述第1接觸部之第2接觸孔之步驟；

貫通前述第2絕緣膜以及前述第1絕緣膜，而形成露出前述半導體膜之第3接觸孔之步驟；

於前述第2絕緣膜上以及前述第2接觸孔內、前述



六、申請專利範圍

第3接觸孔內，形成第2導電體膜，並對預定區域進行蝕刻，再形成與前述第1接觸部電性連接之第2接觸，以及與前述半導體膜電性連接之預定形狀之配線之步驟；

於前述第2絕緣膜以及前述第2接觸部以及前述配線上，形成將藉由下層構造而形成之凹凸予以平坦化之平坦化膜之步驟；

形成貫通前述平坦化膜，並露出前述第2接觸部之第4接觸孔之步驟；

以及於前述平坦化膜上，隔著前述第4接觸孔，而形成與前述第2接觸部電性連接之電極之步驟。

11. 一種具備有由含有通道區域、源極區域及汲極區域之半導體膜所構成之主動層、閘極絕緣膜、閘極電極、源極電極及汲極電極之薄膜電晶體，其中，

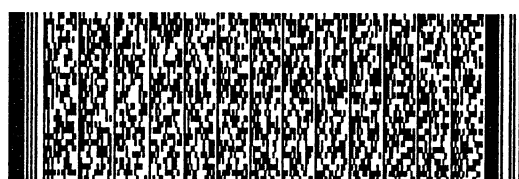
前述半導體膜，係形成於絕緣基板上；

覆蓋以半導體膜，前述閘極絕緣膜即形成；

在前述閘極絕緣膜上之通道對應區域形成前述閘極電極；

在前述閘極絕緣膜之源極對應區域及汲極對應區域之至少一方形成第1接觸孔；

而在前述閘極絕緣膜之源極對應區域及汲極對應區域之至少一方所形成之前述第1接觸孔之中，埋入與前述閘極電極同一材料構成，並且與對應之前述半導體膜之源極區域或汲極區域電性連接之第1接觸部；



六、申請專利範圍

以及前述源極電極及前述汲極電極所對應之其中一方或兩方，係隔著前述第1接觸部而與對應之前述半導體膜之前述源極區域或汲極區域連接。

12.如申請專利範圍第11項之薄膜電晶體，其中，

前述第1接觸孔，係各別於前述閘極絕緣膜之源極對應區域及汲極對應區域開口；

在前述各別之第1接觸孔中，埋入前述第1接觸部；

以及前述源極電極係隔著對應之前述第1接觸部而連接於前述半導體之源極區域，前述汲極電極，係隔著對應之前述第1接觸部而連接於前述半導體膜之汲極區域。

13.如申請專利範圍第12項之薄膜電晶體，其中，

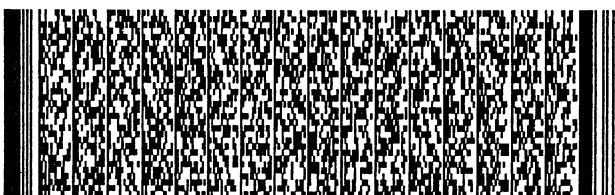
前述源極電極及前述汲極電極，係與各自於覆蓋以前述第1接觸部及前述閘極電極之層間絕緣膜之前述第1接觸部對應區域開口之第1接觸孔相對應之前述源極區域與前述汲極區域連接。

14.如申請專利範圍第11項之薄膜電晶體，其中，

前述第1接觸孔，係於前述閘極絕緣膜之源極對應區域及汲極對應區域之其中一方開口；

前述第1接觸孔，係埋入前述第1接觸部；

以及前述源極電極及前述汲極電極之其中一方，係隔著前述第1接觸部而與前述半導體膜之源極區域或汲極區域連接。



六、申請專利範圍

15.如申請專利範圍第14項之薄膜電晶體，其中，

前述源極電極及前述汲極電極之另一方，係覆蓋以前述閘極電極及前述閘極絕緣膜而形成之層間絕緣膜，以及在與前述閘極絕緣膜之對應區域，隔著使前述半導體膜表面露出於底部而開口之第2接觸孔，而與前述半導體膜之對應之汲極區域或源極區域連接。

16.如申請專利範圍第11項之薄膜電晶體，其中，

前述閘極電極及前述第1接觸部，係為高熔點金屬材料。

1) 一種採用薄膜電晶體之主動矩陣型顯示裝置，具備有由含有通道區域、源極區域及汲極區域之半導體膜所構成之主動層、閘極絕緣膜、閘極電極、源極電極及汲極電極，其中，

前述半導體膜，係形成於絕緣基板上；

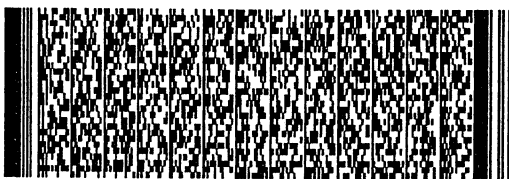
覆蓋半導體膜，即形成前述閘極絕緣膜；

前述閘極電極於前述閘極絕緣上之通道對應區域形成；

前述閘極絕緣膜之源極對應區域及汲極對應區域中各形成第1接觸孔；

在前述源極對應區域及汲極對應區域所形成之前述第1接觸孔之至少一方，埋入與前述閘極電極同一材料構成，並且與對應之前述半導體膜之源極區域或汲極區域電性連接之第1接觸部；

以及前述源極電極及前述汲極電極之其中一方或



六、申請專利範圍

兩方，係隔著前述第1接觸部而與對應之前述半導體膜之前述源極區域或汲極區域連接。

18.如申請專利範圍第17項之主動矩陣型顯示裝置，其中，

前述第1接觸孔，係各別於前述閘極絕緣膜之源極對應區域及汲極對應區域開口；

在前述各別之第1接觸孔中，埋入前述第1接觸部；

以及前述源極電極及前述汲極電極，係與各自於覆蓋以前述第1接觸部及前述閘極電極之層間絕緣膜之前述第1接觸部對應區域所開口之第2接觸孔，相對應之前述源極區域，以及與前述汲極區域連接。

19.如申請專利範圍第18項之主動矩陣型顯示裝置，其中，

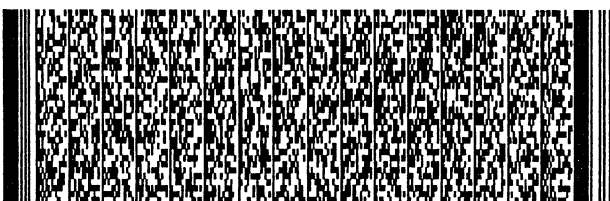
係覆蓋前述源極電極及前述汲極電極，而更形成平坦化絕緣膜；

且在前述平坦化絕緣膜之前述源極電極及前述汲極電極之其中一方之對應區域，形成第3接觸孔；

並以前述第3接觸孔，與所對應之前述源極電極及前述汲極電極之其中之一，以及與畫素電極電性連接。

20.如申請專利範圍第17項之主動矩陣型顯示裝置，其中，

前述第1接觸孔，係於前述閘極絕緣膜之源極對應



六、申請專利範圍

區域及汲極對應區域之其中一方開口；

而前述第 1 接觸孔，係埋入第 1 接觸部；

以及前述源極電極及前述汲極電極之其中一方，

隔著前述第 1 接觸部，而與對應之前述半導體膜之源極區域或汲極連接。

21. 如申請專利範圍第 20 項之主動矩陣型顯示裝置，其中，

前述源極及前述汲極電極之另一方，係於覆蓋前述閘極電極及前述閘極絕緣膜所形成之層間絕緣膜以及與前述閘極絕緣膜間之對應區域，隔著為使前述半導體膜表面露出底部而開口之第 2 接觸孔，而與前述半導體膜之對應汲極區域或源極區域連接。

22. 如申請專利範圍第 21 項之主動矩陣型顯示裝置，其中，

係覆蓋前述源極電極及前述汲極電極，而更形成平坦化絕緣膜；

且在前述平坦化絕緣膜之前述源極電極及前述汲極電極之其中一方之對應區域，形成第 3 接觸孔；

並以前述第 3 接觸孔，與所對應之前述源極電極及前述汲極電極其中之一，以及與畫素電極電性連接。

23. 如申請專利範圍第 17 項之主動矩陣型顯示裝置，其中，前述閘極電極及前述第 1 接觸部，係高熔點金屬材料。

