

(11) 特許出願公開番号

特開2012-134828

(P2012-134828A)

(43) 公開日 平成24年7月12日(2012.7.12)

(51) Int.Cl.

F 1

テーマコード (参考)

H03K 17/08 (2006.01)

H O 3 K 17/08

C

5H430

НОЗК 17/687 (2006.01)

H03K 17/687

A

5 J 055

G05F 1/56 (2006.01)

G O 5 F 1/56

3205

審査請求 未請求 請求項の数 10 O L (全 17 頁)

(21) 出願番号 特願2010-286091 (P2010-286091)

(22) 出願日 平成22年12月22日 (2010.12.22)

(71) 出願人 302062931

ルネサスエレクトロニクス株式会社

神奈川県川崎市中原区下沼部1753番地

(74) 代理人 100103894

弃理士 家入 健

(72) 発明者 山内 孝之

神奈川県川崎市中原区下沼部1753番地

ルネサスエレクトロニクス株式会社内

Fターム(参考) 5H430 BB01 BB12 EE04 FF07 FF13

HH03 LA07 LA13 LA17

5J055	AX34	AX44	AX64	BX16	CX07
-------	------	------	------	------	------

CX29 DX22 DX82 EX07 EY12

SALE	BASE	BASE	BASE	BASE
EY14	EY21	EZ03	EZ04	EZ10

EZ25 FX04 FX12 FX38 GX01

LELO 1701 1711 1703 5701

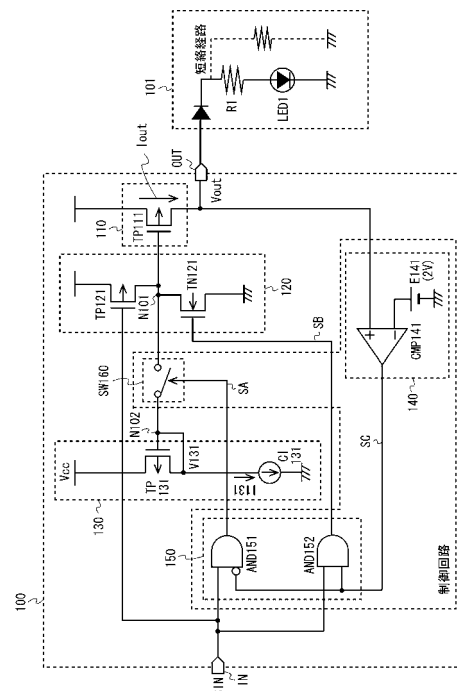
(54) 【発明の名称】 出力回路

(57) 【要約】

【課題】 回路規模が増大する問題があった。

【解決手段】入力信号に応じて、出力端子に接続される負荷に出力電流を供給する出力回路であって、前記出力端子に出力電流を供給する出力トランジスタと、前記出力トランジスタを駆動する出力駆動回路と、前記出力電流を所定の電流値に制限する電流制御信号を生成する電流制限回路と、前記入力信号が供給された後、前記出力端子電圧が所定の電圧値以下の場合には前記電流制御信号に基づいて前記出力電流を制限し、前記所定の電圧値以上の場合には前記出力駆動回路によって前記出力トランジスタを駆動するように制御する制御回路と、を有する出力回路。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

入力信号に応じて、出力端子に接続される負荷に出力電流を供給する出力回路であって

、

前記出力端子に出力電流を供給する出力トランジスタと、

前記出力トランジスタを駆動する出力駆動回路と、

前記出力電流を所定の電流値に制限する電流制御信号を生成する電流制限回路と、

前記入力信号が供給された後、前記出力端子電圧が所定の電圧値以下の場合には前記電流制御信号に基づいて前記出力電流を制限し、前記所定の電圧値以上の場合には前記出力駆動回路によって前記出力トランジスタを駆動するように制御する制御回路と、を有する出力回路。

10

【請求項 2】

前記所定の電流値は、前記出力駆動回路によって駆動された前記出力トランジスタによる出力電流よりも小さいことを特徴とする

請求項 1 記載の出力回路。

【請求項 3】

前記制御回路は、前記出力トランジスタの制御端子と前記定電流制限回路との間に接続されるスイッチ回路を有し、

前記スイッチ回路は、前記入力信号に応じてオン状態となり、前記出力端子の電圧と第 1 の基準電圧とを比較した結果に応じてオフ状態となる

20

請求項 1 または請求項 2 に記載の出力回路。

【請求項 4】

前記スイッチ回路は、第 1 の制御信号に応じてオン、オフが制御され、

前記制御回路は、更に第 1 の出力電圧比較回路と、駆動制御回路と、を有し、

前記第 1 の出力電圧比較回路は、前記出力端子の電圧と前記第 1 の基準電圧とを比較し、比較結果を第 2 の制御信号として出力し、

前記駆動制御回路は、前記入力信号と前記第 2 の制御信号とに応じて、前記第 1 の制御信号を出力する

請求項 3 に記載の出力回路。

【請求項 5】

30

前記制御回路が、出力モニタ回路と、第 2 の出力電圧比較回路とを更に有し、

前記出力モニタ回路は、前記第 1 の基準電圧と異なる第 2 の基準電圧と生成し、

前記第 2 の出力電圧比較回路は、前記出力端子の電圧と前記第 2 の基準電圧とを比較し、比較結果を第 3 の制御信号として出力し、

前記駆動制御回路は、前記入力信号と前記第 2、第 3 の制御信号とに応じて、前記第 1 の制御信号を出力する

請求項 4 に記載の出力回路。

【請求項 6】

前記電流制限回路は、第 1 のトランジスタと、前記第 1 のトランジスタに接続され定電流源とを備え、前記第 1 のトランジスタと前記出力トランジスタは前記スイッチ回路がオン状態のときにはカレントミラーを構成することを特徴とする

40

請求項 3 に記載の出力回路。

【請求項 7】

前記定電流制限回路は、第 1 のトランジスタと、第 1 の定電流源とを有し、

前記第 1 のトランジスタは、第 1 の電源端子と第 1 のノードとの間に接続され、制御端子が前記第 1 のノードに接続され、

前記第 1 の定電流源は、前記第 1 のノードと、第 2 の電源端子との間に接続され、

前記第 1 のノードの電位が前記電流制限信号となる

請求項 4 または請求項 5 に記載の出力回路。

【請求項 8】

50

前記スイッチ回路がオン状態時の前記第 1 のトランジスタの出力電流が、前記出力トランジスタの出力電流より小さい
請求項 7 に記載の出力回路。

【請求項 9】

前記出力駆動回路は、第 2、第 3 のトランジスタを有し、

前記第 2 のトランジスタは、第 1 の電源端子と第 2 のノードとの間に接続され、前記入力信号に応じてオン、オフが制御され、

前記第 3 のトランジスタは、第 2 の電源端子と前記第 2 のノードとの間に接続され、前記第 2 の制御信号に応じてオン、オフが制御され、

前記第 2 ノードが前記出力トランジスタの制御端子に接続される

請求項 4 または請求項 5 に記載の出力回路。

【請求項 10】

前記出力モニタ回路は、第 4 のトランジスタと、第 2 の定電流源とを有し、

前記第 2 のトランジスタは、前記第 1 の電源端子と第 3 のノードとの間に接続され、制御端子が前記第 2 のノードに接続され、

前記第 2 の定電流源は、前記第 3 のノードと、前記第 2 の電源端子との間に接続され、

前記第 3 のノードの電位が前記第 2 の基準電圧となる

請求項 9 に記載の出力回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、出力回路に関するものである。

【背景技術】

【0002】

半導体集積回路の出力回路において、その出力回路に接続される配線や負荷に不具合が発生し、過電流が流れた場合、出力回路の出力トランジスタをオフし、負荷もしくは集積回路を保護するために過電流保護回路が搭載される。そのような過電流保護回路を搭載した技術が特許文献 1 に開示されている。特許文献 1 の技術は、負荷 11 に短絡接地が発生した場合に、負荷回路 10 を非活性化して MOSFET の電力損失を抑制する半導体制御装置である。

【0003】

図 7 に特許文献 1 に記載される半導体制御装置において、負荷 11 を駆動する負荷回路 10 の構成を示す。図 7 に示すように、負荷回路 10 は、MOSFET T1、T3 と、逆起電力検出回路 12 と、VDS 検出回路 13 と、AND 回路 AND1、AND2 と、ラッチ回路 DF1 と、ドライバ回路 14 とを有する。

【0004】

初期状態では、ラッチ回路 DF1 の出力端子 +Q、-Q の信号レベルは、スイッチ SW1 がオフ時にリセット状態で、+Q=L（ロウレベル）、-Q=H（ハイレベル）となっている。負荷回路 10 で負荷 11 を駆動するときは、スイッチ回路 SW1 をオン状態とする。この状態では、AND 回路 AND1 の一方の入力が H（ハイレベル）となり、また、ラッチ回路 DF1 の出力 -Q が H（ハイレベル）であるため、AND 回路 AND1 の出力は H（ハイレベル）となる。このため、ドライバ回路 14 が駆動して、MOSFET T1 がオン状態となり、負荷 11 を駆動する。

【0005】

ここで、MOSFET T1 と負荷 11 間が短絡接地していた場合には、MOSFET T1 に過電流が流れ、MOSFET T1 の両端電圧（ドレインソース電圧 VDS）が増加して、VDS 検出回路 13 の出力が L（ロウレベル）から H（ハイレベル）に遷移する。

【0006】

更に、この VDS 検出回路 13 の出力の遷移から、AND 回路 AND2 の出力がロウレベルからハイレベルに遷移する。そして、ラッチ回路 DF1 の出力 -Q がハイレベルから

10

20

30

40

50

ロウレベルとなり、ドライバ回路14の出力がハイレベルからロウレベルとなる。同時にラッチ回路DF1の出力+Qがロウレベルからハイレベルとなり、MOSFETT3がオン状態となる。このため、MOSFETT1のゲートのレベルが低下し、MOSFETT1がオフ状態となることで、負荷回路10の出力が短絡状態から解除される。

【0007】

VDS検出回路13の動作は、MOSFETT1のドレインソース電圧VDSと、抵抗R8の両端に生じる電圧が等しくなるように、抵抗R8、R9に流れる電流I1を調整するよう制御を行う。

【0008】

例えば、抵抗R8の両端電圧がMOSFETT1のVDSより小さい場合、アンプAMP1の出力を増大させ、電流I1を増加させる。このことにより、抵抗R8の両端電圧を上昇させる。逆に、抵抗R8の両端電圧がMOSFETT1のVDSより大きい場合、アンプAMP1の出力を低下させ、電流I1を減少させる。このことにより、抵抗R8の両端電圧が低下する。結果として、VDS検出回路13は、 $VDS = I1 \times R8$ が成立するように制御を行う。

【0009】

逆起電力検出回路12の動作は、以下の様になる。短絡接地が発生していた場合、短絡電流IDの発生により、電源配線21のノードP1からP0に向かって逆起電力E1が発生し、ノードP1の電圧V1は急激に低下する。これに対して、基準電源V3はコンデンサC1及び抵抗R1、R2で設定される時定数を持って低下する。このため、電圧V1の急激な低下に追従できず、電圧V1と基準電圧V3との間に電位差が生じる。この電位差が大きくなり、抵抗R1の両端の電圧が所定のレベルを超えるとMOSFETT2がオン状態となる。

【0010】

MOSFETT2がオンすると抵抗R3、R4の接続ノードの電圧V4が上昇し、タイマー15をオンさせる。タイマー15が所定の時間ハイレベルを出力する。このハイレベル信号は、AND回路AND2の一方に入力される。ここで、抵抗R1、R2の抵抗値は、短絡接地が発生したときに生じる上記逆起電力E1によりMOSFETT2がオン状態となるが、MOSFETT1がオン状態の過渡電流による逆起電力ではMOSFETT2がオン状態とならないように設定される。

【0011】

そして、負荷回路10は、短絡経路において短絡接地していた場合は、MOSFETT1のVDSと逆起電力E1よりコンパレータCMP1によって短絡を検出し、ラッチ回路DF1で短絡情報をラッチし、AND回路AND1とドライバ14の出力を反転させて、MOSFETT1をオフさせることで過電流を遮断する。

【先行技術文献】

【特許文献】

【0012】

【特許文献1】特開2006-24997号公報

【発明の概要】

【発明が解決しようとする課題】

【0013】

しかし、従来技術の半導体制御装置の負荷回路10では、上述のように負荷11が負荷経路において短絡接地していた場合、負荷回路10が負荷11の駆動を開始し、その短絡状態を検出した後、MOSFETT1に流れる負荷駆動電流を遮断する手順であり、その遮断するまでの間は負荷11に流れる電流が図8に示すように増加してしまう。このため、その増加する電流値のワースト値をもとに、駆動回路（出力トランジスタ）の電源線幅や端子までの配線幅を設計するため配線幅が大きくならざる得なくなり、回路規模の増大を招く問題がある。更に、回路規模の増大は、半導体チップコストが増加するという問題を引き起こす。

10

20

30

40

50

【課題を解決するための手段】

【0014】

本発明は、入力信号に応じて、出力端子に接続される負荷に出力電流を供給する出力回路であって、前記出力端子に出力電流を供給する出力トランジスタと、前記出力トランジスタを駆動する出力駆動回路と、前記出力電流を所定の電流値に制限する電流制御信号を生成する電流制限回路と、前記入力信号が供給された後、前記出力端子電圧が所定の電圧値以下の場合には前記電流制御信号に基づいて前記出力電流を制限し、前記所定の電圧値以上の場合には前記出力駆動回路によって前記出力トランジスタを駆動するように制御する制御回路と、を有する出力回路である。

【0015】

本発明は、出力トランジスタが出力する電流を所定の値に制限した定電流駆動の状態からスタートさせ、出力端子と電源電圧もしくは接地電圧との間に短絡が無ければ、通常駆動状態に移行することができる。このため、短絡していた場合に出力端子から流れる大電流の発生を防ぐことが可能となる。

【発明の効果】

【0016】

本発明は、回路規模の増大化を抑え、半導体チップコストを低減する。

【図面の簡単な説明】

【0017】

【図1】実施の形態1にかかる出力回路の構成である。

【図2】実施の形態1にかかる出力回路の短絡接地（地絡）が存在しない場合の動作タイミングチャートである。

【図3】実施の形態1にかかる出力回路の短絡接地（地絡）が存在する場合の動作タイミングチャートである。

【図4】実施の形態1にかかる出力回路の動作フローチャートである。

【図5】実施の形態2にかかる出力回路の構成である。

【図6】実施の形態2にかかる出力回路の動作タイミングチャートである。

【図7】従来の出力回路の構成である。

【図8】従来の出力回路の動作タイミングチャートである。

【発明を実施するための形態】

【0018】

発明の実施の形態1

【0019】

以下、本発明を適用した具体的な実施の形態1について、図面を参照しながら詳細に説明する。図1に本実施の形態1にかかる出力回路100の構成を示す。この実施の形態1は本発明を、LED回路を駆動する出力回路に適用したものである。

【0020】

図1に示すように、出力回路100は、出力部110と、出力駆動回路120と、定電流制限回路130と、出力電圧比較回路140と、駆動制御回路150と、スイッチ回路SW160と、入力端子INと、出力端子OUTとを有する。

【0021】

出力端子OUTには、負荷101が接続される。負荷101は、LED回路LED1と、電流制限抵抗R1等を有する。負荷101は、出力端子OUTから出力される出力電流I_{out}で駆動される。なお、本実施の形態1では、負荷101としてLED回路を想定しているが、特にLED回路に特定されず、その他のモータやディスプレイ、バッテリー充電回路等さまざまな負荷が考えられる。

【0022】

また、出力端子OUTに現れる電圧を出力電圧V_{out}とする。この出力電圧V_{out}は、負荷101の状態に応じて変化する。負荷101が正常動作を行う場合、負荷101のインピーダンスと出力電流I_{out}に応じた電圧が現れる。しかし、負荷101、もし

10

20

30

40

50

くは、出力端子OUTから負荷101までの配線が接地電圧GNDと短絡状態（地絡）となった場合、出力電圧Voutは接地電圧GND付近まで低下することになる。

【0023】

出力部110は、出力トランジスタのPMOSTランジスタTP111を有する。PMOSTランジスタTP111は、ソースが電源端子Vcc、ドレインが出力端子OUT、ゲートがノードN101に接続される。PMOSTランジスタTP111は、ノードN101に印加される電圧に応じて出力電流Ioutを流す。この出力電流Ioutは、出力端子OUTを経て、負荷101に供給される。

【0024】

出力駆動回路120は、入力端子INに入力される入力信号SIN、及び、制御信号SBに応じて、PMOSTランジスタTP111をオン状態とする。出力駆動回路120は、PMOSTランジスタTP121と、NMOSTランジスタTN121とを有する。

10

【0025】

PMOSTランジスタTP121は、ソースが電源端子Vcc、ドレインがノードN101、ゲートが入力端子INに接続される。NMOSTランジスタTN121は、ドレインがノードN101、ソースが接地端子GNDに接続される。また、ゲートに制御信号SBが入力される。

【0026】

スイッチ回路SW160は、制御信号SAに応じて、ノードN102とN101とを電氣的に接続、もしくは、遮断する。

20

【0027】

定電流制限回路130は、PMOSTランジスタTP131と、定電流源CI131とを有する。PMOSTランジスタTP131は、ソースが電源端子Vcc、ドレインとゲートがノードN102に接続される。定電流源CI131は、ノードN102と接地端子GNDとの間に接続され、ノードN102から接地端子GND側に定電流I131を流す。

【0028】

スイッチ回路SW160がオン状態の場合、PMOSTランジスタTP131とTP111は、PMOSTランジスタTP131を入力とするカレントミラーを構成する。このため、スイッチ回路SW160がオン状態の場合、PMOSTランジスタTP111に流れる出力電流Ioutは、PMOSTランジスタTP131とTP111のミラー比に応じた値の電流が流れることになる。このミラー比として、例えば、TP131：TP111 = 1：10としてもよい。但し、このミラー比は、PMOSTランジスタTP131がTP111よりも小さい比となればよく、1：10の比に特定されなくてもよい。

30

【0029】

なお、ノードN102の電圧に応じて、PMOSTランジスタTP111に流れる出力電流Ioutの値が制御されるため、ノードN102に印加される電圧V131を電流制御信号とみなすことができる。

【0030】

出力電圧比較回路140は、コンパレータCMP141と、基準電圧源E141とを有する。

40

【0031】

基準電圧源E141は、コンパレータCMP141の反転入力端子に基準電圧E141（例えば2V）を供給する。なお、基準電圧E141は、2Vに固定されず可変としてもよい。また、基準電圧源E141は、外部から基準電圧E141を供給される基準電圧端子に置き換えることも可能である。

【0032】

コンパレータCMP141は、非反転入力端子が出力端子OUTに接続され、出力電圧Voutが入力される。反転入力端子は、上記のように基準電圧E141が入力される。コンパレータCMP141は、この出力電圧Voutと基準電圧E141とを比較して、

50

比較結果を制御信号 S C として出力する。

【0033】

例えば、基準電圧 E 1 4 1 を 2 V とすると、出力電圧 V o u t が 2 V 以下の場合、コンパレータ C M P 1 4 1 は、ロウレベルの制御信号 S C を出力し、出力電圧 V o u t が 2 V 以上の場合、コンパレータ C M P 1 4 1 は、ハイレベルの制御信号 S C を出力する。

【0034】

駆動制御回路 1 5 0 は、A N D 回路 A N D 1 5 1、A N D 1 5 2 を有する。

【0035】

A N D 回路 A N D 1 5 1 は、一方の入力端子に入力信号 S I N が入力され、他方の入力端子に制御信号 S C の反転信号が入力される。そして、演算結果を制御信号 S A として出力する。

10

【0036】

A N D 回路 A N D 1 5 2 は、一方の入力端子に入力信号 S I N が入力され、他方の入力端子に制御信号 S C が入力される。そして、演算結果を制御信号 S B として出力する。

【0037】

なお、駆動制御回路 1 5 0、出力電圧比較回路 1 4 0、スイッチ回路 S W 1 6 0 とで 1 つの制御回路を構成するとみなすこともできる。

【0038】

次に、本実施の形態 1 にかかる出力回路 1 0 0 の動作について図 2、図 3 を用いて説明する。図 2 には、負荷 1 0 1 に短絡接地（地絡）が存在せず、出力回路 1 0 0 が通常動作を行う場合の動作タイミングチャートを示す。図 3 には、出力トランジスタ T P 1 1 1 と負荷 1 0 1 の間が短絡接地（地絡）していた場合の動作タイミングチャートを示す。

20

【0039】

図 2 に示すように、まず時刻 t 1 に入力信号 S I N がロウレベルからハイレベルに遷移する。この時点の出力端子 O U T に現れる出力電圧 V o u t は、ロウレベル（接地電圧 G N D）である。このように、出力電圧 V o u t が基準電圧 E 1 4 1（例えば、2 V）より小さいため、出力電圧比較回路 1 4 0 のコンパレータ C M P 1 4 1 は、ロウレベルの制御信号 S C を出力する。

【0040】

制御信号 S C がロウレベル、入力信号 S I N がハイレベルのため、駆動制御回路 1 5 0 の A N D 回路 A N D 1 5 1 は出力する制御信号 S A をロウレベルからハイレベルに遷移させる。また、A N D 回路 A N D 1 5 2 は、制御信号 S B をロウレベルまま保持する。制御信号 S A がハイレベルに遷移することから、スイッチ回路 S W 1 6 0 がオン状態となる。

30

【0041】

なお、制御信号 S B がロウレベルのままなので、N M O S トランジスタ T N 1 2 1 はオフ状態、入力信号 S I N がハイレベルのため P M O S トランジスタ T P 1 2 1 がオフ状態である。つまり、出力駆動回路 1 2 0 は非活性化状態となっており、出力駆動回路 1 2 0 が出力部 1 1 0 の動作に影響を与えることはない。

【0042】

スイッチ回路 S W 1 6 0 がオン状態となることで、ノード N 1 0 2 と N 1 0 1 が電氣的に導通する。このため、定電流制限回路 1 3 0 の P M O S トランジスタ T P 1 3 1 のドレイン電圧（ゲート電圧）である電圧 V 1 3 1 と、出力部 1 1 0 の P M O S トランジスタ T P 1 1 1 のゲート電圧が同電位となる。上述したが、スイッチ回路 S W 1 6 0 がオン状態では、P M O S トランジスタ T P 1 3 1 と T P 1 1 1 とがカレントミラーを構成する。このため、P M O S トランジスタ T P 1 1 1 に流れる電流（出力電流 I o u t）は、P M O S トランジスタ T P 1 3 1 と T P 1 1 1 のカレントミラー比に応じて決定される。例えば、ミラー比が 1 : 1 0 で設定されている場合は、P M O S トランジスタ T P 1 3 1 に流れる電流（例えば 1 m A とする）の 1 0 倍までが P M O S トランジスタ T P 1 1 1 に流れる出力電流（1 0 m A）となる。なお、以下では出力トランジスタである P M O S トランジスタ T P 1 1 1 が、この定電流制限回路 1 3 0 によって制限された電流を出力電流とする

40

50

状態を必要に応じて制限駆動状態と称す。

【0043】

次に、上述したような出力電流 I_{out} が負荷 101 に流れ、出力電圧 V_{out} も徐々に上昇する。時刻 t_2 に、出力電圧 V_{out} が基準電圧 E_{141} （例えば、2 V）を超えると、コンパレータ CMP_{141} は、ハイレベルの制御信号 SC を出力する。

【0044】

制御信号 SC がハイレベル、入力信号 SIN がハイレベルのため、AND 回路 AND_{151} は出力する制御信号 SA をハイレベルからロウレベルに遷移させ、AND 回路 AND_{152} は出力する制御信号 SB をロウレベルからハイレベルに遷移させる。

【0045】

制御信号 SA がロウレベルに遷移することから、スイッチ回路 SW_{160} がオフ状態となり、ノード N_{102} と N_{101} が電氣的に遮断される。このため、電圧 V_{131} がノード N_{102} に伝達されなくなる。また同時に、制御信号 SB がハイレベルに遷移することから、NMOS トランジスタ TN_{121} がオン状態となり、ノード N_{101} がロウレベル（接地電圧 GND ）となる。よって、出力トランジスタである PMOS トランジスタ TP_{111} が、定電流制限回路 130 によって制限された制限駆動状態（出力電流 $I_{out} = 10\text{ mA}$ ）ではなく、通常のオン状態での通常駆動状態（出力電流 $I_{out} = 30\text{ mA}$ ）となり負荷 101 を駆動する。

【0046】

次に、図 3 により、出力トランジスタ TP_{111} と負荷 101 の間が短絡接地（地絡）していた場合を説明する。図 3 に示すように、まず時刻 t_1 に入力信号 SIN がロウレベルからハイレベルに遷移する。この時点の出力端子 OUT に現れる出力電圧 V_{out} は、ロウレベル（接地電圧 GND ）である。このように、出力電圧 V_{out} が基準電圧 E_{141} （例えば、2 V）より小さいため、出力電圧比較回路 140 のコンパレータ CMP_{141} は、ロウレベルの制御信号 SC を出力する。

【0047】

入力信号 SIN がハイレベル、制御信号 SC がロウレベルとなるため、駆動制御回路 150 の AND 回路 AND_{151} は出力する制御信号 SA をロウレベルからハイレベルに遷移させる。また、AND 回路 AND_{152} は、制御信号 SB をロウレベルまま保持する。制御信号 SA がハイレベルに遷移することから、スイッチ回路 SW_{160} がオン状態となる。

【0048】

なお、制御信号 SB がロウレベルのままなので、NMOS トランジスタ TN_{121} はオフ状態、入力信号 SIN がハイレベルのため PMOS トランジスタ TP_{121} がオフ状態である。つまり、出力駆動回路 120 は非活性化状態となっており、出力駆動回路 120 が出力部 110 の動作に影響を与えることはない。

【0049】

スイッチ回路 SW_{160} がオン状態となることで、ノード N_{102} と N_{101} が電氣的に導通する。このため、定電流制限回路 130 の PMOS トランジスタ TP_{131} のドレイン電圧（ゲート電圧）である電圧 V_{131} と、出力部 110 の PMOS トランジスタ TP_{111} のゲート電圧が同電位となる。スイッチ回路 SW_{160} がオン状態では、PMOS トランジスタ TP_{131} と TP_{111} とがカレントミラーを構成し、PMOS トランジスタ TP_{111} に流れる電流（出力電流 I_{out} ）は、PMOS トランジスタ TP_{131} と TP_{111} のカレントミラー比に応じて決定される。この制限駆動状態下で、例えば、ミラー比が 1 : 10 で設定されている場合、PMOS トランジスタ TP_{131} に流れる電流（例えば 1 mA とする）の 10 倍までが PMOS トランジスタ TP_{111} に流れる出力電流（10 mA）となる。

【0050】

次に、上述したような出力電流 I_{out} が負荷 101 に流れるが、短絡接地（地絡）しているため、図 2 のように、出力端子 OUT の出力電圧 V_{out} が基準電圧 E_{141} より

10

20

30

40

50

高くない。このため、コンパレータCMP141は、制御信号SCをロウレベルのまま保持する。

【0051】

そして、入力信号SINがロウレベルになる時刻t2まで、スイッチ回路SW160がオン状態となり、PMOSトランジスタTP111も制限駆動状態の電流(10mA)しか流さず、それ以上の電流は流さない。

【0052】

図4に、本実施の形態1にかかる出力回路100の動作フローチャートを示す。図4に示すように、まず、ハイレベルの入力信号SINが入力される(S101)。

【0053】

出力電圧Voutが基準電圧E141(例えば、2V)より小さい場合、制御信号SCがロウレベルであり、入力信号SINがハイレベルに遷移することから制御信号SAがハイレベルに遷移し、スイッチ回路SW160がオン状態となる(S102)。

【0054】

スイッチ回路SW160がオン状態となり、PMOSトランジスタTP131とTP111とがカレントミラー接続構成となる。PMOSトランジスタTP111に、カレントミラー比に応じた定電流が流れ、出力トランジスタであるPMOSトランジスタTP111が定電流駆動(制限駆動状態)を行う(S103)。

【0055】

出力端子OUTに現れる出力電圧Voutが基準電圧E141以上に上昇すると(S104YES)、制御信号SCがハイレベルとなり、それに応じて制御信号SAがロウレベル、制御信号SBがハイレベルとなる。このため、図2で説明したように、スイッチ回路SW160がオフ状態、出力駆動回路120のNMOSトランジスタTN121がオン状態となり、出力トランジスタであるPMOSトランジスタTP111が通常駆動状態となる(S105)。

【0056】

一方、出力端子OUTに現れる出力電圧Voutが基準電圧E141より低い状態(S104NO)では、制御信号SCがロウレベルのままであり、出力トランジスタであるPMOSトランジスタTP111が定電流駆動(制限駆動状態)を継続する(S106)。

【0057】

以上のように、本実施の形態1にかかる出力回路100は、入力信号SINが活性化する初期状態(図2、図3の時刻t1)では、出力端子OUTの出力電圧Voutがロウレベル(接地電圧GND)であるため、出力電圧比較回路140の比較結果(制御信号SC)に応じて、スイッチ回路SW160をオン状態、出力駆動回路120を非活性化状態とする。このため、出力トランジスタであるPMOSトランジスタTP111が定電流駆動(制限駆動状態)となる。

【0058】

その後、短絡接地(地絡)がない場合では、出力電圧Voutが徐々に上昇し、基準電圧E141以上となり、出力電圧比較回路140の比較結果(制御信号SC)に応じて、スイッチ回路SW160がオフ状態、出力駆動回路120が活性化状態となる。このため、出力トランジスタであるPMOSトランジスタTP111が通常駆動状態となる。

【0059】

一方、短絡接地(地絡)がある場合では、出力電圧Voutが基準電圧E141を超えることがないため、出力トランジスタであるPMOSトランジスタTP111が定電流駆動のままとなる。

【0060】

ここで、出力回路に使用される配線幅は、十分なエレクトロマイグレーションによる配線寿命を充たすよう設計される。エレクトロマイグレーションによる配線寿命(メディア寿命)を充たす配線幅は電流密度に関係する。以下の式(1)に一般的なメディア寿命MTFと電流密度Jの関係式を示す。

10

20

30

40

50

【数 1】

$$MTF = AJ^{-n} \exp\left(\frac{Ea}{kT}\right) \cdots (1)$$

【0061】

ここで、Aは配線の材質、構造、寸法などに関する固有の定数、Jは電流密度[A/cm²]、nは電流密度依存性を示す係数、Eaは活性化エネルギー[eV]（温度依存性よりEa = 0.6 eV）、kはボルツマン定数（8.616 × 10⁻⁵ [eV/K]）、Tは絶対温度[K]である。 10

【0062】

このメディアン寿命MTFを規定の値で一定とすると、配線に流す電流がm倍に増加した場合、配線断面積が一定なため配線幅をm倍としなければならない。よって、従来技術の特許文献1では、短絡接地が検出されてから駆動回路（出力トランジスタ）を遮断するまでの期間に配線に流れる電流のワースト値を基に、配線幅を決定する必要がある。つまり、通常動作では必要ない配線幅で設計する必要があり、回路規模が増大する問題があった。

【0063】

また、出力トランジスタに出力電流が流れる際に、オン抵抗によるジュール熱が発生するが、出力トランジスタの耐熱設計も規定の値を充たす必要がある。出力トランジスタ1つ当たりの耐熱が規定の値を充たせない場合、並列に配置する出力トランジスタの数を増加させる必要がある。大電流が流れてしまう従来技術の特許文献1では、この並列動作させる出力トランジスタの数もワースト値の電流値を基に設計する必要があり、この点においても回路規模の増大化が問題となる。 20

【0064】

しかし、本実施の形態1にかかる出力回路100は、定電流駆動の状態からスタートして、短絡接地（地絡）が無ければ、通常駆動状態に移行する。このため、特許文献1のように、短絡接地が検出されてから駆動回路（出力トランジスタ）を遮断するまでの期間に、大電流の出力電流が出力されることを防ぐことができる。これにより、特許文献1で問題となっていた、短絡接地に流れる出力電流のワースト値に合わせて回路規模を増大させる必要がなくなる効果が得られる。このため、従来技術と比較して回路規模の増大化を防ぐことが可能であり、その結果としてチップの製造コストの増大化を抑制する効果を得ることができる。 30

【0065】

また、従来技術では負荷の駆動が開始した後、短絡接地が検出されてから駆動回路（出力トランジスタ）を遮断するまでの期間、大電流の出力電流が電源回路から接地端子に向かって流れる可能性があり、最悪のケースでは、電源回路の破損につながる心配があった。しかし、本実施の形態1の出力回路100は、短絡接地していた場合でも、定電流制限回路で設定される想定内の定電流しか流れないため、電源回路が破損につながることもなく、回路の安全性を向上させる効果を有する。 40

【0066】

発明の実施の形態2

【0067】

以下、本発明を適用した具体的な実施の形態2について、図面を参照しながら詳細に説明する。この実施の形態2も、実施の形態1と同様、本発明を、LED回路を駆動する出力回路に適用したものである。

【0068】

図5に本実施の形態2にかかる出力回路200の構成を示す。図5に示すように、出力回路200は、出力部110と、出力駆動回路120と、定電流制限回路130と、出力 50

電圧比較回路 140、280 と、駆動制御回路 250 と、スイッチ回路 SW160 と、出力モニタ回路 270 と、入力端子 IN と、出力端子 OUT とを有する。

【0069】

なお、図 5 に示された符号のうち、図 1 と同じ符号を付した構成は、図 1 と同じか又は類似の構成を示している。実施の形態 1 と異なるのは出力電圧比較回路 280 と出力モニタ回路 270 を新たに追加し、駆動制御回路 150 を駆動制御回路 250 と置き換えた点である。よって、本実施の形態 2 では、実施の形態 1 と相違する部分のみの説明を記載し、実施の形態 1 と同様の部分の説明は省略する。

【0070】

出力モニタ回路 270 は、PMOS トランジスタ TP271 と、定電流源 CI271 とを有する。

10

【0071】

PMOS トランジスタ TP271 は、ソースが電源端子 Vcc、ドレインがノード N201、ゲートがノード N101 に接続される。定電流源 CI271 は、ノード N201 と接地端子 GND との間に接続され、ノード N201 から接地端子 GND 側へ定電流を出力する。

【0072】

上記のように、PMOS トランジスタ TP271 のゲートが PMOS トランジスタ TP111 と同様、ノード N101 に接続されている。このため、PMOS トランジスタ TP271 と PMOS トランジスタ TP111 とは、ゲート電位が同じミラー構成となっている。但し、出力モニタ回路 270 では、PMOS トランジスタ TP271 に流れる電流 I_m が、PMOS トランジスタ TP111 に流れる電流 I_{out} の例えば $1/100$ とするよう調整される。この調整方法としては、例えば PMOS トランジスタ TP271 と TP111 のゲート幅比 (W_{TP271}/W_{TP111}) を $1/100$ とする等がある。

20

【0073】

そして、出力モニタ回路 270 は、出力トランジスタである PMOS トランジスタ TP111 が駆動されている場合、ノード N201 が基準電圧 V_{th} となるように PMOS トランジスタ TP271 と、定電流源 CI271 とで調整されている。この基準電圧 V_{th} は、後述するように出力電圧 V_{out} が所定の電圧 V_{th} 以上であるかをモニターするために利用される。この基準電圧 V_{th} は、例えば、 $V_{cc} - 1V$ であってもよい。

30

【0074】

出力電圧比較回路 280 は、コンパレータ CMP281 を有する。コンパレータ CMP281 は、非反転入力端子が出力端子 OUT に接続され、出力電圧 V_{out} が入力される。また、反転入力端子がノード N201 に接続され、基準電圧 V_{th} が入力される。そして、出力電圧比較回路 280 は、出力電圧 V_{out} と基準電圧 V_{th} との比較結果を制御信号 SD として出力する。

【0075】

例えば、基準電圧 V_{th} を $V_{cc} - 1V$ とすると、出力電圧 V_{out} が $V_{cc} - 1V$ 以下の場合、コンパレータ CMP281 は、ロウレベルの制御信号 SD を出力し、出力電圧 V_{out} が $V_{cc} - 1V$ 以上の場合、コンパレータ CMP281 は、ハイレベルの制御信号 SD を出力する。

40

【0076】

駆動制御回路 250 は、遅延回路 DL251 と、AND 回路 AND251 ~ AND253 と、NAND 回路 NAND251 と、OR 回路 OR251 とを有する。

【0077】

遅延回路 DL251 は、入力信号 SIN が入力され、所定の遅延を付加し遅延入力信号として出力する。

【0078】

AND 回路 AND253 は、一方の入力端子に入力信号 SIN が入力され、他方の入力端子に遅延回路 DL251 からの遅延入力信号の反転信号が入力される。そして、積演算

50

結果を制御信号 S Eとして出力する。

【0079】

OR回路OR 251は、一方の入力端子に制御信号 S Eが入力され、他方の入力端子に制御信号 S Dが入力される。そして、和演算結果を制御信号 S Fとして出力する。

【0080】

NAND回路NAND 251は、一方の入力端子に制御信号 S Fが入力され、他方の入力端子に制御信号 S Cが入力される。そして、否定積演算結果を制御信号 S Gとして出力する。

【0081】

AND回路AND 251は、一方の入力端子に入力信号 S I Nが入力され、他方の入力端子に制御信号 S Gが入力される。そして、積演算結果を制御信号 S Aとして出力する。

【0082】

AND回路AND 252は、一方の入力端子に入力信号 S I Nが入力され、他方の入力端子に制御信号 S Gの反転信号が入力される。そして、積演算結果を制御信号 S Bとして出力する。

【0083】

なお、駆動制御回路250と、出力電圧比較回路140、280と、スイッチ回路SW 160と、出力モニタ回路270とで1つの制御回路を構成するとみなすこともできる。

【0084】

次に、本実施の形態2にかかる出力回路200の動作について図6を用いて説明する。図6は、負荷101を駆動中に短絡接地（地絡）が発生した場合の動作タイミングチャートである。

【0085】

図6に示すように、まず時刻t1に入力信号 S I Nがロウレベルからハイレベルに遷移する。この時点の出力端子O U Tに現れる出力電圧 V o u t は、ロウレベル（接地電圧 G N D）である。このように、出力電圧 V o u t が基準電圧 E 141（例えば、2 V）より小さいため、出力電圧比較回路140のコンパレータ C M P 141は、ロウレベルの制御信号 S Cを出力する。また、出力電圧比較回路280のコンパレータ C M P 281もロウレベルの制御信号 S Dを出力する。

【0086】

一方、AND回路AND 253は、入力信号 S I Nと所定の期間遅延した遅延入力信号の反転信号が入力され、その所定の期間、制御信号 S Eをロウレベルからハイレベルに遷移させる。これによりOR回路OR 251が制御信号 S Fをロウレベルからハイレベルに遷移させる。なお、NAND回路NAND 251は一方の入力制御信号 S Cがロウレベルのため制御信号 S Gはハイレベルを保持する。

【0087】

更に、入力信号 S I Nがロウレベルからハイレベルに遷移することからAND回路AND 251が制御信号 S Aをロウレベルからハイレベルに遷移し、スイッチ回路SW 160がオン状態となる。

【0088】

なお、制御信号 S Bは制御信号 S Gがハイレベルのため、その反転信号を入力するAND回路AND 252によりロウレベルのままでありNMOSトランジスタT N 121はオフ状態、入力信号 S I NがハイレベルのためPMOSトランジスタT P 121がオフ状態である。つまり、出力駆動回路120は非活性化状態となっており、出力駆動回路120が出力部110の動作に影響を与えることはない。

【0089】

スイッチ回路SW 160がオン状態となることで、ノードN 102とN 101が電氣的に導通する。このため、定電流制限回路130のPMOSトランジスタT P 131のドレイン電圧（ゲート電圧）である電圧 V 131と、出力部110のPMOSトランジスタT P 111のゲート電圧が同電位となる。このため、PMOSトランジスタT P 111が、

10

20

30

40

50

実施の形態 1 で説明した制限駆動状態となる。

【0090】

そして、制限駆動状態の PMOS トランジスタ TP111 が出力する出力電流 I_{out} (10 mA) が負荷 101 に流れ、出力電圧 V_{out} も徐々に上昇する。そして、時刻 t_2 に、出力電圧 V_{out} が基準電圧 $E141$ (例えば、2 V) 以上になると、コンパレータ CMP141 は、ハイレベルの制御信号 SC を出力する。制御信号 SC がハイレベルに遷移することにより、NAND 回路 NAND251 が制御信号 SG をハイレベルからロウレベルに遷移させる。

【0091】

この制御信号 SG のロウレベルへの遷移により、AND 回路 AND251 が制御信号 SA をハイレベルからロウレベルへ、AND 回路 AND252 が制御信号 SB をロウレベルからハイレベルへ遷移させる。制御信号 SA がロウレベルに遷移することから、スイッチ回路 SW160 がオフ状態となり、ノード N102 と N101 が電氣的に遮断される。このため、電圧 $V131$ がノード N101 に伝達されなくなる。

【0092】

また同時に、制御信号 SB がハイレベルに遷移することから、NMOS トランジスタ TN121 がオン状態となり、ノード N101 がロウレベル (接地電圧 GND) となる。よって、出力トランジスタである PMOS トランジスタ TP111 が、定電流制限回路 130 によって制限された制限駆動状態 (出力電流 $I_{out} = 10 \text{ mA}$) ではなく、通常のオン状態での通常駆動状態 ($I_{out} = 20 \text{ mA}$) となり負荷 101 を駆動する。

【0093】

なお、通常駆動状態の PMOS トランジスタ TP111 が出力する出力電流 I_{out} (20 mA) が負荷 101 に流れ、出力電圧 V_{out} が更に上昇する。時刻 t_3 に、出力電圧 V_{out} が基準電圧 V_{th} (例えば、 $V_{cc} - 1 \text{ V}$) を超えると、コンパレータ CMP281 は、ハイレベルの制御信号 SD を出力する。

【0094】

次に、時刻 t_4 において、負荷 101 で短絡接地 (地絡) が発生した場合を説明する。ここで、具体的な数値例として、電源電圧 V_{cc} が 10 V、PMOS トランジスタ TP111 のオン抵抗が 10 Ω 、負荷 101 の通常時 (短絡接地無し) のインピーダンスを 490 Ω とする。この場合、出力部 110 の PMOS トランジスタ TP111 が流す出力電流 I_{out} は、PMOS トランジスタ TP111 のオン抵抗 (10 Ω) と負荷 101 のインピーダンス (490 Ω) との和 (500 Ω) で、電源電圧 (10 V) を割った値 ($10 \text{ V} / 500 \Omega = 20 \text{ mA}$) となる。そして、このときの出力電圧 V_{out} は、9.8 V となる。

【0095】

上記のように時刻 t_4 に負荷 101 で短絡接地 (地絡) が発生し、負荷 101 のインピーダンスが 490 Ω から 10 Ω になったとすると、出力電流 I_{out} は、20 mA から 500 mA ($= 10 \text{ V} / 20 \Omega$) に急激に増加する。この場合、出力電圧 V_{out} も 5 V に低下しようとする。しかし、時刻 t_5 に出力電圧 V_{out} が、例えば 9 V ($= V_{cc} - 1 \text{ V}$) に設定された基準電圧 V_{th} より低下する。このため、コンパレータ CMP281 が制御信号 SD をハイレベルからロウレベルに遷移させる。この遷移によって、NAND 回路 NAND251 が制御信号 SG をハイレベルからロウレベルに遷移させる。そして、これにより AND 回路 AND251 が制御信号 SA をロウレベルからハイレベルへ、AND 回路 AND252 が制御信号 SB をハイレベルからロウレベルへ遷移させる。このため、再び時刻 t_1 から t_2 の状態と同様の制限駆動状態になり、上述したような大きな値の出力電流 I_{out} (500 mA) が流れることを防止する。

【0096】

なお、制限駆動状態の PMOS トランジスタ TP111 が出力する出力電流 I_{out} を 10 mA とすると、出力電圧 V_{out} は、0.1 V 程度まで低下する。そして、時刻 t_6 で、出力電圧 V_{out} が基準電圧 $E141$ (2 V) より低下するため、コンパレータ CM

10

20

30

40

50

P141が制御信号SCをハイレベルからロウレベルに遷移させる。

【0097】

そして、負荷101で短絡接地（地絡）が解消すると、再び出力電圧Voutが上昇し、時刻t7に出力電圧Voutが基準電圧E141（2V）以上になる。このため、時刻t2と同様、コンパレータCMP141は、ハイレベルの制御信号SCを出力する。そして、NAND回路NAND251が制御信号SGをハイレベルからロウレベルに遷移させ、再び、AND回路AND251が制御信号SAをハイレベルからロウレベルへ、AND回路AND252が制御信号SBをロウレベルからハイレベルへ遷移させる。制御信号SAがロウレベルに遷移することから、スイッチ回路SW160がオフ状態となり、ノードN102とN101が電氣的に遮断され、PMOSトランジスタTP111が制限駆動状態（Iout=10mA）から通常駆動状態（Iout=20mA）となり負荷101を駆動する。

10

【0098】

なお、PMOSトランジスタTP111が通常駆動状態となり出力電圧Voutが上昇し、時刻t8にt3と同様、出力電圧Voutが基準電圧Vthを超え、コンパレータCMP281がハイレベルの制御信号SDを出力する。

【0099】

その後、時刻t9に、入力信号SINがハイレベルからロウレベルに遷移すると、PMOSトランジスタTP121がオフし、更にAND回路AND252が制御信号SBをロウレベルに遷移させNMOSトランジスタTN121をオフ状態とする。このため、出力駆動回路120が非活性化し、出力電流Ioutが流れなくなり、出力電圧Voutも低下する。

20

【0100】

ここで、出力電圧Voutが基準電圧Vthより低下した場合であっても、今回は制御信号SAがハイレベルに遷移せず、スイッチ回路SW160はオフ状態を保持する。このため、PMOSトランジスタTP111が制限駆動状態とならず、時刻t10以降は時刻t1以前と同様の状態となる。

【0101】

なお、時刻t1以前から負荷101が短絡接地（地絡）である場合、制御信号SAがロウレベルに遷移せず、ハイレベルを保持する。このため、PMOSトランジスタTP111が制限駆動状態を維持し、実施の形態1の図3で説明した状態とほぼ同様となるため、本実施の形態2ではこの状態の説明を省略する。

30

【0102】

なお、上述したように本実施の形態2の出力回路200では、時刻t4にて、負荷101で短絡接地した場合には、出力電流Ioutは急激に増加する。しかしながら、このときの出力電流Ioutは、基準電圧Vthの値によって設定が可能である。例えば、VthをVcc-0.2Vとすれば、時刻t4にて短絡接地した場合の出力電流Ioutは40mAとすることができる。

【0103】

以上の様に、本実施の形態2の出力回路200では、実施の形態1と同様、定電流駆動の状態（制限駆動状態）からスタートして、短絡接地（地絡）が無ければ、通常駆動状態に移行する。更に、出力電圧Voutをモニターする出力モニタ回路270及び出力電圧比較回路280を備えることで、短絡接地（地絡）が発生した場合に、基準電圧E141よりも高い基準電圧VthをトリガーにPMOSトランジスタTP111を定電流駆動（制限駆動状態）にすることで、大電流の出力電流が出力されることを防ぐことが可能となる。このため、実施の形態1で説明したように、短絡接地に流れる出力電流のワースト値に合わせて回路規模を増大させる必要がなく、回路規模の増大化を防ぐことが可能である。また、電源回路の破損につながる心配もなく回路の安全性を向上させる効果も同様に有する。

40

【0104】

50

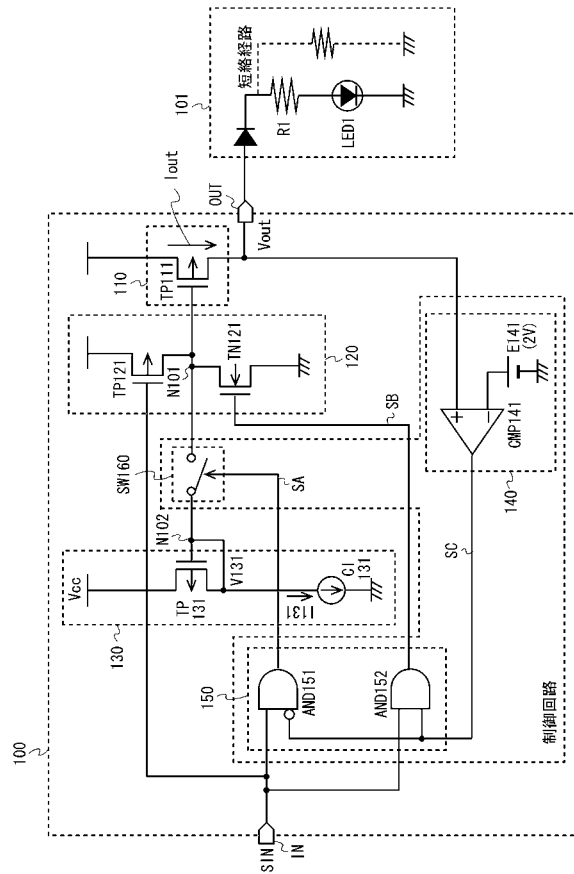
なお、本発明は上記実施の形態に限られたものでなく、趣旨を逸脱しない範囲で適宜変更することが可能である。例えば、図1、図5の出力回路100、200の回路構成において、電源電圧Vccと接地電圧GNDとの関係を逆にし、同時にMOSトランジスタの導電型を逆にした構成とすることで、短絡接地（地絡）ではなく、電源接地（電絡）にも対応可能となる。

【符号の説明】

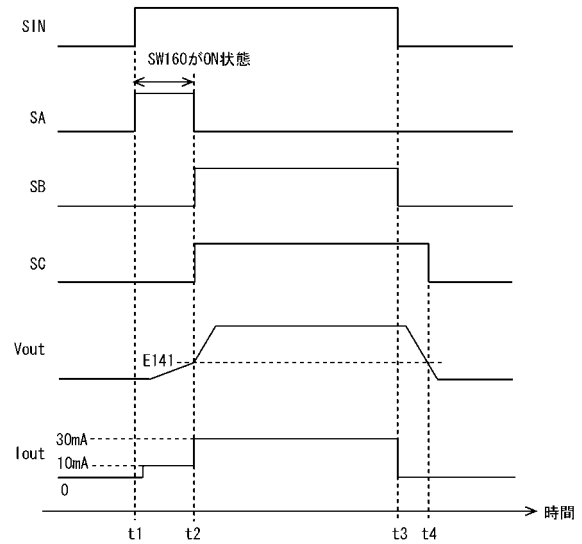
【0105】

100	出力回路	
110	出力部	
120	出力駆動回路	10
130	定電流制限回路	
140	出力電圧比較回路	
150	駆動制御回路	
SW160	スイッチ回路	
IN	入力端子	
OUT	出力端子	
TP111	PMOSトランジスタ	
TP121	PMOSトランジスタ	
TN121	NMOSトランジスタ	
TP131	PMOSトランジスタ	20
CI131	定電流源	
CMP141	コンパレータ	
E141	基準電圧源	
AND151、AND152	AND回路	
200	出力回路	
250	駆動制御回路	
270	出力モニタ回路	
280	出力電圧比較回路	
TP271	PMOSトランジスタ	
CI271	定電流源	30
CMP281	コンパレータ	
DL251	遅延回路	
AND251～AND253	AND回路	
NAND251	NAND回路	
OR251	OR回路	

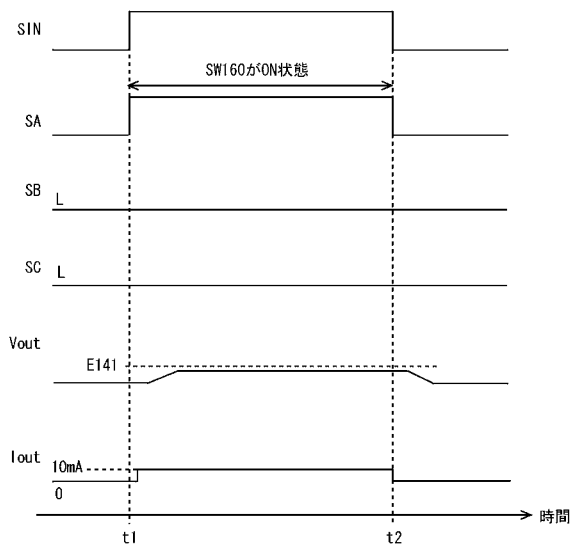
【図 1】



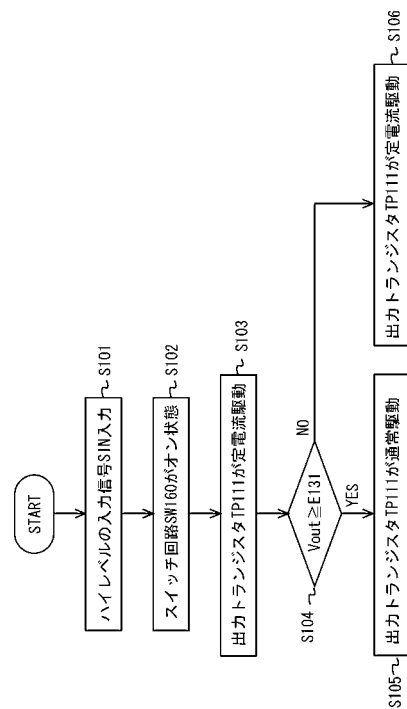
【図 2】



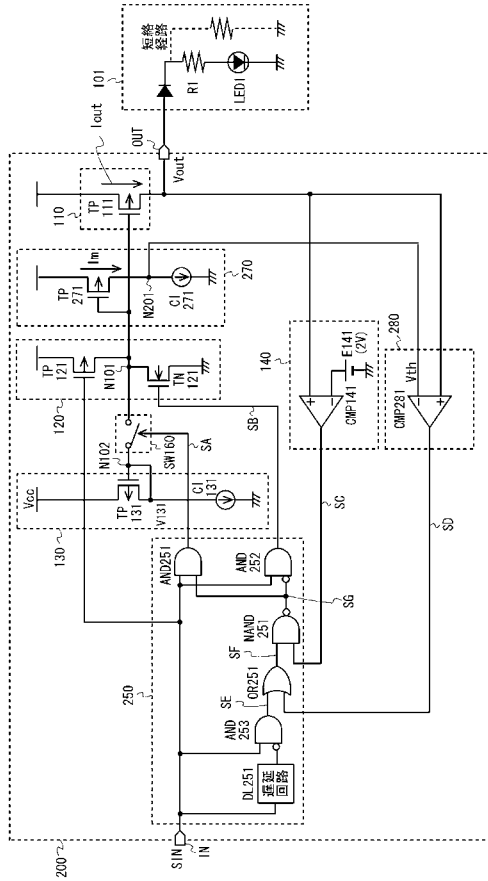
【図 3】



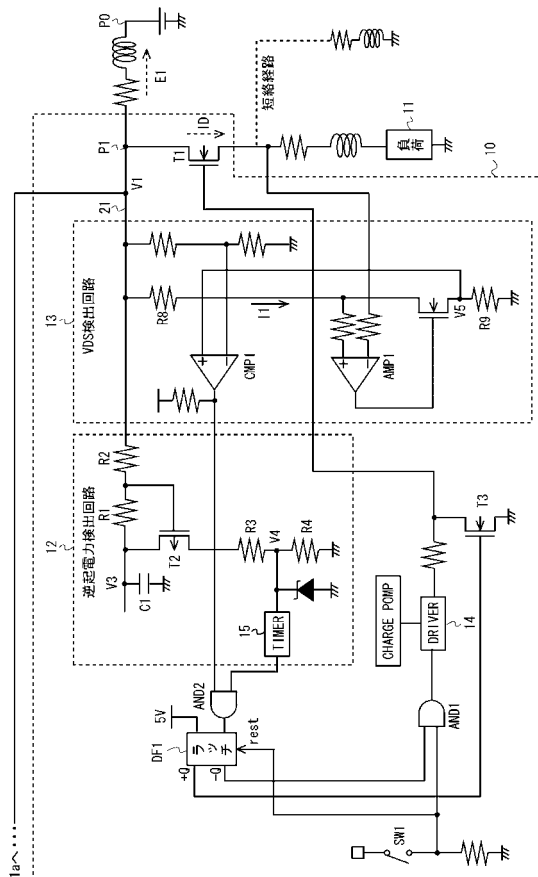
【図 4】



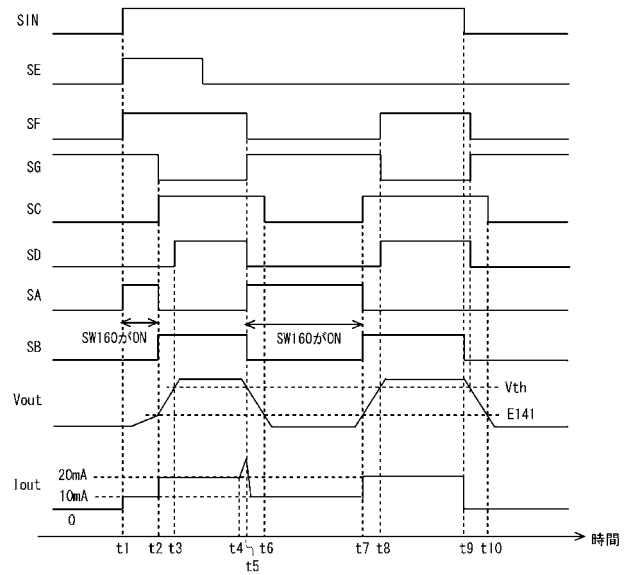
【図 5】



【図 7】



【図 6】



【図 8】

