

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-88742

(P2004-88742A)

(43) 公開日 平成16年3月18日(2004.3.18)

(51) Int.Cl.⁷

H03F 3/34

F I

H03F 3/34

A

テーマコード (参考)

5J500

H03F 3/34

C

審査請求 未請求 請求項の数 12 O L (全 28 頁)

(21) 出願番号 特願2003-173848 (P2003-173848)
 (22) 出願日 平成15年6月18日 (2003.6.18)
 (31) 優先権主張番号 特願2002-185363 (P2002-185363)
 (32) 優先日 平成14年6月25日 (2002.6.25)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000005821
 松下電器産業株式会社
 大阪府門真市大字門真1006番地
 (74) 代理人 100077931
 弁理士 前田 弘
 (74) 代理人 100094134
 弁理士 小山 廣毅
 (74) 代理人 100110939
 弁理士 竹内 宏
 (74) 代理人 100113262
 弁理士 竹内 祐二
 (74) 代理人 100115059
 弁理士 今江 克実
 (74) 代理人 100117710
 弁理士 原田 智雄

最終頁に続く

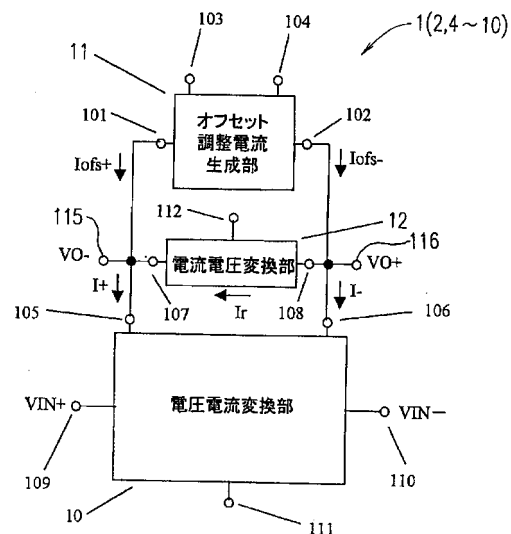
(54) 【発明の名称】 オフセット制御回路及び信号処理装置

(57) 【要約】

【課題】 高速動作が可能で、歪み特性の劣化による信号品質の低下を防ぎ、オフセット調整を精度よく行うことができるオフセット制御回路を提供する。

【解決手段】 電圧電流変換部10は差動入力電圧信号(V_{IN+} 、 V_{IN-})の電位差に比例する差動電流(I_+ 、 I_-)を生成し、オフセット調整電流生成部11はオフセット調整電流(I_{ofs+} 、 I_{ofs-})を生成し、電流電圧変換部12では差動端子107、108間の電位差に比例する電流(I_r)が流れる。差動電流出力端子105、106と、オフセット調整電流出力端子101、102と、差動端子107、108は接続されている。差動入力電圧信号(V_{IN+} 、 V_{IN-})に含まれるオフセット成分は、オフセット調整電流(I_{ofs+} 、 I_{ofs-})で調整され、差動入力電圧信号(V_{IN+} 、 V_{IN-})にオフセット成分を加えた差動出力電圧信号(V_{O+} 、 V_{O-})が生成される。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

一対の差動電圧入力端子から差動電圧が入力され、この差動入力電圧に含まれるオフセット電圧を調整し、この調整後の差動電圧を一対の差動電圧出力端子から出力するオフセット制御回路において、

前記一対の差動電圧入力端子及び一対の差動電流出力端子を有し、前記一対の差動電圧入力端子から入力される一対の差動入力電圧の電位差に応じた一対の差動出力電流を生成し、この一対の差動出力電流を前記一対の差動電流出力端子から出力する電圧電流変換部と、

前記電圧電流変換部の一対の差動電流出力端子に接続された一対のオフセット調整電流出力端子、及び2つ以上のオフセット調整電流制御端子を有し、前記オフセット調整電流制御端子から入力されるオフセット調整電流制御信号により制御されて、一対のオフセット調整電流を生成し、この一対のオフセット調整電流を前記一対のオフセット調整電流出力端子から出力するオフセット調整電流生成部と、

前記電圧電流変換部の前記一対の差動電流出力端子、前記オフセット調整電流生成部の一対のオフセット調整電流出力端子、及び前記一対の差動電圧出力端子に接続された一対の差動端子を有し、前記一対の差動端子を構成する2つの差動端子間に電流を流してこの電流をこの電流に応じた電圧に変換し、この変換された電圧を前記一対の差動電圧出力端子に発生させる電流電圧変換部とを備えた

ことを特徴とするオフセット制御回路。

10

20

【請求項 2】

請求項 1 記載のオフセット制御回路において、

前記電圧電流変換部は、

前記一対の差動電流出力端子に接続された一対のバイアス電流源と、

前記一対の差動電流出力端子の各々が各第 1 駆動端子に各々接続され、各ゲートが制御端子に共通接続された一対の第 1 トランジスタと、

前記一対の第 1 トランジスタの各第 2 駆動端子が各々、各第 1 駆動端子に各々接続され、その各ゲートが各々、前記一対の差動電圧入力端子に各々接続され、各第 2 駆動端子が基準電位供給点に各々接続された一対の第 2 トランジスタとを有する

ことを特徴とするオフセット制御回路。

30

【請求項 3】

一対の差動電圧入力端子から差動電圧が入力され、この差動入力電圧に含まれるオフセット電圧を調整し、この調整後の差動電圧を一対の差動電圧出力端子から出力するオフセット制御回路において、

前記一対の差動電圧入力端子、及び前記一対の差動電圧出力端子に接続された一対の差動電流出力端子を有する電圧電流変換部と、

一対のオフセット調整電流出力端子、及び2つ以上のオフセット調整電流制御端子を有するオフセット調整電流生成部と、

一対の差動端子を有する電流電圧変換部とを有し、

前記電圧電流変換部は、

前記一対の差動電流出力端子が接続された一対のバイアス電流源と、

前記一対の差動電流出力端子が第 1 駆動端子に接続され、ゲートが1対の制御端子に接続された一対の第 1 トランジスタと、

前記一対の第 1 トランジスタの第 2 駆動端子が第 1 駆動端子に接続され、ゲートが前記一対の差動電圧入力端子に各々接続され、第 2 駆動端子が基準電位供給点に各々接続された一対の第 2 トランジスタとを有し、

前記一対の差動電圧入力端子から入力される一対の差動入力電圧の電位差に応じた一対の差動出力電流を生成し、この差動出力電流を前記一対の差動電流出力端子から出力するものであり、

前記オフセット調整電流生成部は、

40

50

前記一対のオフセット調整電流出力端子が前記電圧電流変換部の一対の第2トランジスタの第1駆動端子に接続され、
前記オフセット調整電流制御端子から入力されるオフセット調整電流制御信号に制御されて、一対のオフセット調整電流を生成し、この一対のオフセット調整電流を前記一対のオフセット調整電流出力端子から出力するものであり、
前記電流電圧変換部は、
前記一対の差動端子が前記電圧電流変換部の前記一対の差動電流出力端子に接続され、
前記一対の差動端子を構成する2つの差動端子間に電流を流してこの電流をこの電流に応じた電圧に変換し、この変換された電圧を前記一対の差動電圧出力端子に発生させる
ことを特徴とするオフセット制御回路。

10

【請求項4】

請求項1記載のオフセット制御回路において、
前記電圧電流変換部は、
前記一対の差動電流出力端子の各々が各々接続された一対のバイアス電流源と、
前記一対の差動電流出力端子の各々が各第1駆動端子に各々接続され、その各ゲートが前記一対の差動電圧入力端子に各々接続された一対の第2トランジスタと、
前記一対の第2トランジスタの各第2駆動端子が各第1駆動端子に各々接続され、その各ゲートが制御端子に共通接続され、各第2駆動端子が基準電位供給点に各々接続された一対の第1トランジスタと、
前記一対の第2トランジスタの各第2駆動端子間に接続された所定抵抗値の抵抗手段とを有する
ことを特徴とするオフセット制御回路。

20

【請求項5】

請求項1記載のオフセット制御回路において、
前記電圧電流変換部は、
前記一対の差動電流出力端子の各々が各々接続された一対のバイアス電流源と、
前記一対の差動電流出力端子の各々が各第1駆動端子に各々接続され、その各ゲートが各々前記一対の差動電圧入力端子に各々接続され、各第2駆動端子が基準電位供給点に各々接続された一対のトランジスタとを有する
ことを特徴とするオフセット制御回路。

30

【請求項6】

請求項1又は3記載のオフセット制御回路において、
前記電流電圧変換部は、前記一対の差動端子の間に接続された所定抵抗値の抵抗手段である
ことを特徴とするオフセット制御回路。

【請求項7】

請求項1又は3記載のオフセット制御回路において、
前記電流電圧変換部は、
前記一対の差動端子の各々が各第1駆動端子に接続され、その各ゲートが入出力電流制御端子に共通接続された一対の第3トランジスタと、
前記一対の第3トランジスタの各第2駆動端子が各々、各第1駆動端子に各々接続され、その各ゲートが各々前記一対の差動端子に各々接続され、各第2駆動端子が基準電位供給点に各々接続された一対の第4トランジスタとを有した
ことを特徴とするオフセット制御回路。

40

【請求項8】

請求項1又は3記載のオフセット制御回路において、
前記電流電圧変換部は、前記一対の差動端子の間に接続された第5トランジスタであり、
前記第5トランジスタのゲートに入出力電流制御端子が接続された
ことを特徴とするオフセット制御回路。

【請求項9】

50

請求項 1 又は 3 記載のオフセット制御回路において、
前記オフセット調整電流生成部は、
電流源と、

前記電流源に各第 2 駆動端子が各々接続され、各ゲートに 2 つの前記オフセット調整電流制御端子が各々接続され、各第 1 駆動端子に前記一对のオフセット調整電流出力端子が各々接続された一对の第 6 トランジスタとを有することを特徴とするオフセット制御回路。

【請求項 10】

請求項 1 又は 3 記載のオフセット制御回路において、
前記オフセット調整電流生成部は、 n (n は自然数) 個のサブオフセット調整電流生成部を有し、

各サブオフセット調整電流生成部は、各々、

n ビットからなるレジスタ信号のうち重複しない何れかの 1 ビットの信号が入力されるオフセット調整電流制御端子と、

電流源と、

前記電流源に各第 2 駆動端子が各々接続され、前記オフセット調整電流制御端子が各ゲートの一方に接続されると共に前記各ゲートの他方にインバータを介して接続され、各第 1 駆動端子に前記一对の前記オフセット調整電流出力端子が各々接続された一对の第 7 トランジスタとを有し、

前記サブオフセット調整電流生成部にて生成された一对のサブオフセット調整電流が、各々、前記一对のオフセット調整電流出力端子の各々に供給される

ことを特徴とするオフセット制御回路。

【請求項 11】

請求項 1 又は請求項 3 記載のオフセット制御回路と、

前記オフセット制御回路によりオフセット電圧を調整された差動出力電圧について所定の処理を行う処理回路とを備え、

前記オフセット制御回路と前記処理回路とが 1 チップに形成されている

ことを特徴とする信号処理装置。

【請求項 12】

前記請求項 11 記載の信号処理装置であって、

前記信号処理装置は DVD 再生装置を構成しており、

前記オフセット制御回路は、DVD から読み出した信号に含まれるオフセット電圧を調整し、この調整後の信号を差動出力電圧として出力し、

前記処理回路は、

前記オフセット制御回路によりオフセット電圧を調整された差動出力電圧をフィルタ処理するフィルタを備えたフロントエンドと、

前記フロントエンドの出力信号を映像信号及び音声信号に変換するバックエンドとを備える

ことを特徴とする信号処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、入力電圧に対応した出力電圧に調整するオフセット制御回路に関する。

【0002】

【従来の技術】

従来、例えば演算増幅器の入出力に含まれるオフセット量を調整するために、図 16 に示すようなオフセット制御回路が用いられている。

【0003】

図 16 において、オフセット制御回路 200 は、演算増幅器 201 (オペアンプ) の出力端に抵抗 R_1 、 R_2 及び可変電圧発生源 202 が直列に接続され、抵抗 R_1 、 R_2 の接続

点が演算増幅器 201 の - 側入力端子に接続されて構成されている。演算増幅器 201 の + 側入力端子には入力電圧 V_{IN+} が入力され、その出力端子からは出力電圧 V_O が出力される。

【0004】

ここで、演算増幅器 201 の入力電圧 V_{IN} にオフセット電圧を付加して出力電圧 V_O を生成するために、可変電圧発生源 202 からの出力電圧 V_2 を変化自在に構成している。この演算増幅器 201 の - 側入力端子に印加される入力電圧 V_1 (V_{IN-}) は、演算増幅器 201 の特性から、+ 側入力端子への入力電圧 V_{IN+} と同じ電圧値になる。演算増幅器 201 からの出力電圧信号 V_O は、抵抗 R_1 及び R_2 、入力電圧 V_{IN+} 及び出力電圧 V_2 によって決定される。このため、演算増幅器 201 からの出力電圧 V_O は、可変電圧発生源 202 によりその出力電圧 V_2 を調整することによって、入力電圧 V_{IN} に対するオフセット量を調整して出力させることができる。

10

【0005】

【発明が解決しようとする課題】

しかしながら、前記従来のオフセット制御回路 200 では、演算増幅器 201 を用いており、この演算増幅器 201 の動作が低速であるため、高速動作には不向きである。また、演算増幅器 201 は、通常、使用する信号帯域の 10 倍 ~ 100 倍の帯域を持たないと正常な動作ができず、このため、大能力のトランジスタを使用する必要があるものの、この演算増幅器 201 を高速動作可能に構成するためには、更に大能力のトランジスタを使用する必要がある。その結果、消費電力が著しく増大すると共に、回路規模も大型化するという問題が生じる。

20

【0006】

また、前記従来のオフセット制御回路 200 は、演算増幅器 201 に一つの入力電圧 V_{IN+} が入力されるシングル構成であるため、入力電圧信号 V_{IN+} にノイズ成分などのような非理想要因の成分があった場合には、信号電圧の歪み特性に劣化が生じて出力電圧 V_O の品質が低下する。

【0007】

このような歪み特性が劣化することを防ぐために、オフセット制御回路に一对の差動入力電圧を入力して、両入力電圧間の電圧差に比例する差動出力電圧を生成させ、これを用いてオフセット調整を行うことが考えられる。実際に、高精度のアナログ信号処理を行う際には、信号電圧の歪み特性が劣化することを防ぐために、差動出力電圧によるオフセット調整を行うことが必要である。

30

【0008】

しかしながら、前記従来のオフセット制御回路 200 を用いて、差動出力電圧によるオフセット調整を行うためには、オフセット制御回路 200 が 2 つ必要になり、回路規模が増加するという問題がある。

【0009】

本発明は、前記従来の問題を解決するものであり、その目的は、回路規模の増加がなく小型化でき、高速動作が可能で、しかも、信号歪み特性の劣化をも防ぐことができるオフセット制御回路を提供することにある。

40

【0010】

【課題を解決するための手段】

前記の目的を達成するため、本発明では、差動入力電圧を電流値に変換し、その後、この差動電流値にオフセット調整電流を加え、そして、このオフセット調整電流が加えられた差動電流値を電圧値に変換することにより、オフセット制御回路として、演算増幅器を用いることなく、高速且つ信号歪み特性の劣化が少ないようにする。

【0011】

具体的に、請求項 1 記載の発明のオフセット制御回路では、一对の差動電圧入力端子から差動電圧が入力され、この差動入力電圧に含まれるオフセット電圧を調整し、この調整後の差動電圧を一对の差動電圧出力端子から出力するオフセット制御回路において、前記一

50

対の差動電圧入力端子及び一対の差動電流出力端子を有し、前記一対の差動電圧入力端子から入力される一対の差動入力電圧の電位差に応じた一対の差動出力電流を生成し、この一対の差動出力電流を前記一対の差動電流出力端子から出力する電圧電流変換部と、前記電圧電流変換部の一対の差動電流出力端子に接続された一対のオフセット調整電流出力端子、及び2つ以上のオフセット調整電流制御端子を有し、前記オフセット調整電流制御端子から入力されるオフセット調整電流制御信号により制御されて、一対のオフセット調整電流を生成し、この一対のオフセット調整電流を前記一対のオフセット調整電流出力端子から出力するオフセット調整電流生成部と、前記電圧電流変換部の一対の差動電圧出力端子、前記オフセット調整電流生成部の一対のオフセット調整電流出力端子、及び前記一対の差動電圧出力端子に接続された一対の差動端子を有し、前記一対の差動端子を構成する2つの差動端子間に電流を流してこの電流をこの電流に応じた電圧に変換し、この変換された電圧を前記一対の差動電圧出力端子に発生させる電流電圧変換部とを備えたことを特徴とする。

10

【0012】

また、請求項2記載の発明では、前記請求項1記載のオフセット制御回路において、前記電圧電流変換部は、前記一対の差動電流出力端子に接続された一対のバイアス電流源と、前記一対の差動電流出力端子の各々が各第1駆動端子に各々接続され、各ゲートが制御端子に共通接続された一対の第1トランジスタと、前記一対の第1トランジスタの各第2駆動端子が各々、各第1駆動端子に各々接続され、その各ゲートが各々、前記一対の差動電圧入力端子に各々接続され、各第2駆動端子が基準電位供給点に各々接続された一対の第2トランジスタとを有することを特徴とする。

20

【0013】

更に、請求項3記載の発明のオフセット制御回路では、一対の差動電圧入力端子から差動電圧が入力され、この差動入力電圧に含まれるオフセット電圧を調整し、この調整後の差動電圧を一対の差動電圧出力端子から出力するオフセット制御回路において、前記一対の差動電圧入力端子及び一対の差動電流出力端子を有する電圧電流変換部と、一対のオフセット調整電流出力端子、及び2つ以上のオフセット調整電流制御端子を有するオフセット調整電流生成部と、一対の差動端子を有する電流電圧変換部とを有し、前記電圧電流変換部は、前記一対の差動電流出力端子が接続された一対のバイアス電流源と、前記一対の差動電流出力端子が第1駆動端子に接続され、ゲートが1対の制御端子に接続された一対の第1トランジスタと、前記一対の第1トランジスタの第2駆動端子が第1駆動端子に接続され、ゲートが前記一対の差動電圧入力端子に各々接続され、第2駆動端子が基準電位供給点に各々接続された一対の第2トランジスタとを有し、前記一対の差動電圧入力端子から入力される一対の差動入力電圧の電位差に応じた一対の差動出力電流を生成し、この差動出力電流を前記一対の差動電流出力端子から出力するものであり、前記オフセット調整電流生成部は、前記一対のオフセット調整電流出力端子が前記電圧電流変換部の一対の第2トランジスタの第1駆動端子に接続され、前記オフセット調整電流制御端子から入力されるオフセット調整電流制御信号に制御されて、一対のオフセット調整電流を生成し、この一対のオフセット調整電流を前記一対のオフセット調整電流出力端子から出力するものであり、前記電流電圧変換部は、前記一対の差動端子が前記電圧電流変換部の一対の差動電圧出力端子に接続され、前記一対の差動端子を構成する2つの差動端子間に電流を流してこの電流をこの電流に応じた電圧に変換し、この変換された電圧を前記一対の差動電圧出力端子に発生させることを特徴とする。

30

40

【0014】

加えて、請求項4記載の発明では、前記請求項1記載のオフセット制御回路において、前記電圧電流変換部は、前記一対の差動電流出力端子の各々が各々接続された一対のバイアス電流源と、前記一対の差動電流出力端子の各々が各第1駆動端子に各々接続され、その各ゲートが前記一対の差動電圧入力端子に各々接続された一対の第2トランジスタと、前記一対の第2トランジスタの各第2駆動端子が各第1駆動端子に各々接続され、その各ゲートが制御端子に共通接続され、各第2駆動端子が基準電位供給点に各々接続された一対

50

の第1トランジスタと、前記一对の第2トランジスタの各第2駆動端子間に接続された所定抵抗値の抵抗手段とを有することを特徴とする。

【0015】

また、請求項5記載の発明では、前記請求項1記載のオフセット制御回路において、前記電圧電流変換部は、前記一对の差動電流出力端子の各々が各々接続された一对のバイアス電流源と、前記一对の差動電流出力端子の各々が各第1駆動端子に各々接続され、その各ゲートが各々前記一对の差動電圧入力端子に各々接続され、各第2駆動端子が基準電位供給点に各々接続された一对のトランジスタとを有することを特徴とする。

【0016】

更に、請求項6記載の発明では、前記請求項1又は3記載のオフセット制御回路において、前記電流電圧変換部は、前記一对の差動端子の間に接続された所定抵抗値の抵抗手段であることを特徴とする。 10

【0017】

加えて、請求項7記載の発明では、前記請求項1又は3記載のオフセット制御回路において、前記電流電圧変換部は、前記一对の差動端子の各々が各第1駆動端子に接続され、その各ゲートが前記入出力電流制御端子に共通接続された一对の第3トランジスタと、前記一对の第3トランジスタの各第2駆動端子が各々、各第1駆動端子に各々接続され、その各ゲートが各々前記一对の差動端子に各々接続され、各第2駆動端子が基準電位供給点に各々接続された一对の第4トランジスタとを有することを特徴とする。

【0018】

また、請求項8記載の発明では、前記請求項1又は3記載のオフセット制御回路において、前記電流電圧変換部は、前記一对の差動端子の間に接続された第5トランジスタであり、前記第5トランジスタのゲートに入出力電流制御端子が接続されることを特徴とする。 20

【0019】

更に、請求項9記載の発明では、前記請求項1又は3記載のオフセット制御回路において、前記オフセット調整電流生成部は、電流源と、前記電流源に各第2駆動端子が各々接続され、各ゲートに2つの前記オフセット調整電流制御端子が各々接続され、各第1駆動端子に前記一对のオフセット調整電流出力端子が各々接続された一对の第6トランジスタとを有することを特徴とする。

【0020】

加えて、請求項10記載の発明では、前記請求項1又は3記載のオフセット制御回路において、前記オフセット調整電流生成部は、 n (n は自然数)個のサブオフセット調整電流生成部を有し、各サブオフセット調整電流生成部は各々、 n ビットからなるレジスタ信号のうち重複しない何れかの1ビットの信号が入力されるオフセット調整電流制御端子と、電流源と、前記電流源に各第2駆動端子が各々接続され、前記オフセット調整電流制御端子が各ゲートの一方に接続されると共に前記各ゲートの他方にインバータを介して接続され、各第1駆動端子に前記一对の前記オフセット調整電流出力端子が各々接続された一对の第7トランジスタとを有し、前記サブオフセット調整電流生成部にて生成された一对のサブオフセット調整電流が、各々、前記一对のオフセット調整電流出力端子の各々に供給されることを特徴とする。 30

【0021】

また、請求項11記載の発明の信号処理装置では、前記請求項1又は請求項3記載のオフセット制御回路と、前記オフセット制御回路によりオフセット電圧を調整された差動出力電圧について所定の処理を行う処理回路とを備え、前記オフセット制御回路と前記処理回路とが1チップに形成されていることを特徴としている。 40

【0022】

更に、請求項12記載の発明の信号処理装置では、前記請求項11記載の信号処理装置であって、前記信号処理装置はDVD再生装置を構成しており、前記オフセット制御回路は、DVDから読み出した信号に含まれるオフセット電圧を調整し、この調整後の信号を差動出力電圧として出力し、前記処理回路は、前記オフセット制御回路によりオフセット電 50

圧を調整された差動出力電圧をフィルタ処理するフィルタを備えたフロントエンドと、前記フロントエンドの出力信号を映像信号及び音声信号に変換するバックエンドとを備えることを特徴とする。

【0023】

以上により、請求項1～請求項12記載の発明は、次の作用を奏する。

【0024】

即ち、本発明にあつては、差動入力電圧信号(V_{IN+} 、 V_{IN-})の電位差に比例する差動出力電流(I_{+} 、 I_{-})が出力される電圧電流変換部の差動電流出力端子と、オフセット調整電流(I_{ofs+} 、 I_{ofs-})が出力されるオフセット調整電流生成部のオフセット調整電流出力端子と、差動端子間の電位差に比例する差動入出力電流(I_r)が入出力される電流電圧変換部の差動端子とが接続されているため、差動端子に接続された差動電圧出力端子からは、差動出力電流とオフセット調整電流との加算電流に比例した差動出力電圧(V_{O+} 、 V_{O-})が出力される。よって、差動入力電圧(V_{IN+} 、 V_{IN-})にオフセット電圧(V_{off+} 、 V_{off-})が含まれていても、そのオフセット電圧をオフセット調整電流(I_{ofs+} 、 I_{ofs-})によって調整することができ、差動入力電圧(V_{IN+} 、 V_{IN-})にオフセット電圧に応じたオフセット調整信号を加えて差動出力電圧(V_{O+} 、 V_{O-})を生成することができる。

【0025】

従つて、差動入力電圧へのオフセット調整電圧の加算は、差動出力電流(I_{+} 、 I_{-})及びオフセット調整電流(I_{ofs+} 、 I_{ofs-})に変換した後に電流加算により行うため、オフセット電圧調整を高速に行うことが可能となる。

【0026】

また、従来のオフセット制御回路のように演算増幅器(オペアンプ)を必要としないので、回路規模の小型化を図ることができ、また、差動信号処理を行うため、ノイズに強く、信号の歪みも生じ難い。

【0027】

【発明の実施の形態】

以下に、本発明のオフセット制御回路の第1～第10の実施の形態について、図面を参照しながら説明する。

【0028】

(第1の実施の形態)

図1は、本発明のオフセット制御回路を含むDVD信号再生処理システムの全体構成を示す。

【0029】

同図のDVD信号再生処理システム(信号処理装置)において、40はDVD又はCD(以下、DVDで代表する)、41は前記DVDから信号を取り出す光ピックアップであつて、レーザドライバ42により駆動される。このレーザドライバ42はレーザコントローラ43により制御される。また、44は前記DVD40を回転駆動するディスクモータであつて、モータドライバ45により駆動される。

【0030】

また、50はフロントエンド、60はバックエンド、70はシステムコントローラであつて、これ等は同一チップ上に搭載されて、1チップ化されている。前記フロントエンド50は、概述すると、DVD40からのデータの読み出し、復調及びエラー訂正等を含むデータ抽出処理を行うと共に、前記レーザコントローラ43及びモータドライバ45に制御信号を出力して、サーボ制御及びレーザ制御を行う。一方、前記バックエンド60は、前記フロントエンド50から送られて来るDVD40の再生信号を、映像信号及び音声信号に変換する。更に、前記システムコントローラ70は、前記フロントエンド50の一連の処理と前記バックエンド60の一連の処理とを統括する。

【0031】

前記フロントエンド50は、主要部として、前記光ピックアップ41によりDVD40か

ら読み出した信号のノイズ除去などの処理を行うアナログフロントエンド51と、デジタルPRMLリードチャネル52とを有する。前記アナログフロントエンド51は、後述するように、本発明に係るオフセット制御回路51c(図2参照)を有する。このアナログフロントエンド51は、サーボフォーカスエラー信号及びトラッキングエラー信号を算出し、これ等信号をサーボDSP53に出力する。このサーボDSP53は、光ピックアップ41がDVD40上の記録データを正確にトレースするようにモータドライバ45を制御すると共に、前記レーザコントローラ43を制御して、レーザパワー制御を行う。

【0032】

前記PRMLリードチャネル52は、前記アナログフロントエンド51と共に、再生信号が符号間干渉を受ける特性を利用して元の波形を再生するPR(Partical Response)処理を行うと共に、DVD40の記録信号の特徴に基づいて再生信号から最も確率の高いデータを読み取る。前記PRMLリードチャネル52から抽出されたデータは、フォーマットFMTに出力される。ECC54は、前記抽出データのリードソロモンによる誤り訂正(Error-Correcting Code)を行う。復調、誤り訂正が終了したデータはAUDIO/VISUALインターフェースI/Fを介してバックエンド60に出力される。以上の処理の制御は、32ビットCPU55により行われる。

10

【0033】

一方、前記バックエンド60は、IOPロセッサ61、ピクセル制御プロセッサ62及びAVデコードプロセッサ63を有する。前記フロントエンド50からストリームインターフェース64を介して入力されたAUDIO/VISUALデータは、前記IOPロセッサ61によるストリーム解析、前記ピクセル制御プロセッサ62によるピクセル処理、及び前記AVデコードプロセッサ63によるデコード処理が施されて、AVインターフェース65を介して、音声/映像データとして出力される。

20

【0034】

図1において、SDRAM80はチップの外付けで備えられており、前記フロントエンド50及びバックエンド60で共用される。このSDRAM80へのアクセスは、バックエンド60内に備えたSDRAMインターフェース66が統括する。フロントエンド50がSDRAM80にアクセスする場合には、フロントエンド50内に備えたUMAC56を介してSDRAMインターフェース66へアクセスされる。

30

【0035】

前記アナログフロントエンド51及びPRMLリードチャネル52の内部構成を図2に示す。

【0036】

同図において、アナログフロントエンド51は、アナログバッファ51a、VGA回路51b、本発明に係るオフセット制御回路51c、5次Gm-Cフィルタ51d、2個のDAC(Digital Analog Converter)51e、ウォブル検出器51f、及びサーボ前処理回路51gとを備える。一方、PRMLリードチャネル52は、7ビットのADC(Analog Digital Converter)52a、7タップのFIR(適応等化)フィルタ52b、ピタビ復号器52c、LMS52d、デジタルコントローラ52e、及びPLL52fを備える。前記PR処理は、フロントエンド51の5次Gm-Cフィルタ51dとPRMLリードチャネル52のFIRフィルタ52bにより行われる。PRMLリードチャネル52は、前記ADC52aにより量子化されたデータを検波処理してピーク・ボトム検出を行い、この検波結果に基づいてRF信号の振幅制御と前記オフセット制御回路51cでのオフセット制御を行う。このオフセット制御は、8ビットのデジタル制御により行われる。

40

【0037】

次に、前記アナログフロントエンド51に設けたオフセット制御回路51cについて、具体的に説明する。

【0038】

50

図 3 は、本発明のオフセット制御回路の第 1 の実施の形態における構成例を示すブロック図である。

【 0 0 3 9 】

図 3 において、このオフセット制御回路 1 は、電圧電流変換部 1 0 と、電圧電流変換部 1 0 の両出力端に各々接続されたオフセット調整電流生成部 1 1 と、電圧電流変換部 1 0 の両出力端に各々接続された電流電圧変換部 1 2 とを有している。

【 0 0 4 0 】

電圧電流変換部 1 0 は、一对の差動電圧入力端子 1 0 9 及び 1 1 0 と、制御端子 1 1 1 と、一对の差動電流出力端子 1 0 5 及び 1 0 6 とを有しており、各差動入力電圧 V_{IN+} 及び V_{IN-} 各々が一对の差動電圧入力端子 1 0 9 及び 1 1 0 に各々入力され、制御端子 1 1 1 に入力される制御信号によって制御されて、差動入力電圧 V_{IN+} 及び V_{IN-} に各々比例する差動出力電流 $I+$ 及び $I-$ を各々生成する。生成された差動出力電流 $I+$ 及び $I-$ は各々、一对の差動電流出力端子 1 0 5 及び 1 0 6 から各々出力される。

【 0 0 4 1 】

この電圧電流変換部 1 0 の変換係数を G_m とすると、差動入力電圧 V_{IN+} 及び V_{IN-} と、差動出力電流 $I+$ 及び $I-$ との間には各々、

$$I+ = G_m \times V_{IN+} \quad (\text{式 1})$$

$$I- = G_m \times V_{IN-} \quad (\text{式 2})$$

の関係式が成立する。

【 0 0 4 2 】

オフセット調整電流生成部 1 1 は、一对のオフセット調整電流出力端子 1 0 1 及び 1 0 2 と、オフセット調整電流制御端子 1 0 3 及び 1 0 4 とを有しており、オフセット調整電流制御端子 1 0 3 及び 1 0 4 に各々入力される制御信号によって制御されて、各オフセット調整電流 I_{ofs+} 及び I_{ofs-} が各々生成される。生成された各オフセット調整電流 I_{ofs+} 及び I_{ofs-} は各々、一对のオフセット調整電流出力端子対 1 0 1 及び 1 0 2 から各々出力される。

【 0 0 4 3 】

電流電圧変換部 1 2 は、一对の差動端子 1 0 7 及び 1 0 8 と、入出力電流制御端子 1 1 2 とを有しており、一对の差動端子 1 0 7 及び 1 0 8 間の電位差に比例する電流（差動入出力電流） I_r が流れるようになっている。電流電圧変換部 1 2 の差動端子 1 0 7 は、電圧電流変換部 1 0 の差動電流出力端子 1 0 5 とオフセット調整電流生成部 1 1 のオフセット調整電流出力端子 1 0 1 とに接続され、また同様に、電流電圧変換部 1 2 の差動端子 1 0 8 は、電圧電流変換部 1 0 の差動電流出力端子 1 0 6 とオフセット調整電流生成部 1 1 のオフセット調整電流出力端子 1 0 2 とに接続されている。これらの一对の差動端子 1 0 7 及び 1 0 8 は各々、各差動出力電圧信号 V_{O-} 及び V_{O+} が各々出力される一对の差動電圧出力端子 1 1 5 及び 1 1 6 に各々接続されている。

【 0 0 4 4 】

このように構成された本実施の形態のオフセット制御回路 1 において、電流電圧変換部 1 2 に流れる差動入出力電流を I_r とし、差動端子 1 0 8 から差動端子 1 0 7 の方向に内部を流れる電流の向きを正とすると、差動端子 1 0 7 においては、

$$I+ = I_r + I_{ofs+} \quad (\text{式 3})$$

という関係式が成立し、差動端子 1 0 8 においては、

$$I- = -I_r + I_{ofs-} \quad (\text{式 4})$$

の関係式が成立する。

【 0 0 4 5 】

前記（式 3）及び前記（式 4）から、電流電圧変換部 1 2 の差動端子 1 0 7 及び 1 0 8 間

に流れる差動入出力電流 I_r を求めると、

$$I_r = (1/2) \times [(I_+ - I_-) + (I_{ofs+} - I_{ofs-})] \quad (式5)$$

$$= (1/2) \times [(I_+ + I_{ofs+}) - (I_- + I_{ofs-})] \quad (式6)$$

となる。前記差動入出力電流 I_r は、前記(式1)、前記(式2)及び前記(式5)から、

$$I_r = (1/2) \times G_m (V_{IN+} - V_{IN-}) + (1/2) \times (I_{ofs+} - I_{ofs-}) \quad (式7) \quad 10$$

となる。

【0046】

従って、差動電圧出力端子116及び115から出力される差動出力電圧($V_{O+} - V_{O-}$)は、電流電圧変換部12の変換係数をRとすると、

$$\begin{aligned} V_{O+} - V_{O-} &= I_r \times R \quad (式8) \\ &= [(1/2) \times G_m (V_{IN+} - V_{IN-}) \\ &\quad + (1/2) \times (I_{ofs+} - I_{ofs-})] \times R \quad (式9) \quad 20 \end{aligned}$$

となる。

【0047】

次に、差動電圧入力端子109及び110から各々入力される差動入力電圧信号 V_{IN+} 及び V_{IN-} にオフセット電圧が含まれている場合を考える。差動入力電圧 V_{IN+} 及び V_{IN-} のオフセット電圧を各々 V_{off} とすると、電圧電流変換部10から出力される差動出力電流 I_+ 及び I_- は各々、

$$I_+ = G_m \times (V_{IN+} + V_{off}) \quad (式10) \quad 30$$

$$I_- = G_m \times (V_{IN-} - V_{off}) \quad (式11)$$

となる。

【0048】

従って、オフセット制御回路1において、電流電圧変換部12内に流れる差動入出力電流の I_r は、前記(式6)、前記(式10)及び前記(式11)から、

$$\begin{aligned} I_r &= (1/2) \times [(G_m \times (V_{IN+} + V_{off}) + I_{ofs+}) \\ &\quad - (G_m \times (V_{IN-} - V_{off}) + I_{ofs-})] \quad (式12) \quad 40 \end{aligned}$$

となる。これにより、差動出力電圧($V_{O+} - V_{O-}$)は、

$$\begin{aligned} V_{O+} - V_{O-} &= (1/2) \times R \times G_m \times (V_{IN+} - V_{IN-}) \\ &\quad + (1/2) \times R \times [(G_m \times V_{off} + I_{ofs+}) \\ &\quad - (-G_m \times V_{off} + I_{ofs-})] \quad (式13) \end{aligned}$$

となる。

【0049】

前記(式13)から、オフセット制御回路1の差動出力電圧 V_{O+} 及び V_{O-} については、差動入力電圧 V_{IN+} 及び V_{IN-} のオフセット電流($G_m \times V_{off}$)が、オフセット調整電流 I_{ofs+} 及び I_{ofs-} により調整されていることが判る。

【0050】

以上のように、本実施の形態によれば、差動信号処理を基本とするため、入力電圧とオフセット電圧の加算に従来のような演算増幅器201を必要としない。更に、入力電圧に対するオフセット電圧の加算は、入力電圧、オフセット電圧を各々電流に変換した後に、キルヒホッフの法則に基づいた簡単な構成の電流加算によって実現されるので、非常に高速にオフセット電圧の調整を行うことができる。

【0051】

また、従来の演算増幅器201を用いたオフセット加算方式では、演算増幅器201の帯域を入力信号帯域よりも1桁～2桁程度高くする必要があり、回路規模の増加、消費電力の増加、処理速度上限の低下などが問題となるが、本第1の実施の形態によれば、キルヒホッフの法則に基づいて電流を加算するだけという簡単な構成により、回路規模をより縮小できると共に、より高速なオフセット加算処理を行うことができる。

【0052】

更に、本実施の形態のオフセット制御回路1は、差動信号処理を基本とするため、ノイズに強く、また、信号の歪みも生じ難い。従来のオフセット制御回路200を用いた場合でも、オフセット制御回路200を2系統設けることにより、差動信号処理を行うことができるが、これには2倍の回路規模と消費電力とが必要である。これに対して、本実施の形態のオフセット制御回路1では、より縮小された回路規模でもって、差動信号を用いたオフセット調整処理を行うことが可能である。

【0053】

尚、本実施の形態では、オフセット制御回路1を含むフロントエンド50、バックエンド60及びシステムコントローラ70を1チップ化したのが、オフセット制御回路1を含むフロントエンド50のみを1チップ化しても良いのは勿論である。

【0054】

また、本実施の形態では、DVD信号再生処理システムに備えるオフセット制御回路1について説明したが、本発明はこれに限定されず、DVD信号再生処理システムに以外に備えるオフセット制御回路についても同様に適用できるのは勿論である。この場合には、オフセット制御回路と、このオフセット制御回路によりオフセット電圧を調整された差動出力電圧について所定の処理を行う処理回路とを1チップ化すれば良い。

【0055】

(第2の実施の形態)

本第2の実施の形態では、電圧電流変換部10の一具体例として電圧電流変換回路10Aを用いてオフセット制御回路2を実現する場合である。

【0056】

図4は、図3の電圧電流変換部10の一具体例を示す回路図である。

【0057】

図4において、電圧電流変換部10Aは、一对のバイアス電流源301及び302と、これらに各々接続された一对のN型の第1トランジスタM3及びM4と、これらに各々接続された一对のN型の第2トランジスタM1及びM2とを有している。

【0058】

バイアス電流源301及び302は各々、差動電流出力端子105及び106に各々接続されており、バイアス電流 I_b が各々流れるようになっている。

【0059】

第1トランジスタM3及びM4は各々の各ゲートが制御端子111と共通接続されており、その各ゲートに制御電圧 V_{bias} が入力される。また、第1トランジスタM3及びM4は、各々各ドレインが差動電流出力端子105及び106に各々接続されており、差動電流出力端子105及び106から各々差動電流 I_+ 及び I_- が各々出力される。

10

20

30

40

50

【 0 0 6 0 】

前記 N 型の第 2 トランジスタ M 1 及び M 2 は、各々の各ゲートが差動電圧入力端子 1 0 9 及び 1 1 0 に各々接続されており、差動入力電圧信号 V I N + 及び V I N - が各々入力される。また、前記 N 型の第 2 トランジスタ M 1 及び M 2 は、各々の各ドレインが第 1 トランジスタ M 3 及び M 4 の各ソースに各々接続され、各ソースが各々接地されている。

【 0 0 6 1 】

前記構成により、電圧電流変換回路 1 0 A において、N 型の第 1 トランジスタ M 3 及び M 4 は各々ソースフォロワ回路として動作し、その各ゲートに制御電圧 V b i a s が各々入力され、N 型の各第 1 トランジスタ M 3 及び M 4 によって、しきい値電圧 V t h 分程度低くなった各電圧が各ソースから各々出力される。これによって、N 型の第 2 トランジスタ M 1 及び M 2 の各ドレイン電圧が一定に保たれ、N 型の第 2 トランジスタ M 1 及び M 2 のドレイン - ソース間電圧 V d s はほぼ一定に保たれる。

10

【 0 0 6 2 】

N 型の第 2 トランジスタ M 1 及び M 2 は、各々、非飽和領域で動作するようにバイアスされている。このとき、N 型の両第 2 トランジスタ M 1 及び M 2 に流れるドレイン電流 I D S 1 及び I D S 2 は各々、

$$I D S 1 = \beta \times (V I N + - V t h - V d s / 2) \times V d s \quad (式 1 4)$$

$$I D S 2 = \beta \times (V I N - - V t h - V d s / 2) \times V d s \quad (式 1 5)$$

20

(但し、 β は第 2 トランジスタ M 1 及び M 2 のトランスコンダクタンス、V d s は N 型の第 2 トランジスタ M 1 及び M 2 のドレイン - ソース間電圧とする。)

と表される。

【 0 0 6 3 】

ここで、本第 2 の実施の形態の電圧電流変換部 1 0 A において、差動出力電流 (I + - I -) は I D S 1 - I D S 2 に等しく、この差動出力電流が電流電圧変換部 1 2 に流れ込む。従って、

$$\begin{aligned} I + - I - &= I D S 1 - I D S 2 \\ &= \beta \times (V I N + - V I N -) \times V d s \end{aligned} \quad (式 1 6)$$

30

となる。

【 0 0 6 4 】

前記 (式 1 6) から、差動出力電流 I + - I - は差動入力電圧 V I N + - V I N - に比例し、その比例係数 (変換係数) G m は $\beta \times V d s$ となることが判る。

【 0 0 6 5 】

以上のように、本第 2 の実施の形態の電圧電流変換回路 1 0 A は、差動電圧電流変換回路として動作する。よって、これを図 3 の電圧電流変換部 1 0 に適用することによって、本第 2 の実施の形態のオフセット制御回路 2 を実現することができる。この電圧電流変換回路 1 0 A は、N 型の第 2 トランジスタ M 1 及び M 2 が非飽和領域で動作するようにバイアスすることにより、信号の歪みを少なくすることができ、この電圧電流変換回路 1 0 A を用いてオフセット制御回路 2 を構成することによって、より歪み特性の劣化を防ぐことができる。尚、電圧電流変換部 1 0 を図 4 に示すような回路構成としても、前記第 1 の実施の形態で説明したように、オフセット制御回路 1 における高速動作及び小面積化が可能であるという効果は何ら失われることはない。

40

【 0 0 6 6 】

また、本第 2 の実施の形態の電圧電流変換回路 1 0 A では、制御電圧 V b i a s を調整す

50

ることによって、前記（式 13）において変換係数 G_m を調整することができる。これは、前記（式 13）における入出力電圧比、即ち、差動入力電圧 V_{IN+} 及び V_{IN-} の係数である $(1/2) \times R \times G_m$ を制御できるということを意味する。従って、本第 2 の実施の形態のオフセット制御回路 2 は、オフセット調整機能のみならず、信号の増幅率を変化させる可変増幅器としても機能させることができる。

【0067】

更に、本第 2 の実施の形態の電圧電流変換回路 10A において、N 型の第 2 トランジスタ M1 及び M2 のドレイン電圧をより精度よく固定することもできる。例えば、N 型の第 2 トランジスタ M1 及び M2 のドレイン電圧が一定となるように、オペアンプ（演算増幅器）を用いて N 型の第 1 トランジスタ M3 及び M4 のゲート電圧を制御することもできる。この場合に用いられるオペアンプは、必ずしも高精度である必要はないため、オペアンプの帯域が信号帯域の 10 倍程度であっても充分である。このように N 型の第 1 トランジスタ M3 及び M4 のゲート電圧を制御するためのオペアンプを設けた構成としても、前記第 1 の実施の形態で説明したように、オフセット制御回路 1 における高速動作及び小面積化が可能であるという効果は何ら失われることはない。

10

【0068】

（第 3 の実施の形態）

本第 3 の実施の形態では、前記第 2 の実施の形態のオフセット制御回路 2 における信号の歪みを更に低減する場合である。

【0069】

図 5 は、本発明のオフセット制御回路の第 3 の実施の形態における構成例を示す回路図である。

20

【0070】

図 5 において、オフセット制御回路 3 は、前記第 2 の実施の形態のオフセット制御回路 2 において、オフセット調整電流生成部 11 のオフセット調整電流出力端子 101 及び 102 が、各々、電圧電流変換部 10 の N 型の第 1 トランジスタ M3 及び M4 のドレインではなく、N 型の第 2 トランジスタ M1 及び M2 のドレインに各々接続されることによって、前記第 2 の実施の形態のオフセット制御回路 2 における信号の歪みを更に低減することができる。

【0071】

前記構成により、本第 3 の実施の形態のオフセット制御回路 3 について、差動入力電圧信号 V_{IN+} 及び V_{IN-} にオフセット電圧が含まれており、このオフセット電圧を除去するようにオフセット制御回路を動作させる場合について、前記実施形態 1, 2 のオフセット制御回路 1, 2 と比較してその動作を説明する。

30

【0072】

前記第 1 及び第 2 の実施の形態のオフセット制御回路 1, 2 では、N 型の第 2 トランジスタ M1 及び M2、N 型の第 1 トランジスタ M3 及び M4 が対称回路であるにも拘わらず、差動入力電圧信号 V_{IN+} と V_{IN-} との間にオフセット電圧が重畳しているため、各々の回路に異なるバイアス電流が流れる。このような電流の非対称性は、N 型の第 1 トランジスタ M3 及び M4 のドレインにおいて、オフセット調整電流生成部 11 からオフセット電圧（オフセット成分）を相殺するオフセット調整電流 I_{ofs+} 及び I_{ofs-} が各々加算されることによって相殺されるものの、N 型の第 2 トランジスタ M1 及び M2、N 型の第 1 トランジスタ M3 及び M4 が非対称な状態で動作するために、信号の歪みが発生し易い。

40

【0073】

一方、本第 3 の実施の形態のオフセット制御回路 3 では、オフセット調整電流生成部 11 からのオフセット調整電流 I_{ofs+} 及び I_{ofs-} が N 型の第 2 トランジスタ M1 及び M2 のドレインにおいて差動出力電流 I_+ 及び I_- に加算されるため、この時点で電流の非対称性が解消され、N 型の第 1 トランジスタ M3 及び M4 はバイアス電流 I_+ 及び I_- についても対称な差動回路として動作する。これによって、本第 3 の実施の形態のオ

50

フセット制御回路 3 によれば、前記第 1 及び第 2 の実施の形態のオフセット制御回路 1、2 に比べて、N 型の第 1 トランジスタ M 3 及び M 4 で発生する信号の歪みをより小さく抑えることができる。

【0074】

更に、本第 3 の実施の形態のオフセット制御回路 3 では、N 型の第 2 トランジスタ M 1 及び M 2 は非対称な状態で動作するものの、非飽和領域で動作しているために、バイアス電流値が異なっているとしても、ソース - ドレイン間の電圧 V_{ds} が同じであれば、電圧電流特性はほとんど変わらない。従って、オフセット制御回路 3 全体で発生する信号の歪みは、前記第 1 及び第 2 の実施の形態に比べて、更に大きく低減させることが可能である。

【0075】

10

尚、オフセット制御回路 3 を図 5 に示すような回路構成としても、前記第 1 の実施形態で説明したように、オフセット制御回路 1 における高速動作及び小面積化が可能であるという効果は何ら失われることはない。

【0076】

(第 4 の実施の形態)

本第 4 の実施の形態では、電圧電流変換部 10 の他の具体例として電圧電流変換回路 10C を用いて、入出力ゲインを抵抗比によって制御するオフセット制御回路 4 を実現する場合である。

【0077】

図 6 は、図 3 の電圧電流変換部 10 における他の具体例を示す回路図である。

20

【0078】

図 6 において、電圧電流変換回路 10C は、一対のバイアス電流源 301 及び 302、一対の N 型の第 1 トランジスタ M 7 及び M 8、一対の N 型の第 2 トランジスタ M 5 及び M 6 が各々設けられており、バイアス電流源 301、N 型の第 1 トランジスタ M 7 及び第 2 トランジスタ M 5 の直列回路とバイアス電流源 302、N 型の第 1 トランジスタ M 8 及び第 2 トランジスタ M 6 の直列回路とが 2 系列配設されている。また、N 型の第 1 トランジスタ M 7 及び第 2 トランジスタ M 5 の接続点と、N 型の第 1 トランジスタ M 8 及び第 2 トランジスタ M 6 の接続点との間に抵抗器 R 3 が配設されている。

【0079】

バイアス電流源 301 及び 302 は各々差動電流出力端子 105 及び 106 と各々接続されており、バイアス電流 I_b が各々流れるようになっている。

30

【0080】

N 型の第 1 トランジスタ M 7 及び M 8 の各ゲートは各々差動電圧入力端子 109 及び 110 に各々接続されており、差動電圧入力端子 109 及び 110 に差動入力電圧 V_{IN+} 及び V_{IN-} が各々入力される。また、N 型の第 1 トランジスタ M 7 及び M 8 は各々その各ドレインが差動電流出力端子 105 及び 106 に各々接続され、その各ソース間に抵抗器 R 3 が接続されている。

【0081】

N 型の第 2 トランジスタ M 5 及び M 6 の各ゲートが制御端子 111 と共通接続されており、その制御端子 111 に制御電圧 V_{bias} が入力される。また、N 型の第 2 トランジスタ M 5 及び M 6 の各ドレインは N 型の第 1 トランジスタ M 7 及び M 8 の各ソースに各々接続され、その各ソースは各々接地されている。

40

【0082】

以上のように構成された本第 4 の実施の形態の電圧電流変換回路 10C において、N 型の第 1 トランジスタ M 7 及び M 8 は各々ソースフォロワ回路として動作し、N 型の第 1 トランジスタ M 7 及び M 8 の各ゲートに入力される差動入力電圧信号 V_{IN+} 及び V_{IN-} に基づいて、しきい値電圧 V_{th} 分程度低くなった電圧が各ソースから各々出力されて抵抗器 R 3 の両端に印加される。これによって、抵抗器 R 3 には、 $(V_{IN+} - V_{IN-})$ の電位差が発生し、オームの法則により、 $(V_{IN+} - V_{IN-}) / R_3$ の電流が発生する。

50

【 0 0 8 3 】

従って、本第 4 の実施の形態の電圧電流変換回路 1 0 C における電流変換係数 G_m は、およそ $1/R_3$ となり、差動出力電流 $(V_{IN+} - V_{IN-})/R_3$ が N 型の第 1 トランジスタ M 7 及び M 8 を介して差動電流出力端子 1 0 5 及び 1 0 6 から出力される。N 型の第 2 トランジスタ M 5 及び M 6 は、N 型の第 1 トランジスタ M 7 及び M 8 に各々バイアス電流を与えるための回路として動作する。

【 0 0 8 4 】

以上のように、本第 4 の実施の形態の電圧電流変換回路 1 0 C は、差動電圧電流変換回路として動作する。これを図 3 に示す電圧電流変換部 1 0 に適用することによって、オフセット制御回路 4 を実現することができる。この電圧電流変換部 1 0 は、電流電圧係数 G_m がおおよそ $1/R_3$ であるため、オフセット制御回路 4 として動作させた場合の入出力電圧比、即ち、前記 (式 1 3) における差動入力電圧信号 V_{IN+} 及び V_{IN-} の変換係数である $(1/2) \times G_m \times R$ が、 $(1/2) \times (R/R_3)$ となり、電流電圧変換部 1 2 の抵抗 (変換係数) R と、電圧電流変換部 1 0 の抵抗 R_3 との比で決定されることが判る。従って、本実施形態 4 のオフセット制御回路 4 は、入出力ゲインを抵抗比によって制御することができる。

10

【 0 0 8 5 】

尚、電圧電流変換部 1 0 を図 6 に示すような回路構成としても、前記実施形態 1 で説明したように、オフセット制御回路 1 における高速動作及び小面積化が可能であるという効果は何ら失われることはない。

20

【 0 0 8 6 】

また、本第 4 の実施の形態の電圧電流変換回路 1 0 C において、N 型の第 1 トランジスタ M 7 及び M 8 のソース電位が N 型の第 1 トランジスタ M 7 及び M 8 のゲート電位に一致するように、オペアンプを用いてフィードバックをかけることもできる。これによって、信号の歪みを更に低減し、抵抗値による入出力ゲインの設定精度を高くすることができる。このように N 型の第 1 トランジスタ M 7 及び M 8 のゲート電位及びソース電位を制御するためのオペアンプを設けた構成としても、前記実施形態 1 で説明したように、オフセット制御回路 1 における高速動作及び小面積化が可能であるという効果は何ら失われることはない。

30

【 0 0 8 7 】

(第 5 の実施の形態)

本第 5 の実施の形態では、電圧電流変換部 1 0 の更に他の具体例として電圧電流変換回路 1 0 D を用いて、極めて高速に動作させることができるオフセット制御回路 5 を実現する場合である。

【 0 0 8 8 】

図 7 は、図 3 の電圧電流変換部 1 0 における更に他の具体例を示す回路図である。

【 0 0 8 9 】

図 7 において、電圧電流変換回路 1 0 D は、一対のバイアス電流源 3 0 1 及び 3 0 2、N 型の一対のトランジスタ M 9 及び M 1 0 が各々設けられており、バイアス電流源 3 0 1 と N 型のトランジスタ M 9 の直列回路とバイアス電流源 3 0 2 と N 型のトランジスタ M 1 0 の直列回路とが 2 系列配設されている。

40

【 0 0 9 0 】

バイアス電流源 3 0 1 及び 3 0 2 は各々、差動電流出力端子 1 0 5 及び 1 0 6 に各々接続されており、バイアス電流 I_b が各々流れるようになっている。

【 0 0 9 1 】

N 型のトランジスタ M 9 及び M 1 0 の各ゲートは各々差動電圧入力端子 1 0 9 及び 1 1 0 に各々接続されており、各差動電圧入力端子 1 0 9 及び 1 1 0 に差動入力電圧 V_{IN+} 及び V_{IN-} が各々入力される。また、N 型のトランジスタ M 9 及び M 1 0 の各ドレインは各々差動電流出力端子 1 0 5 及び 1 0 6 に各々接続され、N 型のトランジスタ M 9 及び M 1 0 の各ソースは各々接地されている。

50

【0092】

このように構成された本第5の実施の形態の電圧電流変換回路10Dにおいては、N型のトランジスタM9及びM10の電圧電流変換特性に応じて、その各ゲートに各々入力される各差動入力電圧(V_{IN+} - V_{IN-})が電流に変換されて、各差動電流($I+$ - $I-$)として差動電流出力端子105及び106から各々出力される。

【0093】

以上のように、本第5の実施の形態の電圧電流変換回路10Dは差動電圧電流変換回路として動作する。従って、これを図3に示す電圧電流変換部10として適用させることによって、本第5の実施の形態のオフセット制御回路5を実現することができる。この電圧電流変換回路10Dは、差動電圧入力端子109及び110と差動電流出力端子105及び106との各間には各々、N型のトランジスタM9及びM10が存在するだけであるため、極めて高速に動作させることができる。従って、本第5の実施の形態のオフセット制御回路5は、極めて高速に動作させることができる。尚、図3に示す電圧電流変換部10を図7に示すような回路構成としても、前記第1の実施の形態で説明したように、オフセット制御回路1における高速動作及び小面積化が可能であるという効果は何ら失われることはない。

10

【0094】

(第6の実施の形態)

本第6の実施の形態では、電流電圧変換部12の一具体例として電流電圧変換回路12Aを用いて、オフセット制御回路6を実現する場合である。

20

【0095】

図8は、図3の電流電圧変換部12における一具体例を示す回路図である。

【0096】

図8において、電流電圧変換回路12Aは差動端子107及び108間に抵抗器R4が設けられている。

【0097】

このように構成された本第6の実施の形態の電流電圧変換回路12Aにおいて、抵抗器R4は、その抵抗器R4に流れる電流(差動入出力電流 I_r)に比例する電圧をその両端子(差動端子)107及び108間に発生させることができる。従って、これを図3に示す電流電圧変換部12として適用することによって、本第6の実施の形態のオフセット制御回路6を実現することができる。

30

【0098】

尚、図3(又は図5)の電流電圧変換部12を図8に示すような構成としても、前記第1の実施の形態(又は前記第3の実施の形態)で説明したように、オフセット制御回路1, 3における高速動作及び小面積化が可能であるという効果は何ら失われることはない。

【0099】

(第7の実施の形態)

本第7の実施の形態では、電流電圧変換部12の他の具体例として電流電圧変換回路12Bを用いて、オフセット制御回路7を実現する場合である。

【0100】

図9は、図3の電流電圧変換部12における他の具体例を示す回路図である。

40

【0101】

図9において、電流電圧変換回路12Bは、一对の差動端子107及び108、一对のN型の第1トランジスタM13及びM14、一对のN型の第2トランジスタM11及びM12が各々設けられている。

【0102】

これらの差動端子107、N型の第1トランジスタM13及びN型の第2トランジスタM11と、差動端子108、N型の第1トランジスタM14及び第2トランジスタM12とは各々直列に接続されている。また、N型の第1トランジスタM13及びM14の各ゲートは、入出力電流制御端子112に共通接続されており、入出力電流制御端子112に制

50

御電圧 V_{bias2} が入力される。また、N型の第2トランジスタ M_{11} 及び M_{12} の各ゲートは各々、差動端子 107 及び 108 に各々接続されており、差動入出力電流 I_r に比例した電圧が差動端子 107 及び 108 に印加される。

【0103】

このように構成された本第7の実施の形態の電流電圧変換回路 12B において、N型の第1トランジスタ M_{13} 及び M_{14} 、N型の第2トランジスタ M_{11} 及び M_{12} の動作は、図5に示す電圧電流変換部 10B の第1トランジスタ M_3 及び M_4 、第2トランジスタ M_1 及び M_2 と同様に動作する。即ち、N型の第1トランジスタ M_{13} 及び M_{14} は各々ソースフォロワ回路として動作し、N型の第1トランジスタ M_{13} 及び M_{14} の各ゲートに 10 入力される制御電圧 V_{bias2} に基づいて、しきい値電圧 V_{th} 分程度低くなった電圧が各ソースから出力される。これによって、N型の第2トランジスタ M_{11} 及び M_{12} のドレイン電圧が一定に保たれ、N型の第2トランジスタ M_{11} 及び M_{12} のドレイン・ソース間電圧 V_{ds} はほぼ一定に保たれる。

【0104】

N型の第2トランジスタ M_{11} 及び M_{12} は各々非飽和領域で動作するようにバイアスされており、その各ゲートに印加された電圧に比例した電流が差動端子 107 及び 108 から入出力される。

【0105】

従って、本第7の実施の形態の電流電圧変換部 12 は、差動端子 107 及び 108 間に印加される電圧に比例する差動入出力電流 I_r を差動端子 107 及び 108 から入出力するように動作し、換言すると、差動端子 107 及び 108 に入出力される差動入出力電流に 20 比例した電圧を差動端子 107 及び 108 間に発生させるように動作する。

【0106】

以上のように、本第7の実施の形態の電流電圧変換回路 12B は差動電流電圧変換回路として動作する。従って、これを図3（又は図5）に示す電流電圧変換部 12 に適用することによって、オフセット制御回路7を実現することができる。本第7の実施の形態の電流電圧変換回路 12B では、制御電圧 V_{bias2} を調整することによって、前記（式13）における電流電圧変換係数 R を調整することができる。よって、本第7の実施の形態の 30 オフセット制御回路7は、オフセット調整機能のみならず、信号の増幅率を変化させることができる可変増幅器としても機能させることができる。尚、図3（又は図5）に示す電流電圧変換部 12 を図9に示すような回路構成としても、前記第1の実施の形態（又は前記第3の実施の形態）で説明したように、オフセット制御回路1, 3における高速動作及び小面積化が可能であるという効果は何ら失われることはない。

【0107】

（第8の実施の形態）

本第8の実施の形態では、電流電圧変換部 12 の更に他の具体例として電流電圧変換回路 12C を用いて、オフセット制御回路8を実現する場合である。

【0108】

図10は、図3の電流電圧変換部 12 における更に他の具体例を示す回路図である。

【0109】

図10において、電流電圧変換回路 12C として、差動端子 107 及び 108 間にP型のトランジスタ M_{15} が設けられている。このP型のトランジスタ M_{15} のゲートは、入出力電流制御端子 112 に接続されており、入出力電流制御端子 112 に制御電圧 V_{bias2} が入力される。

【0110】

このように構成された本第8の実施の形態の電流電圧変換回路 12C において、P型のトランジスタ M_{15} は、そのゲートに印加される制御電圧 V_{bias2} に応じて抵抗値を制御可能な可変抵抗として動作する。

【0111】

以上のように、本第8の実施の形態の電流電圧変換回路 12C は、差動電流電圧変換回路 50

10

20

30

40

50

として動作する。従って、これを図3（又は図5）に示す電流電圧変換部12に適用することによって、本第8の実施の形態のオフセット制御回路8を実現することができる。本第8の実施の形態の電流電圧変換回路12Cでは、制御電圧 V_{bias2} を調整することによって、前記（式13）における電流電圧変換係数 R を調整することができる。よって、本第8の実施の形態のオフセット制御回路8は、オフセット調整機能のみならず、信号の増幅率を変化させることができる可変増幅器としても機能させることができる。尚、図3（又は図5）に示す電流電圧変換部12を図10に示すような回路構成としても、前記第1の実施の形態（又は前記第3の実施の形態）で説明したように、オフセット制御回路1、3における高速動作及び小面積化が可能であるという効果は何ら失われることはない。

10

【0112】

（第9の実施の形態）

本第9の実施の形態では、オフセット調整電流生成部11の一具体例としてオフセット調整電流生成回路11Aを用いて、オフセット制御回路9を実現する場合である。

【0113】

図11は、図3のオフセット調整電流生成部11における一具体例を示す回路図である。

【0114】

図11において、オフセット調整電流生成部11Aは、バイアス電流源307と、一对のP型のトランジスタM16及びM17と、一对のオフセット調整電流出力端子101及び102とを有している。

20

【0115】

バイアス電流源307は、P型のトランジスタM16及びM17の各ソースと各々接続されており、バイアス電流 I_{ofs} が2つに分岐して流れるようになっている。

【0116】

前記P型のトランジスタM16及びM17の各ゲートは、各々、オフセット調整電流制御端子103及び104に各々接続されており、オフセット調整電流制御端子103及び104にオフセット調整電流制御電圧 V_{ofs+} 及び V_{ofs-} が各々入力される。また、P型のトランジスタM16及びM17の各ドレインが各々オフセット調整電流出力端子101及び102に各々接続されており、オフセット調整電流 I_{ofs+} 及び I_{ofs-} が各々流れる。

30

【0117】

このように構成された本第9の実施の形態のオフセット調整電流生成回路11Aにおいて、オフセット調整電流 I_{ofs+} 及び I_{ofs-} は、オフセット調整電流制御電圧 V_{ofs+} 及び V_{ofs-} によって各々の電流量が調整される。

【0118】

このように、オフセット調整電流生成回路11Aを図3（又は図5）に示すオフセット調整電流生成部11に適用することによって、本第9の実施の形態のオフセット制御回路9を実現することができる。

【0119】

尚、図3（又は図5）に示すオフセット調整電流生成部11を図11に示すような回路構成としても、前記第1の実施の形態（又は前記第3の実施の形態）で説明したように、オフセット制御回路1、3における高速動作及び小面積化が可能であるという効果は何ら失われることはない。

40

【0120】

また、本第9の実施の形態のオフセット調整電流生成回路11Aにおいて、バイアス電流源307、P型のトランジスタM16及びM17とは逆極性のバイアス電流源308及びP型のトランジスタM18及びM19を用いて、図12に示すようなオフセット調整電流生成回路11Bを構成することも可能である。この場合にも、前述したように、図3（又は図5）に示すオフセット調整電流生成部11を図12に示すような回路構成としても、前記第1の実施の形態（又は前記第3の実施の形態）で説明したように、オフセット制御

50

回路 1、3 における高速動作及び小面積化が 1 可能であるという効果は何ら失われることはない。

【0121】

(第 10 の実施の形態)

本第 10 の実施の形態では、オフセット調整電流生成部 11 とは別のデジタル制御可能なオフセット調整電流生成部 13 を用いて、オフセット制御回路 10 を実現する場合である。

【0122】

図 13 は、図 3 のオフセット調整電流生成部 11 とは別の構成例を示す回路図である。

【0123】

図 13 において、オフセット調整電流生成部 13 は、図 3 (又は図 5) に示すオフセット調整電流生成部 11 のオフセット調整電流制御端子 103 及び 104 の代わりに、 n を自然数として、 n ビットのレジスタ信号から 1 ビットのレジスタ信号が各々入力される入力端子 (オフセット調整電流制御端子) 113 - 1 ~ 113 - n を有している。これらの入力端子 113 - 1 ~ 113 - n から入力される n ビットのレジスタ信号の状態によって、オフセット調整電流 I_{ofs+} 及び I_{ofs-} を高精度に制御することができる。

【0124】

図 14 は、図 13 のオフセット調整電流生成部 13 の一具体例を示す回路図である。

【0125】

図 14 において、オフセット調整電流生成部 13A は、 n 個のサブオフセット調整電流生成部 13 - 1 ~ 13 - n を有している。サブオフセット調整電流生成部 13 - 1 ~ 13 - n は各々、インバータ 14 - 1 ~ 14 - n と、バイアス電流源 309 - 1 ~ 309 - n と、一対の P 型のトランジスタ M20 - 1 ~ M20 - n 及び M21 - 1 ~ M21 - n とを有している。

【0126】

バイアス電流源 309 - 1 は、P 型のトランジスタ M20 - 1 及び M21 - 1 の各ソースと各々接続されており、P 型のトランジスタ M20 - 1 及び M21 - 1 の各ソースに 2 つに分岐してバイアス電流が流れる。また同様に、 n を自然数として、バイアス電流源 309 - n は、P 型のトランジスタ M20 - n 及び M21 - n の各ソースと各々接続されており、P 型のトランジスタ M20 - n 及び M21 - n の各ソースに 2 つに分岐してバイアス電流が流れる。バイアス電流源 309 - 1 ~ 309 - n は、各々の電流量に重み付けがされており、各々、 $I_{ofs'}$ 、 $2 \times I_{ofs'}$ 、 $\dots$ 、 $n \times I_{ofs'}$ となっている。

【0127】

前記 P 型のトランジスタ M20 - 1 ~ M20 - n の各ゲートは各々、入力端子 113 - 1 ~ 113 - n に各々接続されており、入力端子 113 - 1 ~ 113 - n に各々 1 ビットのレジスタ信号が入力される。また、入力端子 113 - 1 ~ 113 - n は各々、インバータ 14 - 1 ~ 14 - n を各々介して P 型のトランジスタ M21 - 1 ~ M21 - n の各ゲートに各々接続されており、P 型のトランジスタ M21 - 1 ~ M21 - n の各ゲートに各々 1 ビットのレジスタ信号 (オフセット調整電流制御信号) を反転させた信号が入力される。

【0128】

また、P 型のトランジスタ M20 - 1 ~ M20 - n の各ドレインはオフセット調整電流出力端子 101 と接続されており、サブオフセット調整電流 $I_{ofs}(1) + \sim I_{ofs}(n) +$ が各々一括して流れる。また、P 型のトランジスタ M21 - 1 ~ M21 - n の各ドレインはオフセット調整電流出力端子 102 と接続されており、サブオフセット調整電流 $I_{ofs}(1) - \sim I_{ofs}(n) -$ が各々一括して流れる。これによって、オフセット調整電流 I_{ofs+} は $I_{ofs}(1) +$ 、 $I_{ofs}(2) +$ 、 $\dots$ 、 $I_{ofs}(n) +$ を合計した電流量となり、オフセット調整電流 I_{ofs-} は $I_{ofs}(1) -$ 、 $I_{ofs}(2) -$ 、 $\dots$ 、 $I_{ofs}(n) -$ を合計した電流量となる。

【0129】

このように構成された本第 10 の実施の形態のオフセット調整電流生成回路 13A におい

10

20

30

40

50

て、オフセット調整電流を制御するための制御信号であるレジスタ信号は、入力端子 1 1 3 - 1 ~ 1 1 3 - n から入力される。例えば、入力端子 1 1 3 - 1 に入力されるレジスタ信号が H レベルとなった場合、サブオフセット調整電流生成部 1 3 - 1 では、P 型のトランジスタ M 2 0 - 1 のゲートに H レベルの信号が印加される。また、入力端子 1 1 3 - 1 のレジスタ信号はインバータ 1 4 - 1 にて反転されて L レベルとなるので、P 型のトランジスタ M 2 1 - 1 のゲートには、L レベルの信号が印加される。P 型のトランジスタ M 2 0 - 1 及び M 2 1 - 1 は共に、ゲートに L レベルの信号が印加されたときにオン状態になるため、P 型のトランジスタ M 2 0 - 1 はオフ状態になって $I_{ofs}(1) +$ は流れず、P 型のトランジスタ M 2 1 - 1 はオン状態となって $I_{ofs}(1) -$ が流れ出す。

【0130】

一方、入力端子 1 1 3 - 1 に入力されるレジスタ信号が L レベルとなった場合には、P 型のトランジスタ M 2 0 - 1 のゲートに L レベルの信号が印加される。また、入力端子 1 1 3 - 1 のレジスタ信号はインバータ 1 4 - 1 にて反転されて H レベルとなるので、P 型のトランジスタ M 2 1 - 1 のゲートには、H レベルの信号が印加される。よって、P 型のトランジスタ M 2 0 - 1 がオン状態となって $I_{ofs}(1) +$ が流れ出し、P 型のトランジスタ M 2 1 - 1 はオフ状態となって $I_{ofs}(1) -$ は流れない。

【0131】

このように、入力端子 1 1 3 - 1 に入力されるレジスタ信号の状態によって、サブオフセット調整電流生成部 1 3 - 1 において $I_{ofs}(1) +$ 及び $I_{ofs}(1) -$ のいずれか一方が流れる。電流 $I_{ofs}(1) +$ 及び $I_{ofs}(1) -$ が流れるときの電流値は、バイアス電流 I_{ofs}' に等しい。

【0132】

同様に、入力端子 1 1 3 - 2 ~ 1 1 3 - n から入力されるレジスタ信号の状態によって、P 型のトランジスタ M 2 0 - 2 ~ M 2 0 - n がオン/オフ制御されて $I_{ofs}(2) +$ 、 $\dots$ 、 $I_{ofs}(n) +$ が設定され、P 型のトランジスタ M 2 1 - 2 ~ M 2 1 - n がオン/オフ制御されて $I_{ofs}(2) -$ 、 $\dots$ 、 $I_{ofs}(n) -$ が設定される。

【0133】

このとき、電流組 ($I_{ofs}(1) +$ 、 $I_{ofs}(1) -$)、($I_{ofs}(2) +$ 、 $I_{ofs}(2) -$)、 $\dots$ 、($I_{ofs}(n) +$ 、 $I_{ofs}(n) -$) は、いずれか一方が流れると、他方は流れないようにになっている。

【0134】

レジスタ信号は n ビットからなり、レジスタ信号が全て L レベルである場合 (LL $\dots$ L) からレジスタ信号が全て H レベルである場合 (HH $\dots$ H) まで、n 通りのレジスタ信号がある。

【0135】

レジスタ信号が全て L レベルである場合には、P 型のトランジスタ M 2 0 - 1 ~ M 2 0 - n が全てオン状態となってオフセット調整電流 $I_{ofs} +$ が流れ、オフセット調整電流 $I_{ofs} +$ の電流量は最大となる。このとき、P 型のトランジスタ M 2 1 - 1 ~ M 2 1 - n は全てオフ状態となってオフセット調整電流 $I_{ofs} -$ は流れない。

【0136】

また、レジスタ信号が全て H レベルである場合には、P 型のトランジスタ M 2 1 - 1 ~ M 2 1 - n が全てオン状態となってオフセット調整電流 $I_{ofs} -$ が流れ、オフセット調整電流 $I_{ofs} -$ の電流量は最大となる。このとき、P 型のトランジスタ M 2 0 - 1 ~ M 2 0 - n は全てオフ状態となってオフセット調整電流 $I_{ofs} +$ は流れない。

【0137】

また、レジスタ信号が全てが L レベル又は全て H レベルでない場合には、n ビットのレジスタ信号のうち、L レベルとなっているレジスタ信号の個数だけ P 型のトランジスタ M 2 0 - 1 ~ M 2 0 - n が ON 状態となり、それに応じて $I_{ofs}(1) +$ 、 $I_{ofs}(2) +$ 、 $\dots$ 、 $I_{ofs}(n) +$ が流れ出し、その合計値がオフセット調整電流 $I_{ofs} +$ の電流値となる。また、n ビットのレジスタ信号のうち、H レベルとなっているレジスタ

10

20

30

40

50

信号の個数だけ P 型のトランジスタ $M21-1 \sim M21-n$ が ON 状態となり、それに応じて $I_{ofs}(1)-$ 、 $I_{ofs}(2)-$ 、 $\dots$ 、 $I_{ofs}(n)-$ が流れ出し、その合計値がオフセット調整電流 $I_{ofs}-$ の電流値となる。

【0138】

以上のように、本第 10 の実施の形態のオフセット調整電流生成回路 13A は、差動電流を出力する DA 変換器として動作し、オフセット調整電流 $I_{ofs}+$ 及び $I_{ofs}-$ は、 n ビットのレジスタ信号によって $I_{ofs}+/n$ 又は $I_{ofs}-/n$ 刻みの精度で調整することが可能となる。また、本第 10 の実施の形態によれば、オフセット調整電流生成部 13 が n ビットの DA 変換器として構成されており、オフセット調整量をデジタル回路にて制御することができるため、より多彩なオフセット調整を容易に実現することができる。 10

【0139】

また、図 14 に示すオフセット調整電流生成回路 13A において、レジスタ信号のビット数 n を多くすることによって、電流調整の精度を高くすることができる。尚、図 13 のオフセット調整電流生成部 13 を図 14 に示すような回路構成としても、前記第 1 の実施の形態（又は前記第 3 の実施の形態）で説明したように、オフセット制御回路 1、3 における高速動作及び小面積化が可能であるという効果は何ら失われることはない。

【0140】

尚、本第 10 の実施の形態のオフセット調整電流生成回路 13A において、バイアス電流源 $309-1 \sim 309-n$ 、P 型のトランジスタ $M20-1 \sim M20-n$ 及び $M21-1 \sim M21-n$ とは逆極性のバイアス電流源 $310-1 \sim 310-n$ 、P 型のトランジスタ $M22-1 \sim M22-n$ 及び $M23-1 \sim M23-n$ を用い、インバータ $14-1 \sim 14-n$ の接続方向を変えたインバータ $15-1 \sim 15-n$ を設けて、図 15 に示すようなオフセット調整電流生成回路 13B を構成することも可能である。図 13 のオフセット調整電流生成部 13 を図 15 に示すような回路構成としても、前記第 1 の実施の形態（又は前記第 3 の実施の形態）で説明したように、オフセット制御回路 1、3 における高速動作及び小面積化が可能であるという効果は何ら失われることはない。 20

【0141】

【発明の効果】

以上のように、請求項 1 ～ 12 記載の発明によれば、差動入力電圧 (V_{IN+} 、 V_{IN-}) の電位差に比例する差動出力電流 ($I+$ 、 $I-$) が出力される電圧電流変換部の差動電流出力端子と、オフセット調整電流 ($I_{ofs}+$ 、 $I_{ofs}-$) が出力されるオフセット調整電流生成部のオフセット調整電流出力端子と、差動端子間の電位差に比例する差動入出力電流 (I_r) が入出力される電流電圧変換部の差動端子とを互いに接続することにより、差動入力電圧信号 (V_{IN+} 、 V_{IN-}) にオフセット電圧 (V_{off+} 、 V_{off-}) が含まれていても、そのオフセット電圧をオフセット調整電流 ($I_{ofs}+$ 、 $I_{ofs}-$) によって調整して、差動入力電圧信号 (V_{IN+} 、 V_{IN-}) にオフセット電圧に応じたオフセット調整信号を加えた差動出力電圧信号 (V_{O+} 、 V_{O-}) を生成することができる。 30

【0142】

この場合の差動入力電圧へのオフセット調整信号の加算は、差動入力電圧を差動出力電流 ($I+$ 、 $I-$) に変換した後にオフセット調整電流 ($I_{ofs}+$ 、 $I_{ofs}-$) を電流加算するため、オフセット電圧調整を高速に行うことができる。また、従来のオフセット制御回路のように演算増幅器を必要としないため、回路規模の小型化を図ることができる。また、差動信号処理を行うことにより、ノイズに強く、信号の歪みも生じにくくなり、高精度の信号処理を行うことができる。 40

【0143】

また、オフセット調整電流生成部を n ビットの DA 変換器にて構成することによって、オフセット調整量の制御幅をデジタル制御にて設定することができ、オフセット調整の精度を高めることができる。 50

【図面の簡単な説明】

【図 1】DVD 信号再生処理システムの全体構成を示す図である。

【図 2】同 DVD 信号再生処理システムに備えるアナログフロントエンド及び P R M L リードチャネルの内部構成を示す図である。

【図 3】本発明のオフセット制御回路の第 1 の実施の形態における構成例を示すブロック図である。

【図 4】図 3 の電圧電流変換部の一具体例を示す回路図である。

【図 5】本発明のオフセット制御回路の第 3 の実施の形態における構成例を示す回路図である。

【図 6】図 3 の電圧電流変換部における他の具体例を示す回路図である。

10

【図 7】図 3 の電圧電流変換部における更に他の具体例を示す回路図である。

【図 8】図 3 の電流電圧変換部における一具体例を示す回路図である。

【図 9】図 3 の電流電圧変換部における他の具体例を示す回路図である。

【図 10】図 3 の電流電圧変換部における更に他の具体例を示す回路図である。

【図 11】図 3 のオフセット調整電流生成部における一具体例を示す回路図である。

【図 12】図 3 のオフセット調整電流生成部における他の具体例を示す回路図である。

【図 13】図 3 のオフセット調整電流生成部とは別の構成例を示す回路図である。

【図 14】図 13 のオフセット調整電流生成部における一具体例を示す回路図である。

【図 15】図 13 のオフセット調整電流生成部における他の具体例を示す回路図である。

【図 16】従来のオフセット制御回路の回路図である。

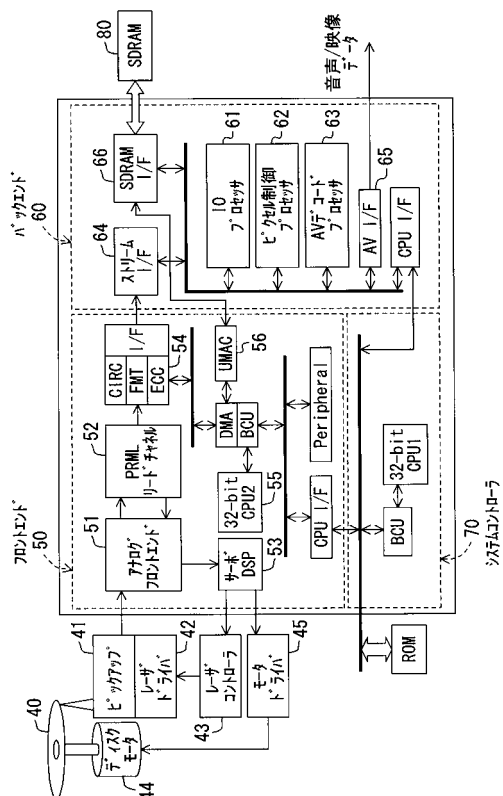
20

【符号の説明】

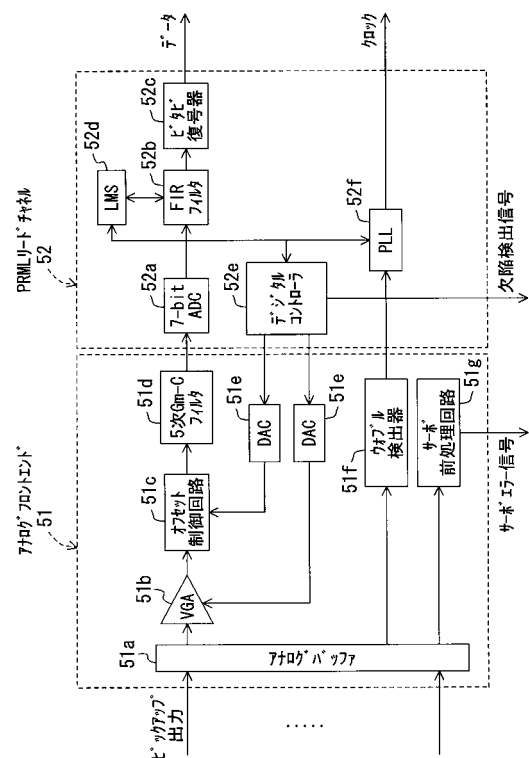
1 ~ 10、51c	オフセット制御回路	
10	電圧電流変換部	
10A ~ 10D	電圧電流変換回路	
11	オフセット調整電流生成部	
11A, 11B,		
13, 13A, 13B	オフセット調整電流生成部	
12	電流電圧変換部	
12A ~ 12C	電流電圧変換回路	
13 - 1 ~ 13 - n	サブオフセット調整電流生成部	30
14 - 1 ~ 14 - n、		
15 - 1 ~ 15 - n	インバータ	
40	DVD	
50	フロントエンド	
51	アナログフロントエンド	
60	バックエンド	
70	システムコントローラ	
101, 102	オフセット調整電流出力端子	
103, 104	オフセット調整電流制御端子	
105, 106	差動電流出力端子	40
107, 108	差動端子	
109, 110	差動電圧入力端子	
111	制御端子	
112	入出力電流制御端子	
113 - 1 ~ 113 - n	レジスタ信号入力端子	
115, 116	差動電圧出力端子	
301, 302,		
307, 308,		
309 - 1 ~ 309 - n,		
310 - 1, 310 - n	バイアス電流源	50

$M_{1 \sim M_{19}}$,
 $M_{20-1} \sim M_{20-n}$,
 $M_{21-1} \sim M_{21-n}$, P 型のトランジスタ
 $M_{22-1} \sim M_{22-n}$,
 $M_{23-1} \sim M_{23-n}$ N 型のトランジスタ
 $R_1 \sim R_4$ 抵抗

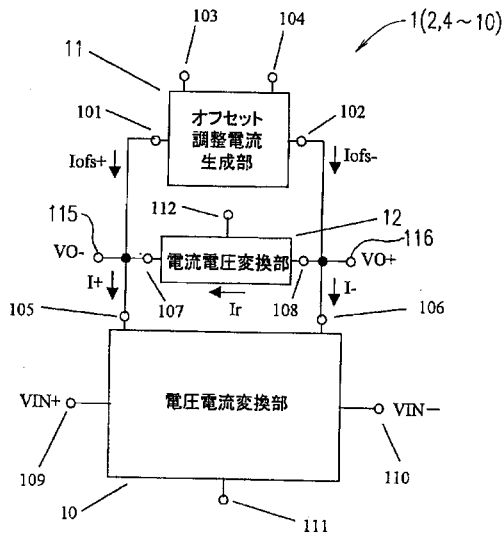
【 图 1 】



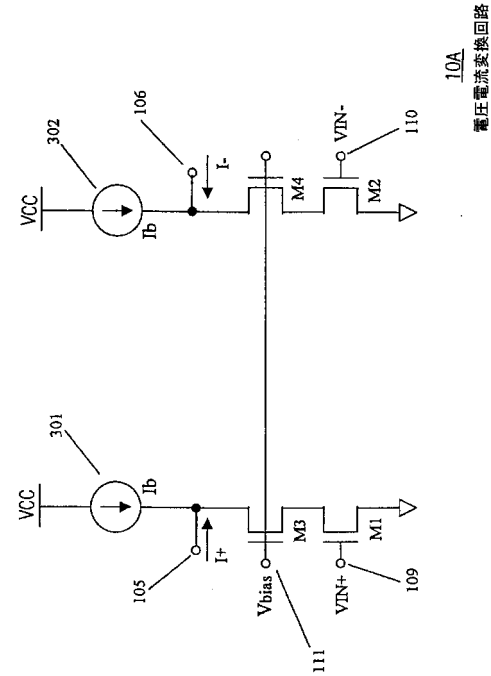
【圖 2】



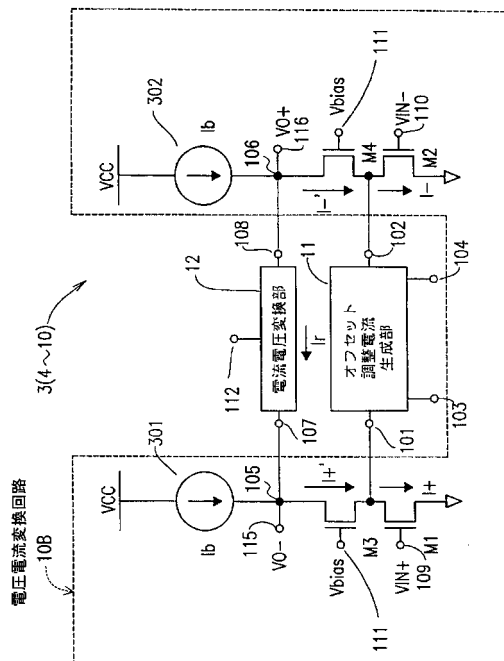
【 図 3 】



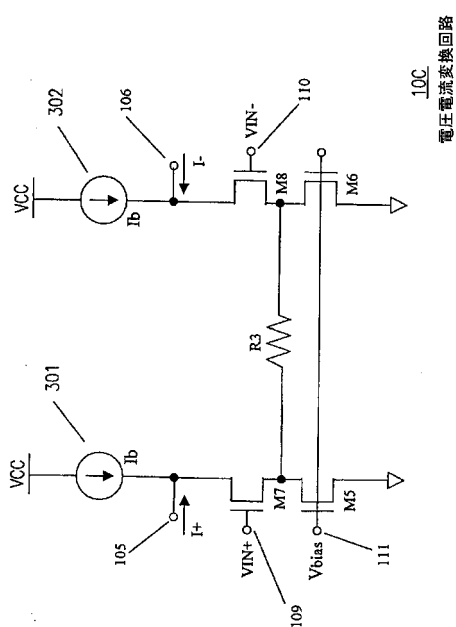
【 図 4 】



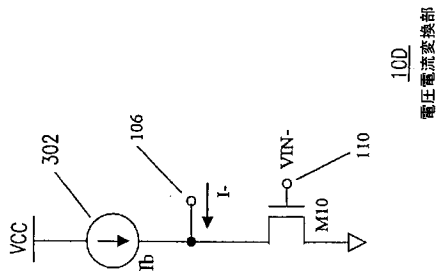
【 図 5 】



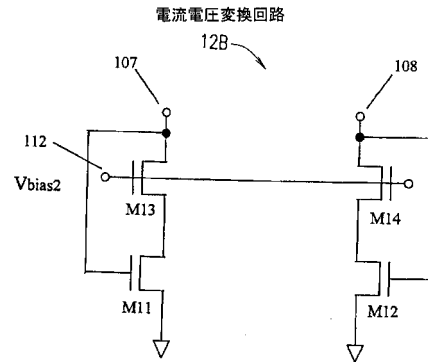
【 図 6 】



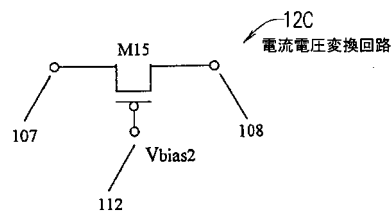
【図 7】



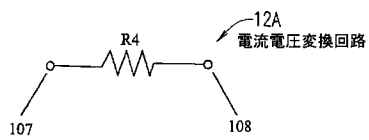
【図 9】



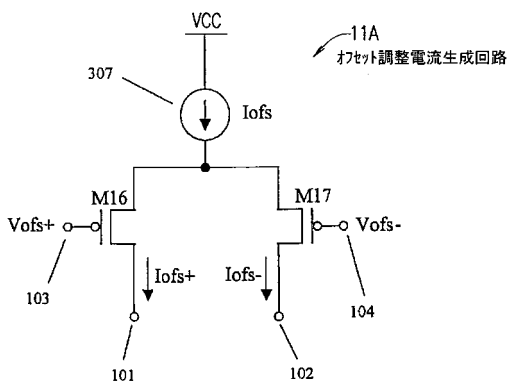
【図 10】



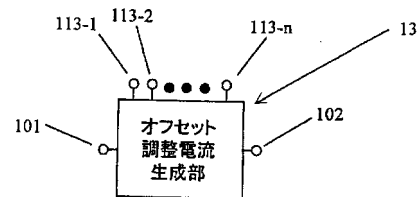
【図 8】



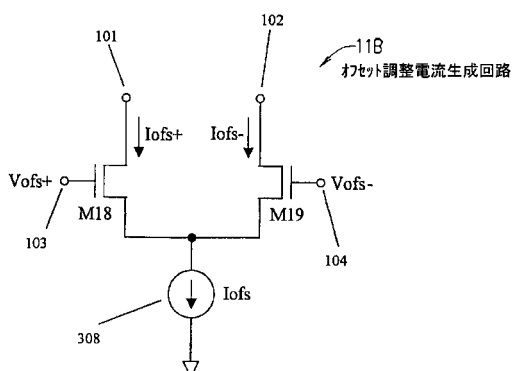
【図 11】



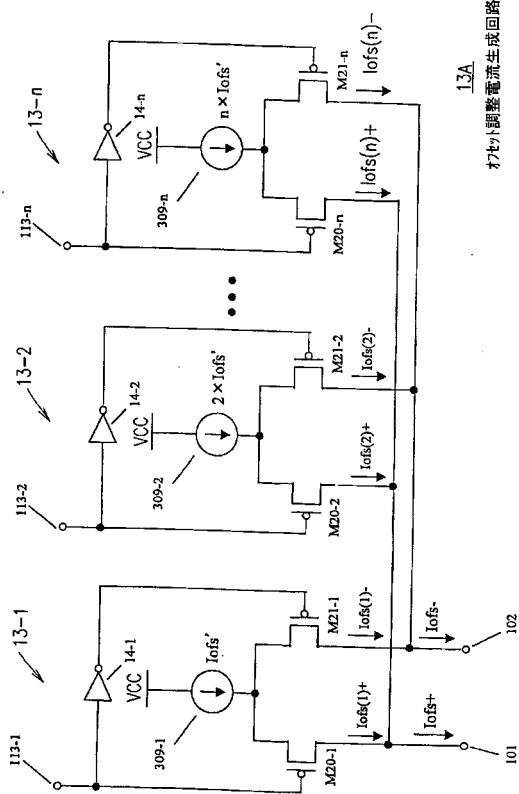
【図 13】



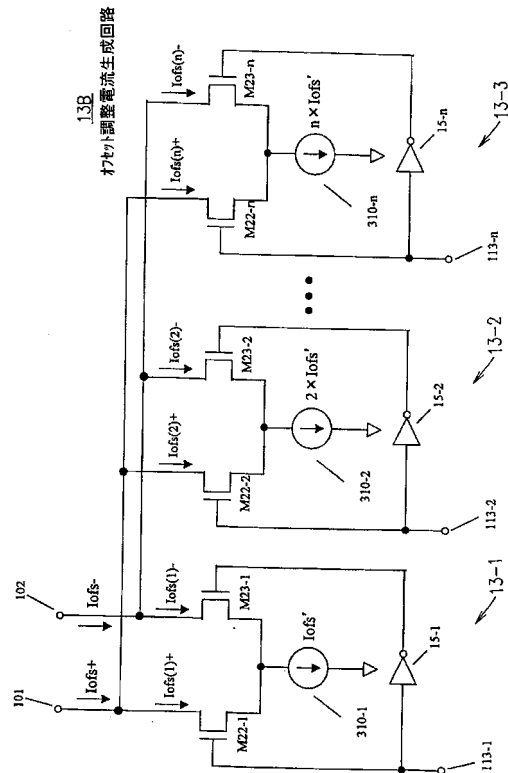
【図 12】



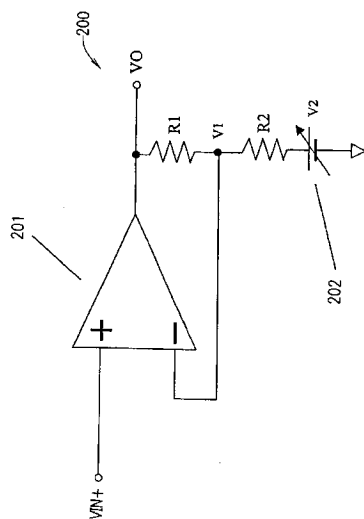
【図 14】



【図 15】



【図 16】



フロントページの続き

(72)発明者 藤山 博邦

大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

(72)発明者 森江 隆史

大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

F ターム(参考) 5J500 AA03 AA11 AC13 AC21 AC65 AF00 AH17 AH25 AK00 AK01
AK04 AK05 AK27 AK47 AM11 AM21 AS00 AT01