

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200380101954.1

[51] Int. Cl.

H01L 29/423 (2006.01)

H01L 29/786 (2006.01)

H01L 21/336 (2006.01)

H01L 29/417 (2006.01)

[45] 授权公告日 2008 年 12 月 31 日

[11] 授权公告号 CN 100448023C

[22] 申请日 2003.10.14

[21] 申请号 200380101954.1

[30] 优先权

[32] 2002.10.22 [33] US [31] 10/274,867

[86] 国际申请 PCT/US2003/032663 2003.10.14

[87] 国际公布 WO2004/038804 英 2004.5.6

[85] 进入国家阶段日期 2005.4.22

[73] 专利权人 先进微装置公司

地址 美国加利福尼亚州

[72] 发明人 B·于 S·S·艾哈迈德

J·X·安 S·达克希纳-默西

Z·克里沃卡皮奇 汪海宏

[56] 参考文献

JP2002-43581 A 2002.2.8

US2002/0149031 A1 2002.10.17

US6300160 B1 2001.10.9

审查员 刘中涛

[74] 专利代理机构 北京纪凯知识产权代理有限公司

代理人 戈泊程伟

权利要求书 2 页 说明书 7 页 附图 10 页

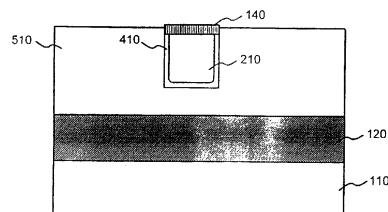
[54] 发明名称

具有 U 字型栅极结构的半导体器件

[57] 摘要

一种双栅极半导体器件 (100) 包括有衬底 (110)、绝缘层 (120)、鳍 (210) 以及栅极 (510)。该绝缘层 (120) 形成在该衬底 (110) 上, 而该栅极 (510) 形成在该绝缘层 (120) 上。该鳍 (210) 具有多个侧表面、一顶面、以及一底面。该栅极 (510) 围绕着鳍 (210) 的底面以及至少部分的侧表面。围绕该鳍 (210) 的栅极材料 (510) 在该半导体器件 (100) 的沟道区域具有 U 型剖面。

100



1. 一种半导体器件 (100)，包括：
衬底 (110)；
形成在该衬底 (110) 上的绝缘层 (120)；
形成在该绝缘层 (120) 上的栅极 (510)，该栅极 (510) 在该半导体器件 (100) 的沟道区域具有 U 型剖面；
具有多个侧表面、一顶面以及一底面的鳍 (210)，其中在该半导体器件 (100) 的该沟道区域中该栅极 (510) 围绕该底面以及侧表面的整个高度；
形成在该鳍 (210) 的该顶面上的电介质层 (140)；以及
形成在该鳍 (210) 的该侧表面与该底面上的栅极电介质层 (410)。
2. 如权利要求 1 所述的半导体器件 (100)，其中该栅极 (510) 包括置于该鳍 (210) 的第一侧上的第一栅极电极 (710) 以及置于该鳍 (210) 的该第一侧的对侧上的第二栅极电极 (720)。
3. 如权利要求 2 所述的半导体器件 (100)，其中围绕鳍 (210) 底面的该栅极 (510) 的部分包括有第三栅极。
4. 如权利要求 1 所述的半导体器件 (100)，其中该绝缘层 (120) 包括埋入氧化层 (buried oxide layer)。
5. 一种制造半导体器件 (100) 的方法，包括：
在衬底 (110) 上形成绝缘层 (120)；
在该绝缘层 (120) 上形成鳍结构 (210)，该鳍结构 (210) 具有多个侧表面、一顶面以及一底面；
在该鳍结构 (210) 的顶面上形成电介质层 (140)；
形成源极和漏极区域 (220、230)；
蚀刻该绝缘层 (120) 以横向底切位于该鳍结构 (210) 的底面下的该绝缘层 (120)；
在该鳍结构 (210) 上沉积栅极材料 (510)，该栅极材料 (510)

围绕该鳍结构（210）的底面与至少一部分的侧表面；

平坦化该沉积的栅极材料（510），其中该平坦化的栅极材料在该半导体器件（100）的沟道区域具有 U 型剖面；以及

图形化并蚀刻该栅极材料（510）以在该鳍结构（210）的对侧形成第一和第二栅极电极（710、720）。

6. 如权利要求 5 所述的方法，其中该蚀刻包括：

使用溴化氢（HBr）横向底切位于该半导体器件（100）的沟道区域中的该绝缘层（120）。

7. 一种半导体器件（100），包括衬底（110），形成在该衬底（110）上的绝缘层（120），形成在该绝缘层（120）上的导电鳍（210），形成在该导电鳍（210）的顶面上的电介质盖（140）；形成在该导电鳍（210）的侧表面与整个底面上的栅极电介质层（410），该器件的特征在于：

该导电鳍（210）具有第一端，第二端以及位于该第一端与该第二端之间的中间部分，其中该第一端与该第二端置于该绝缘层（120）上，且该中间部分与该绝缘层（120）隔离；以及

形成在该绝缘层（120）上的栅极（510），该栅极（510）围绕该导电鳍（210）的中间部分的整个侧表面和底面，其中该栅极（510）在该半导体器件（100）的沟道区域具有 U 型剖面。

8. 如权利要求 7 所述的半导体器件（100），其中该栅极（510）包括置于该导电鳍（210）的第一侧上的第一栅极电极（710）以及置于该导电鳍（210）的该第一侧的对侧上的第二栅极电极（720）。

9. 如权利要求 7 所述的半导体器件（100），其中该栅极（510）包括置于该导电鳍（210）的第一侧上的第一栅极电极（710），置于该导电鳍（210）的该第一侧的对侧上的第二栅极电极（720）以及置于该导电鳍（210）的底侧上的第三栅极电极。

具有 U 字型栅极结构的半导体器件

技术领域

本发明涉及半导体器件以及制造半导体器件的方法，更具体地，本发明特别适用于双栅极结构。

背景技术

超大规模集成电路半导体器件日益攀升的高密度与性能需求需要例如栅极长度小于 100 纳米 (nm) 的设计特征、高可靠度、以及更高的制造生产能力。设计特征缩减到小于 100 纳米是对传统方式限制的挑战。

例如，当传统的平面金属氧化物半导体场效应晶体管 (MOSFET) 的栅极长度缩小于 100 纳米时，短沟道效应的问题，例如源极与漏极间的过量的漏电，变得更难克服。并且，迁移率的降低以及其它若干工艺问题也使得调整传统 MOSFET 以包含更小的器件特征的困难度更大。因此需要发展新的器件结构以增进 FET 性能并允许更进一步的器件尺寸调整。

双栅极 MOSFET 视为代表超越旧有平面式 MOSFET 的候选者的新结构。双栅极 MOSFET 中，可用两个栅极控制短沟道效应。鳍式场效应晶体管 (FinFET) 为近来双栅极结构的一种，并具有良好的短沟道性能。FinFET 包括形成在垂直鳍中的沟道。可使用类似传统平面式 MOSFET 的版图以及工艺技术制造 FinFET 结构。

发明内容

按照本发明的实施方式提供具有形成在导电鳍的相对侧的两栅极的 FinFET 器件。该器件可包括位于导电鳍下的栅极材料，以增加器件的总沟道宽。

将在下述说明本发明的额外的优点以及其它特征将部分，而本领域技术人员透过阅读下述说明或由实施本发明也能使本发明的优点以及特征部分的更显而易见。按照权利要求书中的特别指定可获得本发明的优点以及特征。

根据本发明，可通过包括有衬底、绝缘层、第一栅极、和鳍（fin）的半导体器件来部分的获得上述以及其它好处。该绝缘层形成于该衬底上，且该第一栅极形成于该绝缘层上。该第一栅极在半导体器件的沟道区域具有 U 型剖面。该鳍具有多个侧表面、一顶面、以及一底面，其中该第一栅极围绕该底面以及至少一部分的侧表面。

根据本发明的另一方面，提供一种制造半导体器件的方法。该方法包括在衬底上形成绝缘层并在该绝缘层上形成鳍结构。该鳍结构具有多个侧表面、一顶面、以及一底面。该方法也包括在该鳍结构的顶面上形成电介质层，形成源极和漏极区域并蚀刻该绝缘层以横向底切位于该鳍结构底面下的绝缘层。该方法还包括在该鳍结构上沉积栅极材料，其中栅极材料围绕该鳍结构的底面以及至少一部分的侧表面。该方法也包括将沉积的栅极材料平坦化、图形化并蚀刻该栅极材料以在该鳍结构的对侧形成第一和第二栅极电极。

根据本发明的又一方面，提供一种半导体器件，包括有衬底、绝缘层、导电鳍、电介质盖、栅极电介质层、和栅极。该绝缘层形成在该衬底上，且该导电鳍形成在该绝缘层上。该导电鳍具有第一端，第二端以及位于该第一端与该第二端之间的中间部分，其中，该第一端与该第二端置于该绝缘层上，且中间部分与该绝缘层隔离。该电介质盖形成在该导电鳍的顶面上，栅极电介质层形成在该导电鳍的侧表面与底面上。该栅极形成在该绝缘层上，且该栅极围绕该导电鳍的中间部分的侧表面与底面。

本领域技术人员可在阅读说明书后，更了解本发明的其它好处或其它特征。所示的实施例说明实施本发明的最佳实施方式。可在不脱离本发明范围与精神的情况下，对本发明作各种显见的变更。因此，应将附图视为说明参考用，而非限制用。

附图说明

通过参照附图可更了解本发明上述的说明，附图中类似组件标有类似的参考符号。

图 1 显示了可用于形成本发明实施例的鳍的示例层的剖面图；

图 2A 显示了根据本发明的示范实施例所形成的鳍的剖面图；

图 2B 显示了根据本发明的示范实施例的图 2A 中半导体器件的俯视图；

图 3A 和图 3B 显示了根据本发明的示范实施例的位于图 2A 中鳍下的绝缘层底切的剖面图；

图 4 显示了根据本发明的示范实施例的位于图 3B 中鳍上的栅极电介质层的形成的剖面图；

图 5 显示了根据本发明的示范实施例的位于图 4 中器件上的栅极材料的形成的剖面图；

图 6 显示了根据本发明的示范实施例的栅极材料平坦化的剖面图；

图 7 显示了根据本发明的示范实施例形成的示例的双栅极器件的俯视图；

图 8A 至 8E 显示了根据本发明的示范实施例的多个鳍的形成的剖面图；以及

图 9A 和 9B 显示了根据本发明的示范实施例的突起源极/漏极区域的形成的剖面图。

具体实施方式

以下特定的具体实例将参考附图。不同附图中相同的参考符号代表相同或类似组件。并且，下列说明并非限制本发明，而由所附的权利要求书及其均等物来限定本发明的范畴。

按照本发明的实施例提供双栅极 FinFET 器件以及制造该种器件的方法。根据本发明所形成的 FinFET 器件可包括形成在导电鳍相对侧的栅极，且有栅极材料围绕该导电鳍的底面。

图 1 说明根据本发明实施例所形成的半导体器件 100 的剖面图。参考图 1，半导体器件 100 可包括绝缘体上硅 (silicon on insulator; SOI) 的结构，其包括硅衬底 110、埋入氧化层 120、以及位于埋入氧化层 120 上的硅层 130。埋入氧化层 120 以及硅层 130 可用传统的方式形成在衬底 110 上。

在一实施例中，埋入氧化层 120 可包括氧化硅并且可具有大约 1500 埃到 3000 埃的厚度。硅层 130 可包括单晶硅或多晶硅，并具有大约 200 埃到 1000 埃的厚度。硅层 130 可用于形成双栅极晶体管器件的

鳍结构，如下的详细说明。

在本发明的另一实施例中，衬底 110 和硅层 130 可包括其它的半导体材料，例如，锗或半导体材料的组合物，如硅锗。埋入氧化层 120 也可包括其它的电介质材料。

电介质层 140，如氮化硅层或氧化硅层，可形成在硅层 130 上作为后续蚀刻工艺时的保护罩。在一实施例中，可沉积电介质层 140 从大约 100 埃到 250 埃的厚度。接着，沉积并图形化光刻胶材料以形成后续工艺用的光刻胶掩膜 150。可用传统方式沉积并图形化光刻胶材料。

接着可蚀刻半导体器件 100。在一实施例中，可用传统方式蚀刻硅层 130，蚀刻至埋入氧化层 120 即停止，如图 2A 所示。参考图 2A，已蚀刻电介质层 140 以及硅层 130 并形成具有硅和电介质层 140 的鳍 210。

在形成鳍 210 之后，源极和漏极区域可形成在鳍 210 的相邻的各端。例如，在一实施例中，可用传统方式沉积、图形化、以及蚀刻一层硅、锗或硅和锗的组合物来形成源极和漏极区域。图 2B 说明根据本发明的一实施例的半导体器件 100 的俯视图，该半导体器件 100 包括在埋入氧化层 120 上与鳍 210 相邻形成的源极区域 220 以及漏极区域 230。

在形成源极区域 220 以及漏极区域 230 之后，可使用传统的化学蚀刻剂来蚀刻半导体器件 100 以去除部分的埋入氧化层 120，如第 3A 图所示。在一实施例中，该蚀刻可去除大约 100 埃到 250 埃的埋入氧化层 120。在蚀刻过程中，去除在鳍 210 下的埋入氧化层 120 的一部分，如图 3A 所示的区域 300。可使用此鳍 210 下的横向底切以利于后续工艺中更进一步蚀刻鳍 210 下的埋入氧化层 120。

可执行第二蚀刻以横向蚀刻通过鳍 210 下的埋入氧化层 120 的部分。在一实施例中，可执行例如高压下溴化氢（HBr）的各向同性蚀刻以横向蚀刻通过鳍 210 下的埋入氧化层 120，如图 3B 所示。

图 3B 所示鳍 210 的剖面实际上悬空在埋入氧化层 120 上。但鳍 210 的端部仍连接至该埋入氧化层 120，并且如图 3B 所示的鳍 210 的悬空部分由该埋入氧化层 120 在鳍 210 相邻源极/漏极区域 220 和 230 的各自的端部所支撑。

可去除该光刻胶掩膜 150 然后在鳍 210 上形成电介质层。例如，可在鳍 210 上热生长一层薄的氧化膜 410，如图 4 所示。可生成大约厚度为 10 埃到 30 埃的氧化膜 410，并形成在鳍 210 的暴露的硅侧表面及底面上，以作为栅极电介质层。但是该电介质层 140 保护鳍 210 的顶面。

接着可在半导体器件 100 上沉积硅层 510，如图 5 所示。该硅层 510 可包括用于后续形成栅极电极的栅极材料。在一实施例中，该硅层 510 可包括用传统化学气相沉积（CVD）而得的厚度为 500 埃到 1000 埃的多晶硅。或者，可使用其它的半导体材料，如锗或硅和锗的组合物，或其它可作为栅极材料的不同金属。

然后可平坦化半导体器件 100。例如，可执行化学机械剖光（CMP）使栅极材料（即，硅层 510）与电介质层 140 在垂直方向齐平或接近齐平，如图 6 所示。参考图 6，硅层 510 的剖面在半导体器件 100 的沟道区域为 U 型，并且栅极材料在沟道区域中的鳍 210 的两侧表面以及底面围绕鳍 210。然而，电介质层 140 覆盖鳍 210 的顶面。

接着可图形化并蚀刻该硅层 510 以形成栅极电极。例如，图 7 说明了按照本发明的在栅极电极形成之后的半导体器件 100 的俯视图。如所述，半导体器件 100 包括具有栅极电极 710 和 720 以及围绕鳍 210 的底部分的栅极材料 510（图 6）的双栅极结构。为了简洁，图 7 没有示出围绕在鳍 210 的侧表面与底面的栅极电介质 410。

接着可掺杂源极/漏极区域 220 和 230。例如可将 N 型或 P 型掺杂物注入源极/漏极区域 220 和 230。可视个别器件需要而选择特定的掺杂剂量与能量。本领域技术人员可根据电路需要将源极/漏极注入步骤最佳化，而为了不过分混淆本发明的要点，在此将不再赘述其工艺步骤。另外，可在源极/漏极离子注入之前选择性形成侧壁间隔体，以根据特定的电路需要来控制源极/漏极结的位置。接着可执行激活退火以激活该源极/漏极区域 220 和 230。

图 7 所示的结果的半导体器件 100 为具有第一栅极 710 与第二栅极 720 的双栅极器件。该栅极材料 510（图 6）围绕鳍 210 的三个表面，并且与传统的 FinFET 比较，为半导体器件 100 提供每器件更多的沟道宽度，同时使鳍 210 能维持在栅极蚀刻时保护鳍 210 的电介质层 140。

此外，当需要第三栅极电极时，围绕鳍 210 底部分的栅极材料 510 可作为第三栅极。

在某些实施例中，可略过横向底切埋入氧化层 120 有关的步骤，如前图 3A 以及图 3B 所示的，这将产生两个电性与物理上分离的栅极电极 710 和 720。在此情况时，当用于电路时，栅极电极 710 和 720 中的每一个皆可被分开偏压，因为实际上栅极电极 710 和 720 通过鳍 210 而互相分隔开。例如，在此情况时，根据特定电路需求可将栅极电极 710 用与栅极电极 720 不同的电压来偏压。在电路设计时，独立偏压的栅极增加半导体器件的灵活性。另外，栅极电极 710 可相对栅极电极 720 独立的被掺杂 N 型或 P 型掺杂物，以及反之亦然。

因此，根据本发明，可形成在器件的沟道区域具有 U 形剖面的双栅极 FinFET 器件。有利的是完成的结构具有良好的短沟道特性。并且，本发明提供更多灵活性并且很容易的整合至传统的工艺中。

其它实施例

在某些实施例中，FinFET 可能需要多个鳍。图 8A 至图 8E 说明了形成多个鳍的示例工艺。图 8A 说明半导体器件 800 的剖面图。参考图 8A，器件 800 可包括埋入氧化层（Buried oxide layer，BOX）810、鳍层 820，二氧化硅（ SiO_2 ）层 830，二氧化硅（ SiO_2 ）结构 840，以及多晶硅间隔体 850。鳍层 820 可包括硅、锗或硅和锗组合物。可以传统的方式形成层 810 至 830、结构 840 以及间隔体 850。可根据将形成的鳍之间所需的距离而形成具有预定宽度的结构 840 以及间隔体 850。

接着可蚀刻 SiO_2 结构 840 以及 SiO_2 层 830，形成如同图 8B 所示的结构。如图所示，该多晶硅间隔体 850 保护下层的 SiO_2 不被侵蚀。接着可去除多晶硅间隔体 850，如图 8C 所示。然后可以传统的方式蚀刻鳍层 820，该 SiO_2 作为掩膜以保护其下方的鳍材料，如图 8D 所示。接着可蚀刻 SiO_2 掩膜，蚀刻停止于硅鳍材料，而形成如图 8E 所示的两个鳍。依此，可形成相隔预定距离的两个或以上的鳍。

在其它实施例中，可能希望有具有突起的源极/漏极的 FinFET。图 9A 以及图 9B 说明了示例工艺的形成具有突起的源极/漏极区域的 FinFET 的剖面。参考图 9A，器件 900 包括 BOX 层 910、硅层 920、栅极 930 以及侧壁间隔体 940。可以传统的方式形成这些层/结构。可

将硅层 920 回蚀入源极/漏极区域，而残留近 10% 的硅。接着，可执行倾斜的源极/漏极注入以掺杂源极/漏极区域，如图 9A 的箭头所示。根据特定的电路需求源极/漏极离子注入可包括 N 型或 P 型掺杂物。

在源极/漏极注入之后，可执行硅层 920 的选择性外延生长 (SEG) 来升高源极/漏极区域的高度，如图 9B 所示。在此情况下，通过 SEG 工艺可注入源极/漏极区域注入物以在所需的位置形成源极/漏极 (S/D) 结，以提高源极/漏极区域的高度。在此情况下，得到的器件可具有减少的寄生源极/漏极电阻。

在前述的说明中，为了使本发明更易了解，已揭露多种特定细节，例如特定材料、结构、化学成分、步骤等。但是，可在不依照本文所揭露的特定细节来实施本发明。在其它例子中，为了不模糊本发明的目标并未对熟知的工艺结构作详细说明。

可利用传统的沉积技术来沉积根据本发明的半导体器件制造时所使用的电介质与导电层。例如，可利用金属化技术，如各种 CVD 方法，包括低压 CVD (LPCVD) 以及增强 CVD (ECVD)。

本发明可应用于制造双栅极半导体器件，更具体地可应用于具有 100 纳米或更小的设计特征的 FinFET 器件。本发明可应用于多种半导体器件的形成，因此，为了不模糊本发明的目标并未对熟知的工艺结构作详细说明。在实施本发明时，可利用传统的光刻技术以及蚀刻技术，因此，将不在此赘述。

本说明书仅揭露本发明的最佳实施例以及其变化的数个示例。应了解到本发明可以多种结合和多种环境下来使用，但仍然在本发明的原理的范围内。

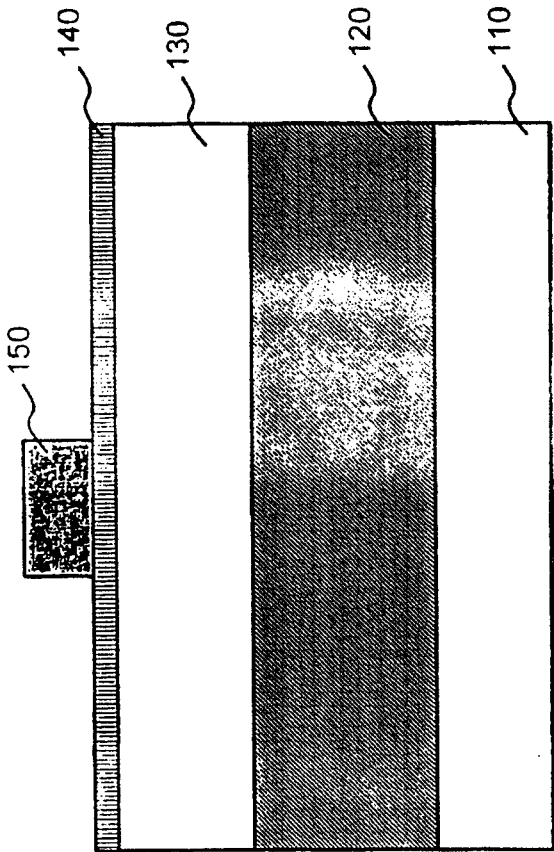
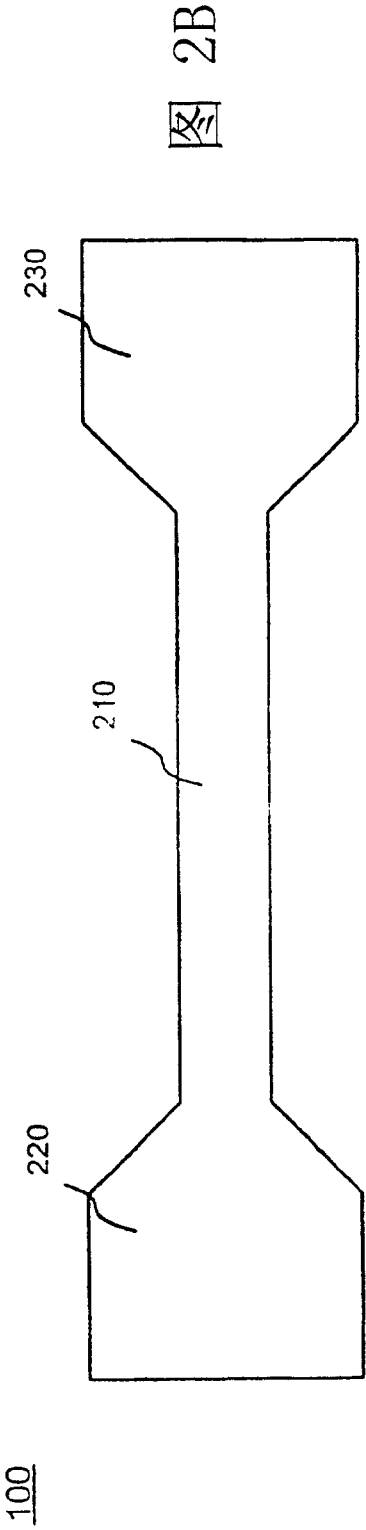
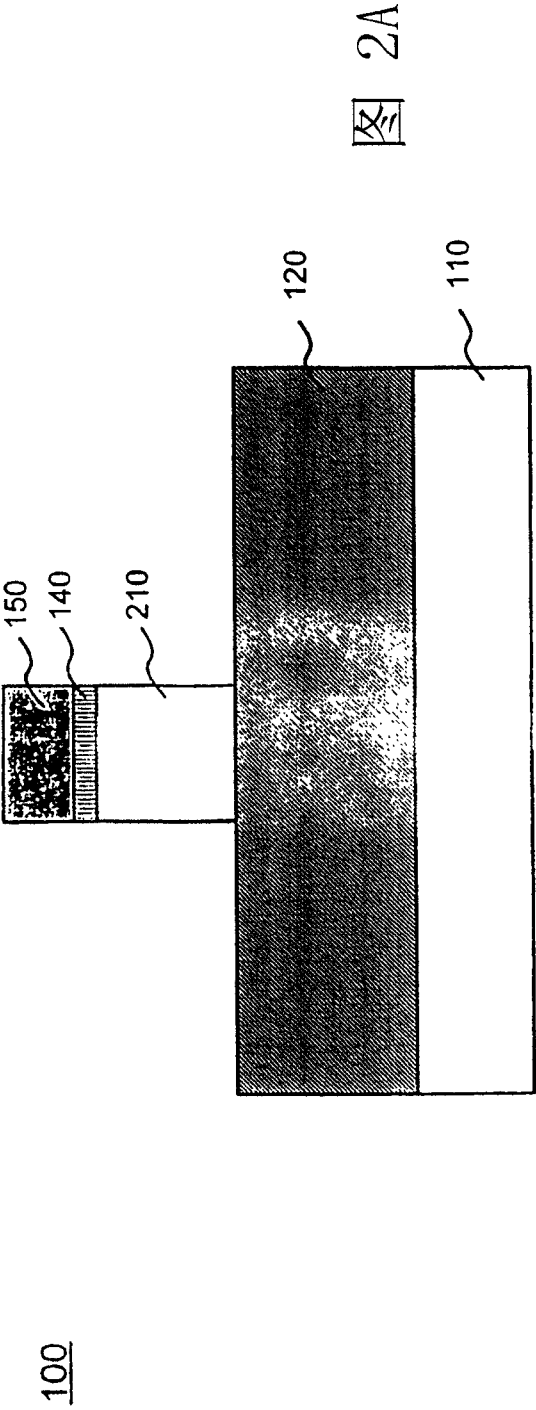
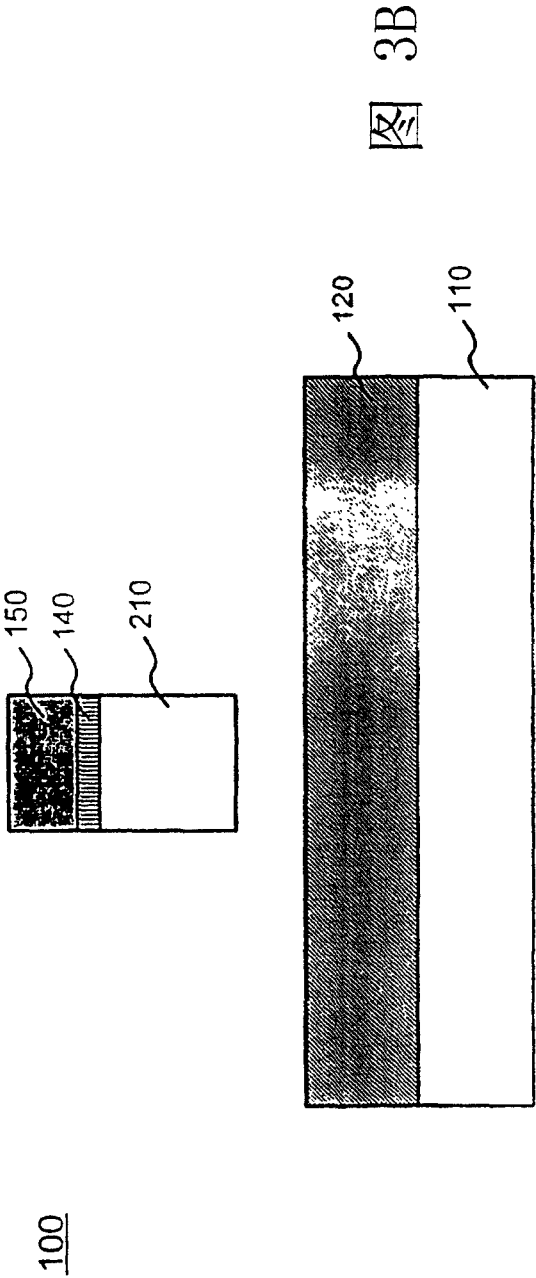
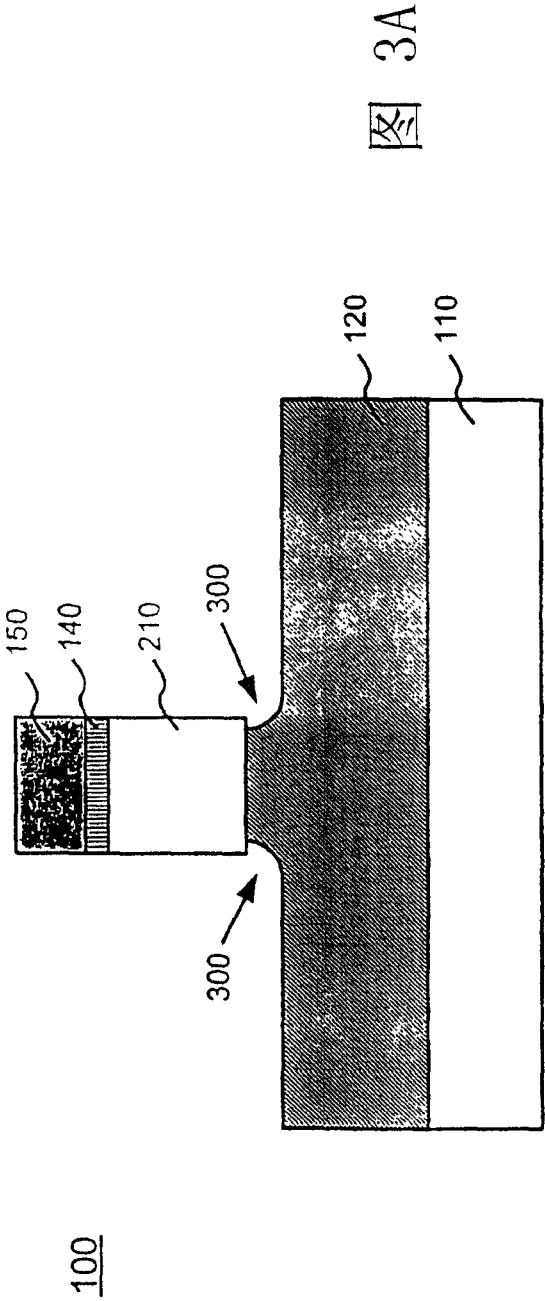


图 1

100





100

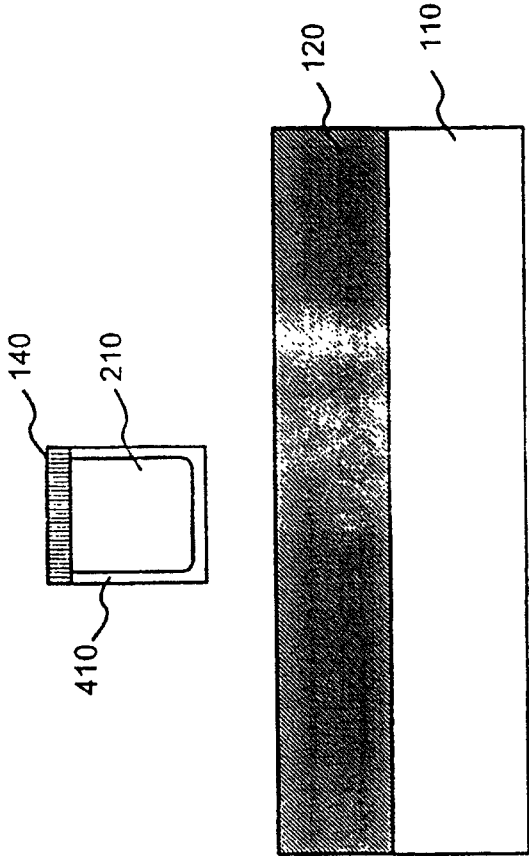
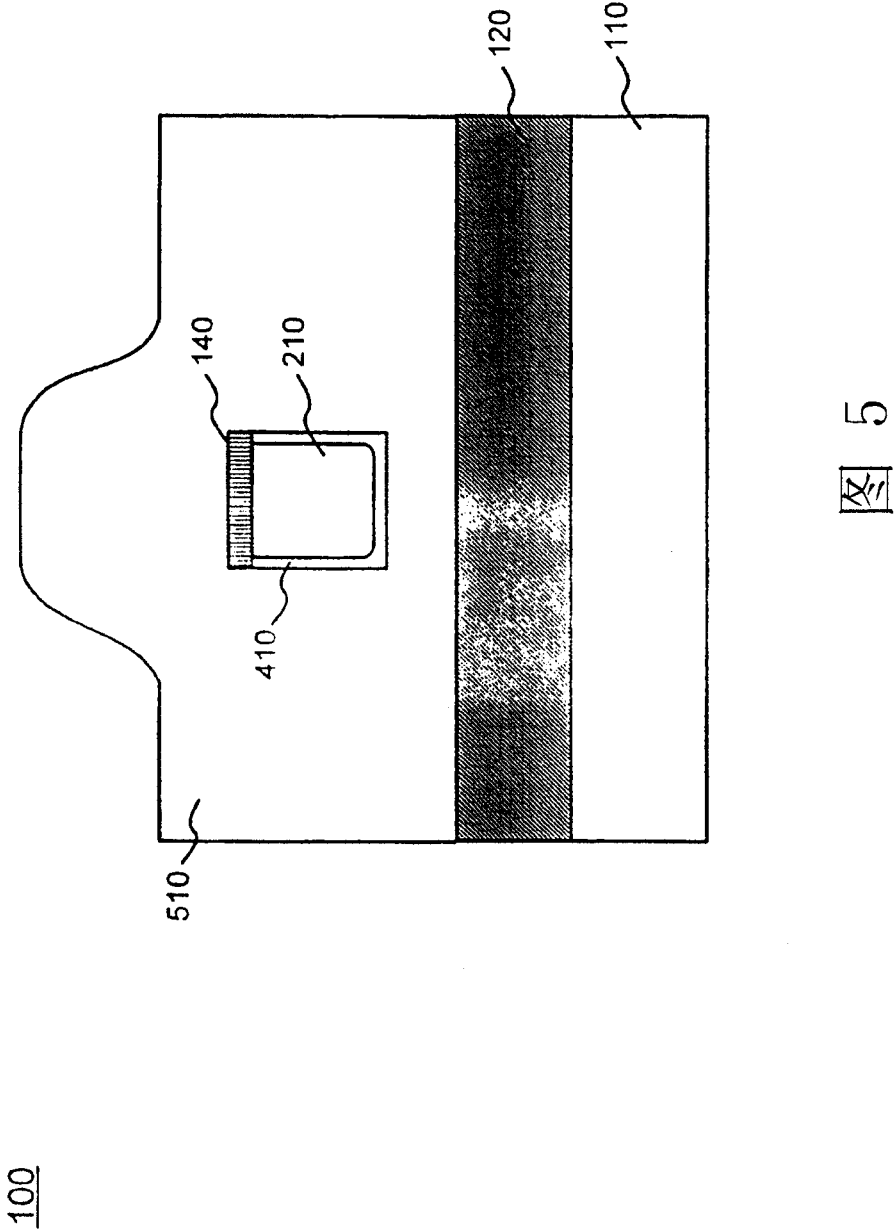


图 1



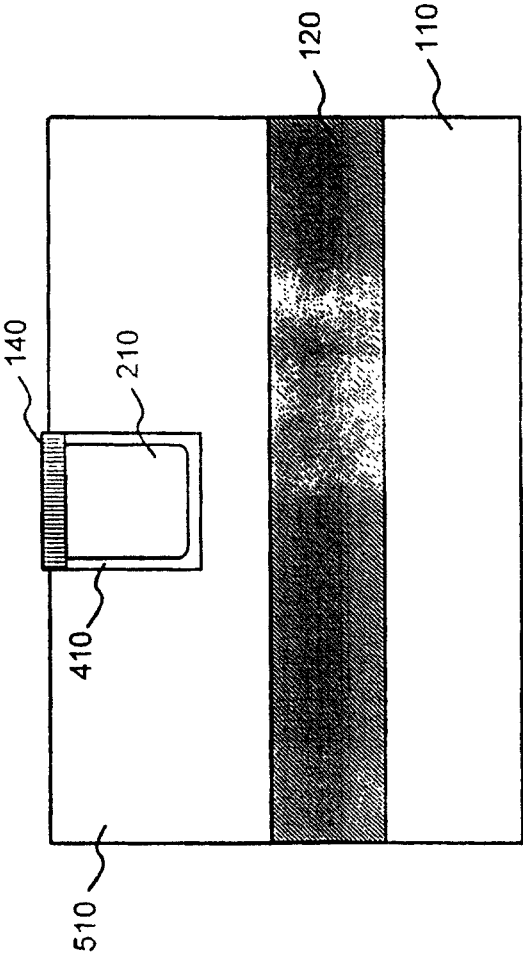


图 6

100

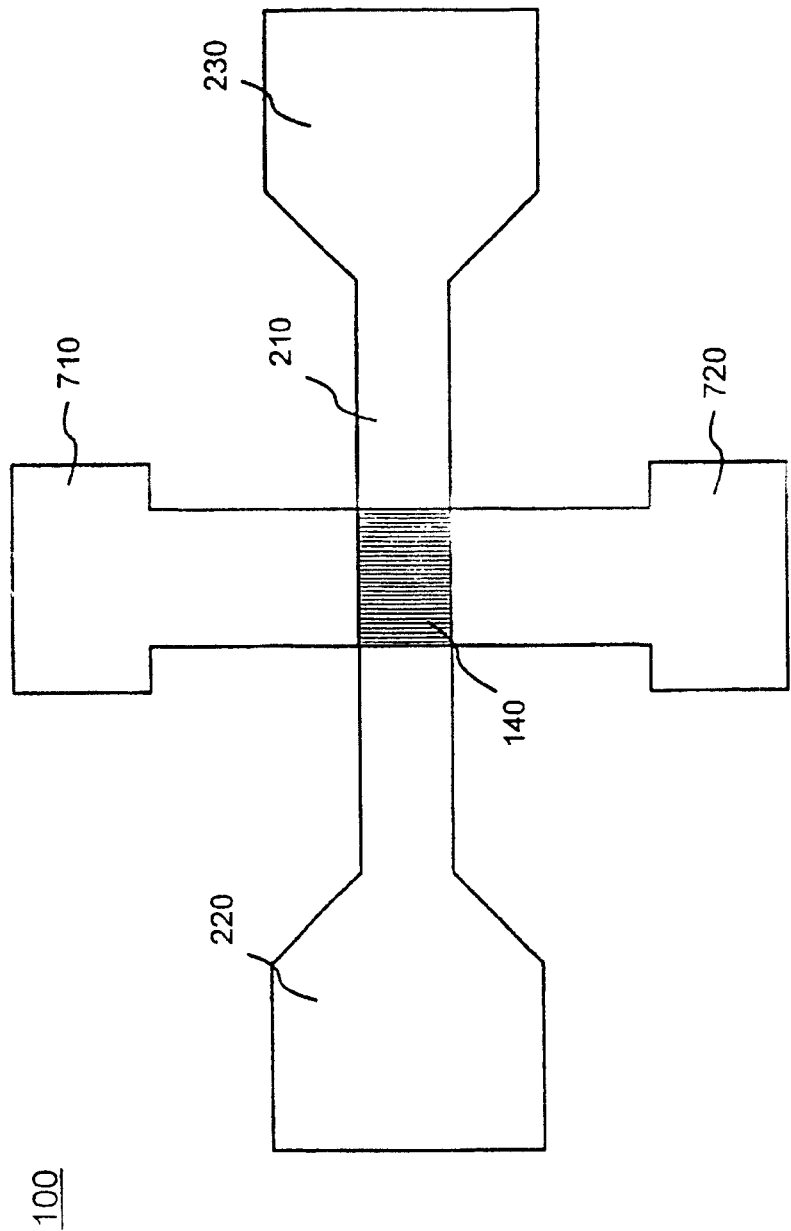
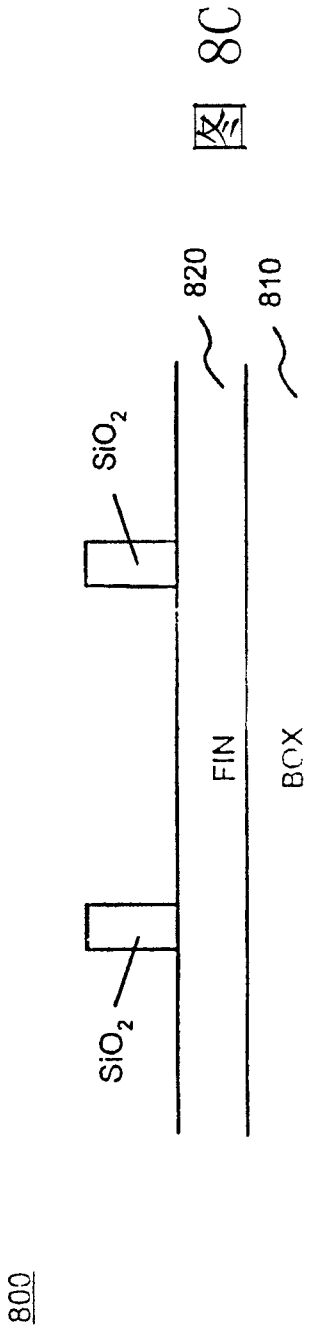
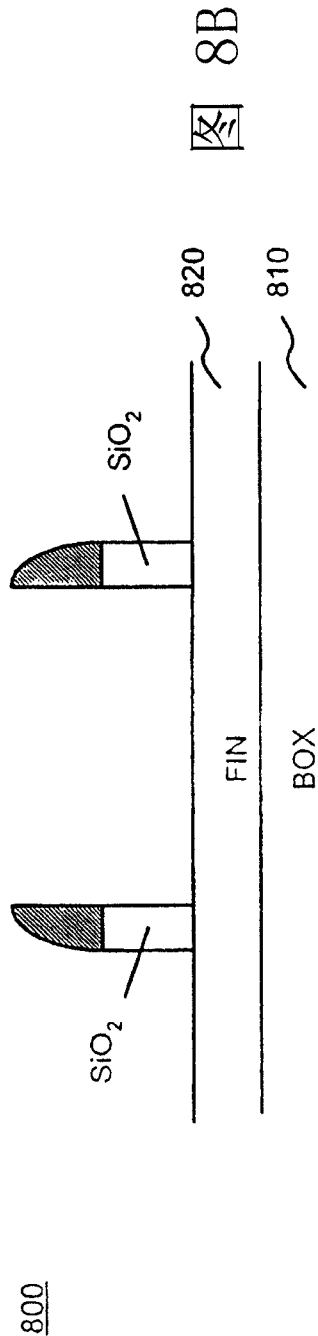
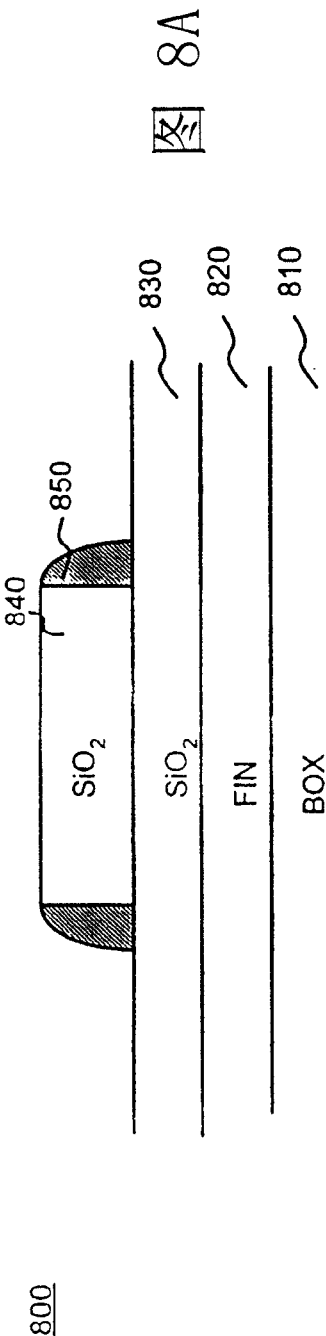


图 7



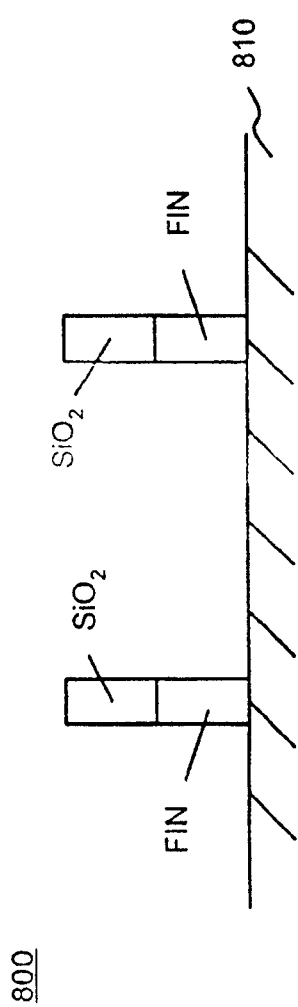


图 8D

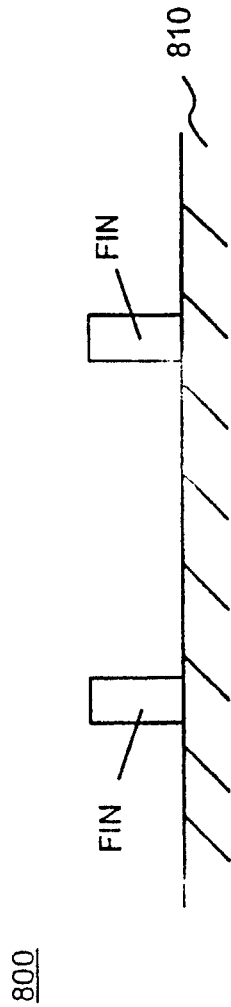


图 8E

