



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

216 015

(11) (B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 06 11 80
(21) PV 7509-80

(51) Int. Cl.³

G 06 F 3/00

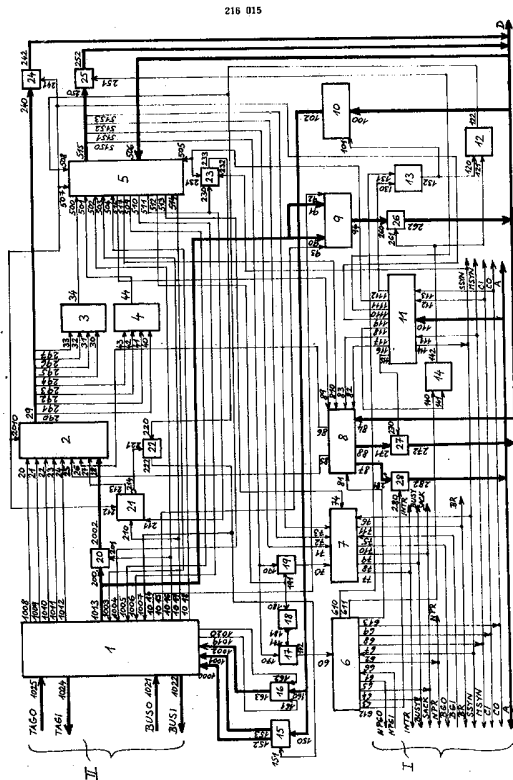
(40) Zveřejněno 31 07 81
(45) Vydáno 01 09 84

(75) Autor vynálezu PLISCHKE VRATISLAV ing., PRAHA

(54) Zapojení adaptéru pro připojení mikropočítače nebo minipočítače se společnou sběrnicí ke kanálu počítačů JSEP

Tento vynález se týká oboru výpočetní techniky a řeší problém připojování pří-
datných zařízení ke kanálu počítačů JSEP,
pokud jsou tato vybavena mikropočítačem
nebo minipočítačem se společnou sběrnicí.
Podstata vynálezu spočívá v zapojení blo-
ků adaptéru, který převádí signály inter-
face kanálu počítačů JSEP (nebo IBM 360 a
370) do signálů společné sběrnice mikropočí-
tače nebo minipočítače a opačně, čímž je
umožněna komunikace mezi těmito počítači.
Komunikace mezi oběma počítači je řízena
pomocí dvou řídicích registrů, zatímco
data jsou předávána pomocí dvou datových
registrů. Tato komunikace může probíhat ve
dvou režimech, a to buď v přerušovaném re-
žimu procesoru na společné sběrnici a nebo
v režimu přímého přístupu do paměti na spo-
lečné sběrnici.

Zapojení je zejména vhodné pro připojení gra-
fických přídatných zařízení, pokud jsou tato
vybavena mikropočítačem nebo minipočítačem se
společnou sběrnicí jako programovým řadičem.
Rovněž je lze použít pro přímé spojení mi-
kropočítače nebo minipočítače se společnou
sběrnicí s počítačem JSEP nebo IBM 360 i 370.



Vynález se týká zapojení adaptéru pro připojení mikropočítače nebo minipočítače se společnou sběrnicí, zejména pro řízení přídavných zařízení, ke kanálu počítačů jednotného systému (JSEP).

Dosud byla převážná většina přídavných zařízení připojena ke kanálu JSEP pomocí řídících jednotek, jež byly tvořeny jednak částí univerzální, stejnou pro různá zařízení, a jednak částí speciální, která je jiná pro různá zařízení v závislosti na jejich funkčních vlastnostech a realizaci. V poslední době jsou různá přídavná zařízení stále častěji vybavována mikropočítači nebo minipočítači pro jejich řízení, tj. mikropočítač nebo minipočítač plní funkci programovatelného řadiče. Toto umožňuje, aby různá zařízení, vybavená stejným mikropočítačem, resp. minipočítačem, nebo vybavená některým z mikropočítačů nebo minipočítačů se stejnou, společnou sběrnicí, byla připojena ke kanálu JSEP pomocí stejných obvodů adaptéru pro připojení mikropočítače (resp. minipočítače) ke kanálu JSEP.

Uvedený nedostatek dosavadního připojování přídavných zařízení, jestliže tato budou vybavena mikropočítačem nebo minipočítačem se společnou sběrnicí, odstraňuje zapojení adaptéru podle vynálezu, jehož podstatou je, že do prvního vstupu bloku druhého řídícího registru je zapojen první výstup bloku standardního styku s kanálem, jehož druhý výstup je zapojen do druhého vstupu bloku druhého řídícího registru, jehož třetího vstupu je zapojen třetí výstup bloku standardního styku s kanálem, jehož čtvrtý výstup je zapojen do čtvrtého vstupu bloku druhého řídícího registru, do jehož pátého vstupu je zapojen pátý výstup bloku standardního styku s kanálem, z jehož šestého vstupu je zapojeno 8 vodičů jednak do prvního vstupu bloku prvních hradel a jednak do prvního vstupu a druhého vstupu bloku výstupního datového registru, přičemž do druhého vstupu bloku prvních hradel je zapojen devátý výstup bloku standardního styku s kanálem, který je také zapojen do třetího vstupu bloku prvního řídícího registru, zatímco z výstupu bloku prvních hradel je zapojeno 8 vodičů do devátého vstupu bloku druhého řídícího registru, do jehož vstupu je zapojen první výstup bloku registrů pro přímý přístup do paměti, jehož druhý výstup je zapojen do sedmého vstupu bloku druhého řídícího registru, do jehož osmého vstupu je zapojen první výstup klopného obvodu, do jehož prvního vstupu a také do čtvrtého vstupu bloku prvního řídícího registru je zapojen desátý výstup bloku standardního styku s kanálem, zatímco do druhého vstupu klopného obvodu a do prvního vstupu prvního hradlovacího obvodu je zapojen třetí výstup bloku prvního řídícího registru, přičemž druhý výstup klopného obvodu je zapojen do druhého vstupu druhého hradlovacího obvodu, do jehož prvního vstupu je zapojen výstup prvního hradlovacího obvodu a výstup druhého hradlovacího obvodu je zapojen jednak do osmého vstupu bloku standardního styku s kanálem a jednak do druhého vstupu bloku druhých hradel, zatímco sedmý výstup bloku standardního styku s kanálem je zapojen do třetího vstupu bloku výstupního datového registru, do jehož čtvrtého vstupu je zapojen osmý výstup bloku standardního styku s kanálem, jehož jedenáctý výstup je zapojen do pátého vstupu bloku prvního řídícího registru, do jehož prvního vstupu je zapojen výstup prvního součtového obvodu, do jehož čtvrtého vstupu je zapojen sedmý vodič ze šestnácti vodičů, které jsou všechny z výstupu bloku druhého řídícího registru zapojeny do prvního vstupu bloku prvních budičů sběrnice, přičemž první vodič z těchto šestnácti vodičů je zapojen také do prvního vstupu druhého součtového obvodu, do jehož druhého vstupu je zapojen druhý vodič těchto šestnácti vodičů, třetí vodič těchto šestnácti vodičů je také zapojen do třetího

vstupu druhého součtového obvodu, do jehož čtvrtého vstupu je zapojen čtvrtý vodič těchto šestnácti vodičů a pátý vodič těchto šestnácti vodičů je také zapojen do prvního vstupu prvního součtového obvodu, do jehož druhého vstupu je zapojen šestý vodič z těchto šestnácti vodičů a sedmý vodič těchto šestnácti vodičů je zapojen do třetího vstupu prvního součtového obvodu, zatímco výstup druhého součtového obvodu je zapojen do druhého vstupu bloku prvního řídícího registru, do jehož šestého vstupu a do druhého vstupu prvního hradlovacího obvodu je zapojen osmý výstup bloku dekodéru adres registrů, jehož šestý výstup je zapojen jednak do druhého vstupu bloku prvních budičů sběrnice, dále je zapojen do osmého vstupu bloku prvního řídícího registru a dále je zapojen šestý výstup bloku dekodérů adres registrů do desátého vstupu bloku druhého řídícího registru a konečně je zapojen do třetího vstupu klopného obvodu, zatímco do devátého vstupu bloku prvního řídícího registru a do pátého vstupu bloku standardního styku s kanálem je zapojen výstup bloku žádosti o data, do jehož prvního vstupu a do druhého vstupu bloku výstupníhodatového registru je zapojen výstup třetího součtového obvodu, do jehož prvního vstupu je zapojen devátý výstup bloku dekodéru adres registrů, jehož pátý výstup je zapojen do druhého vstupu čtvrtého součtového obvodu, do jehož prvního vstupu je zapojen devátý výstup bloku řízení přímého přístupu do paměti, jehož osmý výstup je zapojen do druhého vstupu třetího součtového obvodu, přičemž do druhého vstupu bloku žádosti o data a do druhého vstupu bloku třetích budičů sběrnice je zapojen výstup čtvrtého součtového obvodu, zatímco do druhého vstupu bloku druhých budičů sběrnice je zapojen osmý výstup bloku dekodéru adres registrů, jehož čtvrtý výstup je zapojen do třetího vstupu bloku registrů pro přímý přístup do paměti, do jehož druhého vstupu je zapojen třetí výstup bloku dekodéru adres registrů, jehož druhý výstup je zapojen do prvního vstupu bloku čtvrtých budičů sběrnice, zatímco do prvního vstupu bloku pátých budičů sběrnice je zapojen desátý výstup bloku řízení přímého přístupu do paměti, jehož jedenáctý výstup je zapojen do prvního vstupu bloku registrů pro přímý přístup do paměti, přičemž první výstup bloku prvního řídícího registru je zapojen do šestého vstupu bloku standardního styku s kanálem, do jehož sedmého vstupu je zapojen druhý výstup bloku prvního řídícího registru, jehož čtvrtý výstup je zapojen jednak do druhého vstupu třetího hradlovacího obvodu a jednak do prvního vstupu invertoru, jehož výstup je zapojen do druhého vstupu čtvrtého hradlovacího obvodu, jehož výstup je zapojen do prvního vstupu bloku řízení přímého přístupu do paměti, zatímco pátý výstup bloku prvního řídícího registru je zapojen do pátého vstupu bloku žádosti o přerušení procesoru, do jehož prvního vstupu je zapojen výstup třetího hradlovacího obvodu, do jehož prvního vstupu a také do prvního vstupu čtvrtého hradlovacího obvodu je zapojen první vodič z m vodičů, které jsou všechny zapojeny ze sedmého vstupu bloku prvního řídícího registru do prvního vstupu bloku druhých budičů sběrnice, přičemž druhý vodič z těchto m vodičů je také zapojen do druhého vstupu bloku žádosti o přerušení procesoru, do jehož třetího vstupu je zapojen třetí vodič z těchto m vodičů, z nichž čtvrtý vodič je také zapojen do čtvrtého vstupu bloku žádosti o přerušení procesoru, zatímco šestý výstup bloku prvního řídícího registru je zapojen do čtvrtého vstupu bloku standardního styku s kanálem, jehož dvanáctý výstup je zapojen do druhého vstupu bloku multiplexorů, do jehož třetího vstupu je zapojen třináctý výstup bloku standardního styku s kanálem, do jehož prvního vstupu je zapojeno 8 vodičů z prvního vstupu bloku druhých hradel, z jehož druhého vstupu je za-

pojeno 8 vodičů do druhého vstupu bloku standardního styku s kanálem, do jehož třetího vstupu je zapojeno 8 vodičů z výstupu bloku multiplexorů, do jehož prvního vstupu a také do prvního vstupu bloku druhých hradel je zapojeno 16 vodičů z výstupu bloku vstupního datového registru, do jehož prvního vstupu je zapojeno 16 vodičů společné datové sběrnice (D) ze společné sběrnice mikropočítače (resp. minipočítače), které jsou také zapojeny do čtvrtého vstupu bloku registrů pro přímý přístup do paměti, z jehož čtvrtého výstupu je zapojeno 16 vodičů do druhého vstupu bloku čtvrtých budičů sběrnice, z jehož výstupu je zapojeno 16 vodičů do společné datové sběrnice, z níž 8 vodičů je zapojeno do sedmého vstupu bloku prvního řídícího registru, zatímco z výstupu bloku druhých budičů sběrnice je zapojeno 8 vodičů do společné datové sběrnice, do níž je také zapojeno 16 vodičů z výstupu bloku prvních budičů sběrnice a 16 vodičů z výstupu bloku třetích budičů sběrnice, do jehož prvního vstupu je zapojeno 16 vodičů z výstupu bloku výstupního datového registru, přičemž 18 vodičů společné adresové sběrnice ze společné sběrnice je zapojeno do prvního vstupu bloku dekodéru adres registrů a do této společné adresové sběrnice je zase zapojeno 18 vodičů z výstupu bloku pátých budičů sběrnice, do jehož druhého vstupu je zapojeno 18 vodičů ze třetího výstupu bloku registrů pro přímý přístup do paměti, do jehož pátého vstupu je zapojen osmý výstup bloku prvního řídícího registru, jehož devátý výstup je zapojen do šestého vstupu bloku registrů pro přímý přístup do paměti, zatímco pátý výstup bloku žádosti o přerušení procesoru je zapojen do prvního vodiče společné sběrnice, jejíž druhý vodič je zapojen do šestého vstupu bloku žádosti o přerušení procesoru, jehož čtvrtý výstup je zapojen do třetího vodiče společné sběrnice, do jejíhož čtvrtého vodiče je zapojen jednak třetí výstup bloku žádosti o přerušení procesoru a jednak třetí výstup bloku řízení přímého přístupu do paměti, do jehož druhého vstupu je zapojen pátý vodič společné sběrnice, do jejíhož šestého vodiče je zapojen třetí výstup bloku řízení přímého přístupu do paměti, jehož čtvrtý výstup je zapojen do sedmého vodiče společné sběrnice, do jejíhož osmého vodiče je zapojen jednak první výstup bloku řízení přímého přístupu do paměti a jednak druhý výstup bloku žádosti o přerušení procesoru, jehož první výstup je zapojen do devátého vodiče společné sběrnice, jejíž desátý vodič je zapojen jednak do třetího vstupu bloku řízení přímého přístupu do paměti, dále do sedmého vstupu bloku žádosti o přerušení procesoru a konečně do třetího vstupu prvního hradlovacího obvodu, přičemž do téhož desátého vodiče společné sběrnice je zapojen první výstup bloku dekodéru adres registrů, do jehož druhého vstupu je zapojen jedenáctý vodič společné sběrnice a do téhož jedenáctého vodiče společné sběrnice je zapojen pátý výstup bloku řízení přímého přístupu do paměti, jehož šestý výstup je zapojen do dvanáctého vodiče společné sběrnice a tento dvanáctý vodič společné sběrnice je zapojen do třetího vstupu bloku dekodéru adres registrů, do jehož čtvrtého vstupu je zapojen třináctý vodič společné sběrnice a do téhož třináctého vodiče společné sběrnice je zapojen sedmý výstup bloku řízení přímého přístupu do paměti, zatímco do devátého vstupu bloku standardního styku s kanálem je zapojeno 8 vodičů významových a 1 vodič paritní výstupní informační sběrnice z interface kanálu JSEP a ze čtrnáctého výstupu bloku standardního styku s kanálem je do interface kanálu JSEP zapojeno 8 vodičů významových a 1 vodič paritních vstupních informační sběrnice, přičemž do desátého vstupu bloku standardního styku s kanálem jsou zapojeny výstupní identifikační a řídící výběrové vodiče z interface kanálu JSEP a z patnáctého výstupu

bloku standardního styku s kanálem jsou do interface kanálu JSEP zapojeny vstupní identifikační a řídicí výběrové vodiče z interface kanálu JSEP.

Výhodou zapojení podle vynálezu je, že lze použít pro různá přídavná zařízení, která mají být připojena až už k selektorovému nebo multiplexnímu kanálu JSEP a používají buď mikropočítače, nebo minipočítače se společnou sběrnicí jako programovatelného řadiče. Další výhodou zapojení podle vynálezu je to, že umožňuje dva režimy přenosu dat mezi kanálem JSEP a mikropočítačem nebo minipočítačem, a to buď v režimu přerušování programu procesoru, nebo v režimu přímého přístupu do paměti na společné sběrnicí bez přerušování programu procesoru. Výhodou zapojení podle vynálezu je také to, že umožňuje přímé spojení dvou počítačů, t.j. počítače JSEP s mikropočítačem nebo minipočítačem se společnou sběrnicí, i když tyto budou plnit jinou funkci, než je funkce programovatelného řadiče přídavných zařízení počítačů JSEP.

Zapojení řídicí jednotky podle předkládaného vynálezu je znázorněno na výkresu.

Blok 1 standardního styku s kanálem zajišťuje připojení do celé jednotky k interface II kanálu JSEP, t.j. do jeho devátého vstupu 1021 je zapojeno 9 vodičů výstupní informační sběrnice BUSO a do jeho desátého vstupu 1023 jsou zapojeny výstupní identifikační a řídicí výběrové vodiče TAGO, zatímco 9 vodičů vstupní informační sběrnice BUSI je zapojeno do čtvrtého výstupu 1022 tohoto bloku 1 a do patnáctého výstupu 1024 tohoto bloku 1 jsou zapojeny vstupní identifikační a řídicí výběrové vodiče TAGI interface II kanálu JSEP. První, druhý, třetí, čtvrtý a pátý výstup, t.j. 1008, 1009, 1010, 1011 a 1012 bloku 1 standardního styku s kanálem jsou v tomto pořadí zapojeny do prvního, druhého, třetího, čtvrtého a pátého vstupu, 20, 21, 22, 23 a 24 bloku 2 druhého řídicího registru, kam se zaznamenávají unitární informace a povely z bloku 1 standardního styku s kanálem, t.j. informace o chybné paritě na sběrnicí BUSO, informace o stavu OFF-LINE řídicí jednotky, informace o konci dat z kanálu, povel k odpojení celé jednotky od kanálu JSEP a povel k nulování jednotky, až už selektivnímu nebo systémovému. Přes devátý výstup 28 bloku 2 druhého řídicího registru se do tohoto bloku 2 zaznamenává kód příkazu ze sběrnice BUSO kanálu JSEP a to ze šestého výstupu 1013 bloku 1 standardního styku s kanálem přes první vstup 200 a výstup 202 bloku 20 prvních hradel a to na povel převzetí příkazu z devátého výstupu 1016 bloku 1 standardního styku s kanálem, který je zapojen jednak do druhého vstupu 201 bloku prvních hradel 20 a jednak do třetího vstupu 502 bloku 2 prvního řídicího registru, do něhož se tento povel zaznamenává. Blok 8 registrů pro přímý přístup do paměti obsahuje dva registry. Je to jednak registr délky bloku dat, přičemž každý blok dat je přenesen mezi kanálem JSEP a pamětí mikropočítače, resp. minipočítače, na jeden povel z procesoru těchto počítačů, a to k zahájení přenosu dat a tento povel se jeví na šestém výstupu 514 bloku 2 prvního řídicího registru a tento výstup 514 tohoto bloku 2 je zapojen do čtvrtého vstupu 1003 bloku 1 standardního styku s kanálem. Druhým registrem bloku 8 registrů pro přímý přístup do paměti je registr adres paměti, což je čítač s přednastavením počáteční adresy pře čtvrtý vstup 84 bloku 8 registrů pro přímý přístup do paměti a to v okamžiku signálu na druhém vstupu 82 tohoto bloku 8, do něhož je zapojen třetí výstup 116 bloku 11 dekodéru adres registrů. Také registr délky bloku je přednastavitelný čítač a to také přes čtvrtý vstup 84 bloku 8 registrů pro přímý přístup do paměti, ale v okamžiku signálu na třetím vstupu 83 tohoto bloku 8, do něhož je zapojen čtvrtý výstup 117 bloku 11

dekodéru adres registrů. Registr délky bloku zmenšuje svůj obsah od přednastavené hodnoty a registr adres paměti zase zvětšuje svůj obsah od přednastavené hodnoty a to v době signálu, jenž se jeví na prvním vstupu 81 bloku 8 registrů pro přímý přístup do paměti, do něhož je zapojen jedenáctý výstup 613 bloku 6 řízení přímého přístupu do paměti. Ukončení přenosu jednoho bloku dat je indikováno nulovým obsahem registru délky bloku a tento stav je zaznamenán do bloku 2 druhého řídicího registru, do jehož šestého vstupu 25 je zapojen první výstup 85 bloku 8 registrů pro přímý přístup do paměti. Pokud by došlo k přetečení registru adres, byl by tento stav zaznamenán také do bloku 2 druhého řídicího registru, ale přes jeho sedmý vstup 26, do něhož je zapojen druhý výstup 86 bloku 8 registrů pro přímý přístup do paměti. Do bloku 2 druhého řídicího registru se ještě zaznamenává informace o tom, že došlo k potlačení, a tím i nepřevzetí signálu žádosti o předání stavové informace z mikropočítače, resp. minipočítače, který se jeví na třetím výstupu 511 bloku 5 prvního řídicího registru, a to proto, že došlo k této žádosti v době, kdy byl blok 1 standardního styku s kanálem obsazen. Obsazení bloku 1 standardního styku s kanálem je indikováno signálem na jeho desátém výstupu 1017, který je jednak zapojen do čtvrtého vstupu 503 bloku 5 prvního řídicího registru a jednak je zapojen do prvního vstupu 210 klopného obvodu 21, do jehož druhého vstupu 211 a do prvního vstupu 230 prvního hradlovacího obvodu je zapojen třetí výstup 511 bloku 5 prvního řídicího registru. Informace o nepřevzetí signálu žádosti o předání stavové informace z mikropočítače (resp. minipočítače) vzniká na prvním výstupu 213 klopného obvodu 21, jenž je zapojen do osmého vstupu 27 bloku 2 druhého řídicího registru. První vstup 210 klopného obvodu 21 je jeho D-vstupem a druhý vstup 211 téhož obvodu je jeho hodinovým vstupem. Druhý výstup 214 klopného obvodu 21, který je jeho konfunčním výstupem, je zapojen do druhého vstupu 221 druhého hradlovacího obvodu 22, do jehož prvního vstupu 220 je zapojen výstup 233 prvního hradlovacího obvodu 23, do jehož druhého vstupu 231 a zároveň šestého (nahrávacího) vstupu 505 bloku 5 prvního řídicího registru je zapojen osmý výstup 1111 bloku 11 dekodéru adres registrů a do třetího vstupu 232 prvního hradlovacího obvodu 23 je zapojen desátý vodič SSYN společné sběrnice I. Signál na výstupu 233 prvního hradlovacího obvodu 23 je zpožděný oproti signálu na prvním vstupu 230 téhož obvodu 23 a pokud je průchozí druhý hradlovací obvod 22 projde signál žádosti o předání stavové informace z mikropočítače (resp. minipočítače) jednak do osmého vstupu 1007 bloku 1 standardního styku s kanálem a jednak do druhého vstupu 151 bloku 15 druhých hradel, jelikož je do obou těchto vstupů zapojen výstup 222 druhého hradlovacího obvodu 22. Osm ze šestnácti vodičů na výstupu 29 bloku 2 druhého řídicího registru je zapojeno do vstupů dvou součtových obvodů a to tak, že první čtyři vodiče, t.j. 290, 291, 292 a 293 jsou v tomto pořadí zapojeny do prvního, druhého, třetího a čtvrtého vstupu, t.j. 40, 41, 42 a 43 druhého součtového obvodu 4 a druhé čtyři vodiče, t.j. 294, 295, 296 a 297 jsou v tomto pořadí zapojeny do prvního, druhého, třetího a čtvrtého vstupu, t.j. 30, 31, 32 a 33 prvního součtového obvodu 3, jehož výstup 34, který je zapojen do prvního vstupu 500 bloku 5 prvního řídicího registru, nese součtovou chybovou informaci, ať už je to v důsledku chyby parity výstupní sběrnice BUS0, přetečení registru adres z bloku 8 registrů pro přímý přístup do paměti, přechodu řídicí jednotky do stavu OFF-LINE a nebo nepřevzetí signálu žádosti o předání stavové informace. Výstup 44 druhého součtového obvodu 4, který je zapojen do druhého vstupu 501 bloku 5 prvního řídicího registru, nese součtovou informaci související

s ukončením operace přenosu dat na kanálu JSEP, ať už je to informace o konci dat z kanálu nebo povel k odpojení nebo nulování, nebo nese informaci související s ukončením přenosu jednoho bloku dat v režimu přímého přístupu do paměti. Do pátého vstupu 504 bloku 5 prvního řídícího registru je zapojen jedenáctý výstup 1018 bloku 1 standardního styku s kanálem, na němž vzniká povelový signál k převzetí jednoho slova, t.j. dvou bitů, dat z bloku 9 výstupního datového registru do mikropočítače (resp. minipočítače), a nebo k nahrání jednoho slova dat z mikropočítače (resp. minipočítače) do bloku 10 vstupního datového registru. Informace o směru přenosu dat je dána signály na prvním a druhém výstupu t.j. 509 a 510 bloku 5 prvního řídícího registru, které jsou zapojeny do šestého a sedmého vstupu, t.j. 1005 a 1006 bloku 1 standardního styku s kanálem. Na základě těchto informací tak vznikají v bloku 1 standardního styku s kanálem povelové signály. Je to jednak signál na jeho osmém výstupu 1015, který je zapojen do čtvrtého vstupu 93 bloku 9 výstupního datového registru, jímž se zaznamená první bit dat ze šestého výstupu 1013 bloku 1 standardního styku s kanálem do bloku 9 výstupního datového registru, přes jeho první vstup 90. Druhý povelový signál vzniká na sedmém výstupu 1014 bloku 1 standardního styku s kanálem, který je zapojen do třetího vstupu 92 bloku 9 výstupního datového registru, jímž se zaznamená druhý bit dat rovněž ze šestého výstupu 1013 bloku 1 standardního styku s kanálem do bloku 9 výstupního datového registru, ale přes jeho druhý vstup 91. Třetí povelový signál vzniká na dvanáctém výstupu 1019 bloku 1 standardního styku s kanálem, který je zapojen do druhého vstupu 161 bloku 16 multiplexorů, do jehož třetího vstupu 162 je zapojen třináctý výstup 1020 bloku 1 standardního styku s kanálem, na němž vzniká čtvrtý povelový signál. Třetí povelový signál má za následek přečtení prvního bitu dat z výstupu 102 bloku 10 výstupního datového registru přes první vstup 160 a výstup 163 bloku 16 multiplexorů do bloku 1 standardního styku s kanálem, přes jeho třetí vstup 1002, zatímco čtvrtý povelový signál má za následek přečtení druhého bitu dat z bloku 10 vstupního datového registru do bloku 1 standardního styku s kanálem stejnou cestou přes blok 16 multiplexorů. Do bloku 10 vstupního datového registru se kromě vlastních dat nahrává z mikropočítače (resp. minipočítače) i informace o stavu zařízení a informace o závadách. Obě informace o stavu i závadách se nahrávají do bloku 10 vstupního datového registru najednou, ale každá je přes zvláštní vstup přečtena do bloku 1 standardního styku s kanálem a to tak, že jedna informace se přečte v jeho prvním vstupu 1000, kam je zapojeno 8 vodičů z prvního výstupu 152 bloku 15 druhých hradel, z jehož druhého výstupu 153 je zapojeno 8 vodičů do druhého vstupu 1001 bloku 1 standardního styku s kanálem, v kterém se čte druhá informace. Do prvního vstupu 150 bloku 15 druhých hradel je zapojeno 16 vodičů z výstupu 102 bloku 10 vstupního datového registru. Logický stav signálu na třetím výstupu 512 bloku 5 prvního řídícího registru rozlišuje režim v přenosu dat mezi kanálem JSEP a mikropočítačem (resp. minipočítačem). Jeden logický stav tohoto signálu určuje režim přenosu dat při přerušování programu procesoru mikropočítače (resp. minipočítače), druhý logický stav signálu určuje režim přímého přístupu do paměti na společné sběrnici bez přerušování programu procesoru. Tento třetí výstup 512 bloku 5 prvního řídícího registru je zapojen jednak do druhého vstupu 191 třetího hradlovacího obvodu 19 a jednak do vstupu 180 invertoru 18, jehož výstup 181 je zapojen do druhého vstupu 171 čtvrtého hradlovacího obvodu 17. Blok 7 žádostí o přerušování procesoru přijímá signály žádostí o přerušování procesoru, které vznikají na vodi-

čích v prvním, druhém, třetím a čtvrtém vstupu, t.j. 70, 71, 72 a 73 tohoto bloku 7 a pokud je povoleno přerušení procesoru, které je indikováno jedničkovým logickým stavem pátého výstupu 513 bloku 2 prvního řídícího registru a který je zapojen do pátého vstupu 74 bloku 7 žádosti o přerušení procesoru, vygeneruje tento blok 7 signál žádosti o získání sběrnice I, který vznikne na jeho pátém výstupu 711, jenž je zapojen do prvního vodiče BR společné sběrnice I. Do prvního vstupu 70 bloku 7 žádosti o přerušení procesoru je přes první vstup 190 a výstup 192 třetího hradlovacího obvodu 19 zapojen první vodič 5150 z m vodičů v sedmém výstupu 515 bloku 2 prvního řídícího registru a tento vodič 5150 nese zaznamenaný povelový signál pro mikropočítač (resp. minipočítač) k převzetí jednoho slova dat z bloku 2 výstupního datového registru nebo k záznamu jednoho slova dat do bloku 10 vstupního datového registru. V případě, že programově je zvolen režim přenosu dat při přímém přístupu do paměti bez přerušování programu procesoru, t.j. když je uzavřen třetí hradlovací obvod 19, ale je průchozí čtvrtý hradlovací obvod 17, potom je přes první vstup 170 a výstup 172 čtvrtého hradlovacího obvodu 17 zapojen první vodič 5150 z m vodičů v sedmém výstupu 515 bloku 2 prvního řídícího registru do prvního vstupu 60 bloku 6 řízení přímého přístupu do paměti, jehož čtvrtém výstupu 66, který je zapojen do sedmého vodiče NPR společné sběrnice I, vzniká signál žádosti o přidělení sběrnice I za účelem přímého přístupu do paměti. Do druhého vstupu 71 bloku 7 žádosti přerušení procesoru je zapojen druhý vodič 5151 z m vodičů v sedmém výstupu 515 bloku 2 prvního řídícího registru a tento vodič 5151 nese zaznamenaný povelový signál pro mikropočítač (resp. minipočítač) k převzetí kódu příkazu z kanálu JSEP, který je zaznamenan v osmi bitech bloku 2 druhého řídícího registru. Do třetího vstupu 72 bloku 7 žádosti o přerušení procesoru je zapojen třetí vodič 5152 z m vodičů v sedmém výstupu 515 bloku 2 prvního řídícího registru a tento vodič 5152 nese informaci související s ukončením operace na kanálu JSEP nebo s ukončením přenosu jednoho bloku dat v režimu přímého přístupu do paměti. Upřesnění této informace najde procesor při přečtení příslušných bitů bloku 2 druhého řídícího registru přes první vstup 240 a výstup 242 bloku 24 prvních budičů sběrnice, do jehož druhého vstupu 241 je zapojen šestý výstup 119 bloku 11 dekodéru adres registrů, který je také zapojen do osmého vstupu 507 bloku 2 prvního řídícího registru a do desátého výstupu 2010 bloku 2 druhého řídícího registru, který se signálem na tomto vodiči vynuluje, ale až po přečtení bloku 2 druhého řídícího registru, zároveň s klopným obvodem 21, do jehož třetího, t.j. nulovacího vstupu 212 je tento vodič rovněž zapojen. V bloku 2 prvního řídícího registru se tímto signálem nuluje bit, který nese povelovou informaci pro mikropočítač (resp. minipočítač), k převzetí kódu příkazu. Do čtvrtého vstupu 73 bloku 7 žádosti o přerušení procesoru je zapojen čtvrtý vodič 5153 z m vodičů v sedmém výstupu 515 bloku 2 prvního řídícího registru a tento vodič 5153 nese součtovou chybovou informaci. Upřesnění této informace najde procesor přečtením příslušných bitů bloku 2 druhého řídícího registru. Obsah m čtecích bitů bloku 2 prvního řídícího registru se čte do procesoru přes první vstup 250 a výstup 252 bloku 25 druhých budičů sběrnice, do jehož druhého vstupu je zapojen sedmý výstup 1110 bloku 11 dekodéru adres registrů. Obsah bloku 2 výstupního datového registru se čte přes první vstup 260 a výstup 262 bloku 26 třetích budičů sběrnice, a to buď do procesoru, když je do druhého vstupu 261 bloku 26 třetích budičů sběrnice zapojen pátý výstup 118 bloku 11 dekodéru adres registrů a to přes druhý výstup 141 a výstup 142 čtvrtého součtového obvodu 14, a nebo se čte

obsah bloku 2 výstupního datového registru přímo do paměti na společné sběrnici, když je do druhého vstupu 261 bloku 26 třetích budičů sběrnice zapojen devátý výstup 611 bloku 6 řízení přímého přístupu do paměti, a to přes první vstup 140 a výstup 142 čtvrtého součtového obvodu 14. Do bloku 10 vstupního datového registru jsou, přes jeho první vstup 100 nahrána data, t.j. jedno slovo dat, buď z procesoru, když je do druhého vstupu 101 bloku 10 vstupního datového registru zapojen devátý výstup 1112 bloku 11 dekodéru adres registrů, a to přes druhý vstup 131 a výstup 132 třetího součtového obvodu 13, a nebo jsou data nahrána do bloku 10 vstupního datového registru přímo z paměti na společné sběrnici, když je do druhého vstupu 101 bloku 10 vstupního datového registru zapojen osmý výstup 610 bloku 6 řízení přímého přístupu do paměti, a to přes první vstup 130 a výstup 132 třetího součtového obvodu 13. Výstup 132 třetího součtového obvodu je také zapojen do prvního vstupu 120 bloku 12 žádosti o data, do jehož druhého vstupu 121 je zapojen výstup 142 čtvrtého součtového obvodu 14. Výstup 122 bloku 12 žádosti o data je jednak zapojen do pátého vstupu 1004 bloku 1 standardního styku s kanálem a jednak do devátého vstupu 508 bloku 5 prvního řídicího registru. Signál na tomto vodiči z výstupu 122 bloku 12 žádosti o data vzniká buď, když byl přečten obsah bloku 2 výstupního datového registru, a nebo když byla zaznamenána data do bloku 10 vstupního datového registru. Tehdy se v bloku 5 prvního řídicího registru znuluje bit, který nese povelovou informaci převzetí dat bloku 2 výstupního datového registru a nebo k zápisu dat do bloku 10 vstupního datového registru. Obsah registru adres paměti v bloku 8 registrů pro přímý přístup do paměti se z jeho čtvrtého vstupu 88 přečte do procesoru přes druhý vstup 271 a výstup 272 bloku 27 čtvrtých budičů sběrnice, do jehož prvního vstupu 270 je zapojen druhý výstup 115 bloku 11 dekodéru adres registrů. Třetí výstup 87 bloku 8 registrů pro přímý přístup do paměti nese jednak informaci o obsahu šestnácti bitů registru adres paměti v tomto bloku 8 a jednak nese informaci o obsahu dvou bitů bloku 5 prvního řídicího registru na jeho osmém a devátém výstupu, t.j. 516 a 517, které jsou zapojeny v tomto pořadí do pátého a šestého vstupu, t.j. 89 a 810 bloku 8 registrů pro přímý přístup do paměti. Ze třetího vstupu 87 bloku 8 registrů pro přímý přístup do paměti je zapojeno 18 vodičů do adresové sběrnice A společné sběrnice I, a to přes druhý vstup 281 a výstup 282 bloku 28 pátých budičů sběrnice, do jehož prvního vstupu 280 je zapojen desátý výstup 612 bloku 6 řízení přímého přístupu do paměti. Pátý výstup 711 bloku 7 žádosti o přerušení procesoru je zapojen do prvního vodiče BR. Společné sběrnice I, jejíž druhý vodič BGI je zapojen do šestého vstupu 75 bloku 7 žádosti o přerušení procesoru, jehož čtvrtý výstup 710 je zapojen do třetího vodiče BGO společné sběrnice I, do jejíhož čtvrtého vodiče SACK je zapojen jednak třetí výstup 79 bloku 7 žádosti o přerušení procesoru a jednak třetí výstup 64 bloku 6 řízení přímého přístupu do paměti, do jehož druhého vstupu 61 je zapojen pátý vodič NPGI společné sběrnice I, do jejíhož šestého vodiče NPGO je zapojen třetí výstup 65 bloku 6 řízení přímého přístupu do paměti, jehož čtvrtý výstup 66 je zapojen do sedmého vodiče NPR společné sběrnice I, do jejíhož osmého vodiče BUSY je zapojen jednak první výstup 63 bloku 6 řízení přímého přístupu do paměti a jednak druhý výstup 78 bloku 7 žádosti o přerušení procesoru, jehož první výstup 77 je zapojen do devátého vodiče INTR společné sběrnice I, jejíž desátý vodič SSYN je zapojen jednak do třetího vstupu 62 bloku 6 řízení přímého přístupu do paměti a dále do sedmého vstupu 76 bloku 7 žádosti o přerušení procesoru a konečně do třetího vstupu 232 prvního hradlovacího obvodu 23,

příčemž do téhož desátého vodiče SSYN společné sběrnice I je zapojen první výstup 114 bloku 11 dekodéru adres registrů, do jehož druhého vstupu 111 je zapojen jedenáctý vodič MSYN společné sběrnice I a do téhož jedenáctého vodiče MSYN společné sběrnice I je zapojen pátý výstup 67 bloku 6 řízení přímého přístupu do paměti, jehož šestý výstup 68 je zapojen do dvanáctého vodiče CI společné sběrnice I a tento dvanáctý vodič CI společné sběrnice I je zapojen do třetího výstupu 112 bloku 11 dekodéru adres registrů, do jehož čtvrtého vstupu 113 je zapojen třináctý vodič CO společné sběrnice I a do téhož třináctého vodiče CO společné sběrnice I je zapojen sedmý výstup 69 bloku 6 řízení přímého přístupu do paměti.

Zapojení adaptéru podle vynálezu je možno použít pro připojení různých vstupních i výstupních přídatných zařízení, která jsou vybavena mikropočítačem nebo minipočítačem se společnou sběrnicí, ke kanálu počítačů JSEP nebo IBM 360 a 370. Zapojení může být použito také jen pro přímé spojení mikropočítače nebo minipočítače s kanálem uvedených počítačů.

Zapojení je zejména vhodné pro připojení grafických přídatných zařízení jako jsou kreslicí stoly, t.j. plottery, očečítače souřadnic, t.j. digitizéry a jiná, která jsou vybavena například mikropočítačem MDT 1000, minipočítačem SM3, SM4 nebo BDT, nebo některým z minipočítačů řady PDP11, například PDP11/40, anebo je toto zapojení použitelné i pouze pro spojení některého z těchto počítačů s kanálem počítačů JSEP nebo IBM 360 a 370.

P R E D M Ě T V Y N Á L E Z U

Zapojení adaptéru pro připojení mikropočítače nebo minipočítače se společnou sběrnicí ke kanálu počítačů JSEP, vyznačené tím, že do prvního vstupu (20) bloku (2) druhého řídicího registru je zapojen první výstup (1008) bloku (1) standardního vstupu s kanálem, jehož druhý výstup (1009) je zapojen do druhého vstupu (21) bloku (2) druhého řídicího registru, do jehož třetího vstupu (22) je zapojen třetí výstup (1010) bloku (1) standardního styku s kanálem, jehož čtvrtý výstup (1011) je zapojen do čtvrtého vstupu (23) bloku (2) druhého řídicího registru, do jehož pátého vstupu (24) je zapojen pátý výstup (1012) bloku (1) standardního styku s kanálem, z jehož šestého vstupu (1013) je zapojeno 8 vodičů jednak do prvního vstupu (200) bloku (20) prvních hradel a jednak do prvního vstupu (90) a druhého vstupu (91) bloku (9) výstupního datového registru, přičemž do druhého vstupu (201) bloku (20) prvních hradel je zapojen devátý výstup (1016) bloku (1) standardního styku s kanálem, který je také zapojen do třetího vstupu (502) bloku (5) prvního řídicího registru, zatímco z výstupu (202) bloku (20) prvních hradel je zapojeno 8 vodičů do devátého vstupu (28) bloku (2) druhého řídicího registru, do jehož šestého vstupu (25) je zapojen první výstup (85) bloku (8) registrů pro přímý přístup do paměti, jehož druhý výstup je zapojen do sedmého vstupu (26) bloku (2) druhého řídicího registru, do jehož osmého vstupu (27) je zapojen první výstup (213) klopného obvodu (21), do jehož prvního vstupu (210) a také do čtvrtého vstupu (503) bloku (5) prvního řídicího registru je zapojen desátý výstup (1017) bloku (1) standardního styku s kanálem, zatímco do druhého vstupu (211) klopného obvodu (21) a do prvního vstupu (230) prvního hradlovacího obvodu (23) je zapojen třetí výstup (511) bloku (5) prvního řídicího registru, přičemž druhý výstup (214) klopného obvodu (21) je zapojen do druhého vstupu (221) druhého hradlovacího obvodu (22), do jehož prvního vstupu (220) je zapojen výstup (233) prvního hradlovacího obvodu (23) a výstup (222) druhého hradlovacího obvodu (22) je zapojen jednak do

druhého vstupu (151) bloku (15) druhých hradel, zatímco sedmý výstup (1014) bloku (1) standardního styku s kanálem je zapojen do třetího vstupu (92) bloku (9) výstupního datového registru, do jehož čtvrtého vstupu (93) je zapojen osmý výstup (1015) bloku (1) standardního styku s kanálem, jehož jedenáctý výstup (1018) je zapojen do pátého vstupu (504) bloku (5) prvního řídícího registru, do jehož prvního vstupu (500) je zapojen výstup (34) prvního součtového obvodu (3), do jehož čtvrtého vstupu (33) je zapojen sedmý vodič (296) ze šestnácti vodičů, které jsou všechny z výstupu (29) bloku (2) druhého řídícího registru zapojeny do prvního vstupu (240) bloku (24) prvních budičů sběrnice, přičemž první vodič (290) z těchto šestnácti vodičů je zapojen také do prvního vstupu (40) druhého součtového obvodu (4), do jehož druhého vstupu (41) je zapojen druhý vodič (291) z těchto šestnácti vodičů, třetí vodič (292) z těchto šestnácti vodičů je také zapojen do třetího vstupu (42) druhého součtového obvodu (4), do jehož čtvrtého vstupu (43) je zapojen čtvrtý vodič (293) z těchto šestnácti vodičů a pátý vodič (294) z těchto šestnácti vodičů je také zapojen do prvního vstupu (30) prvního součtového obvodu (3), do jehož druhého vstupu (31) je zapojen šestý vodič (295) z těchto šestnácti vodičů a sedmý vodič (296) z těchto šestnácti vodičů je zapojen do třetího vstupu (32) prvního součtového obvodu (3), zatímco výstup (44) druhého součtového obvodu (4) je zapojen do druhého vstupu (501) bloku (5) prvního řídícího registru, do jehož šestého vstupu (505) a do druhého vstupu (231) prvního hradlovacího obvodu (23) je zapojen osmý výstup (1111) bloku (11) dekodéru adres registrů, jehož šestý výstup (119) je zapojen jednak do druhého vstupu (241) bloku (24) prvních budičů sběrnice, dále je zapojen do osmého vstupu (507) bloku (5) prvního řídícího registru a dále je zapojen šestý výstup (119) bloku (11) dekodéru adres registrů do desátého vstupu (2010) bloku (2) druhého řídícího registru a konečně je zapojen do třetího vstupu (212) klopného obvodu (21), zatímco do devátého vstupu (508) bloku (5) prvního řídícího registru a do pátého vstupu (1004) bloku (1) standardního styku s kanálem je zapojen výstup (122) bloku (12) žádosti o data, do jehož prvního vstupu (120) a do druhého vstupu (101) bloku (10) vstupního datového registru je zapojen výstup (132) třetího součtového obvodu (13), do jehož prvního vstupu (130) je zapojen devátý výstup (1112) bloku (11) dekodéru adres registrů, jehož pátý výstup (118) je zapojen do druhého vstupu (141) čtvrtého součtového obvodu (14), do jehož prvního vstupu (140) je zapojen devátý výstup (611) bloku (6) řízení přímého přístupu do paměti, jehož osmý výstup (610) je zapojen do druhého vstupu (131) třetího součtového obvodu (13), přičemž do druhého vstupu (121) bloku (12) žádosti o data a do druhého vstupu (261) bloku (26) třetích budičů sběrnice je zapojen výstup (142) čtvrtého součtového obvodu (14), zatímco do druhého vstupu (251) bloku (25) druhých budičů sběrnice je zapojen osmý výstup (1110) bloku (11) dekodéru adres registrů, jehož čtvrtý výstup (117) je zapojen do třetího vstupu (83) bloku (8) registrů pro přímý přístup do paměti, do jehož druhého vstupu (82) je zapojen třetí výstup (116) bloku (11) dekodéru adres registrů, jehož druhý výstup (115) je zapojen do prvního vstupu (270) bloku (27) čtvrtých budičů sběrnice, zatímco do prvního vstupu (280) bloku (28) pátých budičů sběrnice je zapojen desátý výstup (612) bloku (6) řízení přímého přístupu do paměti, jehož jedenáctý výstup (613) je zapojen do prvního vstupu (81) bloku (8) registrů pro přímý přístup do paměti, přičemž první výstup (509) bloku (5) prvního řídícího registru je zapojen do šestého vstupu (1005) bloku (1) standardního styku s kanálem, do jehož sedmého vstupu (1006) je zapojen

druhý výstup (510) bloku (5) prvního řídícího registru, jehož čtvrtý výstup (512) je zapojen jednak do druhého vstupu (191) třetího hradlovacího obvodu (19) a jednak do prvního vstupu (180) invertoru (18), jehož výstup (181) je zapojen do druhého vstupu (171) čtvrtého hradlovacího obvodu (17), jehož výstup (172) je zapojen do prvního vstupu (60) bloku (6) řízení přímého přístupu do paměti, zatímco pátý výstup (513) bloku (5) prvního řídícího registru je zapojen do pátého vstupu (74) bloku (7) žádosti o přerušení procesoru, do jehož prvního vstupu (70) je zapojen výstup (192) třetího hradlovacího obvodu (19), do jehož prvního vstupu (190) a také do prvního vstupu (170) čtvrtého hradlovacího obvodu (17) je zapojen první vodič (5150) z m vodičů, které jsou všechny zapojeny ze sedmého výstupu (515) bloku (5) prvního řídícího registru do prvního vstupu (250) bloku (25) druhých budičů sběrnice, přičemž druhý vodič (5151) z těchto m vodičů je také zapojen do druhého vstupu (71) bloku (7) žádosti o přerušení procesoru, do jehož třetího vstupu (72) je zapojen třetí vodič (5152) z těchto m vodičů, z nichž čtvrtý vodič (5153), je také zapojen do čtvrtého vstupu (73) bloku (7) žádosti o přerušení procesoru, zatímco šestý výstup (514) bloku (5) prvního řídícího registru je zapojen do čtvrtého vstupu (1003) bloku (1) standardního styku s kanálem, jehož dvanáctý výstup (1019) je zapojen do druhého vstupu (161) bloku (16) multiplexorů, do jehož třetího vstupu (162) je zapojen třináctý výstup (1020) bloku (1) standardního styku s kanálem, do jehož prvního vstupu (1000) je zapojeno 8 vodičů z prvního výstupu (152) bloku (15) druhých hradel, z jehož druhého výstupu (153) je zapojeno 8 vodičů do druhého vstupu (1001) bloku (1) standardního styku s kanálem, do jehož třetího vstupu (1002) je zapojeno 8 vodičů z výstupu (163) bloku (16) multiplexorů, do jehož prvního vstupu (160) a také do prvního vstupu (150) bloku (15) druhých hradel je zapojeno 16 vodičů z výstupu (102) bloku (10) vstupního datového registru, do jehož prvního vstupu (100) je zapojeno 16 vodičů společné datové sběrnice (D) ze společné sběrnice (I) mikropočítače, resp. minipočítače, které jsou také zapojeny do čtvrtého vstupu (84) bloku (8) registrů pro přímý přístup do paměti, z jehož čtvrtého výstupu (88) je zapojeno 16 vodičů do druhého vstupu (271) bloku (27) čtvrtých budičů sběrnice, z jehož výstupu (272) je zapojeno 16 vodičů do společné datové sběrnice (D), z nichž n vodičů je zapojeno do sedmého vstupu (506) bloku (5) prvního řídícího registru, zatímco z výstupu (252) bloku (25) druhých budičů sběrnice je zapojeno m vodičů do společné datové sběrnice (D), do níž je také zapojeno 16 vodičů z výstupu (242) bloku (24) prvních budičů sběrnice a 16 vodičů z výstupu (262) bloku (26) třetích budičů sběrnice, do jehož prvního vstupu (260) je zapojeno 16 vodičů z výstupu (94) bloku (9) výstupního datového registru, přičemž 18 vodičů společné adresové sběrnice (A) ze společné sběrnice (I) je zapojeno do prvního vstupu (110) bloku (11) dekodéru adres registrů a do této společné adresové sběrnice (A) je zase zapojeno 18 vodičů z výstupu (282) bloku (28) pátých budičů sběrnice, do jehož druhého vstupu (281) je zapojeno 18 vodičů ze třetího výstupu (87) bloku (8) registrů pro přímý přístup do paměti, do jehož pátého vstupu (89) je zapojen osmý výstup (516) bloku (5) prvního řídícího registru, jehož devátý výstup (517) je zapojen do šestého vstupu (810) bloku (8) registrů pro přímý přístup do paměti, zatímco pátý výstup (711) bloku (7) žádosti o přerušení procesoru je zapojen do prvního vodiče (BR) společné sběrnice (I), jejíž druhý vodič (BGI) je zapojen do šestého vstupu (75) bloku (7) žádosti o přerušení procesoru, jehož čtvrtý výstup (710) je zapojen do třetího vodiče (BGO) společné sběrnice (I), do jejíhož čtvrtého vodiče (SACK) je zapojen

jednak třetí výstup (79) bloku (7) žádosti o přerušení procesoru a jednak třetí výstup (64) bloku (6) řízení přímého přístupu do paměti, do jehož druhého vstupu (61) je zapojen pátý vodič (NPGI) společné sběrnice (I), do jejíhož šestého vodiče (NPGO) je zapojen třetí výstup (65) bloku (6) řízení přístupu do paměti, jehož čtvrtý výstup (66) je zapojen do sedmého vodiče (NPR) společné sběrnice (I), do jejíhož osmého vodiče (BUSY) je zapojen jednak první výstup (63) bloku (6) řízení přímého přístupu do paměti a jednak druhý výstup (78) bloku (7) žádosti o přerušení procesoru, jehož první výstup (77) je zapojen do devátého vodiče (INTR) společné sběrnice (I), jejíž desátý vodič (SSYN) je zapojen jednak do třetího vstupu (62) bloku (6) řízení přímého přístupu do paměti, dále do sedmého vstupu (76) bloku (7) žádosti o přerušení procesoru a konečně do třetího vstupu (232) prvního hradlovacího obvodu (23); přičemž do téhož desátého vodiče (SSYN) společné sběrnice (I) je zapojen první výstup (114) bloku (11) dekodéru adres registrů, do jehož druhého vstupu (111) je zapojen jedenáctý vodič (MSYN) společné sběrnice (I) a do téhož jedenáctého vodiče (MSYN) společné sběrnice (I) je zapojen pátý výstup (67) bloku (6) řízení přímého přístupu do paměti, jehož šestý výstup (68) je zapojen do dvanáctého vodiče (CI) společné sběrnice (I) a tento dvanáctý vodič (CI) společné sběrnice (I) je zapojen do třetího vstupu (112) bloku (11) dekodéru adres registrů, do jehož čtvrtého vstupu (113) je zapojen třináctý vodič (CO) společné sběrnice (I) a do téhož třináctého vodiče (CO) společné sběrnice (I) je zapojen sedmý výstup (69) bloku (6) řízení přímého přístupu do paměti, zatímco do devátého vstupu (1021) bloku (1) standardního styku s kanálem je zapojen 8 vodičů významových a 1 vodič paritní výstupní informační sběrnice (BUSO) z interface (II) kanálu JSEP a ze čtrnáctého vstupu (1022) bloku (1) standardního styku s kanálem je do interface (II) kanálu JSEP zapojeno 8 vodičů významových a 1 vodič paritní vstupní informační sběrnice (BUSI), přičemž do desátého vstupu (1023) bloku (1) standardního styku s kanálem jsou zapojeny výstupní identifikační a řídicí výběrové vodiče (TAGO) z interface (II) kanálu JSEP a z patnáctého vstupu (1024) bloku (1) standardního styku s kanálem jsou do interface (II) kanálu JSEP zapojeny vstupní identifikační a řídicí výběrové vodiče (TAGI) z interface (II) kanálu JSEP.

