

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成19年3月15日(2007.3.15)

【公表番号】特表2002-536712(P2002-536712A)

【公表日】平成14年10月29日(2002.10.29)

【出願番号】特願2000-596448(P2000-596448)

【国際特許分類】

|               |              |                  |
|---------------|--------------|------------------|
| <b>G 06 F</b> | <b>9/455</b> | <b>(2006.01)</b> |
| <b>G 06 F</b> | <b>9/30</b>  | <b>(2006.01)</b> |
| <b>G 06 F</b> | <b>9/46</b>  | <b>(2006.01)</b> |
| <b>G 06 F</b> | <b>12/08</b> | <b>(2006.01)</b> |
| <b>G 06 F</b> | <b>12/10</b> | <b>(2006.01)</b> |

【F I】

|               |              |                |
|---------------|--------------|----------------|
| <b>G 06 F</b> | <b>9/44</b>  | <b>3 1 0 A</b> |
| <b>G 06 F</b> | <b>9/30</b>  | <b>3 1 0 E</b> |
| <b>G 06 F</b> | <b>9/46</b>  | <b>3 4 0 B</b> |
| <b>G 06 F</b> | <b>12/08</b> | <b>5 2 5 Z</b> |
| <b>G 06 F</b> | <b>12/10</b> | <b>5 0 5 Z</b> |
| <b>G 06 F</b> | <b>12/10</b> | <b>5 5 9</b>   |

【手続補正書】

【提出日】平成19年1月29日(2007.1.29)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

コンピュータの第1および第2のメモリ領域から読み出された命令を実行することからなり、第1および第2のメモリ領域の命令は第1および第2の命令セットアーキテクチャのコンピュータによる実行のため又は第1および第2のデータ記憶規約に従ってそれぞれコード化されており、第1および第2のメモリ領域は関連する第1および第2のインジケータ要素を有しており、第1および第2のインジケータ要素はそれぞれ、関連する領域からの命令がそのもとで実行されるアーキテクチャを指示する値を有しており、第1の命令セットアーキテクチャが予め設定された定義を有しており、コンピュータが第1の命令セットアーキテクチャの正確な実行をもたらす工程と、

命令の実行が第1のメモリ領域から第2のメモリ領域に流れるか又は移動すると、第2の命令セットアーキテクチャ又は第2のデータ記憶規約に従って実行できるようにコンピュータを適応させる工程とを含む方法。

【請求項2】

コンピュータのメモリの單一アドレス領域の複数の区画から読み出された命令を実行することからなり、前記区画は仮想メモリマネージャによって管理され、各区画の命令は第1および第2のアーキテクチャのコンピュータによる実行のため又は第1および第2のデータ記憶規約に従ってそれぞれコード化されており、前記複数の区画は関連する第1および第2のインジケータ要素を有しており、第1および第2のインジケータ要素はそれぞれ、関連する区画からの命令がそのもとで実行されるアーキテクチャまたはデータ記憶規約を指示する値を有している工程と、

命令データの実行が第1のアーキテクチャまたはデータ記憶規約に従う区画から第2の

アーキテクチャまたはデータ記憶規約に従う区画へ流れると、その命令の区画に対応するインジケータ要素によって指示されるデータ記憶規約に従って実行できるようにコンピュータを適応させる工程とを含む方法。

#### 【請求項 3】

コンピュータプロセッサに対してネイティブな命令セットアーキテクチャである第1の命令セットアーキテクチャにおいて実行するプログラムの実行と、コンピュータプロセッサに対して非ネイティブな命令セットアーキテクチャである第2の命令セットアーキテクチャでコード化されたオペレーティングシステムでありかつコンピュータの資源の縮小サブセットへのアクセスを可能にする規格品のオペレーティングシステムの実行との間の遷移が、ソフトウェア遷移ハンドラーによって管理される請求項1又は2記載の方法。

#### 【請求項 4】

領域のうちの1つは、第2の命令セットアーキテクチャでバイナリコード化された規格品のオペレーティングシステムを記憶する請求項1～3のいずれか1つに記載の方法。

#### 【請求項 5】

第1のデータ記憶規約を使用する領域から第2のデータ記憶規約を使用する領域へのプログラム実行の遷移が認識され、その認識に応答して、第1のデータ記憶規約のもとでの変更前プログラムコンテキストと論理的に等価な第2のデータ記憶規約のもとでのプログラムコンテキストを作成するために、コンピュータのデータ記憶内容が変更される請求項1～4のいずれか1つに記載の方法。

#### 【請求項 6】

2つの規約が2つの呼び出し規約である請求項1～5のいずれか1つに記載の方法。

#### 【請求項 7】

2つの呼び出し規約のうちの一方がレジスタベースの呼び出し規約であり、他方の呼び出し規約はメモリスタックベースの呼び出し規約である請求項6記載の方法。

#### 【請求項 8】

2つの命令セットアーキテクチャが対応する第1および第2のデータ記憶規約を有しており、

制御が第1の領域から第2の領域に流れると、第1のデータ記憶規約のもとでの変更前プログラムコンテキストと論理的に等価な第2のデータ記憶規約のもとでのプログラムコンテキストを作成するために、コンピュータのデータ記憶内容が変更される請求項1～7のいずれか1つに記載の方法。

#### 【請求項 9】

2つの命令セットアーキテクチャが対応する第1および第2のデータ記憶規約を有しており、

第1のデータ記憶規約から第2のデータ記憶規約へデータ記憶内容を変更するための規則が、認識された実行転送の前に実行のロケーションと関係するデスクリプタを試験することによって決定される請求項1～8のいずれか1つに記載の方法。

#### 【請求項 10】

インジケータ要素が、仮想メモリマネージャにより使用される一次アドレス変換テーブルとは別個で、かつ変換索引バッファにキャッシュされた一次アドレス変換テーブルの部分とは別個のテーブルに記憶され、テーブルのインジケータ要素はメモリの各区画と関係づけられて記憶される請求項1～9のいずれか1つに記載の方法。

#### 【請求項 11】

領域が仮想メモリマネージャによって管理される区画である請求項1～10のいずれか1つに記載の方法。

#### 【請求項 12】

インジケータ要素が、エントリが対応する物理区画フレームと関係づけられているテーブルに記憶される請求項11記載の方法。

#### 【請求項 13】

インジケータ要素が、エントリが物理区画フレーム番号によって索引づけられているテ

ーブルに記憶される請求項1\_1記載の方法。

【請求項1\_4】

インジケータ要素がそれぞれの仮想区画と関係づけられて記憶される請求項1\_1記載の方法。

【請求項1\_5】

実行が第1の領域から第2の領域に流れると、コンピュータの実行が例外を生じる請求項1~1\_4のいずれか1つに記載の方法。

【請求項1\_6】

2つの異なる命令セットアーキテクチャのコンピュータの命令を代替的に実行するよう構成され、第1および第2のアーキテクチャは各々、プロセッサコンテキストを定義する関連性のある一組の資源を有し、第1のプロセッサコンテキストは第2のアーキテクチャにおいてアーキテクチャ的に不可視のコンピュータの資源を含むプロセッサバイオペラインと、

前記プロセッサバイオペラインによる実行のためにコンピュータメモリから命令を読み出し、かつ、命令が読み出されるその單一アドレス空間の各メモリ領域と関係する記憶されたインジケータ要素を読み出すように設計され、各インジケータ要素は、関係する領域の命令データがそのもとでプロセッサバイオペラインによって実行されるアーキテクチャの指示を記憶するように設計されており、インジケータ要素は第2のアーキテクチャにおいてアーキテクチャ的に不可視のコンピュータの資源うちの1つであるメモリユニットとを備え、

メモリユニットおよび/またはプロセッサバイオペラインはさらに、インジケータ要素が指示する1つのアーキテクチャまたは実行規約の領域から別の領域への実行フローを認識するように設計されているコンピュータプロセッサ。

【請求項1\_7】

コンピュータプロセッサであって、

仮想メモリマネージャにより管理されるメモリから命令を読み出すように構成され、第1および第2の異なるコンピュータアーキテクチャ用にコード化されているか、または第1および第2の異なるデータ記憶規約を遂行するためにコード化された命令を実行するように構成されている命令ユニットを備え、

コンピュータプロセッサは、(a)メモリの各区画と関係づけられて記憶されたインジケータ要素を検索し、各インジケータ要素はその区画の命令が実行されるアーキテクチャまたは規約を指示しており、(b)命令実行が第1のアーキテクチャまたは規約の区画から、それぞれの関係するインジケータ要素による指示に従って第2のアーキテクチャまたは規約の区画に流れたか又は移動したことを認識し、(c)第2のアーキテクチャまたは規約の区画と関係するインジケータ要素に従って命令の実行を行うように命令ユニットの処理モードまたはメモリの記憶内容を変更する、ように設計されているコンピュータプロセッサ。

【請求項1\_8】

エントリが変換索引バッファのエントリである請求項1\_6又は1\_7記載のコンピュータプロセッサ。

【請求項1\_9】

領域のうちの1つは、第2の命令セットアーキテクチャでバイナリコード化された規格品のオペレーティングシステムを記憶する請求項1\_6~1\_8のいずれか1つに記載のコンピュータプロセッサ。

【請求項2\_0】

与えられた領域の命令セットアーキテクチャおよびデータ記憶規約の両方を指示するために単一のインジケータ要素が使用される請求項1\_6~1\_9のいずれか1つに記載のコンピュータプロセッサ。

【請求項2\_1】

2つの規約が2つの呼び出し規約である請求項1\_6~2\_0のいずれか1つに記載のコン

ピュータプロセッサ。

【請求項 2 2】

2つのアーキテクチャが2つの命令セットアーキテクチャであり、コンピュータプロセッサは、命令が読み出される領域に対応するインジケータ要素に従った2つの命令セットアーキテクチャに従って命令を解釈するよう命令ユニットを制御する請求項1 6～2 1のいずれか1つに記載のコンピュータプロセッサ。

【請求項 2 3】

2つの命令セットアーキテクチャが対応する第1および第2のデータ記憶規約を有しており、

データのビット表現を第1のデータ記憶規約による第1の表現から第2のデータ記憶規約による第2の表現に変更することによって、第1のデータ記憶規約のもとでコード化されたコードの実行と第2のデータ記憶規約のもとでコード化されたコードの実行との間での遷移をもたらすようにソフトウェアおよび／またはハードウェアが設計され、データ記憶規約の変更にまたがってデータの意味を保存するようにデータのビット表現の変更が行われる請求項1 6～2 2のいずれか1つに記載のコンピュータプロセッサ。

【請求項 2 4】

2つの命令セットアーキテクチャが対応する第1および第2のデータ記憶規約を有しており、

第1のロケーションから第2のロケーションにデータをコピーするようにソフトウェアおよび／またはハードウェアが設計され、第1のロケーションは、第2のデータ記憶規約のもとでの第2のロケーションの用途に類似の第1のデータ記憶規約のもとでの用途を有する請求項1 6～2 3のいずれか1つに記載のコンピュータプロセッサ。

【請求項 2 5】

2つの命令セットアーキテクチャが対応する第1および第2のデータ記憶規約を有しており、

第1のデータ記憶規約から第2のデータ記憶規約へデータ記憶内容を変更するための規則が、認識された実行転送の前に実行のロケーションと関係するデスクリプタを試験することによって決定される請求項1 6～2 4のいずれか1つに記載のコンピュータプロセッサ。

【請求項 2 6】

コンピュータプロセッサおよびソフトウェアが、第1のデータ記憶規約を使用する第1の命令セットでコード化された領域における実行と、第2のデータ記憶規約を使用する第2の命令セットでコード化された領域における実行との間で、命令境界間の遷移をもたらすように設計されており、ソフトウェアは転送のソースのコードが行先でのコードとインタフェースするために特殊にコード化されることなく実行遷移をもたらすようにプログラムされている請求項1 6～2 5のいずれか1つに記載のコンピュータプロセッサ。

【請求項 2 7】

実行が第1の領域から第2の領域に流れるか又は移動すると、ソフトウェア介入を要さずに命令の実行のモードが変更される請求項1 6～2 6のいずれか1つに記載のコンピュータプロセッサ。