

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成27年8月13日(2015.8.13)

【公表番号】特表2014-526175(P2014-526175A)

【公表日】平成26年10月2日(2014.10.2)

【年通号数】公開・登録公報2014-054

【出願番号】特願2014-519292(P2014-519292)

【国際特許分類】

H 03K 19/00 (2006.01)

G 06F 1/32 (2006.01)

G 06F 1/04 (2006.01)

【F I】

H 03K 19/00 A

G 06F 1/00 3 3 2 A

G 06F 1/04 3 0 1 C

【手続補正書】

【提出日】平成27年6月26日(2015.6.26)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数のソース記憶素子と、

複数のデスティネーション記憶素子と、

前記複数のソース記憶素子の間に接続された複数のパワーゲーティングされたゲートであって、前記デスティネーション記憶素子へ供給する複数のパワーゲーティングされたゲートと、

パワー供給ノードと、前記パワーゲーティングされたゲートとの間に直列に接続された1つ以上のパワーゲートであって、デアサートされた、スリープ状態を示す制御信号に応じて、前記パワーゲーティングされたゲートを通る電流フローを低減し、アサートされた、ウェイク状態を示す制御信号に応じて、前記パワーゲーティングされたゲートを通る電流フローを可能にする1つ以上のパワーゲートと、

1つ以上の前記ソース記憶素子をクロッキング可能にする1つ以上のソースクロックイネーブル信号を受信し、少なくとも1つのデスティネーションクロックイネーブル信号を受信するように接続された制御ロジックであって、前記ソースクロックイネーブル信号の何れかのアサーションに応じて、前記制御信号が前記ウェイク状態を示すように構成されている、制御ロジックと、を備え、

前記制御ロジックは、前記1つ以上のソースクロックイネーブル信号のすべてがデアサートされ、且つ、前記デスティネーションクロックイネーブル信号がアサートされた後のみ、前記制御信号が前記スリープ状態を示すように構成されており、これによって、前記パワーゲーティングされたゲートにより供給された値を処理するために、前記デスティネーション記憶素子がクロックされるのを可能にする、

装置。

【請求項2】

前記制御ロジックは状態機械を含み、

状態機械は、アサートされた前記ソースクロックイネーブル信号の何れかに応じて、新

たなソースイネーブル制御信号を、前記1つ以上のソースクロックイネーブル信号が有効にされていることを示す前記状態機械の第1の状態にアサートし、前記ソース記憶素子の前記ソースクロックイネーブル信号のすべてがデアサートされ、且つ、前記少なくとも1つのデスティネーションクロックイネーブル信号がアサートされているのに応じて、前記新たなソースイネーブルを前記状態機械の第2の状態にデアサートし、前記状態機械の前記第2の状態に移行した後にのみ、前記パワーゲートのための前記制御信号をデアサートする、請求項1に記載の装置。

【請求項3】

第1のデスティネーションクロックイネーブル信号を前記新たなソースイネーブル信号と組み合わせて、前記デスティネーションクロックイネーブル信号を生成するためのロジックゲートを備える、請求項2に記載の装置。

【請求項4】

前記制御ロジックは、デスティネーション記憶素子のためのデスティネーションクロックイネーブル信号を、前記1つ以上のソースクロックイネーブル信号がアサートされた後の少なくとも1クロックサイクルの間遮断することによって、パワーゲーティングされたロジックが完全に充電されるまでデスティネーション記憶素子がクロックされないことを確保する、請求項1に記載の装置。

【請求項5】

前記1つ以上のパワーゲートは、前記パワーゲーティングされたゲートとグランドとの間ににおいて直列の1つ以上のN M O Sトランジスタを含む、請求項1に記載の装置。

【請求項6】

前記1つ以上のパワーゲートは、前記パワーゲーティングされたゲートと電源電圧との間ににおいて直列の1つ以上のP M O Sトランジスタを含む、請求項1に記載の装置。

【請求項7】

前記制御ロジックは、遮断信号を供給して、前記デスティネーション記憶素子のクロッキングを、前記ソース記憶素子がクロックされた後まで遮断するように構成されている、請求項1に記載の装置。

【請求項8】

前記遮断信号は、前記デスティネーション記憶素子のクロッキングを有効にするために、第1のデスティネーションクロックイネーブル信号と論理的に組み合わされている、請求項7に記載の装置。

【請求項9】

前記ソース記憶素子と前記デスティネーション記憶素子との間に接続された少なくとも1つのゲートであって、前記ソース記憶素子に対してより近い位置に存在する少なくとも1つのゲートをさらに備え、

前記少なくとも1つのゲートは、前記デスティネーション記憶素子のみに供給する出力信号を有し、前記ソース記憶素子と前記デスティネーション記憶素子との間の他のゲートがパワーゲーティングされるのに対し、前記少なくとも1つのゲートは、パワーゲーティングから除外されている、請求項1に記載の装置。

【請求項10】

制御信号にしたがって1つ以上のパワーゲートを制御することによって、1つ以上のソース記憶素子と、1つ以上のデスティネーション記憶素子との間に接続された複数のパワーゲーティングされたゲートにおける電流フローを低減するステップと、

前記1つ以上のソース記憶素子のクロッキングを有効にする1つ以上のソースイネーブル信号を受信し、前記1つ以上のソースイネーブル信号の何れかのアサーションに応じて、前記制御信号が前記1つ以上のパワーゲートにウェイク状態を示すようにするステップと、

デスティネーションクロックイネーブル信号を受信し、第1及び第2の条件が真であるのに応じて、前記制御信号にスリープ状態を示させるステップと、を含み、

前記第1の条件は、前記1つ以上のソースイネーブル信号のすべてがデアサートされる

ということであり、前記第2の条件は、前記デスティネーションクロックイネーブル信号がアサートされているということであり、これによって、前記デスティネーション記憶素子がロックされて、前記パワーゲーティングされたゲートによって供給された入力を記憶するのを可能にする、

方法。

【請求項 1 1】

前記1つ以上のソースイネーブル信号がアサートされるのに応じて、状態機械の第1の状態に移行し、新たなソースイネーブル制御信号を、前記状態機械の前記第1の状態にアサートするステップと、

前記ソース記憶素子のすべての前記ソースイネーブル信号がデアサートされ、且つ、少なくとも1つの前記デスティネーションクロックイネーブル信号がアサートされるのに応じて、第2の状態に移行し、前記新たなソースイネーブルを、前記状態機械の前記第2の状態にデアサートするステップと、を含む、

請求項10に記載の方法。

【請求項 1 2】

前記デスティネーションクロックイネーブル信号を生成するために、第1のデスティネーションクロックイネーブル信号を前記新たなソースイネーブル信号と論理的に組み合わせるステップをさらに含む、

請求項11に記載の方法。

【請求項 1 3】

前記パワーゲーティングされたゲートとグランドとの間において直列の1つ以上のNMOSトランジスタに前記制御信号を供給するステップであって、前記1つ以上のパワーゲートは前記NMOSトランジスタで構成されているステップをさらに含む、

請求項10に記載の方法。

【請求項 1 4】

前記パワーゲーティングされたゲートと電源電圧との間において直列の1つ以上のPMOSトランジスタに前記制御信号を供給するステップであって、前記1つ以上のパワーゲートは前記PMOSトランジスタで構成されているステップをさらに含む、

請求項10に記載の方法。

【請求項 1 5】

遮断信号を供給して、前記デスティネーション記憶素子のクロッキングを、前記ソース記憶素子がロックされた後まで遮断するステップをさらに含む、

請求項10に記載の方法。

【請求項 1 6】

前記遮断信号を第1のデスティネーションクロックイネーブル信号と組み合わせて、前記デスティネーションクロックイネーブル信号を生成するステップをさらに含む、

請求項15に記載の方法。

【請求項 1 7】

集積回路のコンピュータ可読表現を記憶する有形のコンピュータ可読媒体であって、前記コンピュータ可読表現は、

複数のソース記憶素子と、

複数のデスティネーション記憶素子と、

前記複数のソース記憶素子の間に接続された複数のパワーゲーティングされたゲートであって、前記デスティネーション記憶素子へ供給する複数のパワーゲーティングされたゲートと、

パワー供給ノードと、前記パワーゲーティングされたゲートとの間に直列に接続された1つ以上のパワーゲートであって、デアサートされた、スリープ状態を示す制御信号に応じて、前記パワーゲーティングされたゲートを通る電流フローを低減し、アサートされた、ウェイク状態を示す制御信号に応じて、前記パワーゲーティングされたゲートを通る電流フローを可能にする1つ以上のパワーゲートと、

1つ以上の前記ソース記憶素子をクロッキング可能にする1つ以上のソースクロックイネーブル信号を受信し、1つ以上のデスティネーションクロックイネーブル信号を受信するように接続された制御ロジックであって、前記ソースクロックイネーブル信号の何れかのアサーションに応じて、前記制御信号が前記ウェイク状態を示すように構成されている、制御ロジックと、を備え、

前記制御ロジックは、前記1つ以上のソースクロックイネーブル信号のすべてがデアサートされ、且つ、前記デスティネーションクロックイネーブル信号がアサートされた後にのみ、前記制御信号が前記スリープ状態を示すように構成されており、これによって、前記パワーゲーティングされたゲートにより供給された値を処理するために、前記デスティネーション記憶素子がクロックされるのを可能にする、

という表現を含む、

コンピュータ可読媒体。