

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第4271910号
(P4271910)

(45) 発行日 平成21年6月3日 (2009.6.3)

(24) 登録日 平成21年3月6日 (2009.3.6)

(51) Int.Cl.

F I

HO 2 M 3/155 (2006.01)

GO 5 F 3/26 (2006.01)

HO 3 K 19/0185 (2006.01)

HO 2 M 3/155 H

GO 5 F 3/26

HO 3 K 19/00 1 O 1 D

請求項の数 5 (全 12 頁)

(21) 出願番号	特願2002-225165 (P2002-225165)	(73) 特許権者	503121103
(22) 出願日	平成14年8月1日 (2002.8.1)		株式会社ルネサステクノロジ
(65) 公開番号	特開2004-72829 (P2004-72829A)		東京都千代田区大手町二丁目6番2号
(43) 公開日	平成16年3月4日 (2004.3.4)	(74) 代理人	100089071
審査請求日	平成17年7月14日 (2005.7.14)		弁理士 玉村 静世
		(72) 発明者	吉田 信一
			東京都小平市上水本町五丁目20番1号
			株式会社日立製作所 半導体グループ内
		(72) 発明者	工藤 良太郎
			東京都小平市上水本町五丁目20番1号
			株式会社日立製作所 半導体グループ内
		審査官	櫻田 正紀
			最終頁に続く

(54) 【発明の名称】 半導体集積回路および電源回路

(57) 【特許請求の範囲】

【請求項 1】

第 1 の振幅の信号を、第 1 の振幅の信号の中心電位と異なる中心電位を有する第 2 の振幅の信号に変換するレベルシフト回路を備えた半導体集積回路において、

上記レベルシフト回路は、

上記第 1 の振幅の信号が入力される回路と上記第 2 の振幅の信号が出力される回路との間に設けられドレインが高耐圧構造に形成されたドレイン高耐圧 MOS トランジスタと、

このドレイン高耐圧 MOS トランジスタのドレイン・ソース間に流れる電流を制限する電流制限回路とを備えており、

上記レベルシフト回路は上記第 1 の振幅の信号を当該第 1 の振幅より中心電位の高い上記第 2 の振幅の信号にレベルシフトするものであり、

上記ドレイン高耐圧 MOS トランジスタは、ソース端子が上記第 1 の振幅の信号をゲートに受けて駆動する駆動 MOS トランジスタのドレイン端子側に、ドレイン端子が上記第 2 の振幅の信号を生成する負荷 MOS トランジスタのドレイン端子に、またゲート端子が上記第 1 の振幅の信号を生成する電源電圧の端子にそれぞれ接続され、

上記電流制限回路は、制限された電流を MOS トランジスタに流す電流回路と、当該 MOS トランジスタとカレントミラー接続されるとともに、上記ドレイン高耐圧 MOS トランジスタと上記駆動 MOS トランジスタとの電流パスに直列に接続された電流制限用の MOS トランジスタとから構成されることを特徴とする半導体集積回路。

【請求項 2】

上記レベルシフト回路には、

上記ドレイン高耐圧MOSトランジスタのドレイン電位が上記第2の振幅のロウレベルのときに当該ドレインに電流を供給する電流供給回路が設けられていることを特徴とする請求項1に記載の半導体集積回路。

【請求項3】

請求項1乃至請求項2の何れかに記載の半導体集積回路と、電圧入力端子と基準電位端子との間に直列に接続された2個のNチャネル形パワーMOSトランジスタと、これらのトランジスタの中間ノードに一方の端子が接続されたインダクタンス素子と、当該インダクタンス素子の他方の端子に接続された平滑容量とを備え、上記2個のパワーMOSトランジスタを上記半導体集積回路で交互にオン・オフさせて上記インダクタンス素子に電流を流し、上記平滑容量で出力電圧を平滑して出力する電源回路であって、

10

基準電位端子側に接続された一方のパワーMOSトランジスタは第1の振幅のスイッチング信号により駆動され、

電圧入力端子側に接続された他方のパワーMOSトランジスタは上記第1の振幅の信号の中心電位よりも中心電位が高くなるようにレベルシフトされた第2の振幅のスイッチング信号により駆動されるように構成されていることを特徴とする電源回路。

【請求項4】

上記第2の振幅のスイッチング信号はこの第2の振幅のスイッチング信号を生成する電源電圧の端子に正電源端子が接続されたバッファ回路を介して上記パワーMOSトランジスタに供給されるとともに、当該バッファ回路の負電源端子が上記中間ノードに結合されていることを特徴とする請求項3に記載の電源回路。

20

【請求項5】

上記ドレイン高耐圧MOSトランジスタは、当該ドレイン高耐圧MOSトランジスタのドレイン拡散層の上部に、上記ドレイン高耐圧MOSトランジスタのソース・基板間よりも厚い酸化膜を有することを特徴とする請求項1に記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体集積回路技術さらにはMOSトランジスタのゲート酸化膜を厚くすることなくレベルシフト回路の高耐圧化を実現する技術に関し、例えば大電流の出力を可能とするスイッチング・レギュレータ等に用いられるレベルシフト回路に利用して有用な技術に関する。

30

【0002】

【従来の技術】

スイッチング・レギュレータでは、スイッチング素子としてオン抵抗およびゲート容量が小さいNチャネル形のパワーMOSトランジスタが使用されることが多い。

図5に示すような降圧形のスイッチング・レギュレータにおいてNチャネル形のパワーMOSトランジスタM41、M42を使用する場合、一般に、高電位側のパワーMOSトランジスタM41のオン抵抗を下げるために昇圧回路40とレベルシフト回路42とが必要となる。さらに、大電流出力が求められるスイッチング・レギュレータでは、大電流出力を可能とするためにパワーMOSトランジスタM41に供給される入力電圧 V_{in} が高電圧にされる。その結果、レベルシフト回路42に印加される電圧も高くなることから、レベルシフト回路42を構成する素子を高耐圧にする必要が生じる。

40

【0003】

従来の一般的なレベルシフト回路としては、例えば図6に示すような構成を備えたものがある。このレベルシフト回路では、出力側の電源電圧 V_{dd2} が高くなった場合、負荷MOSトランジスタM51、M52に大きな電圧がかかるため、これらの素子の高耐圧化を図る必要があった。そこで、従来のレベルシフト回路では、一般にこれらの素子のゲート酸化膜を厚く形成することで、そのゲート・ソース間或いはゲート・基板間に大きな電圧がかかっても素子破壊が生じないように高耐圧化を図っていた。

50

【 0 0 0 4 】

【 発明が解決しようとする課題 】

しかしながら、上記のようにレベルシフト回路の構成素子のゲート酸化膜を厚くすると、それに伴って素子サイズが大きくなることから回路全体の占有面積が大きくなり、ＩＣのコストが高くなってしまう。さらに、ゲート酸化膜を厚くすると、ＭＯＳトランジスタの閾値電圧 V_{th} すなわち動作電圧が高くなったり、ＭＯＳトランジスタの反転スピードが遅くなるなどの不都合が生じる。そのため、小型、低価格、高効率、低動作電圧、大電流出力、高速動作が求められるスイッチング・レギュレータを構成するレベルシフト回路としては、図６のようなレベルシフト回路は余り適したものではないという問題があった。

【 0 0 0 5 】

この発明の目的は、信号の電位レベルのシフト量が大きくなった場合でも、回路を構成するＭＯＳトランジスタのゲート酸化膜を厚くすることなく高耐圧化を図ることのできるレベルシフト回路を備えた半導体集積回路を提供することにある。

この発明の他の目的は、小型、低価格、高効率、低動作電圧、大電流出力、高速動作の要求を十分に満たすことのできるスイッチング・レギュレータを提供することにある。

この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

【 0 0 0 6 】

【 課題を解決するための手段 】

本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

すなわち、レベルシフト回路で第１の振幅の信号が入力される回路と第１の振幅の信号の中心電位と異なる中心電位を有する第２の振幅の信号が出力される回路との間にドレイン高耐圧ＭＯＳトランジスタを設け、該ドレイン高耐圧ＭＯＳトランジスタに流れる電流により上記第１の振幅の信号と上記第２の振幅の信号とを相関させるように構成したものである。これにより、耐圧を上げるために各素子のゲート酸化膜を厚くする必要がなくなり、各素子のサイズを小さく、且つ、高速動作が可能ないように構成することが出来る。また、ドレイン高耐圧ＭＯＳトランジスタに流れる電流を制限する構成を付加することで、消費電流を小さくすることが出来る。ここでドレイン高耐圧ＭＯＳトランジスタとは、例えばＬＤ（Laterally Diffused）ＭＯＳと呼ばれるＭＯＳトランジスタのようにゲート電極とドレイン拡散領域との間に高耐圧の構成を有するＭＯＳトランジスタを意味する。

【 0 0 0 7 】

さらに、電源入力端子と基準電位端子との間に２個のＮチャネル形のパワーＭＯＳトランジスタを備えたスイッチング・レギュレータにおいて、高電位側のパワーＭＯＳトランジスタを駆動するスイッチング信号を生成するのに上記のレベルシフト回路を用いる。これにより、小型、低価格、高効率、低電圧駆動、大電流出力、高速動作が可能スイッチング・レギュレータが提供できる。また、２個のパワーＭＯＳトランジスタの中間ノードと上記スイッチング信号を出力するバッファ回路の負電源端子とを結合することで、パワーＭＯＳトランジスタをオンさせるときにそのゲートに流入した電流を、次にオフとなるときにインダクタンス素子に流す出力電流として利用でき、パワーＭＯＳトランジスタのゲート駆動損失を低減することが出来る。

【 0 0 0 8 】

【 発明の実施の形態 】

以下、本発明の好適な実施例を図１～図４の図面に基づいて説明する。

図１は、本発明の第１実施例のレベルシフト回路を示す回路図である。

この実施例のレベルシフト回路１０は、ロジック系の電源電圧 $[V_{dd1} - V_{ss1} (GND)]$ により生成される入力信号 $IN11$ を、該ロジック系の電源電圧 $[V_{dd1} - V_{ss1} (GND)]$ より電位の高い電源電圧 $[V_{dd2} - V_{ss2}]$ によって入力信号 $IN11$ よりも中心電位の高い出力信号 $OUT11$ にレベルシフトする回路である。

【 0 0 0 9 】

ここで、上記電源電圧 $[V_{dd2} - V_{ss2}]$ は、例えば $10V - 5V$ のようなロジック系の電源電圧 $[V_{dd1} - V_{ss1} (GND)]$ と電位差がほぼ同じで電位のみ高くされた電圧である。或いは、後述する図4の実施例回路のように例えば $(17V - 12V) \sim (5V - 0V)$ のようにロジック系の電源電圧 $[V_{dd1} - V_{ss1} (GND)]$ と電位差がほぼ同じで、回路の状態に応じて電位が上下に変動する電圧とすることも出来る。

【0010】

図1のレベルシフト回路10は、入力信号 $IN11$ とその反転信号をゲートに受ける一対の入力MOSトランジスタ $M17, M18$ と、第2の電源電圧端子 V_{dd2} にソースが接続されたカレントミラー接続の負荷MOSトランジスタ $M11, M12$ と、上記入力MOSトランジスタ $M17, M18$ と負荷MOSトランジスタ $M11, M12$ との間にそれぞれ直列に接続されたドレイン高耐圧MOSトランジスタ $M13, M14$ および該ドレイン高耐圧MOSトランジスタ $M13, M14$ に流れる電流を制限する電流制限用MOSトランジスタ $M15, M16$ と、この電流制限用MOSトランジスタ $M15, M16$ の電流量を決定する第1定電流回路11と、上記ドレイン高耐圧MOSトランジスタ $M14$ のドレイン電位が下がり過ぎないように電流を供給する電流供給用MOSトランジスタ $M1B$ と、この電流供給用MOSトランジスタ $M1B$ の電流量を決定する第2定電流回路12と、負荷MOSトランジスタ $M12$ のドレインに生成された出力電圧を波形整形して出力するバッファ回路としてのインバータ $INV12$ 等から構成される。

10

【0011】

上記の入力MOSトランジスタ $M17, M18$ は、ソースおよび基板が低電位側の接地電位 GND に接続されたNチャネル形MOSトランジスタであり、その一方のゲートには入力信号 $IN11$ が直接入力されている。また、他方のゲートにはインバータ $INV11$ を介して反転された信号が入力され、入力信号 $IN11$ の信号レベルに応じて入力MOSトランジスタ $M17, M18$ がオン・オフ動作されるようになっている。

20

【0012】

負荷MOSトランジスタ $M11, M12$ は、ソースおよび基板が高電位側の電源電圧 V_{dd2} に接続されたPチャネル形MOSトランジスタからなり、一方の負荷MOSトランジスタ $M11$ のゲート・ドレイン間が結合され、他方の負荷MOSトランジスタ $M12$ のゲートには負荷MOSトランジスタ $M11$ のドレイン電圧が印加されている。

【0013】

ドレイン高耐圧MOSトランジスタ $M13, M14$ は、それぞれドレインが負荷MOSトランジスタ $M11, M12$ 側に、ソースおよび基板が入力MOSトランジスタ $M17, M18$ 側に接続され、且つ、ゲートには低電位側の電源電圧 V_{dd1} が印加されるように接続されている。このようなドレイン高耐圧MOSトランジスタ $M13, M14$ によれば、そのドレインに高い電圧が印加された場合でも、ソース電位がゲート電位 (V_{dd1}) とMOSトランジスタの閾値電圧 V_{th} により決定されるクランプ電圧 $(V_{dd1} - V_{th})$ に固定され、高い電圧がソース側の素子(電流制限用MOSトランジスタ $M15, M16$ や入力MOSトランジスタ $M17, M18$)に印加されないようにされる。

30

【0014】

図2には、ドレイン高耐圧MOSトランジスタの素子構造の一例を示す。

40

ドレイン高耐圧MOSトランジスタ $M13, M14$ には、例えば、図2(a)に示すように、一般には個々の素子間を絶縁する目的で比較的厚く形成されるフィールド酸化膜 LS と同一の酸化膜 LS をドレイン拡散領域 $D1, D2$ と重なる位置に形成した、ロコス・オフセットタイプ或いはロコス・ドレインタイプと呼ばれるMOSトランジスタ $Q1$ を用いることが出来る。このような構造により、ゲート酸化膜を厚く形成することなく、ゲート・ドレイン間の耐圧を高くすることが出来る。また、図2(b)に示すように、ドレイン側に上記ロコス・オフセットタイプと同様の構造を有し、ソース側にウェル領域 WL にN型高濃度領域 $S1$ とP型高濃度領域 $S2$ を有するLDMOSと呼ばれるMOSトランジスタ $Q2$ により構成することも可能である。

【0015】

50

電流制限用MOSトランジスタM15, M16は、入力MOSトランジスタM17, M18とそれらに対応するドレイン高耐圧MOSトランジスタM13, M14との間にそれぞれ直列に接続されるとともに、第1定電流回路11を構成するMOSトランジスタM1Aとカレントミラー接続され、入力MOSトランジスタM17, M18の何れかがオン状態にされた場合に、対応するドレイン高耐圧MOSトランジスタM13, M14に流れる電流を定電流回路11により決定される電流量に制限する。

第1定電流回路11は、ゲート・ドレインを結合したNチャネル形MOSトランジスタM1Aと抵抗R11とを低電位の電源電圧Vdd1, GND間に直列に接続したものである。抵抗R11には、拡散抵抗やポリシリコン抵抗のほか、ゲートとソースを直結したいわゆる飽和結線のデプレッションMOSトランジスタを使用することが出来る。

10

【0016】

電流供給用MOSトランジスタM1Bは、第2定電流回路12のMOSトランジスタM1Cとカレントミラー接続され、出力ノードN11の電位が下がったときに第2定電流回路12により決定される電流を出力ノードN11に供給して出力ノードN11の電位を高電位側の基準電位(低い方の電源電圧)Vss2より低くならないように制御する。なお、電流制限用MOSトランジスタM15, M16による電流の制限等により、出力ノードN11の電位が基準電位Vss2より低くならないように構成されていれば、この電流供給用MOSトランジスタM1Bや第2定電流回路12は省略することが出来る。

第2定電流回路12は、第1定電流回路11と同様の構成であり、抵抗R2とMOSトランジスタM1Bとが高電位側の電源電圧Vdd2, Vss2間に直列に接続されている。

20

【0017】

上記構成のレベルシフト回路10によれば、入力信号IN11がハイレベルのときには、一方の入力MOSトランジスタM18がオンされてMOSトランジスタM12, M14, M16に電流が流されるとともに、他方の入力MOSトランジスタM17がオフされてMOSトランジスタM11, M13, M15に流れる電流が遮断される。その結果、出力ノードN11の電位が低い状態にされてインバータINV12の出力信号OUT11は高電位側の電源電圧Vdd2に近いレベルの信号となる。

【0018】

逆に、入力信号IN11がロウレベルのときには、一方の入力MOSトランジスタM18がオフされてMOSトランジスタM12, M14, M16の電流が遮断されるとともに、他方の入力MOSトランジスタM17がオンされてMOSトランジスタM11, M13, M15に電流が流される。そして、MOSトランジスタM11とM12とがカレントミラー接続されているため、MOSトランジスタM12のドレイン電圧がMOSトランジスタM11のドレイン電圧とほぼ同一の電位となる。その結果、出力ノードN11の電位が高電位側の電源電圧Vdd2に近いレベルにされてインバータINV12の出力が高電位側の基準電位Vss2に近いレベルの信号となる。

30

【0019】

さらに、このように構成されたレベルシフト回路10によれば、ドレイン高耐圧MOSトランジスタM13, M14のゲート・ドレイン間やソース・ドレイン間にのみ低電位側の基準電位Vss1と高電位側の電源電圧Vdd2との電位差に相当する大きな電圧がかかるが、MOSトランジスタM13, M14のドレインが高耐圧に形成されていることで、素子の破壊が回避される。すなわち、レベルシフト回路10のレベルシフト量が大きくなっても素子のゲート酸化膜を厚くする必要がなく、これによってゲート酸化膜を厚くして耐圧を図るレベルシフト回路に較べて、回路の占有面積の縮小や動作速度の向上を図ることが出来る。

40

【0020】

また、ゲート酸化膜を厚くして高耐圧を図っていた従来のレベルシフト回路では、ゲート酸化膜の厚いものと通常のもの2種類の酸化膜形成工程を必要としていたのに対して、上記のレベルシフト回路10によれば、図2のドレイン側の酸化膜LSはフィールド酸化膜と同一工程で形成でき、しかもゲート酸化膜の形成工程が一つで済むので、従来の回路

50

の場合より半導体製造プロセスの工程数を少なくすることが出来るという効果も得られる。

【 0 0 2 1 】

ここで、ゲート酸化膜を薄く形成した場合の効果について定量的に説明する。

例えば、低い電源電圧を 5 V とし高い電源電圧を 17 V と仮定した場合、ゲート酸化膜の厚さにより高耐圧化を図る従来の回路では、ゲート酸化膜を高い電圧 (17 V) で 10 年間保証するとして、ゲート酸化膜は 425 程度の厚さにしなければならない。これに対し、本実施例の構成では、ゲート酸化膜は低い電圧 (5 V) で 10 年間保証するものとして、ゲート酸化膜は 125 程度の厚さにすれば良い。

【 0 0 2 2 】

すなわち、ゲート酸化膜厚の比が従来型：実施例型 = 3 . 4 : 1 となるので、比例縮小則により 1 個の MOS トランジスタの素子サイズ、消費電流、動作電流、出力電流、動作速度の各値の比は次のようになり、チップ占有面積の大幅な縮小化、高効率化、低電圧化、大電流化、高速動作化が可能となる。

素子サイズ 従来型：実施例型 = 1 : 1 / 3 . 4 (= 0 . 2 9)

消費電流 従来型：実施例型 = 1 : 1 / 3 . 4 ² (= 0 . 0 8 7)

動作電圧 従来型：実施例型 = 1 : 1 / 3 . 4 (= 0 . 2 9)

出力電流 従来型：実施例型 = 1 : 3 . 4

動作速度 従来型：実施例型 = 1 : 3 . 4

一方、ドレイン高耐圧 MOS 構造では、図 2 の酸化膜 L S の形成による面積の増加は $L2 / (L1 - L2) < 0.3$ であり、素子サイズはせいぜい 1.5 倍になるにすぎない。従って、従来型よりも小さくなる。

【 0 0 2 3 】

[第 2 実施例]

図 3 には、高電位の入力信号を低電位の出力信号に変位させる第 2 実施例のレベルシフト回路の回路図を示す。

このレベルシフト回路 20 は、例えば 17 V - 0 V のような振幅の入力信号 IN21 を、例えば 5 V - 0 V のような低電位の出力信号 OUT21 にレベルシフトする回路である。このレベルシフト回路 20 は、入力信号をドレインで受けるとともにソースが出力ノードとされたドレイン高耐圧 MOS トランジスタ M23 と、このドレイン高耐圧 MOS トランジスタ M23 に流れる電流を制限する電流制限用 MOS トランジスタ M22 と、この電流制限用 MOS トランジスタ M22 に流れる電流を決定する定電流回路 21 とから構成される。

ドレイン高耐圧 MOS トランジスタ M23 は、そのゲート端子に低電位側の電源電圧 Vdd1 が印加されており、ドレイン端子に高い電圧が印加された場合にソース電位をゲート電位 Vdd1 から MOS トランジスタの閾値電位 Vth を減じた電位にクランプする。

【 0 0 2 4 】

定電流回路 21 は、ゲート・ドレインを結合させた MOS トランジスタ M21 と抵抗 R21 とを低電位側の電源電圧 [Vdd1 - GND] 間に直列に接続したもので、その MOS トランジスタ M21 と電流制限用 MOS トランジスタ M22 とがカレントミラー接続されている。抵抗 R21 は拡散抵抗、ポリシリコン抵抗、或いは、いわゆる飽和結線したデプレッション MOS トランジスタなどを用いることが出来る。

電流制限用 MOS トランジスタ M22 は、ドレイン高耐圧 MOS トランジスタ M23 のソースとグランド GND 間に接続され、ドレイン高耐圧 MOS トランジスタ M23 のソース電位がグランド GND より高いときに、ドレイン高耐圧 MOS トランジスタ M23 のソースから定電流回路 21 により制限された電流を引き抜くようになっている。

【 0 0 2 5 】

このようなレベルシフト回路 20 によれば、入力信号 IN21 がハイレベルのときには、出力信号 OUT21 がクランプ電位 (Vdd1 - Vth) となる。つまり、 Vdd1 = 5 V , Vth = 0.7 V であれば、出力信号 OUT21 のハイレベルは約 4.3 V となる。

10

20

30

40

50

また、このときドレイン高耐圧MOSトランジスタM23に流れる電流はMOSトランジスタM22に制限された電流となって消費電流の低減も図られる。一方、入力信号IN21がロウレベル(GND)になると、電流制限用MOSトランジスタM22によりドレイン高耐圧MOSトランジスタM23のソースから電流が速やかに引き抜かれて出力信号OUT21も低電位側の接地電位GNDに近いレベルの信号とされる。

【0026】

さらに、高電位の電源電圧と低電位の基準電位Vss1にかかる大きな電圧がかかる素子はドレイン高耐圧MOSトランジスタM23のドレイン・ゲート間やドレイン・ソース間のみで、他の素子には低電位の電源電圧しかかからないので、全ての素子のゲート酸化膜を通常の厚さに形成することが出来る。従って、回路の占有面積の縮小や動作速度の向上等を図ることが出来る。

【0027】

[応用例]

図4には、上記2つのレベルシフト回路を応用した降圧形スイッチング・レギュレータの例の回路図を示す。

この降圧形スイッチング・レギュレータは、コイルL1に電流を流す高電位側と低電位側のスイッチング素子として共にNチャネル形のパワーMOSトランジスタM31, M32を用い、出力電圧Voutと基準電圧VrefとをコンパレータCMP1で比較し、三角波生成回路からの三角波とコンパレータCMP1の出力とをコンパレータCMP2で比較することによりPWM(Pulse Width Modulation)方式のスイッチングパルスを生成し、それによりパワーMOSトランジスタM31, M32を交互に駆動して出力電圧Voutを制御するように構成されている。出力電圧VoutはインダクタンスL1や平滑容量C2により平滑化されて出力される。

【0028】

この実施例のスイッチング・レギュレータは、高電位側のパワーMOSトランジスタM31にNチャネル形のものを用いているため、このパワーMOSトランジスタM31を駆動するのに入力直流電圧Vin(例えば12V)より高電位の昇圧電圧Vboostを生成する必要がある。そして、そのためにコンデンサC1とダイオードD1とからなる昇圧回路が設けられ、中間ノードN1の電圧VLXが電源電圧[Vin - GND]間で変動する際に、低電位側の電源電圧Vdd1から供給される電圧を昇圧して、中間ノードN1の電圧VLXより電源電圧Vdd1(5V)だけ高い昇圧電圧Vboost(=VLX + 5V)が生成される。

【0029】

また、コンパレータCMP1, CMP2などの制御系回路は第1電源電圧[Vdd1 - GND]に基づき制御信号を生成するため、この信号を高電位側のパワーMOSトランジスタM31を駆動するための高電位の信号にレベルシフトする第1のレベルシフト回路10が設けられている。このレベルシフト回路10は第1実施例において説明したものであり、パワーMOSトランジスタM31, M32の中間ノードN1の電圧VLXが高電位側の接地電圧Vss2として、また上記昇圧電圧Vboostが高電位側の電源電圧Vdd2としてインバータINV12や定電流回路12に印加されている。

【0030】

また、このスイッチング・レギュレータには、2つのパワーMOSトランジスタM31, M32が同時にオン状態となって貫通電流が流れないように、中間ノードN1の電位を帰還してGND側のパワーMOSトランジスタM32をオン・オフするタイミングを制御するフィードバック経路FBPとレベルシフト回路20とが設けられている。

【0031】

中間ノードN1の電位は、フィードバック経路FBPを介して第2レベルシフト回路20を構成する高耐圧MOSトランジスタM23のドレインに入力され、該レベルシフト回路20により低電位の信号にレベルシフトされた信号と前記コンパレータCMP2の出力との論理積をとる論理ゲートG1に入力され、さらに遅延用のインバータG2, G3を経て

10

20

30

40

50

パワーMOSトランジスタM32のゲートに印加される。上記第2のレベルシフト回路20は第2実施例で説明したものと同一の構成を有する。

【0032】

上記のような構成のスイッチング・レギュレータによれば、ゲート・基板間に第1電源電圧[$V_{dd1} - GND$]の電位差5Vより大きな電圧がかかるMOSトランジスタが存在しないので、全てのMOSトランジスタについてゲート酸化膜は5V用の厚さに形成すれば良い。それにより、ゲート酸化膜を厚く形成しなければならなかった従来の回路と比較して、占有面積の縮小、縮小化に伴う低価格化、低動作電圧、大電流出力、出力電流の高効率化、スイッチング動作の高速化を図ることが出来る。

【0033】

さらに、高電位側のパワーMOSトランジスタM31を駆動するインバータINV12からなるバッファ回路の負電源端子が中間ノードN1に接続されているので、オン状態のときにパワーMOSトランジスタM31のゲートに流入した電流 i_{g1} が、オフ状態のときに電流 i_{g2} となって中間ノードN1側に回生される。それにより、パワーMOSトランジスタM31のゲート駆動損失が低減され、それにより出力効率の向上をさらに図ることが出来る。

【0034】

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

例えば、第1実施例では、レベルシフト回路として入力信号IN11を2つに分岐させて一方を反転させて入力する差動型の回路を採用しているが、インバータ回路タイプの構成とすることも出来る。また、ドレイン高耐圧MOSトランジスタとしてロコス・オフセットタイプのMOSトランジスタやLDMOSトランジスタを例示したが、その他、同様にゲート酸化膜を厚くすることなくドレイン・ゲート間を高耐圧に形成することの出来るMOSトランジスタであれば同様に適用することが出来る。

【0035】

また、図4のレギュレータにおいては、GND側のMOSトランジスタM32の代わりにダイオードを使用することが可能であり、その場合、ORゲートG1およびインバータG2, G3は省略することができる。

【0036】

以上の説明では主として本発明者によってなされたレベルシフト回路の発明をその背景となった利用分野である降圧形スイッチング・レギュレータについて説明したがこの発明はそれに限定されるものでなく、例えば、昇圧形スイッチング・レギュレータ、昇降圧形スイッチング・レギュレータ、トランスを用いて電圧変換を行うブリッジスイッチ型DC-DCコンバータのスイッチング素子のドライバや、NチャネルMOSトランジスタを2個直列に接続したトータムポールMOSトランジスタ回路のドライバなど、信号を異なる電位レベルにシフトさせる必要のある回路に広く利用することができる。

【0037】

また、I/Oインターフェイスのレベル変換器やメイン電源とサブ電源との切り替え制御を行うバッテリー・バックアップ切替制御器など、異なる電位レベルの信号を必要とする装置のレベルシフト回路として広く利用することが出来る。

【0038】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

すなわち、本発明に従うと、レベルシフト回路の電位のシフト量が大きくなった場合でも、回路を構成するMOSトランジスタのゲート酸化膜を厚くすることなく、回路の高耐圧化を図ることが出来るという効果がある。

【0039】

また、ゲート酸化膜を厚くしないで済むことにより、回路全体の占有面積の縮小化や、動作電圧の低電圧化や出力電流の増大化、動作の高速化を図ることが可能なレベルシフト回路を実現できるという効果がある。

【図面の簡単な説明】

【図 1】本発明の第 1 実施例のレベルシフト回路を示す回路図である。

【図 2】ドレイン高耐圧 MOS トランジスタの素子構造を示す縦断面図である。

【図 3】本発明の第 2 実施例のレベルシフト回路を示す回路図である。

【図 4】本発明の実施例のスイッチング・レギュレータを示す回路図である。

【図 5】降圧スイッチング・レギュレータの従来の構成例を示す回路図である。

【図 6】従来のレベルシフト回路の一例を示す回路図である。

10

【符号の説明】

1 0 第 1 のレベルシフト回路

1 1 , 1 2 定電流回路

I N 1 1 入力信号

O U T 1 1 出力信号

I N V 1 2 インバータ（バッファ回路）

M 1 1 , M 1 2 負荷 MOS トランジスタ

M 1 3 , M 1 4 ドレイン高耐圧 MOS トランジスタ

M 1 5 , M 1 6 電流制限用 MOS トランジスタ

M 1 7 , M 1 8 入力 MOS トランジスタ（駆動 MOS トランジスタ）

20

M 1 B 電流供給用 MOS トランジスタ

V d d 1 , G N D 低電位側の電源電圧

V d d 2 , V s s 2 高電位側の電源電圧

2 0 第 2 のレベルシフト回路

2 1 定電流回路

I N 2 1 入力信号

O U T 2 1 出力信号

M 2 2 電流制限用 MOS トランジスタ

M 2 3 ドレイン高耐圧 MOS トランジスタ

C 2 平滑容量

30

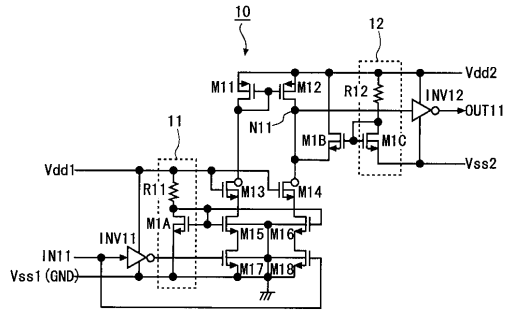
L 1 インダクタンス

M 3 1 , M 3 2 Nチャネル形パワー MOS トランジスタ

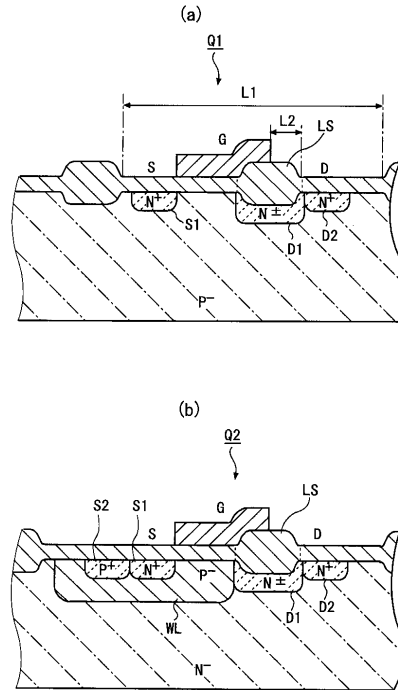
V i n 入力直流電圧

V o u t 出力電圧

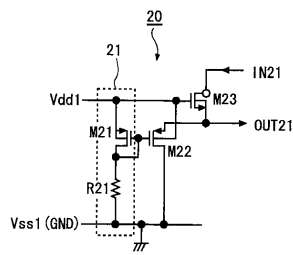
【図 1】



【図 2】



【図 3】



【図 4】

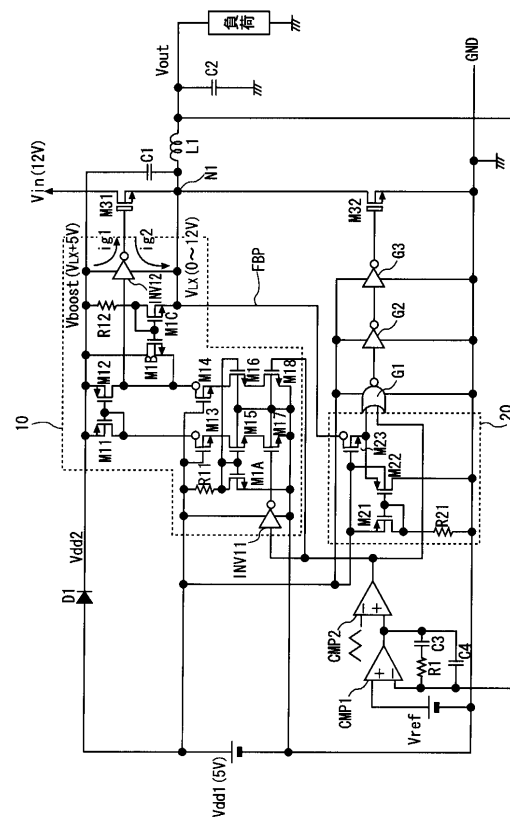


Figure 1 is a block diagram of the first embodiment of the semiconductor device. The circuit includes an input terminal V_{in} , a diode $D40$, a capacitor $C40$, a level shift circuit (レベルシフト回路) 42, a control logic block (コントロールロジック) 43, a MOSFET $M41$, a MOSFET $M42$, an inductor $L40$, resistors $R41$ and $R42$, and two comparators $CMP41$ and $CMP42$. The output is V_{out} . A triangular wave generator (三角波発生器) 44 provides a reference signal to the comparators.

[illegible]

フロントページの続き

(56)参考文献 特開 2 0 0 0 - 3 0 7 4 0 6 (J P , A)
特開 2 0 0 2 - 0 5 8 2 3 9 (J P , A)
特開 2 0 0 0 - 0 6 8 5 0 0 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H02M 3/155
G05F 3/26
H03K 19/00