



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I591693 B

(45)公告日：中華民國 106 (2017) 年 07 月 11 日

(21)申請案號：103102781

(22)申請日：中華民國 103 (2014) 年 01 月 24 日

(51)Int. Cl. : H01L21/28 (2006.01)

H01L21/336 (2006.01)

(30)優先權：2013/01/25 日本

2013-011820

(71)申請人：瑞薩電子股份有限公司 (日本) RENESAS ELECTRONICS CORPORATION (JP)
日本國東京都江東區豐洲 3 丁目 2 番 24 號

(72)發明人：佃榮次 TSUKUDA, EIJI (JP)；片山弘造 KATAYAMA, KOZO (JP)；園田賢一郎
SONODA, KENICHIRO (JP)；國清辰也 KUNIKIYO, TATSUYA (JP)

(74)代理人：陳長文

(56)參考文獻：

EP 2650910A2

US 2004/0188753A1

US 2007/0241386A1

US 2010/0200909A1

US 2010/0255670A1

審查人員：王安邦

申請專利範圍項數：12 項 圖式數：27 共 63 頁

(54)名稱

半導體裝置之製造方法

MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE

(57)摘要

本發明公開了一種半導體裝置之製造方法，上述半導體裝置包括具備較高可靠性之記憶體單元。在使記憶體單元形成區域之第 1 及第 2 層積結構 PE1，PE2 形成為比外圍電晶體形成區域之第 3 層積結構 PE3 高之後，再以覆蓋第 1 至第 3 層積結構之方式形成層間絕緣膜 II，並對其進行研磨。

To provide a manufacturing method of a semiconductor device including a memory cell having a higher reliability.

First and second stacked structures in a memory cell formation region are formed so as to have a larger height than a third stacked structure in a transistor formation region, and then an interlayer insulating layer is formed so as to cover these stacked structures and then polished.

指定代表圖：

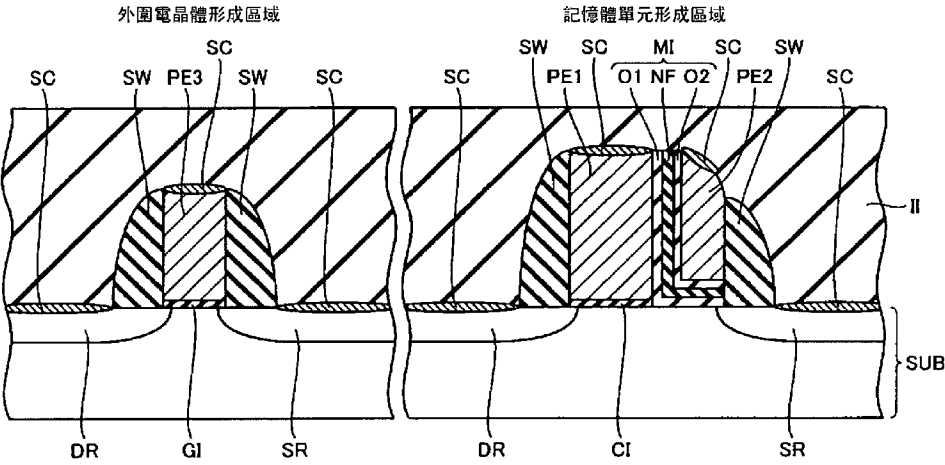


圖9

符號簡單說明：

- CI . . . 控制閘極絕緣膜
- DR . . . 汲極區域
- GI . . . 閘極絕緣膜
- MI . . . 記憶體閘極絕緣膜
- NF . . . 氮化矽膜
- O1 , O2 . . . 氧化矽膜
- PE1 . . . 第 1 偽電極
- PE2 . . . 第 2 偽電極
- PE3 . . . 第 3 偽電極
- SC . . . 硅化物膜
- SR . . . 源極區域
- SUB . . . 半導體基板
- SW . . . 側壁絕緣膜

發明摘要

103102781

※ 申請案號：

※ 申請日：103. 1. 24

※IPC 分類：H01L 21/28 (2006.01)

【發明名稱】

4a24/336 (2006.01)

半導體裝置之製造方法

MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE

【中文】

本發明公開了一種半導體裝置之製造方法，上述半導體裝置包括具備較高可靠性之記憶體單元。在使記憶體單元形成區域之第1及第2層積結構PE1，PE2形成為比外圍電晶體形成區域之第3層積結構PE3高之後，再以覆蓋第1至第3層積結構之方式形成層間絕緣膜II，並對其進行研磨。

【英文】

To provide a manufacturing method of a semiconductor device including a memory cell having a higher reliability.

First and second stacked structures in a memory cell formation region are formed so as to have a larger height than a third stacked structure in a transistor formation region, and then an interlayer insulating layer is formed so as to cover these stacked structures and then polished.

【代表圖】

【本案指定代表圖】：第（ 9 ）圖。

【本代表圖之符號簡單說明】：

CI	控制閘極絕緣膜
DR	汲極區域
GI	閘極絕緣膜
MI	記憶體閘極絕緣膜
NF	氮化矽膜
O1，O2	氧化矽膜
PE1	第1偽電極
PE2	第2偽電極
PE3	第3偽電極
SC	硅化物膜
SR	源極區域
SUB	半導體基板
SW	側壁絕緣膜

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

半導體裝置之製造方法

MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE

【技術領域】

本發明涉及一種半導體裝置之製造方法，特別涉及一種具有複數個閘極之記憶體單元之半導體裝置之製造方法。

【先前技術】

關於內置了閃速記憶體及CPU（中央處理器，Central Processing Unit）之半導體裝置，微型電腦（Microcomputer）常被提起。例如，閃速記憶體優選使用即使在關閉電源後仍可保存所記錄資訊之元件即非易失性記憶體。將非易失性記憶體和邏輯用半導體裝置混搭在同一半導體基板上，便可形成高性能之微型電腦。而配置了非易失性記憶體和邏輯用半導體裝置之微型電腦正被廣泛應用於工業設備、家電產品及車載設備等。

一般來說，微型電腦中非易失性記憶體內保存了該微型電腦所必須之程式以供微型電腦隨時讀出。因此，優選使用混搭了非易失性記憶體和邏輯用半導體裝置之微型電腦。適合用於與上述邏輯用半導體裝置混搭之非易失性記憶體之記憶體單元結構有：控制用MIS（Metal Insulator Semiconductor，金屬絕緣半導體）電晶體和記憶用MIS電晶體一體形成之分裂閘結構之記憶體單元。

分裂閘結構之記憶體單元中，在日本特開2011－29631號公報（專利文獻1）中公開了一種在記憶用MIS電晶體中使用了MONOS（Metal Oxide Nitride Oxide Silicon，金屬氧氮氧化矽）之MONOS型

記憶體單元。

另一方面，近年來隨著MIS電晶體之閘極絕緣膜薄膜化已達極限，如在日本特開2011－49282號公報（專利文獻2）中公開了使用高介電常數絕緣膜（即所謂High－K膜）作為閘極絕緣膜、將閘極電極作為金屬膜結構之技術。

另外，在日本特開2010－282987號公報（專利文獻3）中，公開了一種在MONOS型記憶體單元中在控制用MIS電晶體之側壁部上形成記憶用MIS電晶體之結構。

[先前技術文獻]

[專利文獻]

專利文獻1 日本特開2011－29631號公報

專利文獻2 日本特開2011－49282號公報

專利文獻3 日本特開2010－282987號公報

【發明內容】

（發明欲解決之問題）

MONOS型記憶體單元週邊形成有與記憶體單元之控制電晶體或記憶體單元連接之微控制器等週邊電路用之MIS電晶體。為了提高週邊電路用之MIS電晶體性能於將閘極絕緣膜用做高介電常數絕緣膜並將閘極電極作為金屬膜時，就必須如專利文獻2所示，通過後閘製程進行。

在後閘製程中，先暫時通過多結晶矽來形成偽閘極電極，並在形成與閘極電極連接之側壁結構後除去偽閘極電極。接著再將高介電常數絕緣膜和金屬膜填埋入被除去之部份中以形成閘極結構。

另一方面，在專利文獻3所示之MONOS型記憶體單元之記憶用MIS電晶體形成於控制用MIS電晶體之側壁上，係通過不使用偽閘極電極之先閘製程來形成的。

因此，如果想同時形成專利文獻3所示之具有MONOS型記憶體單元、高介電常數絕緣膜之閘極絕緣膜以及金屬閘極電極之週邊電路用MIS電晶體時，由於係通過先閘製程和後閘製程進行的，因此將會增加製程數，從而導致可靠性降低。

本發明之上述內容及上述內容以外之目的和新特徵將在本說明書之描述及附圖說明中寫明。

（解決問題之手段）

根據本專利說明書之一實施方式，在使記憶體單元形成區域之第1及第2層積結構形成為比外圍電晶體形成區域之第3層積結構之高度高之後，再形成覆蓋這些層積結構之層間絕緣膜，並對其進行研磨。

（發明之效果）

根據本專利說明書之一實施方式，可製造出高可靠性之半導體裝置。

【圖式簡單說明】

圖1係一實施方式中構成半導體裝置之記憶體單元之剖面概略圖。

圖2係圖1中記憶體單元及作為其週邊電路之外圍電晶體之剖面概略圖。

圖3係圖1中記憶體單元之控制閘膜及記憶體閘膜之其他形狀之剖面概略圖。

圖4係一實施方式中半導體裝置製造方法之流程圖。

圖5係一實施方式中半導體裝置製造方法之第1製程之剖面概略圖。

圖6係一實施方式中半導體裝置製造方法之第2製程之剖面概略圖。

圖7係一實施方式中半導體裝置製造方法之第3製程之剖面概略圖。

圖8係一實施方式中半導體裝置製造方法之第4製程之剖面概略圖。

圖9係一實施方式中半導體裝置製造方法之第5製程之剖面概略圖。

圖10係一實施方式中半導體裝置製造方法之第6製程之剖面概略圖。

圖11係一實施方式中半導體裝置製造方法之第7製程之剖面概略圖。

圖12係一實施方式中半導體裝置製造方法之第8製程之剖面概略圖。

圖13係構成比較例之半導體裝置之記憶體單元之剖面概略圖。

圖14係比較例之半導體裝置製造方法之流程圖。

圖15係比較例之半導體裝置製造方法之第1製程之剖面概略圖。

圖16係比較例之半導體裝置製造方法之第2製程之剖面概略圖。

圖17係比較例之半導體裝置製造方法之第3製程之剖面概略圖。

圖18係比較例之半導體裝置製造方法之第4製程之剖面概略圖。

圖19係比較例之半導體裝置製造方法之第5製程之剖面概略圖。

圖20係其他比較例中，形成比圖18中之記憶體單元更薄之狀態之剖面概略圖。

圖21係將圖20之外圍電晶體上表面進行研磨後之狀態之剖面概略圖。

圖22係將第2實施方式中記憶體單元及作為週邊電路之外圍電晶體之剖面概略圖。

圖23係將第3實施方式中記憶體單元結構之部份進行擴大後之剖

面概略圖。

圖24係將第4實施方式中半導體晶片之概略平面圖。

圖25係將圖24中虛線所圍之區域XXIV之結構進行擴大後之概略平面圖。

圖26係第4實施方式中記憶體單元及作為其週邊電路之外圍電晶體和切割區域之剖面概略圖。

圖27係第4實施方式中半導體裝置製造方法一製程之剖面概略圖。

【實施方式】

下面根據圖面對實施方式進行說明。

（第1實施方式）

首先，通過圖1～圖3來說明一實施方式中半導體裝置之記憶體單元之結構。

圖1所示之一實施方式之半導體裝置具有作為記憶體單元之FMONOS型記憶體單元FMS（以下簡稱“記憶體單元FMS”）。記憶體單元FMS形成於具有主表面之半導體基板SUB上。

半導體基板SUB例如由矽之單結晶形成。在半導體基板SUB之主表面（圖1中半導體基板SUB之最上表面且沿著左右方向延伸之面）上，形成有相互隔開之汲極區域DR和源極區域SR。汲極區域DR及源極區域SR係通過所謂n型或p型雜質擴散而形成的，且以夾著後述之控制閘極（第1閘極）及記憶體閘極（第2閘極）之方式配置。

另外，雖然圖中並未示出，但是在汲極區域DR及源極區域SR之上表面上通常形成有後述之矽化物膜。

在半導體基板SUB之主表面上形成有控制閘極絕緣膜CI（第1絕緣膜），且以與控制閘極絕緣膜CI之上表面接觸之方式形成有控制閘膜CG（第1金屬含有膜）。控制閘膜CG主要進行讀取、寫入以及擦除

動作，本文中將控制閘膜CG定義為：除了作為施加電壓之金屬含有膜MT1之金屬膜ML及多晶矽膜PLY之外，還具有高介電常數絕緣膜HK及調整膜WAJ。控制閘膜CG具有如下結構：即按順序層積有介電常數比控制閘極絕緣膜CI高之高介電常數絕緣膜HK（介電膜）、調整膜WAJ、金屬膜ML、以及多晶矽膜PLY。由此，便形成了由控制閘極絕緣膜CI和控制閘膜CG層積而成之控制閘極（第1閘極）。

控制閘極絕緣膜CI例如由氧化矽膜等與一般MOS型電晶體中之閘極絕緣膜同樣材質構成。上述閘極絕緣膜CI係為了提高半導體基板SUB和控制閘膜CG之間之粘著性以及抑制介面狀態而形成的。

高介電常數絕緣膜HK係有意採用介電常數比控制閘極絕緣膜CI之氧化矽膜高之材質構成之絕緣膜，如由鉛類氧化膜構成。通過使一般之閘極絕緣膜CI和高介電常數絕緣膜HK串聯形成，將這兩者合起來便可提高整體之介電常數，因此也可提高MOS電容部之電容值。

調整膜WAJ係指將具有高介電常數絕緣膜HK之控制閘膜CG整體之功函數進行調節（使其降低），結果可對控制閘膜CG之閾電壓進行調節（降低）而形成之薄膜，如為鐳系元素之氧化膜。

高介電常數絕緣膜HK係為了增加上述MOS容量而使用的，但是在使用高介電常數絕緣膜HK後將有可能出現無法降低控制閘膜CG之功函數從而導致難於控制之情況。而調整膜WAJ係為了易於控制(降低)此功函數而形成的。

金屬含有膜MT1由金屬膜ML和多晶矽膜PLY形成的。金屬膜ML係用與其他材質之粘結性良好之氮化鈦或氮化鉭薄膜形成的。

控制閘極絕緣膜CI和控制閘膜CG側面之一側（圖1中右側之側面）連接，並以具有延長到半導體基板SUB主表面上之延長部之方式形成記憶體閘極絕緣膜MI（第2絕緣膜）。

以與記憶體閘極絕緣膜MI之側面部和延長部之上表面兩邊都接

觸之方式形成記憶體閘膜MG（第2金屬含有膜）。記憶體閘膜MG係進行寫入及擦除等快閃記憶體動作之膜，本文中將記憶體閘膜MG定義為：除了作為施加電壓之金屬含有膜MT2之金屬膜ML及多晶矽膜PLY之外，還具有高介電常數絕緣膜HK及調整膜WAJ。即，記憶體閘膜MG以與記憶體閘極絕緣膜MI之側面部和延長部之上表面兩部分都連接之方式形成，並具有與控制閘膜CG相同之層積結構，即按順序層積有高介電常數絕緣膜HK、調整膜WAJ、金屬膜ML、以及多晶矽膜PLY。記憶體閘膜MG中高介電常數絕緣膜HK及調整膜WAJ之功能分別與上述控制閘膜CG中高介電常數絕緣膜HK及調整膜WAJ相同。如上上述，形成了層積有記憶體閘極絕緣膜MI和記憶體閘膜MG之記憶體閘極（第2閘極）。

記憶體閘極絕緣膜MI與通常之MONOS型記憶體單元一樣，具有由（第1）氧化矽膜O1（ SiO_2 等）、氮化矽膜NF（ SiN 等）、（第2）氧化矽膜O2（ SiO_2 等）等3層按順序層積而成之結構。其中，特別是通過向氮化矽膜NF注入電子而向記憶體單元FMS寫入資料，再通過向氮化矽膜NF注入正孔從而擦除記憶體單元FMS之資料。在寫入資料時，記憶體單元FMS之閾電壓上升、在擦除時記憶體單元FMS之閾電壓將降低。

如上上述，記憶體閘極絕緣膜MI還包括電荷儲蓄膜，上述電荷儲蓄膜用於儲蓄進行資料寫入和擦除之電荷即電子或正孔，本文中，氮化矽膜NF即電荷儲蓄膜。具有氮化矽膜NF之記憶體閘極絕緣膜MI係為了發揮MONOS型記憶體單元FMS一般功能之必不可少之構成要素。

如上上述，記憶體單元FMS具有控制閘膜CG和記憶體閘膜MG這兩個閘極電極，由此，便可分別進行寫入/擦除之快閃記憶體動作及讀取動作此兩個動作。控制閘膜CG和記憶體閘膜MG係以在上述汲極

區域DR及源極區域SR之一部分正上方重疊之方式形成。

圖1中記憶體單元FMS和控制閘膜CG以及記憶體閘膜MG具有平坦之表面（上表面），而且，還使控制閘膜CG和記憶體閘膜MG為同一高度（厚度）之方式使表面處於“同高(flush)”狀態。換言之就是，控制閘極和記憶體閘極之高度相同。這是為了對上表面進行CMP（化學機械拋光，Chemical Mechanical Polishing）而使其處於“同高”狀態，所以在能確保開口部之情況下，就無需保持“同高(flush)”之狀態。另外，本文中所謂之“平坦”係指表面上幾乎不存在凹凸之狀態，且表面與半導體基板SUB之主表面幾乎保持平行狀態之意。

同樣地，圖1中記憶體閘極絕緣膜MI之側面部與控制閘膜CG和記憶體閘膜MG也為同一高度（厚度）（即處於“同高(flush)”狀態），記憶體閘極絕緣膜MI延長部之端部（圖1中右側之端部）也與記憶體閘膜MG之端部具有同一平面（處於“同高(flush)”狀態）。

另外，圖1中雖然簡單示出了汲極區域DR和源極區域SR，但實際上各區域DR、SR中除了通常之汲極區域DR（源極區域SR）之外，還可具有n型或p型雜質之濃度更低的、被稱為LDD（Light Doped Drain，汲極輕摻雜結構）之區域，即，還可包括所謂Extension或Halo之雜質擴散區域。

另外，記憶體單元FMS具有覆蓋控制閘膜CG及記憶體閘膜MG之側面之側壁絕緣膜SW。側壁絕緣膜SW優選由氧化矽膜和氮化矽膜之層積結構構成，本文圖中並未示出此層積結構。

參照圖2，半導體基板SUB之主表面上除了記憶體單元FMS之外，例如還有MOS型電晶體等之電晶體TR。作為記憶體單元FMS之週邊電路，上述電晶體TR為與記憶體單元FMS留有間隔而形成所謂之外圍電晶體。

電晶體TR中，與通常之MOS型電晶體一樣，在半導體基板SUB

之主表面上相互間留出間隔（以夾著後述之第3閘極之方式）形成有汲極區域DR及源極區域SR。另外，半導體基板SUB之主表面上形成有與閘極絕緣膜GI（第3絕緣膜）和閘極絕緣膜GI之上表面接觸之閘膜GE（第3金屬含有膜）。本文中閘膜GE除了作為施加了電壓之金屬含有膜MT3之金屬膜ML及多晶矽膜PLY之外，還具有高介電常數絕緣膜HK及調整膜WAJ。由此形成了層積有閘極絕緣膜GI和閘膜GE之閘極（第3閘極）。

即，閘膜GE與控制閘膜CG結構一樣，即按順序層積高介電常數絕緣膜HK、調整膜WAJ、金屬膜ML、以及多晶矽膜PLY等。閘膜GE中之高介電常數絕緣膜HK及調整膜WAJ之功能分別與上述控制閘膜CG及記憶體閘膜MG中之高介電常數絕緣膜HK及調整膜WAJ一樣。

另外，圖2中電晶體TR之閘膜GE具有平坦之表面（上表面），而且閘膜GE與控制閘膜CG及記憶體閘膜MG具有同一高度（厚度）（即處於“同高(flush)”狀態）。換言之就是，控制閘極和記憶體閘極及閘極皆為同一高度。

圖2中，記憶體單元FMS和電晶體TR之間共同之構成要素都為同一參照符號，這些都為同樣結構、且在同一層上形成。

雖然圖1中並未示出，但實際上如圖2所示，在形成記憶體單元FMS和電晶體TR之區域中，以圍住各閘極電極之方式形成有層間絕緣層II。上述層間絕緣膜II例如由氧化矽膜形成。

而且，圖2中記憶體單元FMS及電晶體TR雙方之汲極區域DR及源極區域SR之上表面上形成有矽化物膜SC。矽化物膜SC為如下之薄膜，即：由於構成汲極區域DR等之矽原子與在其上形成之鈷或鎳原子發生反應從而在汲極區域DR及源極區域SR之最上表面附近形成之薄膜。

半導體基板SUB上形成有複數個電晶體TR及記憶體單元FMS，

且相鄰之1對電晶體TR（記憶體單元FMS）之間通常形成有用於進行電分離之隔離絕緣膜，但此圖中並未示出。

本實施方式中，如後上述，構成圖1及圖2中之控制閘膜CG、記憶體閘膜MG等之高介電常數絕緣膜HK及金屬膜ML等以填埋入被除去了偽閘極電極之開口部中之方式形成。此時，如果通過濺射法等形成控制閘膜CG及記憶體閘膜MG，則按圖1及圖2所示之方式形成。但如果使用有機原料氣體之MOCVD（Metal Organic Chemical Vapor Deposition，金屬有機化學氣相沉積）法等之CVD法形成控制閘膜CG及記憶體閘膜MG時，則如圖3所示，以覆蓋開口部之底面及側面之方式，形成為具有杯形之剖面形狀。下文將用圖1及圖2之控制閘膜CG及記憶體閘膜MG進行說明，但控制閘膜CG及記憶體閘膜MG也可為圖3所示之形狀。

下面參照圖4～圖12說明上述一實施方式中半導體裝置之製造方法。

首先，準備如由矽之單結晶構成之半導體基板SUB（請參照圖1～圖3）。參照圖4，在上述半導體基板SUB之主表面上，如通過通常之LOCOS（LOCAl Oxidation of Silicon，矽之局部氧化）法或STI（Shallow Trench Isolation，淺槽隔離）法，相互間留出間隔形成複數個元件隔離絕緣膜（相當於圖4中之“形成隔離”）。另外，在半導體基板SUB內之主表面上，在被相互鄰接之元件隔離絕緣膜所夾住之區域上，根據需要形成雜質擴散之Well區域（相當於圖4中之“形成Well”）。這些內容圖中並未示出。

接下來再參照圖4及圖5，在半導體基板SUB主表面上形成有記憶體單元之記憶體單元形成區域中，同時還形成了控制閘極絕緣膜CI（第1絕緣膜）、以及形成有外圍電晶體之外圍電晶體形成區域中之閘極絕緣膜GI（第3絕緣膜）（相當於圖4中之“閘極氧化”）。這些膜例如

為通過通常之熱氧化法形成之氧化矽膜，通常通過影印製版及蝕刻法形成所希望得到之圖案。

接下來參照圖4及圖5，同時形成與控制閘極絕緣膜CI之上表面連接之第1偽電極PE1、以及與閘極絕緣膜GI之上表面連接之第3偽電極PE3（相當於圖4中之“形成虛擬外圍／CG多晶矽閘極”）。這些偽電極PE1、PE3例如由通過CVD（Chemical Vapor Deposition，化學氣相沉積）法形成之多結晶矽薄膜形成的。如上所述，便形成了控制閘極絕緣膜CI和第1偽電極PE1積層而成之第1層積結構、閘極絕緣膜GI和第3偽電極PE3層積而成之第3層積結構。第1偽電極PE1為為了形成記憶體單元之偽控制閘極，第3偽電極PE3為為了形成外圍電晶體之偽閘極。

本文中，具有第1偽電極PE1之第1層積結構與具有第3偽電極PE3之第3層積結構相比，其高度僅比圖5之h高。此時之高度係相對於半導體基板SUB主表面之圖中上下方向之距離。

具體地說就是，首先通過使第1偽電極PE1和第3偽電極PE3同時成膜，使其形成同樣膜厚之後，在形成有覆蓋第1偽電極PE1之光致抗蝕劑之狀態下，再對第3偽電極PE3之表面進行蝕刻並將之除去。由此，便可使第3偽電極PE3之厚度比第1偽電極PE1厚。

除了使第1偽電極PE1和第3偽電極PE3之膜厚不同這點以外，以上各製程在外圍電晶體之形成區域及記憶體單元之形成區域這兩方面是共通的。

參照圖4及圖6，在記憶體單元之形成區域中，在半導體基板SUB之主表面上形成記憶體閘極絕緣膜MI（相當於圖4中之“形成ONO”）。記憶體閘極絕緣膜MI在與第1層積結構之側面接觸，同時還形成從那裏開始延伸到半導體基板SUB主表面上之延長部。具體地說就是，記憶體閘極絕緣膜MI係按順序層積有3層膜，即氧化矽膜O1、

氮化矽膜NF、氧化矽膜O2。上述絕緣膜O1，NF，O2例如通過通常之CVD法來形成。

此時，以覆蓋第1層積結構之側面及上表面之方式，在半導體基板SUB之主表面上按順序層積有氧化矽膜O1、氮化矽膜NF、氧化矽膜O2等三層。

接下來，形成包括記憶體閘極絕緣膜之延長部之上表面且與記憶體閘極絕緣膜MI接觸之第2偽電極PE2（相當於圖4中之“形成MG”）。第2偽電極PE2如為通過CVD法形成之多結晶矽薄膜。具體地說就是，以覆蓋圖6之第1層積結構之上表面、記憶體閘極絕緣膜MI之側面部及延長部之上表面之方式形成多結晶矽薄膜後，通過異向性蝕刻對多結晶矽及記憶體閘極絕緣膜MI進行回蝕。結果就如圖6所示，形成由多結晶矽構成之偽電極PE2及記憶體閘極絕緣膜MI作為第1層積結構之側壁。之後通過通常之影印製版及蝕刻除去多餘之部份，以此形成圖6所示之結構。如上，便形成了層積有記憶體閘極絕緣膜MI和第2偽電極PE2之第2層積結構。第2偽電極PE2係為了形成記憶體單元之虛擬記憶體閘膜。

此時，具有第2偽電極PE2之第2層積結構比具有第3偽電極PE3之第3層積結構高。由於第1偽電極PE1之高度比第3偽電極PE3高，所以，具有第2偽電極PE2之第2層積結構也與第1層積結構一樣，比第3層積結構高。

但是，第2偽電極PE2之上表面並不平坦，而是如圖6所示，為稍往右側下傾之形狀。因此，第2偽電極PE2優選如下：最大高度（與氧化矽膜O2等接觸之部分）之區域之高度至少比第1層積結構高，最小高度（右側下斜之最低部分）之區域也比第3層積結構高。

以上各製程僅係針對記憶體單元之形成區域進行的，之後各製程與外圍電晶體之形成區域及記憶體單元之形成區域都是共通的。

參照圖4及圖7，在外圍電晶體之形成區域及記憶體單元之形成區域中，以覆蓋第1、第2及第3層積結構之側面之方式形成側壁絕緣膜SW（相當於圖4中之“形成外圍及記憶體單元SW”）。側壁絕緣膜SW以覆蓋第1、第2及第3層積結構之上表面及側面之方式形成絕緣膜後，通過異向性幹蝕刻對絕緣膜進行回蝕而形成。側壁絕緣膜可由氧化矽膜或氮化矽膜中之任何一層來形成，也可由氧化矽膜和氮化矽膜之層積結構來形成。

參照圖4及圖7，使用由第1及第2層積結構及側壁絕緣膜SW之結構體之自己整合技術，通過從半導體基板SUB之主表面進行離子注入雜質，在記憶體單元形成區域中半導體基板SUB之主表面上形成記憶體單元之源極區域SR及汲極區域DR（相當於圖4中之“形成S/D”）。同樣地，通過使用由第3層積結構及側壁絕緣膜SW之結構體之自己整合技術，在外圍電晶體形成區域中半導體基板SUB之主表面上形成外圍電晶體之源極區域SR及汲極區域DR。

之後，爲了修復形成有汲極區域DR及源極區域SR之區域之結晶狀態，例如通過所謂RTA（Rapid Thermal Anneal，高溫快速回火）對半導體基板SUB實施熱處理。

但是圖7中，從側壁絕緣膜SW擴展到內側之第1偽電極PE1及第3偽電極PE3正下方區域一部分之方式形成汲極區域DR及源極區域SR。爲了形成上述結構，例如，在形成第1～第3層積結構後，在形成側壁絕緣膜SW前，先一度通過使用了第1～第3層積結構之自己整合技術，並通過從半導體基板SUB之主表面進行離子注入雜質，優先形成雜質濃度比上述汲極區域DR及源極區域SR之雜質濃度低之所謂LDD區域。即，在形成第1～第3層積結構後，再形成LDD區域，並在之後形成側壁絕緣膜SW。而且，之後還形成汲極區域DR及源極區域SR。

參照圖4及圖8，在第1偽電極PE1、第2偽電極PE2、第3偽電極PE3、汲極區域DR及源極區域SR之上表面上形成矽化物膜SC（相當於圖4中之“矽化物”）。具體地說就是，以覆蓋第1、第2、第3偽電極PE1，PE2，PE3之上表面之方式，在半導體基板SUB之主表面上形成如鈷或鎳之金屬膜等，如可通過濺射法等一般之金屬薄膜形成方法來形成。

接下來，在此狀態下，對半導體基板SUB進行圖中未示出之熱處理。具體地說就是，例如，半導體基板SUB為鎳時，在500℃至600℃之溫度條件下對其加熱20秒至3分鐘。由此，構成汲極區域DR及源極區域SR之矽原子和其上形成之鎳原子將發生反應而生成矽化物膜SC。但是，為鈷時，需在700℃至800℃之溫度條件下進行加熱。偽電極PE1～PE3與其上形成之鈷及鎳原子也起同樣之反應從而形成矽化物膜SC。

參照圖4及圖9，以覆蓋具有第1偽電極PE1、第2偽電極PE2、第3偽電極PE3之第1～第3層積結構上表面等之方式，在半導體基板SUB之主表面上形成層間絕緣膜II（相當於圖4中之“形成層間絕緣膜”）。層間絕緣層II例如為通過CVD法形成之氧化矽膜。

參照圖4及圖10，以使覆蓋層間絕緣膜II之第1偽電極PE1、第2偽電極PE2之上表面露出之方式，對具有層間絕緣膜II一部分之第1及第2層積結構之上表面進行研磨（相當於圖4中之“CMP製程1”）。此時，使第1偽電極PE1及第2偽電極PE2之上表面露出，對一部分進行研磨以在其上表面形成開口部。在沿著第1偽電極PE1及第2偽電極PE2之半導體基板SUB之主表面之方向上，上述開口部並不比寬度小，且在之後之製程中，開口部之寬度優選為：可從上述開口部除去第1偽電極PE1及第2偽電極PE2之寬度。

此時，除了第1及第2偽電極PE1，PE2之外，還以露出第3偽電極

PE3上表面之方式，對具有層間絕緣膜II一部分之第3層積結構之上表面進行研磨。同時對第3層積結構之上表面與第1及第2層積結構之上表面進行研磨。即，此時由於第3層積結構比第1及第2層積結構之高度低，因此，在露出第1及第2層積結構（偽電極PE1，PE2）之上表面後，繼續進行研磨，直到露出第3偽電極PE3之上表面為止。

此時所進行之研磨如優選通過通常之CMP進行。而且，在研磨之後，還需對層間絕緣膜II之上表面及偽電極PE1，PE2，PE3之上表面進行平坦化處理。

參照圖4及圖11，通過通常之影印製版及蝕刻法除去第1偽電極PE1及第2偽電極PE2（相當於圖4中“除去外圍／CG及MG多晶矽閘極”）。通過此處理，在形成有第1偽電極PE1之區域中形成第1開口部CV1，並在形成有第2偽電極PE2之區域中形成第2開口部CV2。

此時，除了第1及第2偽電極PE1，PE2外，還將第3偽電極PE3與第1及第2偽電極PE1，PE2同時除去，且在形成有第3偽電極PE3之區域中形成第3開口部CV3。

參照圖4及圖12，在記憶體單元之形成區域中，在第1開口部CV1（控制閘極絕緣膜CI之上表面）上按順序形成高介電常數絕緣膜HK（介電膜）、調整膜WAJ，且在其上依次形成作為金屬含有膜MT1之金屬膜ML和多晶矽膜PLY。由此，便可在層間絕緣膜II之上表面和第1開口部CV1上層積（填埋）金屬含有積層膜，結果，便可形成構成第1金屬含有膜（控制閘膜CG）之層積結構。即，通過將金屬含有膜MT1及高介電常數絕緣膜HK以及調整膜WAJ填埋入第1開口部CV1，便可形成控制閘膜CG。

本文將金屬膜ML和多晶矽膜PLY結合而成之層積膜定義為“金屬含有膜（MT1）”，將高介電常數絕緣膜HK和調整膜WAJ結合而成之層積膜定義為“其他膜”，將金屬含有膜和其他膜結合而成之層積膜定

義為“金屬含有積層膜”。因構成金屬含有積層膜之各層膜之厚度和開口部CV1深度之間之關係，也可如圖12所示，在層間絕緣層II之上表面上，只層積金屬含有積層膜中之多晶矽膜PLY。

高介電常數絕緣膜HK比控制閘極絕緣膜CI（第1絕緣膜）之介電常數高。高介電常數絕緣膜HK例如可通過CVD法等由鉛系之氧化膜形成。調整膜WAJ例如可通過CVD法等由鋁系氧化膜形成。另外，金屬膜ML例如可通過濺射法等由氮化鈦或鉭鈦合金之薄膜形成。而且，多晶矽膜PLY例如可通過CVD法形成。

在上述控制閘膜CG與第2開口部CV2（記憶體閘極絕緣膜MI之延長部之上表面）上，以與記憶體閘極絕緣膜MI之側面部接觸之方式同時形成高介電常數絕緣膜HK和調整膜WAJ（其他膜），而且還在其上按順序形成金屬膜ML和多結晶矽膜PLY（金屬含有膜MT2）。由此，便形成了構成第2金屬含有膜（記憶體閘膜MG）之層積結構作為金屬含有積層膜。即，通過在第2開口部CV2中填埋金屬含有膜MT2、高介電常數絕緣膜HK以及調整膜WAJ，便形成了記憶體閘膜MG。

而且，在第3開口部CV3（閘極絕緣膜GI之上表面）上形成控制閘膜CG、記憶體閘膜MG，同時還形成高介電常數絕緣膜HK、調整膜WAJ（及其他膜），而且還在其上按順序形成金屬膜ML和多晶矽膜PLY（及金屬含有膜MT3）。由此，便可形成作為金屬含有構成積層膜之第3金屬含有膜（閘膜GE）之層積結構。即，通過在第3開口部CV3中填埋金屬含有膜MT3及高介電常數絕緣膜HK以及調整膜WAJ，便可形成閘膜GE。以上製程相當於圖4中“填埋High-K/Metal”。

形成上述高介電常數絕緣膜HK和調整膜WAJ之製程係在進行為了形成上述矽化物膜SC之熱處理之後再進行的。更具體地說就是，在形成高介電常數絕緣膜HK和調整膜WAJ後到完成半導體裝置為止

這段時間內，最好不進行熱處理。這裏所說之熱處理係在形成汲極區域DR及矽化物層SC等之後在高溫條件下（如500℃或800℃）進行之退火處理（高溫熱處理）。例如，在此後還有爲了形成佈線之成膜處理等製程，進行該成膜製程時半導體基板SUB之溫度將上升。因此，嚴格地說，在上述之成膜製程中雖然也可包括熱處理等，但在這裏，如上述之溫度上升並不包括在熱處理中，所以可在高介電常數絕緣膜HK和調整膜WAJ之形成製程後可執行上述溫度上升之進程。

參照圖4、圖12及圖2，之後通過“CMP製程2”除去圖12所示之與層間絕緣膜II上表面接觸之多晶矽膜PLY，並對層間絕緣膜II之上表面進行研磨，直到露出圖2所示之層間絕緣膜II爲止。使層間絕緣膜II露出之結果，就使具有填埋在開口部CV1～CV3中之多晶矽膜PLY等之控制閘膜CG、記憶體閘膜MG及閘膜GE之上表面露出，這些上表面爲同一高度之平坦面。由此，便形成了控制閘膜CG、記憶體閘膜MG及閘膜GE等。

之後，在與層間絕緣膜II爲同一層及／或更上一層上形成各種佈線（相當於圖4中之“佈線製程”），由此便可如圖1所示形成具有一實施方式中之記憶體單元及外圍電晶體之半導體裝置。

接著參照圖13～圖21之比較例，對一實施方式之作用效果進行說明。

參照圖13，比較例中半導體裝置之記憶體單元FMS具有與一實施方式之半導體裝置之記憶體單元FMS大致同樣之結構。因此，圖13中，對於與圖1同樣結構之處使用了與圖1相同之符號，且不再進行重複說明。

圖13中記憶體單元FMS之控制閘膜（與偽電極PE1一樣）由多晶矽膜PE11形成，記憶體閘膜（與偽電極PE2一樣）由多晶矽膜PE12形成，在這點上與圖1所示之一實施方式中之記憶體單元FMS不同。在

多晶硅膜PE11，PE12之上表面形成有硅化物膜SC。

參照圖14，比較例中半導體裝置之製造方法如下：圖4中一實施方式之製造方法“形成虛擬週邊／CG多晶矽柵”中形成之多結晶矽之偽電極PE3被作為偽電極而除去，但是多結晶矽膜PE11一般不被除去而係被留作記憶體單元FMS之電極。也就是說，作為週邊電路之電晶體TR係通過使用偽電極之後閘製程形成，而記憶體單元FMS係通過不使用偽電極之先閘製程形成的。下面參照圖14～圖18對比較例之半導體裝置之製造方法進行說明。

參照圖14，與一實施方式一樣，準備半導體基板SUB，並進行“形成隔離”及“形成Well”。接著參照圖14及圖15，在半導體基板SUB主表面上同時形成控制閘極絕緣膜CI和閘極絕緣膜GI。而且還同時形成與控制閘極絕緣膜CI上表面接觸且具有控制閘膜作用之多晶矽膜PE11，以及與閘極絕緣膜GI上表面接觸之第3偽電極PE3。此時，多晶矽膜PE11與第3偽電極PE3厚度大致相同。以上製程相當於圖14中之“閘極氧化”及“形成外圍／CG多晶矽閘極”。

參照圖14及圖16，與圖6一樣形成記憶體閘極絕緣膜MI（相當於圖14中之“形成ONO”），之後，形成具有記憶體閘膜作用之多結晶矽膜PE12（相當於圖14中之“形成MG”）。

參照圖14及圖17，與圖7一樣形成側壁絕緣膜SW（相當於圖14中之“形成外圍及記憶體單元SW”）、形成汲極區域DR及源極區域SR（相當於圖14中之“形成S/D”）、形成矽化物膜SC（相當於圖14中之“矽化物”）。而且還進行圖中未示出之熱處理，以形成與圖9一樣之層間絕緣層II（相當於圖14中之“形成層間絕緣膜”）。

參照圖14及圖18，與圖10一樣對層間絕緣膜II進行研磨（相當於圖14中之“CMP製程1”）直到露出多晶矽膜PE11，PE12，PE3之上表面為止。

但是，圖18之製程中，本來只需使外圍電晶體形成區域中之第3偽電極PE3之上表面露出即可，但是在此對第3偽電極PE3和多結晶矽膜PE11，PE12之間之上表面都進行研磨。因此，多晶矽膜PE11，PE12上表面上之矽化物膜SC也將被削掉。由於多晶矽膜PE11，PE12由多結晶矽形成，所以如果其上表面如果不存在矽化物膜SC，則閘極電阻將變高。如果使多晶矽膜PE11與第3偽電極PE3以大致相同之厚度形成便有可能出現這個問題。

參照圖14及圖19，在使多晶矽膜PE11，PE12上表面之矽化物膜SC露出之狀態下，僅在外圍電晶體之形成區域除去第3偽電極PE3（相當於圖14中之“除去外圍多晶矽閘極”），對於被除去了第3偽電極PE3之區域，在閘極絕緣膜GI之上表面還形成高介電常數絕緣膜HK和調整膜WAJ，而且還在其上按順序形成作為金屬含有膜MT3之金屬膜ML和多晶矽膜PLY，以形成閘膜GE（相當於圖14中之“填埋High-K/Metal”）。之後與一實施方式一樣進行相當於圖14中“佈線製程”之處理。

如上所述，為了解決因多結晶矽膜PE11，PE12之上表面上不存在矽化物膜SC而導致高電阻之問題，如圖20及圖21所示，只需抑制對記憶體單元（由先閘製程形成）形成區域之多晶矽膜PE11，PE12及其上表面之矽化物膜SC進行研磨即可。也就是說，只需使多晶矽膜PE11，PE12比第3偽電極PE3低（薄）便可。由此，即使外圍電晶體形成區域之第3偽電極PE3之矽化物膜SC被研磨，由於記憶體單元形成區域之多結晶矽膜PE11，PE12之矽化物膜SC不被研磨，所以可使閘極電阻保持在低位。

但實際上，由於記憶體單元之多晶矽膜PE12如側壁絕緣膜SW一樣，為稍往右側下傾之剖面形狀，如果此高度較低（薄）將有可能導致變形。另外，如果多晶矽膜PE12越薄，向多晶矽膜PE12進行離子

注入之雜質將穿越多晶矽膜PE12，這將可能導致難於向多結晶矽膜PE12注入適量之雜質。

此時，並非如圖20及圖21那樣，記憶體單元比外圍電晶體低，而是相反，最好使外圍電晶體低，而記憶體單元形成得較高（厚）。爲了提高元件運行速度而推進外圍電晶體之細微化，隨著外圍電晶體細微化之推進，閘極高度也將變低。如果外圍電晶體之閘極較高，閘極剖面之縱深比將變大而無法確保其平衡。因此，優選外圍電晶體比記憶體單元之閘極也較低形成。

但是如果如上上述，便與上述圖14～圖19之製程一樣，再次出現記憶體單元中多晶矽膜PE11，PE12之矽化物膜SC被除去之問題。

即，如果記憶體單元FMS通過先閘製程來形成，而外圍電晶體TR如果通過後閘製程形成，由於記憶體單元FMS之多結晶矽膜PE11，PE12相對於外圍電晶體之第3偽電極PE3而言，其厚度（高度）不管爲何種大小關係都將會導致出現上述問題，所以有可能導致最終產品可靠性降低。

本來，通過先閘製程形成記憶體單元FMS、而通過後閘製程形成外圍電晶體TR之製造方法中，爲了在部分區域上實施後閘製程而需要增加製程數，所以該製造方法非常繁雜。

因此，如一實施方式一樣，通過後閘製程形成記憶體單元FMS和外圍電晶體TR，便可通過後閘製程形成外圍電晶體TR，且製程數並不比較例之製程多，所以可提供更高可靠性之半導體裝置。

具體地說就是，如一實施方式上述，優選第1，第2偽電極PE1，PE2比第3偽電極PE3厚之情況。由此，便可抑制記憶體單元電極出現變形，而且隨著外圍電晶體之細微化還可使外圍電晶體較薄地形成。另外，由於第2偽電極PE2形成於第1偽電極PE1之側壁部上，所以第2偽電極PE2之上表面爲傾斜狀的。因此如圖10所示之製程中，如果第

2偽電極PE2不比第3偽電極PE3高則第2偽電極PE2之露出部將變窄，在如圖11之製程中，將導致難於除去第2電極。另外，在圖12之製程中，也難於將金屬膜填埋入開口部中。因此，在一實施方式中，第2偽電極PE2形成為比第3偽電極PE3高。

在第1及第2偽電極PE1，PE2比第3偽電極PE3厚時，通過對第3偽電極PE3之上表面進行研磨，第1及第2電極之上表面也將被研磨。如上所述，通過對第1及第2偽電極PE1，PE2之上表面進行研磨並形成開口部，便可在後面之製程中通過該開口部確實除去第1及第2偽電極PE1，PE2。

如上所述，在一實施方式中，記憶體單元FMS之虛擬控制閘極即第1偽電極PE1和虛擬記憶體閘極即第2偽電極PE2都比外圍電晶體TR之虛擬閘極即第3偽電極PE3高。因此，通過CMP進行平坦化之製程後，確實除去虛擬控制閘極和虛擬儲器閘極以及虛擬閘極，由此便可在除去後之開口部上填埋金屬膜。接下來便可很容易地通過後閘製程形成記憶體單元FMS和外圍電晶體TR。

結果，如圖14～圖19之製程所示，無需再區分外圍電晶體需通過後閘製程形成，而記憶體單元需通過先閘製程形成等，因此可大幅減少製造工藝之製程數。結果，因製程數減少，便可減少特性偏差之影響，從而提高半導體裝置之可靠性。

而且，由於第1及第2偽電極PE1，PE2在後製程中將被除去，所以使第1及第2偽電極PE1，PE2比第3偽電極PE3厚，則完全不存在問題。通過使第1及第2偽電極PE1，PE2比第3偽電極PE3厚，便可使記憶體單元之側壁絕緣膜SW及記憶體閘極絕緣膜MI的高度（厚度）與最終形成之外圍電晶體的高度（厚度）等同。

接下來，在一實施方式中，由暫時形成之多結晶矽構成之偽電極PE1～PE3被除去後，便形成了控制閘膜CG、記憶體閘膜MG及閘

膜GE。由於這些膜包括金屬含有膜MT1~MT3，所以電阻比多結晶矽之偽電極PE1~PE3之電阻小。因此，可抑制隨著外圍電晶體及記憶體單元的細微化導致之電阻增加。雖然金屬含有膜MT1~MT3含有多晶矽膜PLY，但是通過使其含有金屬膜ML，便可充分降低電阻值。

另外，通過使控制閘膜CG及記憶體閘膜MG等含有金屬膜ML，便可抑制閘極之空乏化。因此，反轉閘極之電容將變大，從而可改善短溝道特性。

通過使記憶體閘膜MG等含有金屬膜ML，便可通過記憶體閘膜MG功函數之變化來抑制從記憶體閘膜MG向氮化矽膜NF注入之電子，結果，可深度（確實）除去記憶體單元FMS中之資料。

另外，通過使控制閘膜CG等含有高介電常數絕緣膜HK，即使在控制閘極絕緣膜CI等難以實現薄膜化之情況下也可維持較高之電容性。

但是在使用高介電常數絕緣膜HK時，有可能導致難於控制記憶體閘膜MG之功函數。因此，通過形成功函數之調整膜WAJ，便可調整記憶體閘膜MG之功函數。但是，由於調整膜WAJ耐熱性較差，例如，在形成含有調整膜WAJ之記憶體閘膜MG之後對源極區域SR及汲極區域DR進行退火處理時，將有可能無法進行功函數之調整。

因此，在形成構成記憶體單元FMS之控制閘膜CG及記憶體閘膜MG之前，先形成偽電極PE1，PE2，並在包括上述（高溫）熱處理之通常之電晶體形成工藝後除去偽電極PE1，PE2之後，再形成含有調整膜WAJ之控制閘膜CG及記憶體閘膜MG，即所謂之後閘製程。如上所述，便可抑制調整膜WAJ因熱所受之不良影響，從而更容易進行功函數之調整。結果，便可確實（更深度）地擦除記憶體閘膜MG中之資料。

由於控制閘膜CG及記憶體閘膜MG與偽電極PE1，PE2相比電阻較低，所以在形成控制閘膜CG及記憶體閘膜MG後無需在上述上表面上形成矽化物膜SC。因此，在形成控制閘膜CG及記憶體閘膜MG後無須再如上上述地進行退火等高溫之熱處理，由此可獲得比上述更好之效果。而且，由於無需控制閘膜CG及記憶體閘膜MG之上表面形成矽化物膜SC，所以可抑制因這些電極上之矽化物膜SC之間之接觸而引起兩者之短路現象。

另外，如上上述，在圖10之CMP製程1中，研磨程度最好為使偽電極PE1，PE2等之上表面完全露出。由此，在圖11之製程中，便可確實除去偽電極PE1，PE2等。

而且，通過使外圍電晶體之閘膜GE具有與記憶體單元之控制閘膜CG及記憶體閘膜MG為同樣結構，便可使外圍電晶體TR具有更高電容且更低之電阻。另外，由於可使外圍電晶體之閘膜GE與記憶體單元之控制閘膜CG及記憶體閘膜MG同時形成，所以可抑制製程數之增加。

（第2實施方式）

參照圖22，本實施方式之半導體裝置與圖2所示之第1實施方式之半導體裝置具有大致相同之結構。但本實施方式中，在金屬含有膜MT1～MT3不具有多結晶矽PLY而僅含有金屬膜ML，這點與第1實施方式不同。金屬膜ML例如為氮化鈦之薄膜。

本實施方式中之金屬含有膜MT1～MT3與第1實施方式中之金屬含有膜MT1～MT3具有幾乎相同之厚度。本實施方式中之金屬膜ML之膜厚大致等於第1實施方式中之金屬膜ML和多晶矽膜PLY之厚度之總和。

本實施方式僅在上述內容與第1實施方式不同，而此外其他方面皆與第1實施方式相同，所以圖22中，與第1實施方式相同之構成要素

也用了與第1實施方式相同之符號，且不再進行重複說明。在此後之其他方式也同樣處理。

在第1實施方式中，爲了形成金屬含有膜MT1～MT3，有必要形成金屬膜ML和多結晶矽膜PLY之2層膜，但在本實施方式中，僅需形成金屬膜ML(1層膜)便可。因此，可簡化工藝。

另外，通過配置作爲替代多晶矽膜PLY之金屬即氮化鈦之薄膜，便可減少金屬含有膜MT1～MT3整體之電阻。

(第3實施方式)

參照圖23，在本實施方式中，在構成記憶體閘極絕緣膜MI之氮化矽膜NF之延長部，其端部形成在比氧化矽膜O1，O2延長部之端部更靠內之內側。結果，氮化矽膜NF延長部之端部形成在比記憶體閘極膜MG之端部（圖23右側之側面）更靠內之內側。此時之內側係圖23之左側（配置有控制閘膜CG之一側）。

氮化矽膜NF因蝕刻過度而使其端部形成在比記憶體閘極膜MG之端部更靠內之內側，之後在形成側壁絕緣膜SW時，通過該絕緣膜將氮化矽膜NF端部之外側進行填埋。但是與其他實施方式一樣，記憶體閘極絕緣膜MI之氧化矽膜O1，O2之端部以與記憶體閘極膜MG之端部爲同一平面（即處於“同高(flush)”狀態）之方式形成。

圖23之結構由如下方法形成。

與圖6一樣，在記憶體單元之形成區域上形成記憶體閘極絕緣膜MI和第2偽電極PE2後，在半導體基板SUB主表面上比源極區域SR更靠近內側（圖23中之左側）形成高濃度注入源極MS。上述高濃度注入源極MS與源極區域SR同樣地，通過離子注入形成。高濃度注入源極MS中之雜質濃度以位於源極區域SR之方式連續形成。

上述記憶體單元爲熱孔擦除型(hot-hole erase type)時，由於高濃度注入源極MS係通過高濃度注入而需要陡峭輪廓（steep profile），所

以最好不採用LDD。但是，當該記憶體單元為隧道擦除型(tunnel erase type)時，高濃度注入源極MS無需為高濃度，只需與通常之MIS電晶體一樣，只要使短隧道特性良好之低濃度化便可。

在形成高濃度注入源極MS後，僅記憶體閘極絕緣膜MI之氮化矽膜NF被選擇性地從延長部之端部開始進行過蝕刻。通過此處理，即使在記憶體閘極絕緣膜MI中也僅形成氮化矽膜NF，而其端部形成在比記憶體閘膜MG端部更靠內之內側。

由於本實施方式中半導體裝置具有上述結構，所以可提高記憶體單元FMS之資料擦除效率。下面說明其理由。

在向氮化矽膜NF注入正孔以擦除記憶體單元FMS之資料時，在高濃度注入源極MS端部附近之半導體基板SUB之矽上形成正孔，再通過電場對上述正孔進行加速，並使上述正孔注入氮化矽膜NF中而配置了高濃度注入源極MS。

但是，如果配置了氮化矽膜NF，則導致該區域中對正孔進行加速之電場變弱，將導致難於在高濃度注入源極MS正上方之氮化矽膜NF上注入正孔。結果，將可能導致資料擦除變慢。

具體地說就是，假如在高濃度注入源極MS之正上方堆疊記憶體閘膜MG，則高濃度注入源極MS正上方之氮化矽膜NF上則通常沒有正孔注入。特別是所謂形成有被稱為Extension之雜質之擴散區域時更是如此。此時，記憶體閘膜MG和高濃度注入源極MS之間之電場強度沒發生變化，資料擦除也如通常一樣進行。但是，如果在高濃度注入源極MS正上方之氮化矽膜NF上被注入了正孔，則所注入之正孔將移動到所堆疊之記憶體閘膜MG中。如上所述，記憶體閘膜MG和高濃度注入源極MS之間之電場強度將變弱，資料擦除將會變慢。

因此如圖23所示，不在高濃度注入源極MS正上方配置氮化矽膜NF，便可抑制使正孔加速之電場變弱，從而可高效地將正孔注入到

氮化矽膜NF中。因此，可提高記憶體單元FMS之資料擦除效率。

（第4實施方式）

參照圖24，本實施方式中，以及上述各實施方式中之記憶體單元FMS及外圍電晶體TR例如形成於由矽之單結晶形成之半導體晶片WFR上。具體地說就是，半導體晶片WFR之主表面上相互間按間隔按行列狀配置有複數個晶片區域CR（元件形成區域）。上述晶片區域CR中，形成有上述記憶體單元FMS及外圍電晶體TR等半導體元件。另外，上述半導體基板SUB係作為半導體晶片WFR基台之基板，實際上與半導體晶片WFR和半導體基板SUB為同一意思。

被相鄰一對晶片區域CR所夾著之區域，換言之就是形成在晶片區域CR週邊之區域為切割區域DLR，而切割區域DLR中，一個半導體晶片WFR係按每個晶片區域CR進行分割而成之半導體晶片。

參照圖25，由於切割區域DLR係半導體晶片WFR被切斷之區域，所以，此時還形成用於形成記憶體單元FMS等之位置校準用標記。但是，在上述切割區域DLR中之至少一部分上還形成結構體形成區域FMR，結構體形成區域FMR上形成有複數個結構體FFMS。

參照圖26，由於切割區域DLR之結構體FFMS係作為虛擬結構體而形成的，所以也可為如通過多結晶矽薄膜形成的、與記憶體單元FMS及電晶體TR之電極不同之結構和材質。

參照圖27，切割區域DLR之結構體FFMS優選在進行圖5所示形成第1層積結構之製程、以及與圖6所示形成第2層積結構之製程之同時，相對於切割區域而形成。如上所述，結構體FFMS之結構及材質也可不同於第1及第2層積結構之電極。

結構體FFMS優選以與第1或第2層積結構之厚度（高度）大致相同之方式形成。另外，構成第2層積結構之第2偽電極PE2通過回蝕使其剖面形狀形成為稍往右側下傾之形狀，所以其厚度（高度）並非固

定不變。此時第2層積結構之厚度（高度）係其最大之厚度，係與第1層積結構之上表面為同一平面之上表面部（即為“同高(flush)”之部份）之厚度。

上述各實施方式中，如果形成與第1偽電極PE1和第2偽電極PE2具有幾乎同樣高度之結構體FFMS時，如圖10所示之製程一樣，在實施對偽電極PE1，PE2之上表面進行研磨的CMP製程時，結構體FFMS將成為進行CMP時施加在半導體基板SUB側上之力之支撐。因此，即使在偽電極PE1，PE2和偽電極PE3之厚度不同時，也可減少對於半導體基板SUB之位置進行CMP之加工量之偏差，從而可均一地進行CMP研磨。

在結構體FFMS之支撐下，通過CMP對偽電極PE1～PE3進行研磨，直至其與結構體FFMS成為同一高度為止，因此便可如圖26所示，在之後形成之控制閘膜CG、記憶體閘膜MG以及閘膜GE之高度都與結構體FFMS之高度大致相同。

上述的CMP製程是在進行後閘製程時為了有效除去記憶體單元FMS及電晶體TR之偽電極PE1，PE2等的重要之製程，所以，如果CMP之加工量出現偏差，則最終形成之記憶體單元FMS等之電極之形狀也有可能出現異常。但是，如果如上上述，在切割區域DLR上形成虛擬之結構體FFMS，便可提高CMP之加工精度，所以，可提高最終形成之記憶體單元FMS等之可靠性。

另外，實施方式中所記載內容之一部分如下所示。

（1）半導體裝置係具有形成於半導體基板主表面上之記憶體單元和外圍電晶體之半導體裝置。上述記憶體單元包括第1閘極，上述第1閘極由形成於主表面上之第1絕緣膜和與第1絕緣膜之上表面接觸之第1金屬含有膜積層而成；上述記憶體單元包括第2閘極，上述第2閘極由形成於主表面上且與第1閘極之側面接觸、並具有延伸到半導

體基板主表面上之延長部之方式形成之第2絕緣膜、以及具有第2絕緣膜之延長部之上表面且與第2絕緣膜接觸之第2金屬含有膜積層而形成；上述外圍電晶體包括第3閘極，上述第3閘極由形成於主表面上之第3絕緣膜、以及與第3絕緣膜之上表面接觸之第3金屬含有膜積層而形成。而且，上述第1、第2及第3金屬含有膜之上表面都為平坦之面。

(2) 在(1)之半導體裝置中，上述第1、第2及第3閘極為同一高度。

(3) 在(1)之半導體裝置中，上述第2絕緣膜中具有儲蓄電荷之電荷儲蓄膜。

(4) 在(1)之半導體裝置中，上述電荷儲蓄膜為氮化矽膜。

(5) 在(1)之半導體裝置中，上述第2絕緣膜結構為按順序層積有第1氧化矽膜、氮化矽膜、以及第2氧化矽膜之結構。

(6) 在(4)或(5)之半導體裝置中，上述氮化矽膜之端部配置在比第2金屬含有膜之端部更靠內之內側。

(7) 在(1)之半導體裝置中，上述記憶體單元具有以夾住第1及第2閘極之方式配置在主表面上之汲極區域及源極區域，且在上述汲極區域及源極區域上形成有矽化物。

(8) 在(1)之半導體裝置中，上述外圍電晶體具有以夾著第3閘極之方式配置在主表面上之汲極區域及源極區域。

(9) 在(1)之半導體裝置中，上述第1、第2及第3金屬含有膜包括金屬含有膜（或其他膜）。上述金屬含有膜僅由氮化鈦薄膜構成。

(10) 在(1)之半導體裝置中，上述第1、第2及第3金屬含有膜包括金屬含有膜（或其他膜）。上述金屬含有膜為按順序有層積氮化鈦薄膜、多結晶矽薄膜之結構。

(11) 在(9)或(10)之半導體裝置中，上述第1、第2及第3金屬含有膜結構為按順序層積有：介電常數比第1、第2及第3絕緣膜高之介電膜、用於調整高介電常數絕緣膜之功函數之調整膜、以及金屬含有膜。

(12) 在(1)之半導體裝置中，上述主表面上包括形成有記憶體單元及外圍電晶體之元件形成區域、以及形成于元件形成區域週邊之切割區域。上述切割區域還包括形成有具有相同厚度之第1、第2及第3閘極之結構體。

以上根據實施方式具體地說明了本案發明人所作之發明，但是本發明並不受到上述實施方式之限定，在不超出其要旨之範圍內能夠進行種種變更，在此無需贅言。

【符號說明】

CG	控制閘膜
CI	控制閘極絕緣膜
CR	晶片區域
CV1，CV2，CV3	開口部
DLR	切割區域
DR	汲極區域
FFMS	結構體
FMR	結構體形成區域
FMS	記憶體單元
GE	閘膜
GI	閘極絕緣膜
HK	高介電常數絕緣膜
MG	記憶體閘膜
MI	記憶體閘極絕緣膜

ML	金屬膜
MS	高濃度注入源極
MT1 , MT2 , MT3	金屬含有膜
NF	氮化矽膜
O1 , O2	氧化矽膜
PE1	第1偽電極
PE2	第2偽電極
PE3	第3偽電極
PLY	多晶硅膜
SC	硅化物膜
SR	源極區域
SUB	半導體基板
SW	側壁絕緣膜
TR	電晶體
WAJ	調整膜
WFR	半導體晶片
II	層間絕緣膜

申請專利範圍

1. 一種半導體裝置之製造方法，其特徵在於：其係製造包括形成於半導體基板主表面上之記憶體單元和外圍電晶體之上述半導體裝置者，且上述製造方法包含如下步驟：

準備上述半導體基板之步驟；

形成第1層積結構之步驟，其係在形成有上述記憶體單元之記憶體單元形成區域之上述主表面上層積第1絕緣膜、以及與上述第1絕緣膜之上表面接觸之第1偽電極（dummy electrode）以形成上述第1層積結構；

形成第2層積結構之步驟，其係在上述記憶體單元形成區域的上述主表面上層積第2絕緣膜和第2偽電極以形成上述第2層積結構，其中，上述第2絕緣膜與上述第1層積結構之側面接觸、且具有延伸至上述半導體基板之上述主表面上為止之延長部；上述第2偽電極係包括上述第2絕緣膜之上述延長部之上表面而與上述第2絕緣膜接觸；

形成第3層積結構之步驟，其係在形成有上述外圍電晶體之外圍電晶體形成區域之上述主表面上層積第3絕緣膜、以及與上述第3絕緣膜之上表面接觸之第3偽電極以形成上述第3層積結構；

以覆蓋上述第1、第2及第3層積結構之方式形成層間絕緣膜之步驟；

對上述層間絕緣膜之一部分和上述第1、第2及第3偽電極之上表面進行研磨之步驟，其係使上述第1、第2及第3偽電極之上表面從上述層間絕緣膜露出，並使上述層間絕緣層之上表面和所露出之上述第1、第2及第3偽電極之上表面平坦化；

除去所露出之上述第1、第2及第3偽電極而分別形成第1開口

部、第2開口部及第3開口部之步驟；以及

藉由分別在上述第1開口部、上述第2開口部以及上述第3開口部中埋設金屬含有膜、以及包括其他膜之金屬含有積層膜，以形成第1金屬含有膜、第2金屬含有膜及第3金屬含有膜之步驟；且

上述第1及第2層積結構之高度以比上述第3層積結構之高度高之方式而形成。

2. 如申請專利範圍第1項所記載之半導體裝置之製造方法，其中上述第2絕緣膜具有儲蓄電荷之電荷儲蓄膜。
3. 如申請專利範圍第2項所記載之半導體裝置之製造方法，其中上述電荷儲蓄膜為氮化矽膜。
4. 如申請專利範圍第1項所記載之半導體裝置之製造方法，其中上述第2絕緣膜之層積結構具有按第1氧化矽膜、氮化矽膜、第2氧化矽膜的順序層積之結構。
5. 如申請專利範圍第3或4項所記載之半導體裝置之製造方法，其中上述氮化矽膜之端部配置在比上述第2金屬含有膜之端部更靠近內側之位置上。
6. 如申請專利範圍第1項所記載之半導體裝置之製造方法，其中進一步包括如下步驟：

在形成上述第1及第2層積結構之步驟後，在上述記憶體單元形成區域中之上述主表面上形成上述記憶體單元之源極區域及汲極區域之步驟；以及

在上述源極區域及上述汲極區域中形成矽化物之步驟。

7. 如申請專利範圍第1項所記載之半導體裝置之製造方法，其中進一步包括如下步驟：

在形成上述第3層積結構之步驟後，在上述外圍電晶體形成區

域中之上述主表面上形成上述外圍電晶體之源極區域及汲極區域之步驟；以及

在上述源極區域及上述汲極區域形成矽化物之步驟。

8. 如申請專利範圍第1項所記載之半導體裝置之製造方法，其中上述第1、第2及第3金屬含有膜之形成步驟還具有：在上述層間絕緣膜之上表面、以及在上述第1、第2及第3開口部上層積上述金屬含有積層膜之層積步驟，以及以使上述層間絕緣層露出之方式對上述金屬含有積層膜進行研磨之步驟；

在對上述金屬含有積層膜進行研磨步驟時，以使上述第1、第2及第3金屬含有膜之上表面上形成爲同一高度平坦面之方式進行研磨。

9. 如申請專利範圍第1項所記載之半導體裝置之製造方法，其中上述金屬含有膜爲僅含有氮化鈦之薄膜。

10. 如申請專利範圍第1項所記載之半導體裝置之製造方法，其中上述金屬含有膜具有按氮化鈦薄膜、以及多結晶矽薄膜之順序層積之結構。

11. 如申請專利範圍第1項所記載之半導體裝置之製造方法，其中上述第1金屬含有膜形成於上述第1絕緣膜之上表面，且具有如下結構：即按順序層積介電常數比上述第1絕緣膜高之介電膜、對上述介電膜之功函數進行調整之調整膜、以及上述金屬含有膜；

上述第2金屬含有膜形成於上述第2絕緣膜之上表面，且具有如下結構：即按順序層積有上述介電膜、上述調整膜、上述金屬含有膜之結構；

上述第3金屬含有膜形成於上述第3絕緣膜之上表面，且具有如下結構：即按順序層積有上述介電膜、上述調整膜、以及上

述金屬含有膜之結構；

上述其他膜包括上述介電膜和上述調整膜。

12. 如申請專利範圍第1項所記載之半導體裝置之製造方法，其中

上述主表面上具有如下區域：形成有上述記憶體單元及上述外圍電晶體之元件形成區域、以及在上述元件形成區域之週邊形成之切割區域；

在形成上述第1或第2層積結構之步驟之同時，還具有在上述切割區域上形成與上述第1及第2層積結構相同厚度之結構體之步驟。

圖式

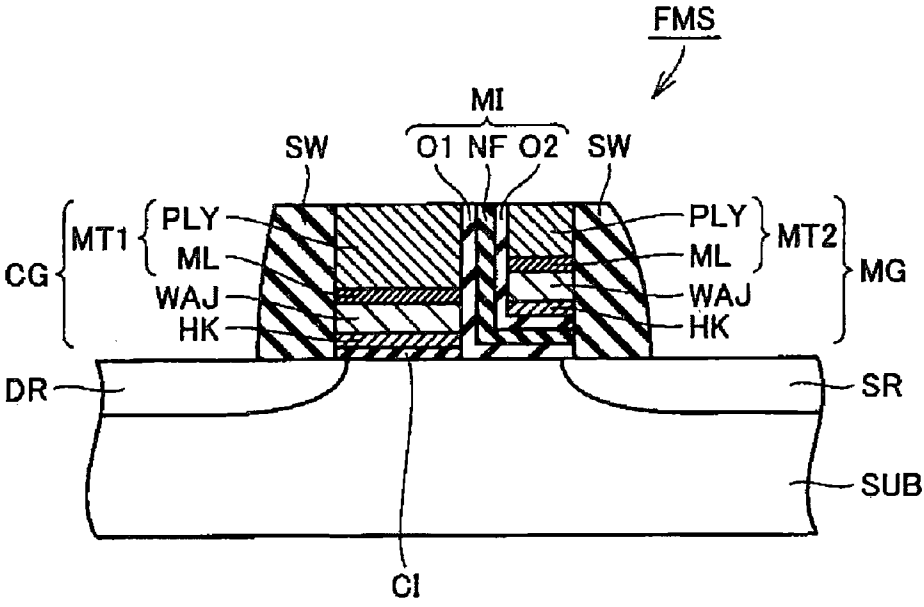


圖1

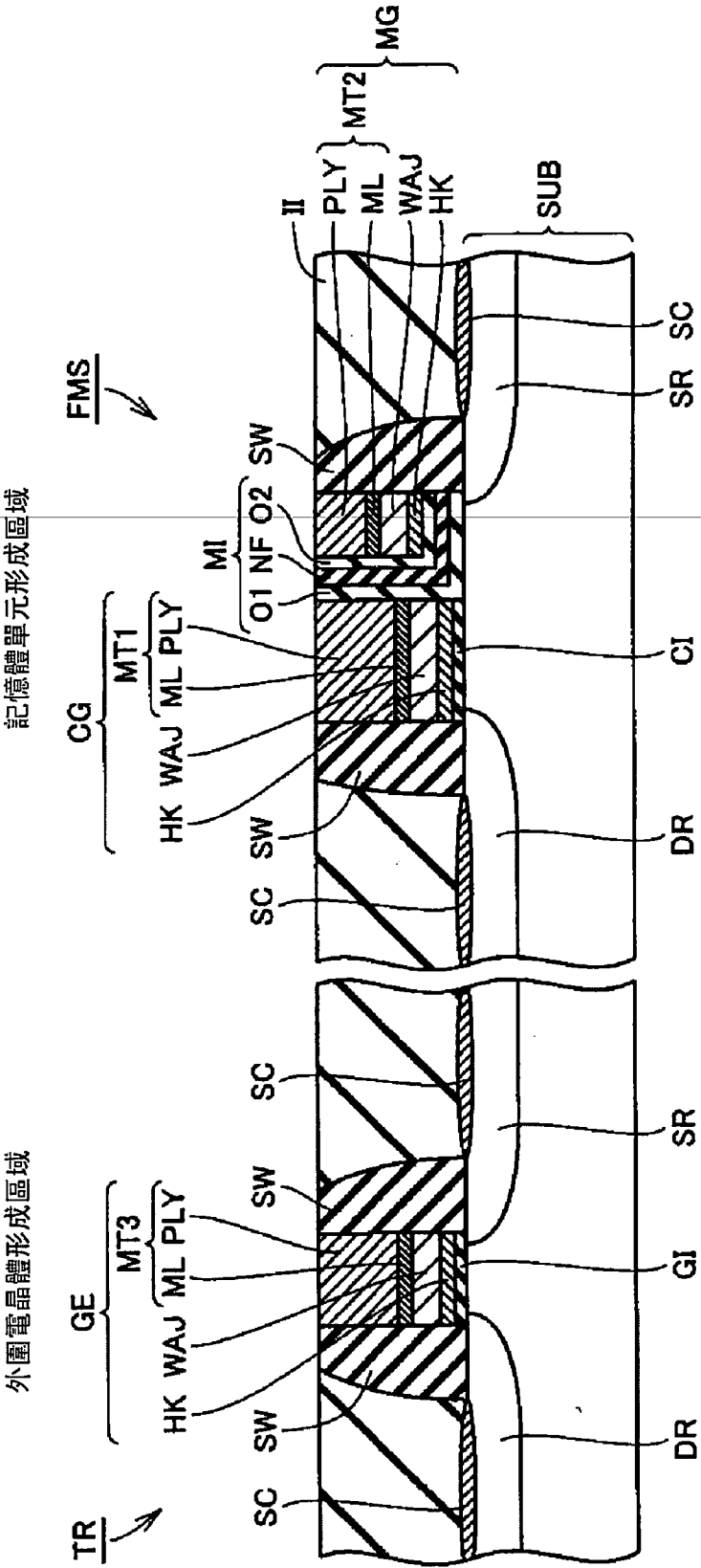


圖2

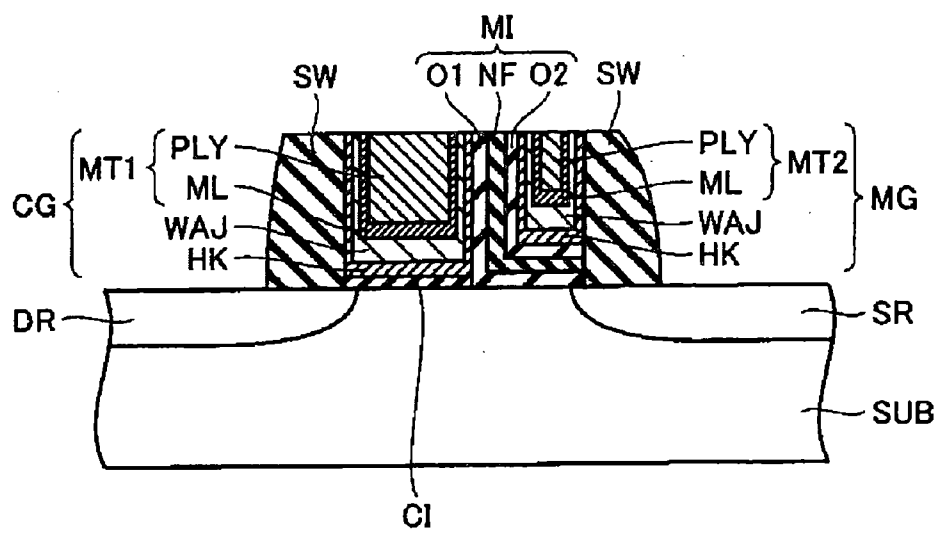


圖3

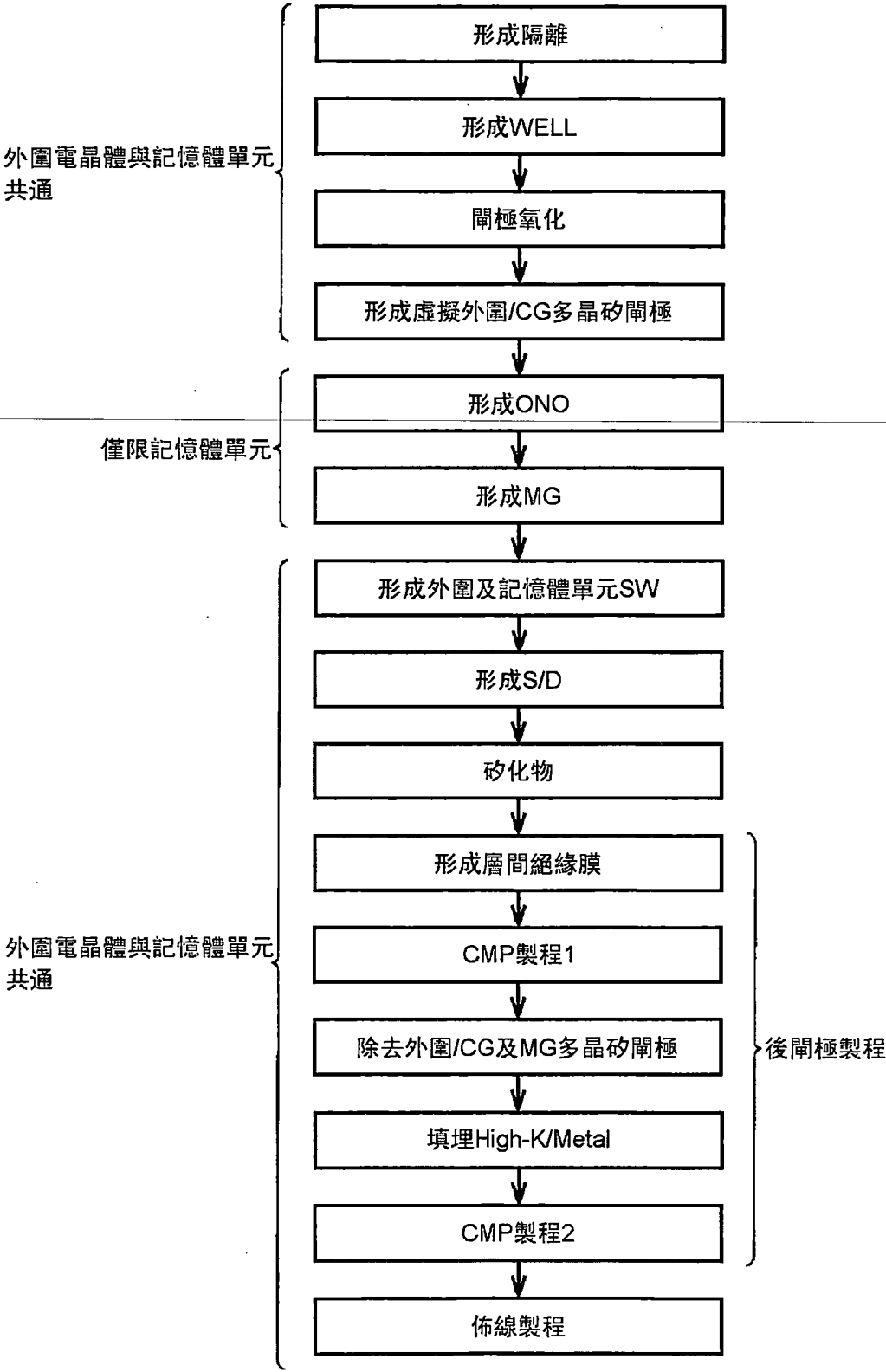


圖4

外圍電晶體形成區域 記憶體單元形成區域

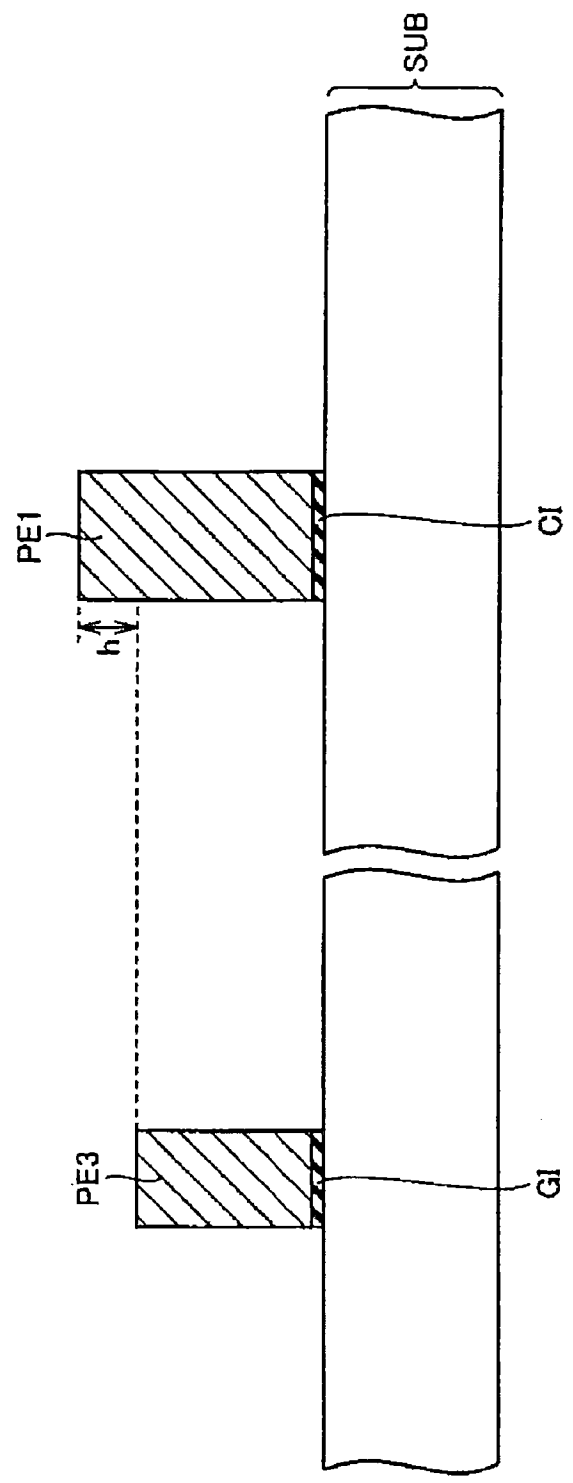


圖5

記憶單元形成區域

外圍電晶體形成區域

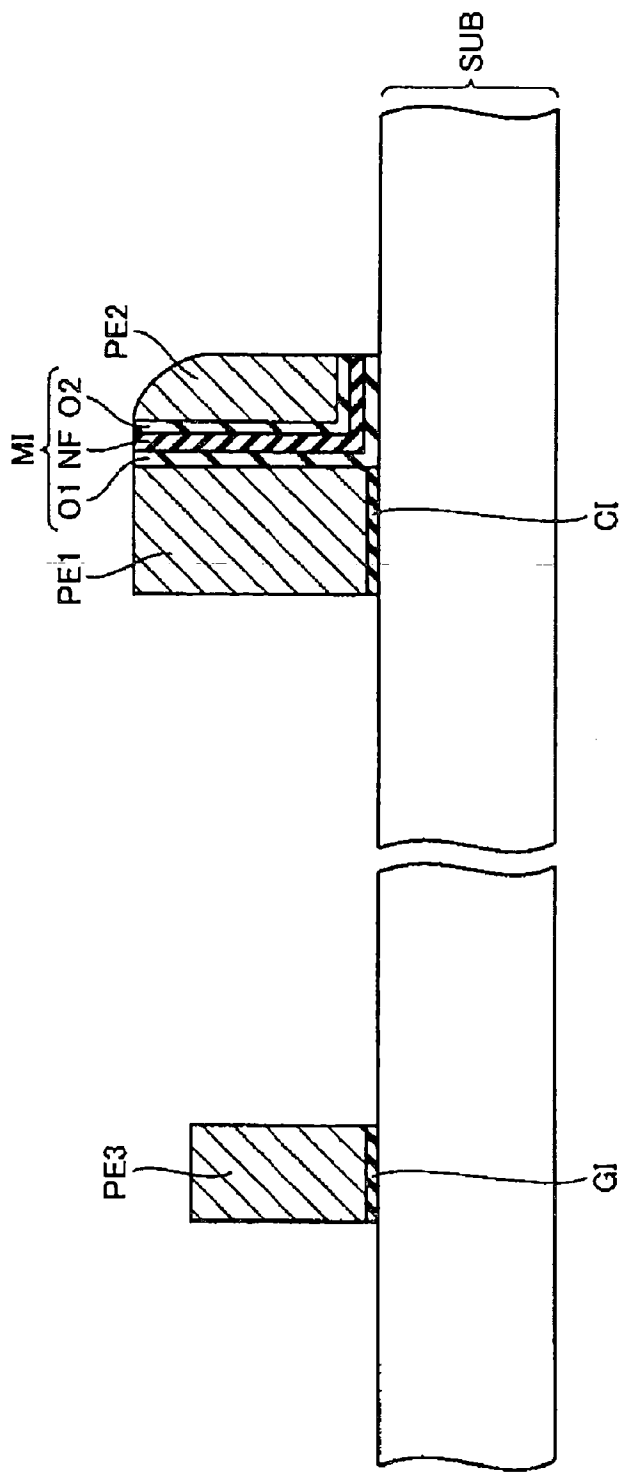


圖6

記憶單元形成區域

外圍電晶體形成區域

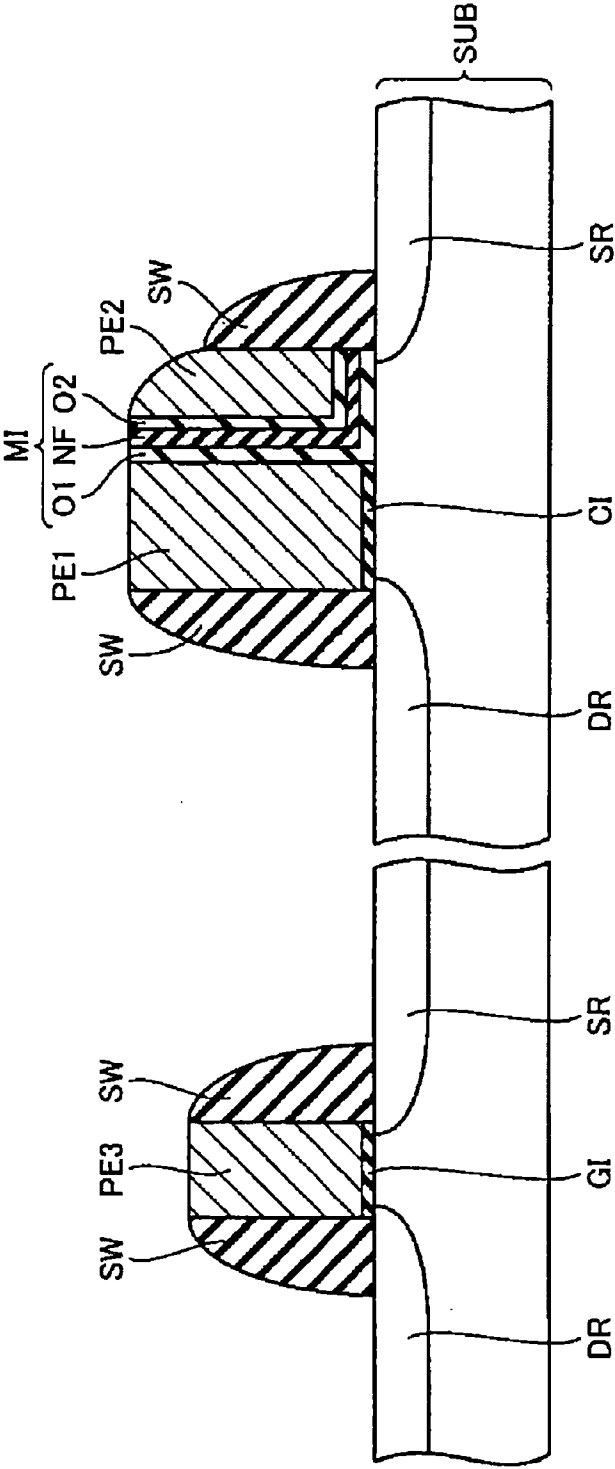


圖7

外圍電晶體形成區域

記憶體單元形成區域

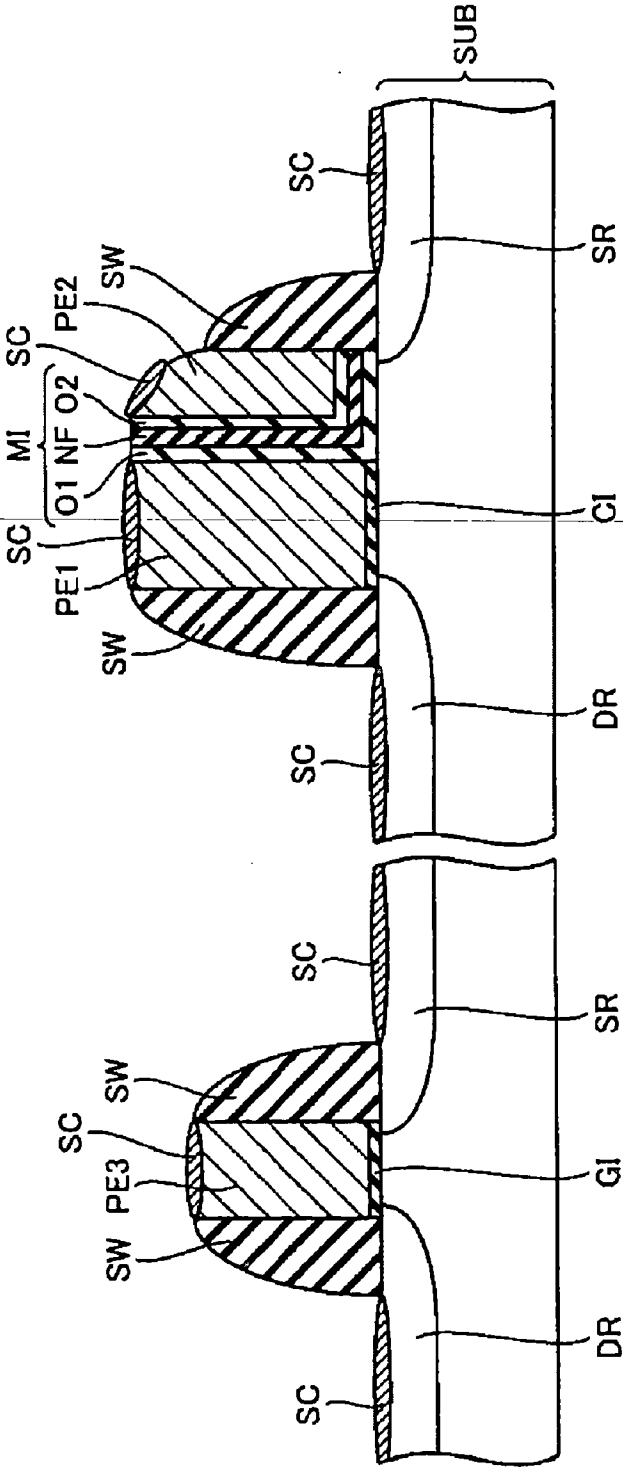


圖8

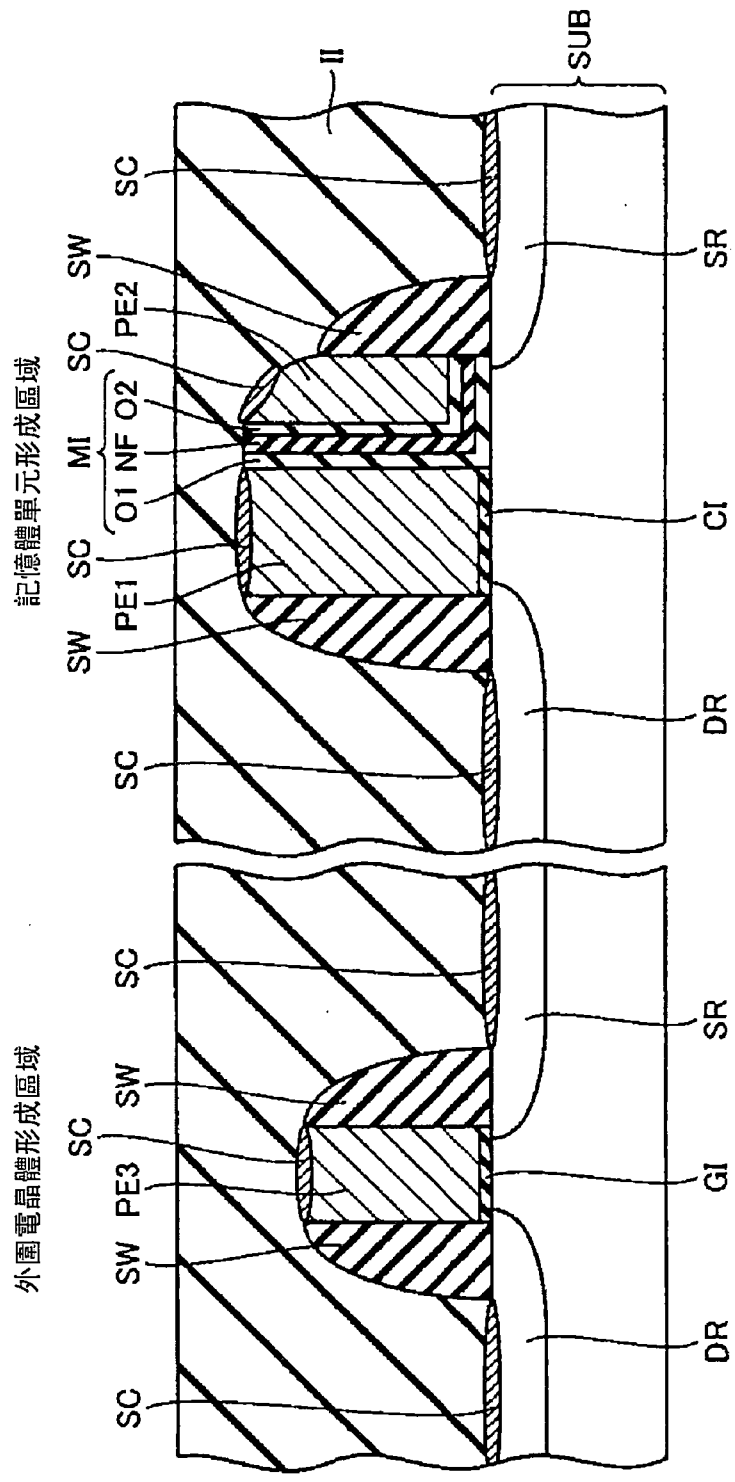


圖9

外圍電晶體形成區域

記憶體單元形成區域

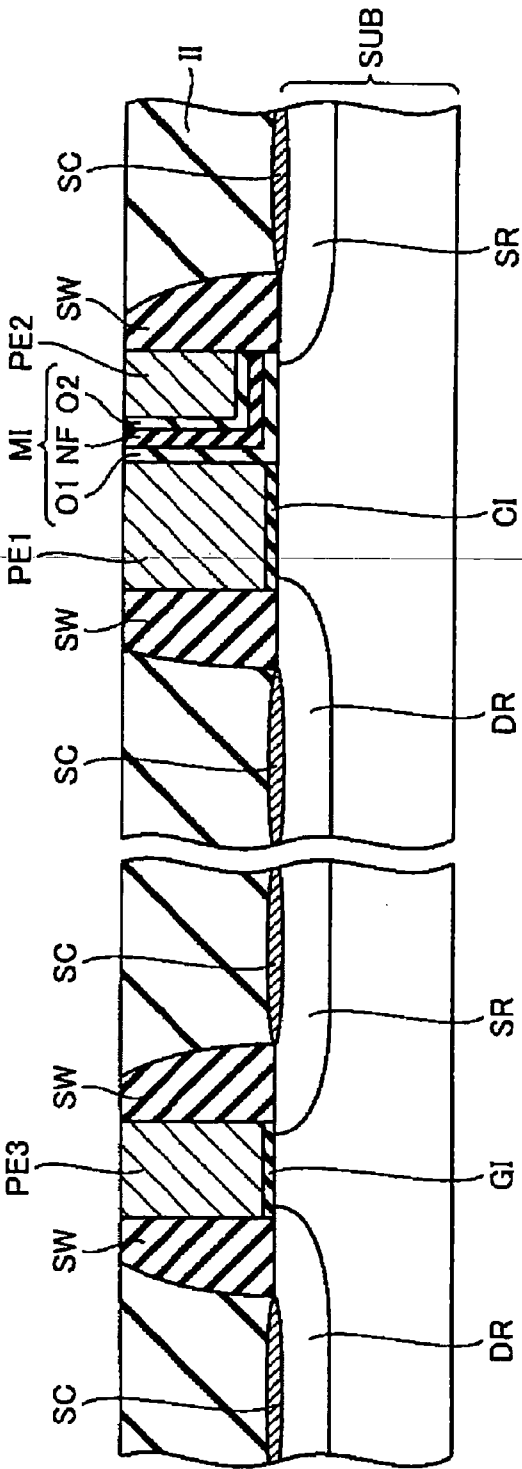


圖10

記憶單元形成區域

外圍電晶體形成區域

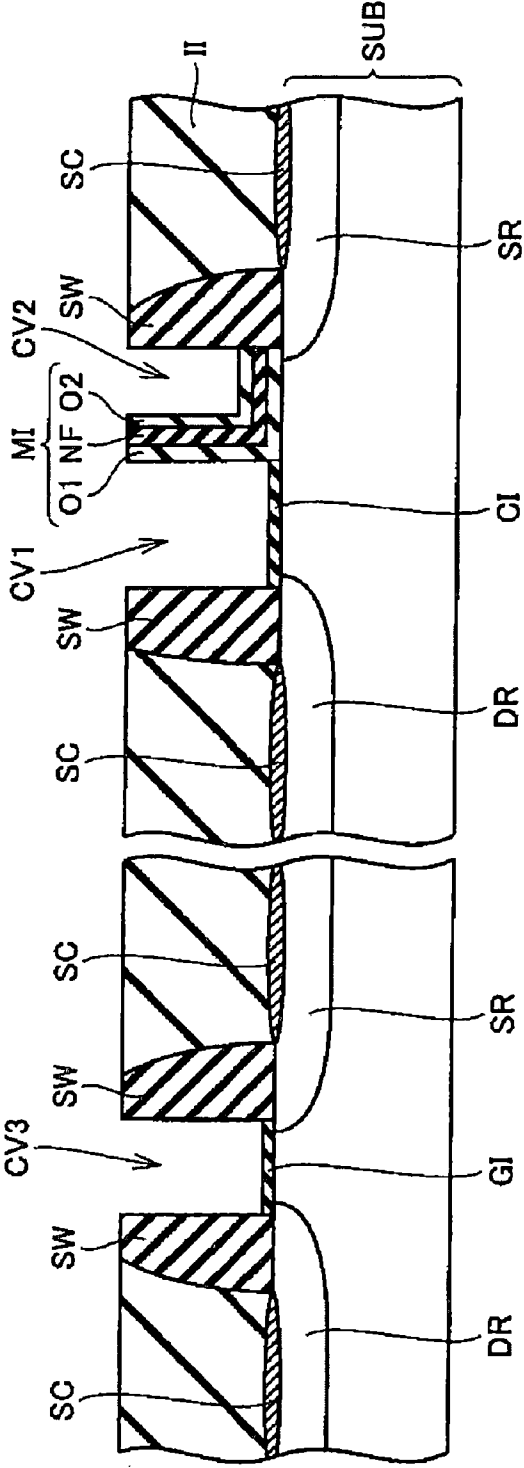
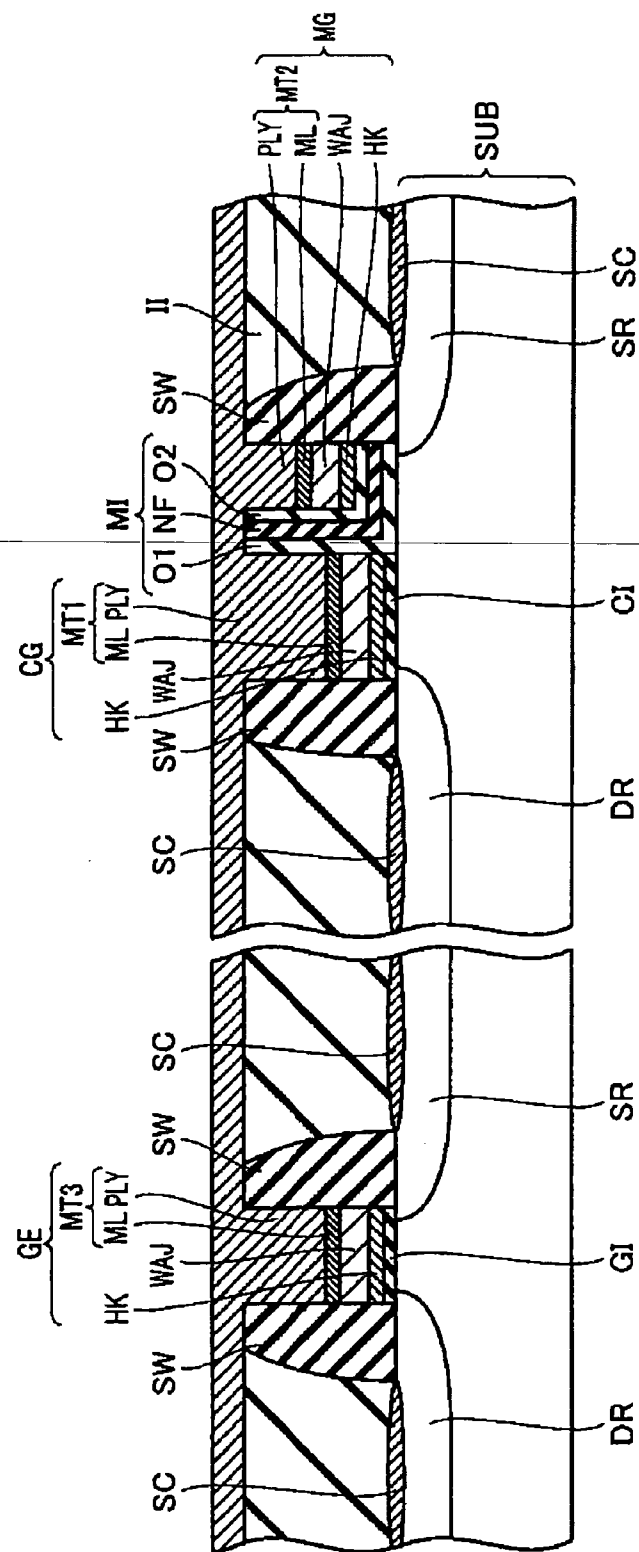


圖11

記憶體單元形成區域



12

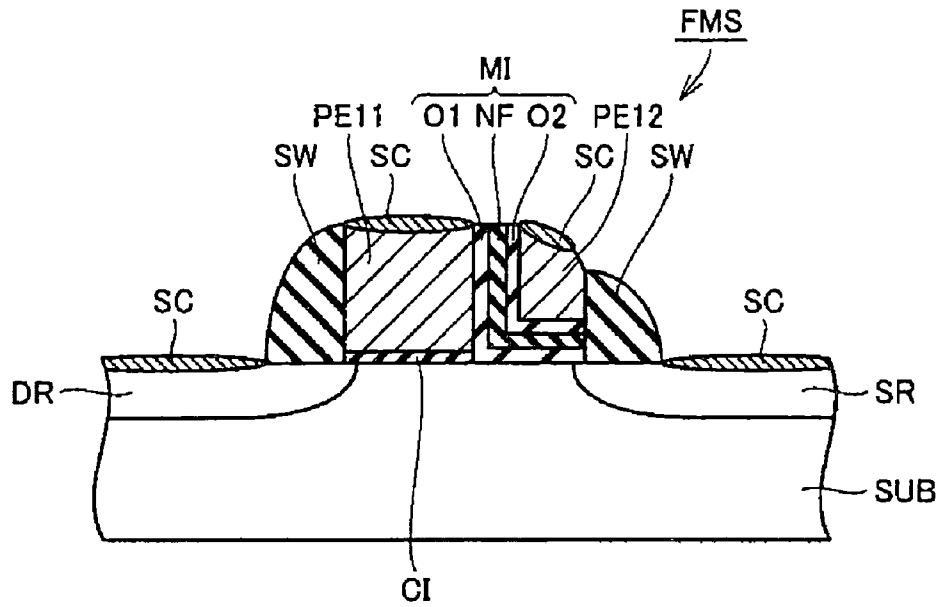


圖13

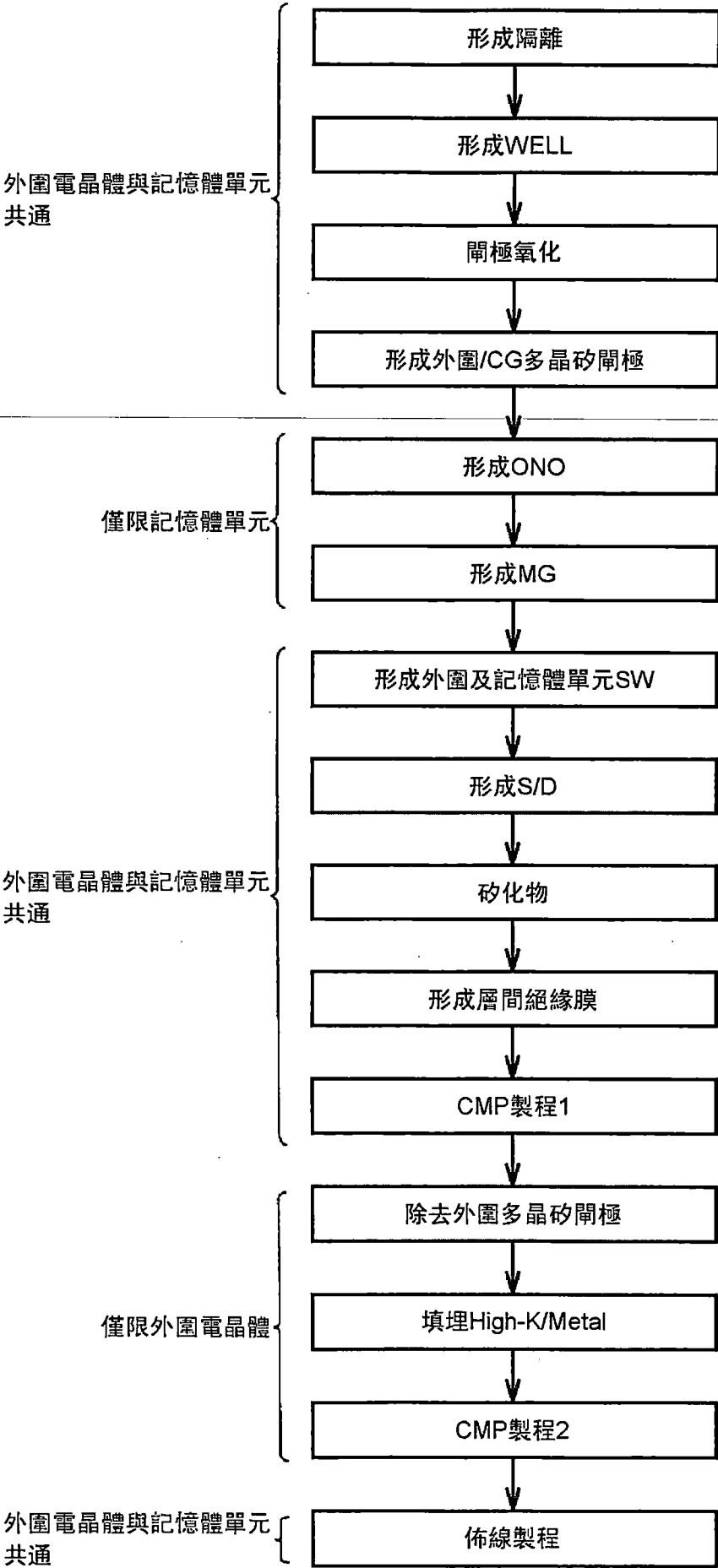


圖14

記憶單元形成區域

外圍電晶體形成區域

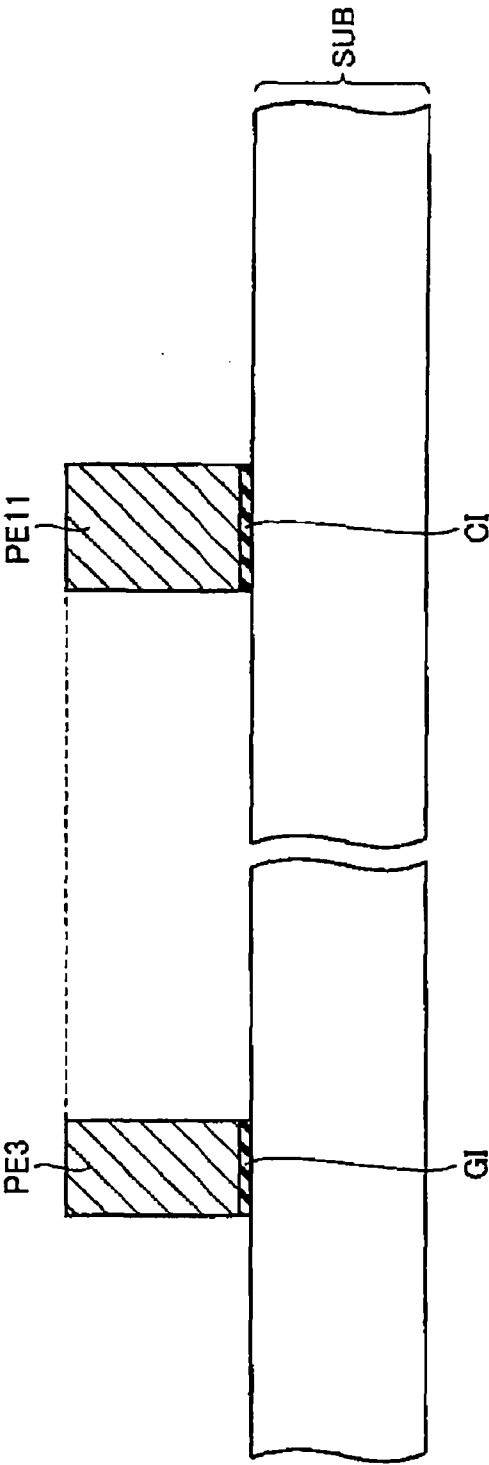


圖15

外圍電晶體形成區域

記憶體單元形成區域

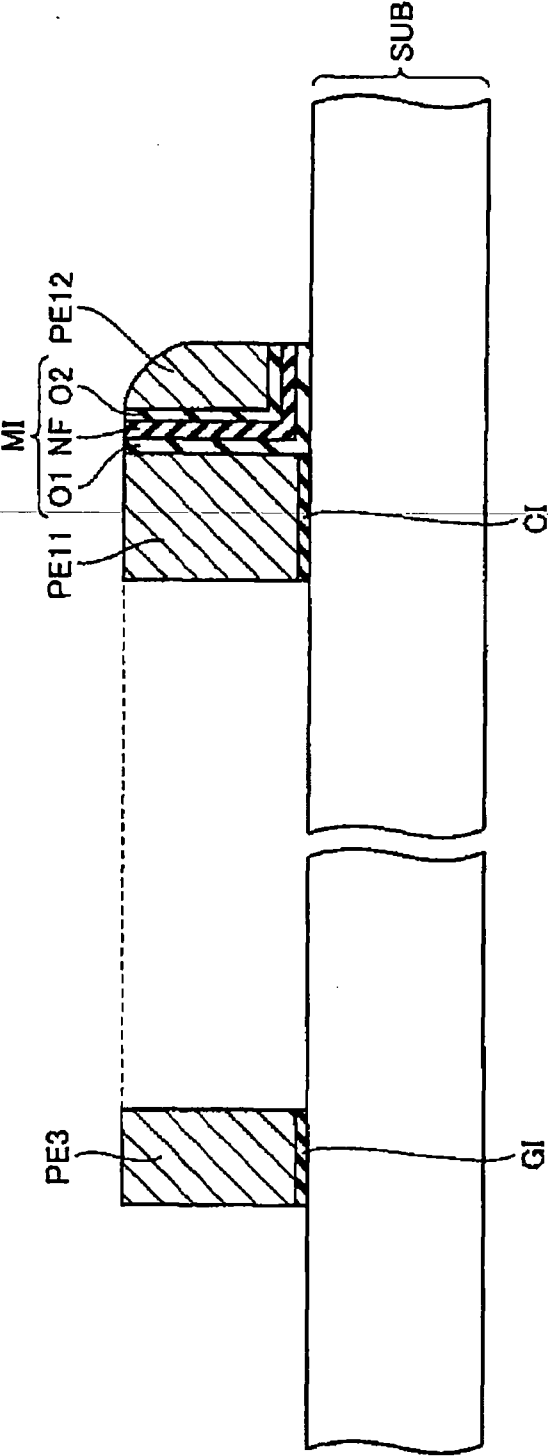


圖16

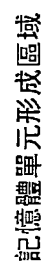


圖 17

外圍電晶體形成區域

記憶體單元形成區域

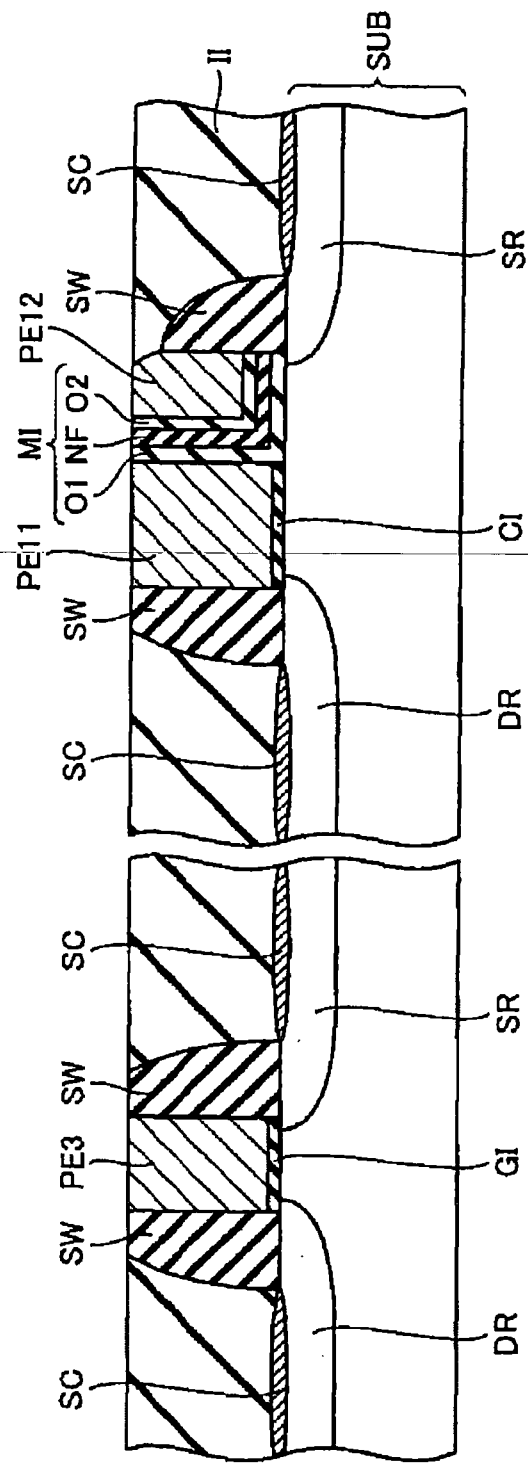


圖18

記憶單元形成區域

外圍電晶體形成區域

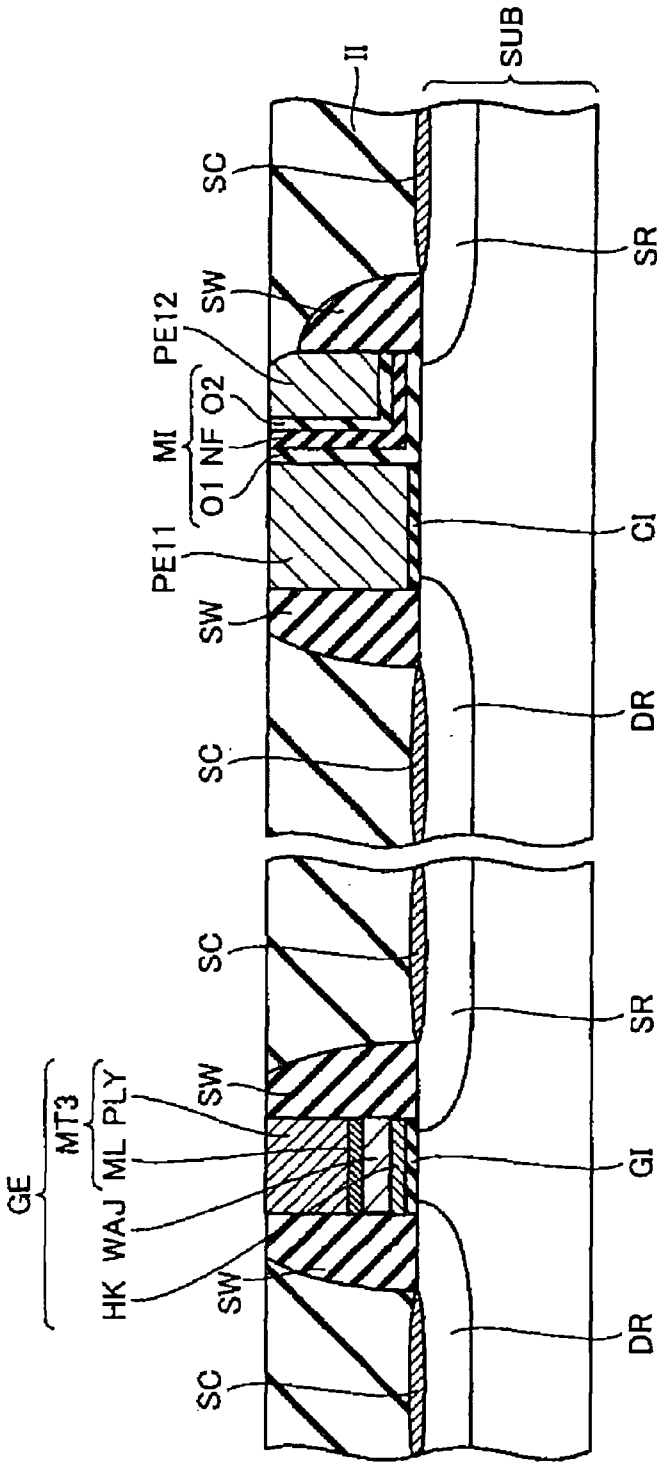


圖19

外圍電晶體形成區域 記憶體單元形成區域

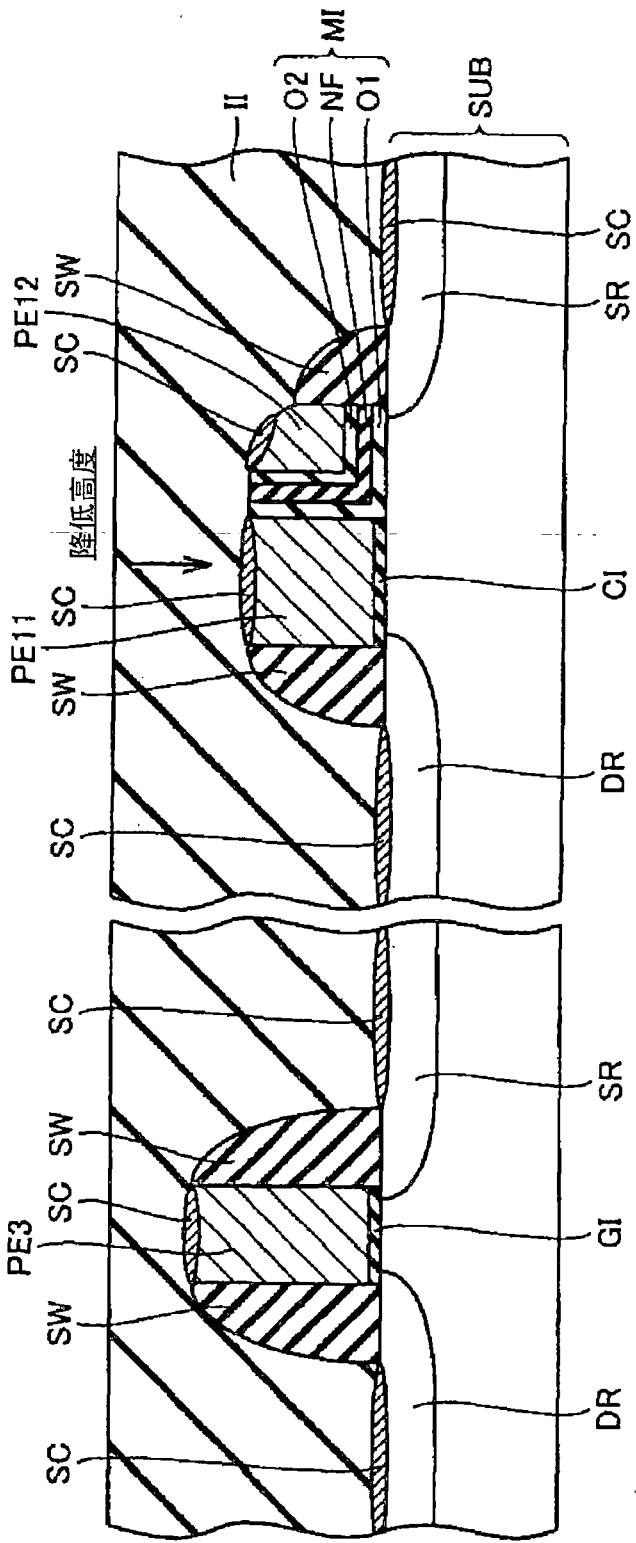


圖20

外圍電晶體形成區域

記憶體單元形成區域

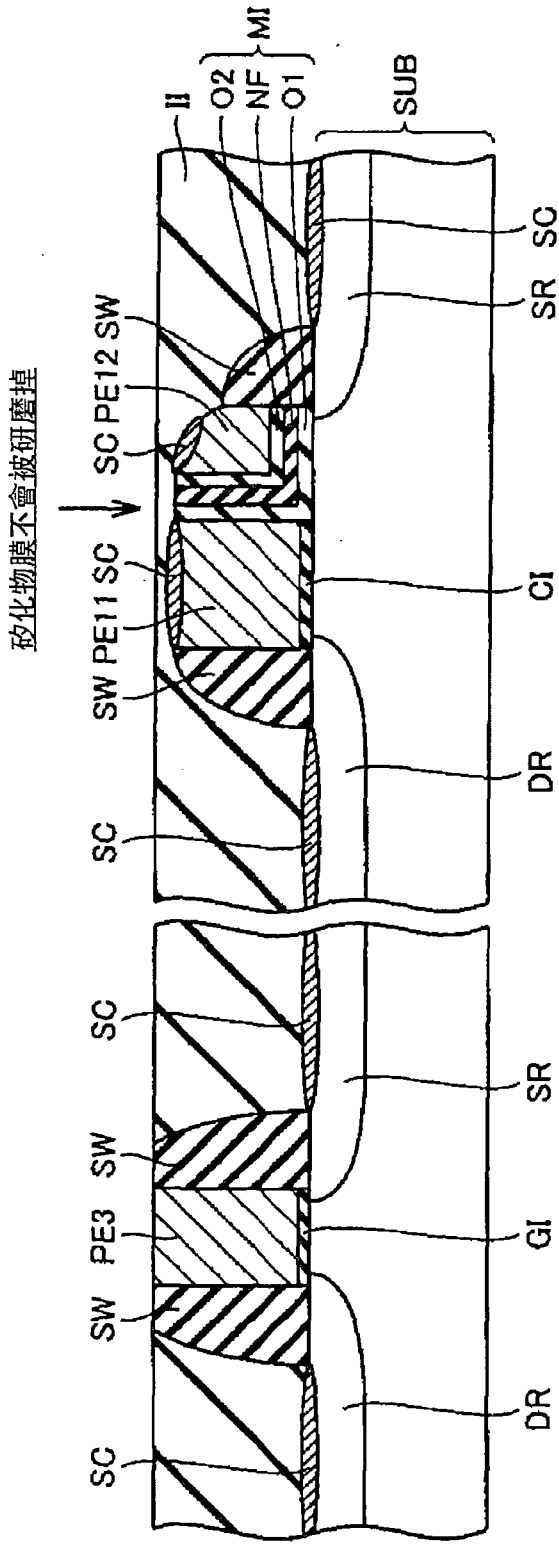


圖21

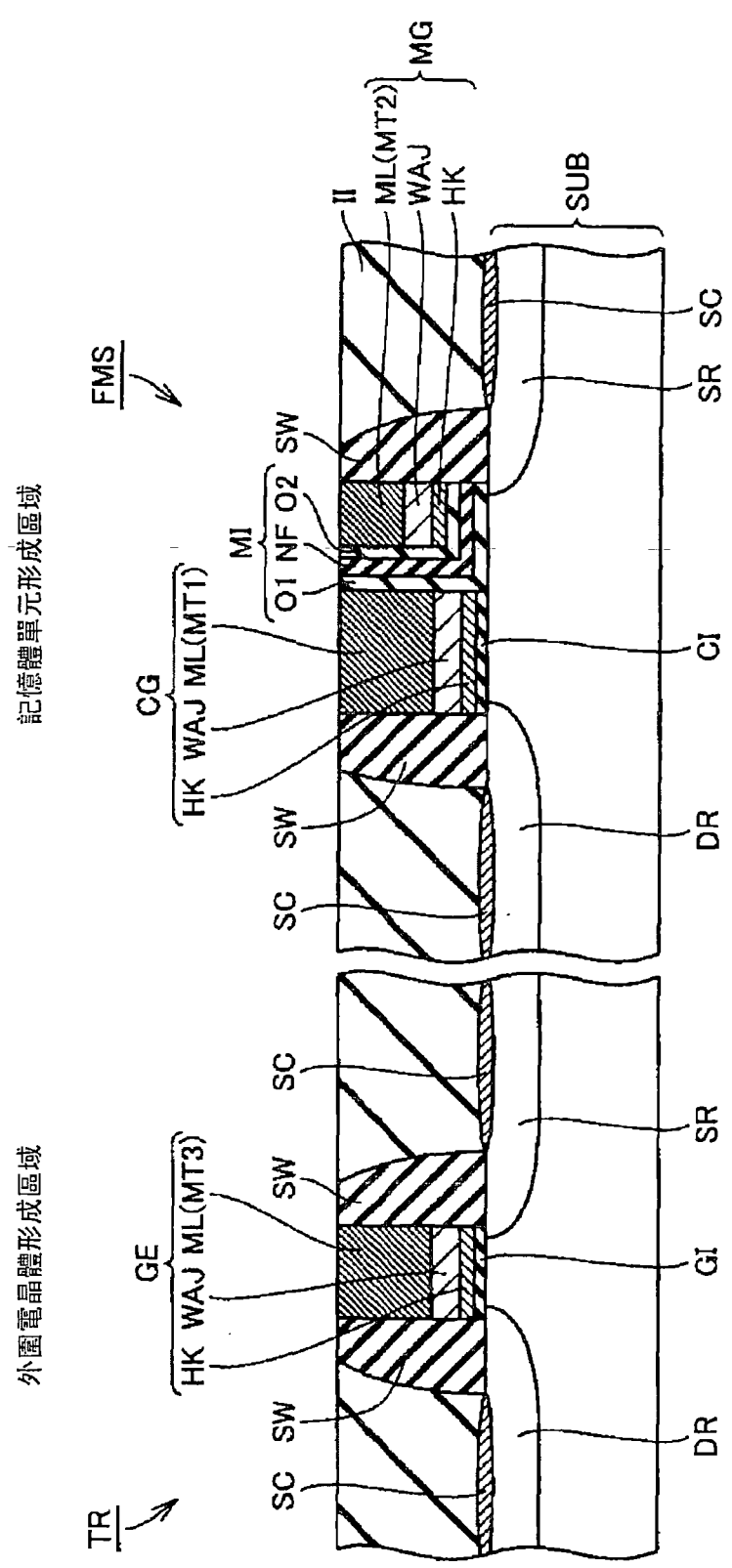


圖22

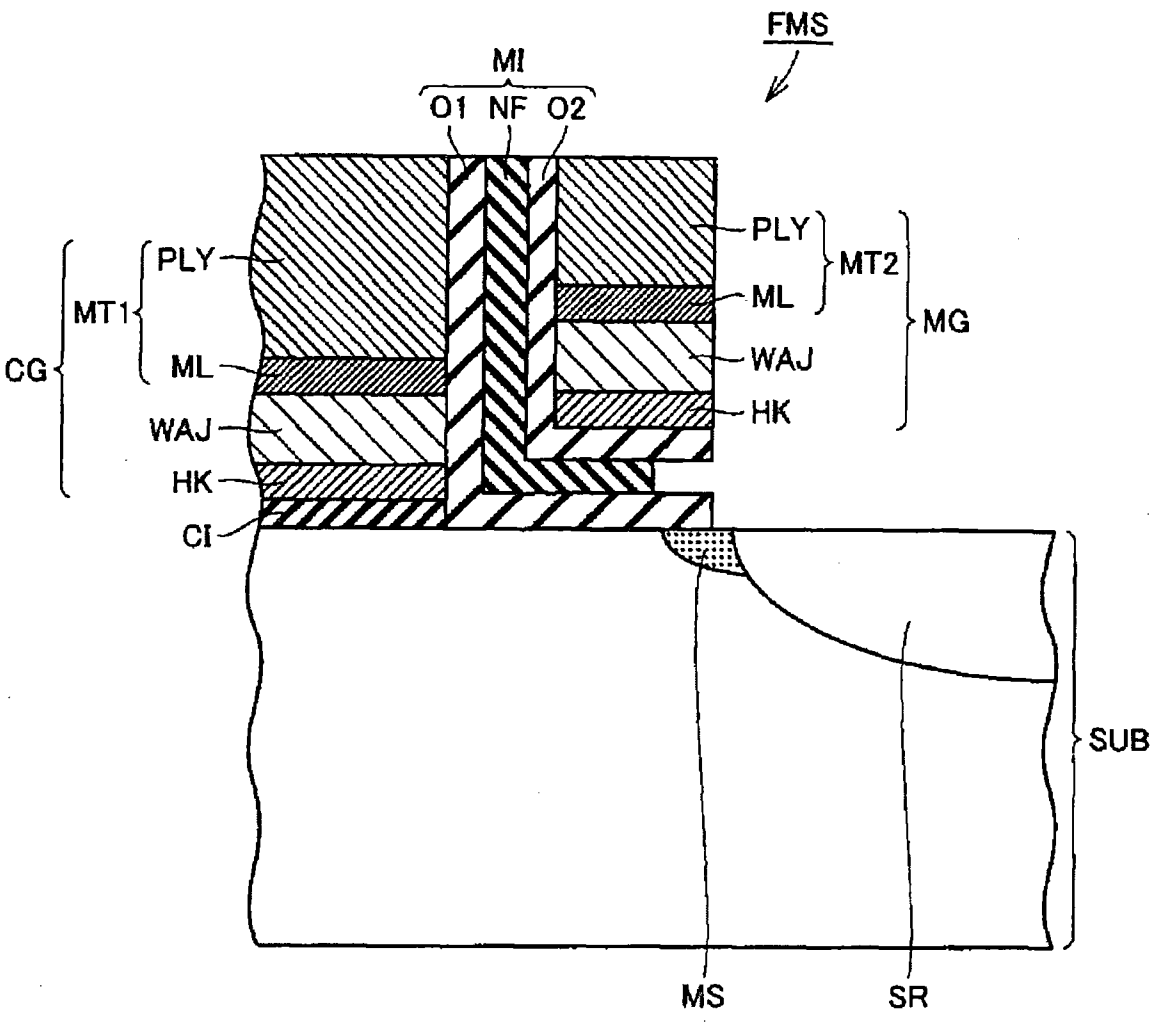


圖23

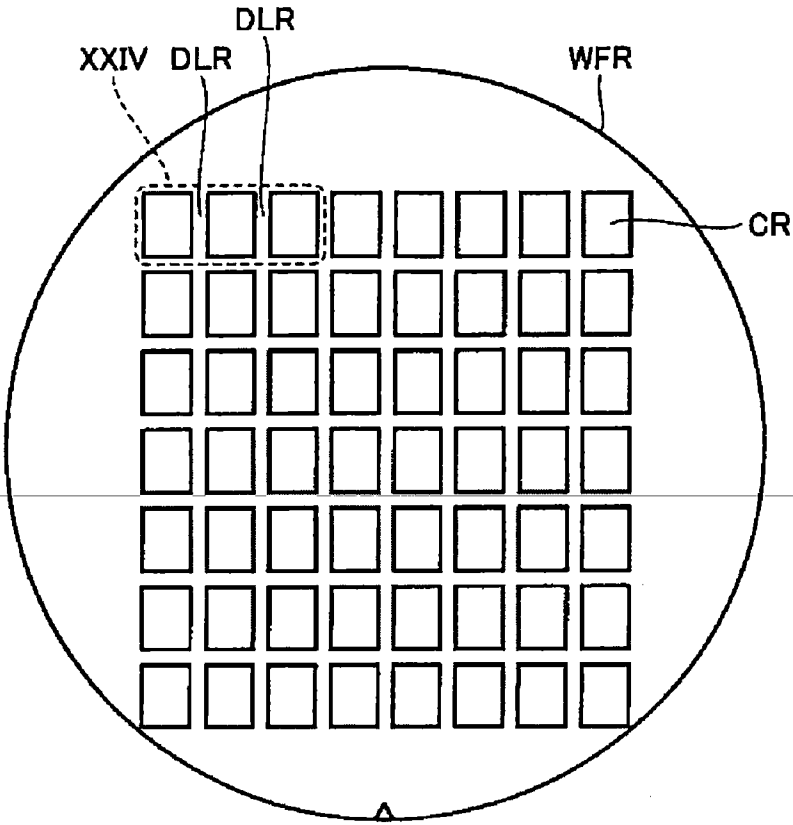


圖24

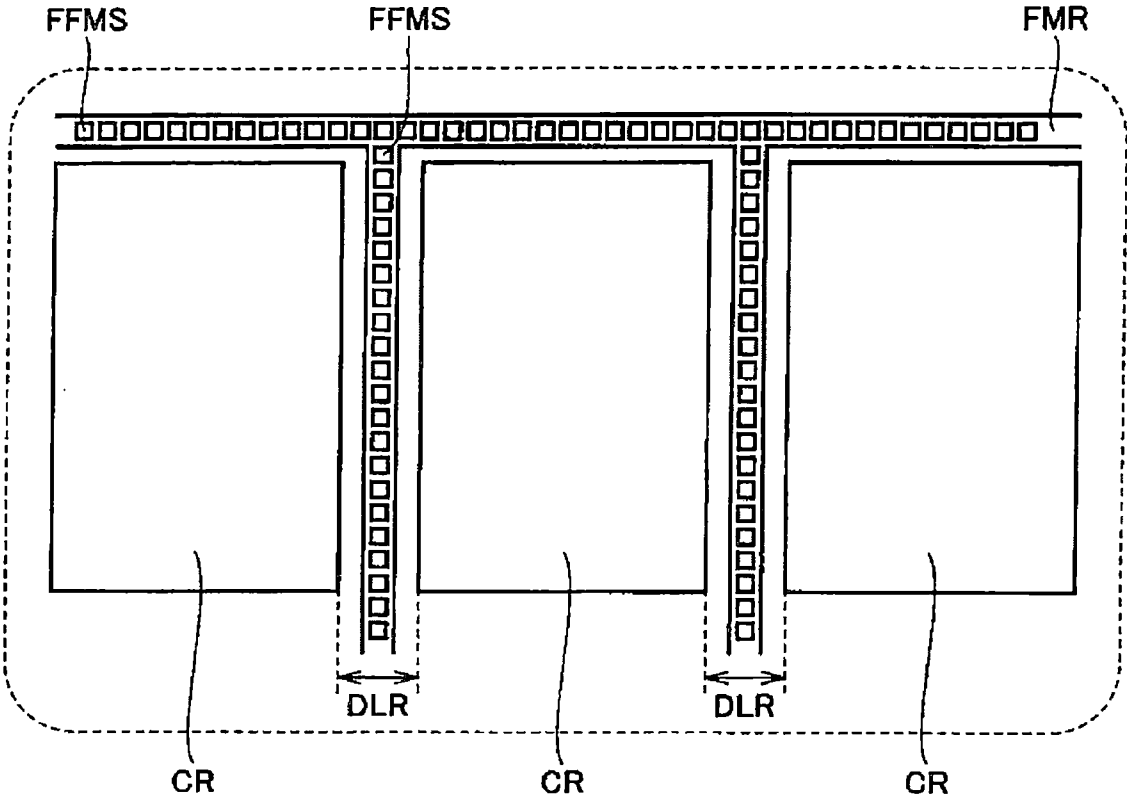


圖25

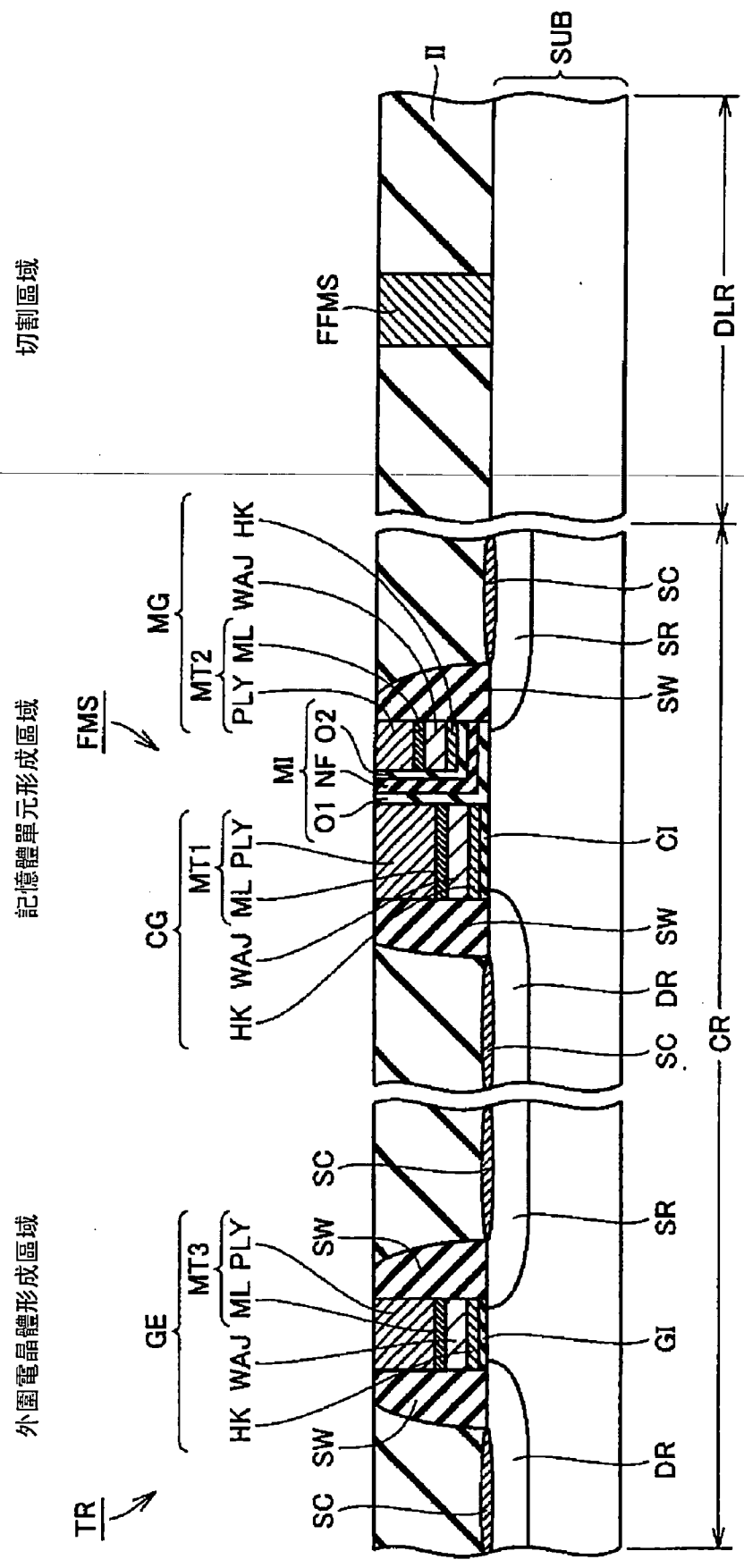


圖26

外圍電晶體形成區域 記憶體單元形成區域 切割區域

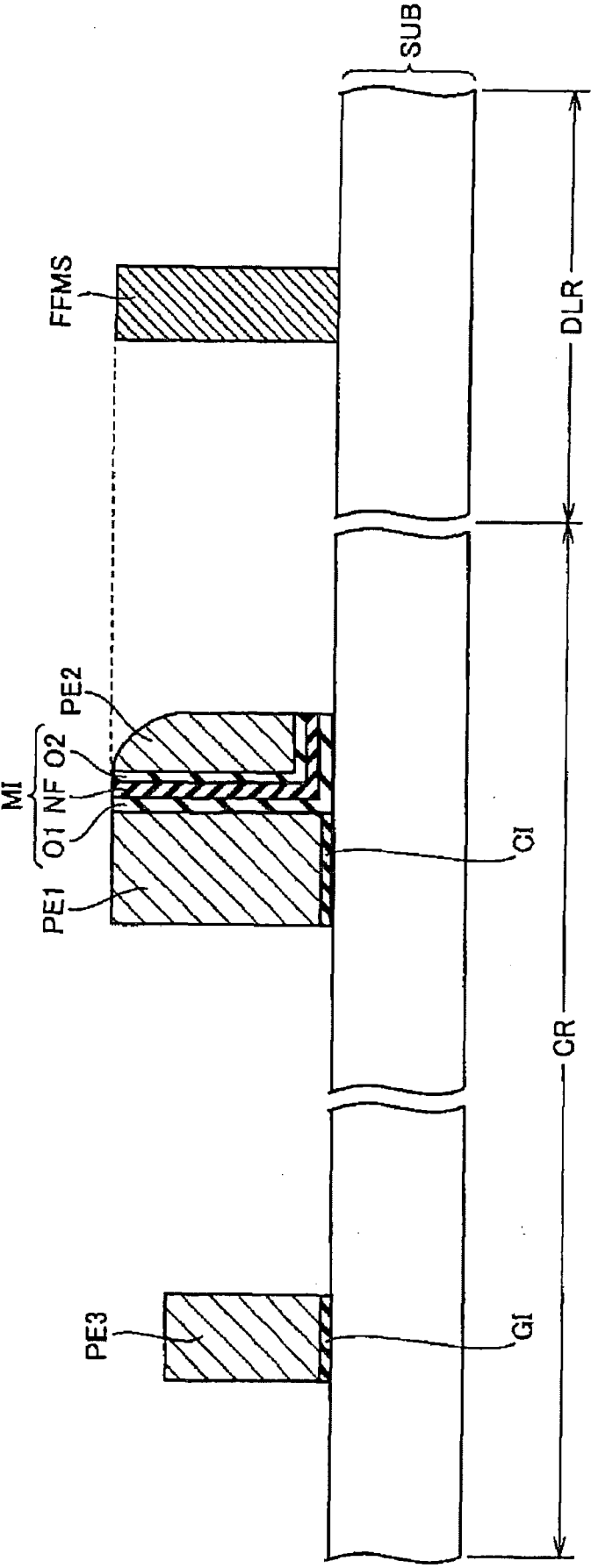


圖27