



등록특허 10-2306201



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년09월30일
(11) 등록번호 10-2306201
(24) 등록일자 2021년09월23일

- (51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) *H01L 27/12* (2006.01)
H01L 29/45 (2006.01) *H01L 49/02* (2006.01)
- (52) CPC특허분류
H01L 29/7869 (2013.01)
H01L 27/124 (2013.01)
- (21) 출원번호 10-2016-7017512
- (22) 출원일자(국제) 2014년11월19일
심사청구일자 2019년11월15일
- (85) 번역문제출일자 2016년06월29일
- (65) 공개번호 10-2016-0089520
- (43) 공개일자 2016년07월27일
- (86) 국제출원번호 PCT/IB2014/066150
- (87) 국제공개번호 WO 2015/079362
국제공개일자 2015년06월04일
- (30) 우선권주장
JP-P-2013-248284 2013년11월29일 일본(JP)
JP-P-2014-038615 2014년02월28일 일본(JP)

(56) 선행기술조사문헌

JP2010171394 A*

(뒷면에 계속)

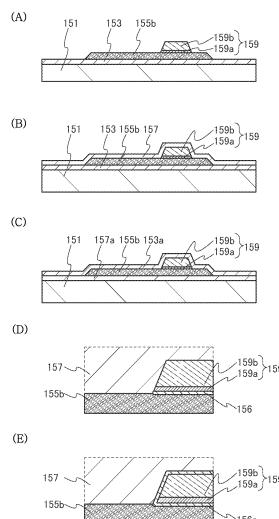
전체 청구항 수 : 총 14 항

심사관 : 임창연

(54) 발명의 명칭 반도체 장치

(57) 요 약

산화물 반도체막을 포함하는 트랜지스터에 있어서, 구리(Cu)를 함유하는 금속막이 배선, 신호선 등에 사용되는 신규한 반도체 장치가 제공된다. 상기 반도체 장치는 절연면 상에 도전성을 갖는 산화물 반도체막과, 상기 도전성을 갖는 산화물 반도체막과 접하는 도전막을 포함한다. 상기 도전막은 Cu-X 합금막(X는, Mn, Ni, Cr, Fe, Co, Mo, Ta, 또는 Ti이다)을 포함한다.

대 표 도 - 도1

(52) CPC특허분류

H01L 27/1255 (2013.01)
H01L 28/20 (2013.01)
H01L 28/24 (2013.01)
H01L 28/60 (2013.01)
H01L 29/45 (2013.01)
H01L 29/78693 (2013.01)

(72) 발명자

시마 유키노리

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

진초우 마사미

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

하모치 다카시

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

히가노 사토시

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

호사카 야스하루

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

오보나이 도시미쓰

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

(56) 선행기술조사문현

JP2013067857 A*
JP2013153140 A*
KR1020100065110 A*
KR1020100075407 A*

*는 심사관에 의하여 인용된 문현

명세서

청구범위

청구항 1

용량 소자(capacitor)를 포함하는 반도체 장치에 있어서,
 상기 용량 소자는,
 도전성을 갖는 산화물 반도체막;
 상기 도전성을 갖는 산화물 반도체막과 접하는 제 1 도전막;
 상기 산화물 반도체막 및 상기 제 1 도전막 위의 절연막; 및
 상기 절연막 위에 있고 상기 산화물 반도체막과 중첩하는 제 2 도전막을 포함하고,
 상기 제 1 도전막은 Cu-X 합금막을 포함하고,
 X는 Mn, Ni, Cr, Fe, Co, Mo, Ta, 또는 Ti이고,
 상기 도전성을 갖는 산화물 반도체막의 수소 농도는 8×10^{19} atoms/cm³ 이상인, 반도체 장치.

청구항 2

제 1 항에 있어서,
 상기 제 1 도전막은 Cu-Mn 합금막을 포함하는, 반도체 장치.

청구항 3

저항 소자(resistor)를 포함하는 반도체 장치에 있어서,
 상기 저항 소자는,
 도전성을 갖는 산화물 반도체막;
 상기 도전성을 갖는 산화물 반도체막 위의 제 1 도전막; 및
 상기 산화물 반도체막과 접하는 제 2 도전막을 포함하고,
 상기 제 1 도전막은 Cu-Mn 합금막, 및 상기 Cu-Mn 합금막 위의 Cu막을 포함하고,
 상기 제 1 도전막의 외부 주변은 산화망간을 포함하는 막으로 덮여 있고,
 상기 산화망간을 포함하는 막은 상기 도전성을 갖는 산화물 반도체막, 상기 Cu-Mn 합금막, 및 상기 Cu막과 접하고,
 상기 도전성을 갖는 산화물 반도체막의 수소 농도는 8×10^{19} atoms/cm³ 이상인, 반도체 장치.

청구항 4

제 1 항 또는 제 3 항에 있어서,
 상기 도전성을 갖는 산화물 반도체막의 저항율은 $1 \times 10^{-3} \Omega \text{cm}$ 이상 $1 \times 10^4 \Omega \text{cm}$ 미만인, 반도체 장치.

청구항 5

제 1 항 또는 제 3 항에 있어서,
 상기 도전성을 갖는 산화물 반도체막은 수소 및 산소 결손을 포함하고,
 상기 수소는 상기 산소 결손에 위치하는, 반도체 장치.

청구항 6

삭제

청구항 7

삭제

청구항 8

제 1 항에 있어서,

상기 절연막은 질화물 절연막인, 반도체 장치.

청구항 9

제 1 항 또는 제 3 항에 있어서,

상기 도전성을 갖는 산화물 반도체막의 수소 농도는 $5 \times 10^{20} \text{ atoms/cm}^3$ 이상인, 반도체 장치.**청구항 10**

삭제

청구항 11

반도체 장치에 있어서,

상기 반도체 장치는,

수소를 포함하는 절연층;

Cu-X 합금막, 및 상기 Cu-X 합금막 위의 Cu막을 포함하는 제 1 도전막;

용량 소자; 및

트랜지스터를 포함하고,

X는 Mn, Ni, Cr, Fe, Co, Mo, Ta, 또는 Ti이고,

상기 용량 소자는, 도전성을 갖고 상기 제 1 도전막과 접하는 제 1 산화물 반도체막; 상기 제 1 산화물 반도체막 및 상기 제 1 도전막 위의 절연막; 및 제 2 도전막을 포함하고,

상기 트랜지스터는 제 2 산화물 반도체막 및 상기 제 1 도전막을 포함하고,

상기 제 1 산화물 반도체막은 상기 절연층과 접하고,

상기 제 2 도전막은 상기 절연막 위에 있고, 상기 제 1 산화물 반도체막과 중첩되고,

상기 제 1 도전막은 상기 제 2 산화물 반도체막과 접하고,

상기 제 1 산화물 반도체막의 수소 농도는 $8 \times 10^{19} \text{ atoms/cm}^3$ 이상이고,상기 제 2 산화물 반도체막의 수소 농도는 $5 \times 10^{19} \text{ atoms/cm}^3$ 이하이고,상기 제 1 산화물 반도체막의 저항율은 상기 제 2 산화물 반도체막의 저항율의 1×10^{-8} 배 이상 1×10^{-1} 배 미만인, 반도체 장치.**청구항 12**

제 11 항에 있어서,

상기 제 1 산화물 반도체막의 저항율은 $1 \times 10^{-3} \Omega \text{ cm}$ 이상 $1 \times 10^4 \Omega \text{ cm}$ 미만인, 반도체 장치.

청구항 13

제 11 항에 있어서,
상기 제 1 도전막은 Cu-Mn 합금막을 포함하는, 반도체 장치.

청구항 14

제 13 항에 있어서,
상기 Cu막의 일부는 산화망간을 포함하는 막으로 덮여있고,
상기 Cu막의 상기 일부는 상기 산화망간을 포함하는 막과 접하는, 반도체 장치.

청구항 15

제 11 항에 있어서,
상기 제 1 산화물 반도체막은 수소 및 산소 결손을 포함하고,
상기 수소는 상기 산소 결손에 위치하는, 반도체 장치.

청구항 16

삭제

청구항 17

제 11 항에 있어서,
상기 절연막은 질화물 절연막인, 반도체 장치.

청구항 18

제 11 항에 있어서,
상기 제 1 산화물 반도체막의 수소 농도는 $5 \times 10^{20} \text{ atoms/cm}^3$ 이상인, 반도체 장치.

청구항 19

삭제

청구항 20

삭제

발명의 설명**기술 분야**

[0001] 본 발명의 일 실시형태는, 산화물 반도체를 포함하는 반도체 장치 및 표시 장치에 관한 것이다.

[0002] 본 발명의 일 실시형태는 상기 기술 분야에 한정되지 않음을 주목해야 한다. 본 명세서 등에 개시된 발명의 일 실시형태의 기술 분야는, 물건(object), 방법, 또는 제작 방법에 관한 것이다. 또한, 본 발명의 일 실시형태는, 공정, 기계, 제품, 또는 조성물(composition of matter)에 관한 것이다. 구체적으로, 본 명세서에 개시된 본 발명의 일 실시형태의 기술 분야의 예로는, 반도체 장치, 표시 장치, 발광 장치, 축전 장치, 기억 장치, 이들 중 어느 하나를 구동하는 방법, 및 이들 중 어느 하나를 제작하는 방법이 포함된다.

배경 기술

[0003] 트랜지스터를 사용하는 표시 장치(예를 들면, 액정 패널 및 유기 EL 패널)에 있어서, 스크린이 대형화되는 경향이 있다. 스크린 크기가 대형화됨에 따라, 트랜지스터와 같은 능동 소자를 사용하는 표시 장치의 경우, 소자에 인가되는 전압은 배선 저항으로 인해 소자에 접속되는 배선의 위치에 따라 변하고, 이는 표시 비균일성 및 계조

불량과 같은 표시 품질이 열화되는 문제점을 야기한다.

[0004] 종래, 알루미늄막은 배선, 신호선 등에 사용되는 재료로서 널리 사용되어 왔고; 게다가, 저항을 추가로 감소시키기 위해 재료로서 구리(Cu)막을 사용하는 연구 개발이 집중적으로 수행되고 있다. 그러나, 구리(Cu)막은, 하지막(base film)에 대한 밀착성이 불량하고, 구리막 내의 구리가 트랜지스터의 반도체막으로 확산됨으로 인해 트랜지스터 특성들이 쉽게 열화된다는 결점이 있다. 실리콘계 반도체 재료는 트랜지스터에 적용가능한 반도체 박막을 위한 재료로서 널리 알려져 있으며, 또 다른 재료로서 산화물 반도체가 주목받고 있음을 주목해야 한다(특허문현 1 참조).

[0005] 또한, 인듐을 포함하는 산화물 반도체 재료를 함유하는 반도체막 위에 형성되는 옴 전극(ohmic electrode)으로서, Cu-Mn 합금이 개시되어 있다(특허문현 2 참조).

선행기술문현

특허문현

[0006] (특허문현 0001) 일본 공개특허공보 제2007-123861호

(특허문현 0002) PCT 국제공개 제2012/002573호

발명의 내용

해결하려는 과제

[0007] 실리콘계 반도체 재료가 반도체막에 사용되는 트랜지스터에 관해, 구리막이 배선, 신호선 등에 사용되고, 상기 구리막 중의 구리가 반도체막으로 확산되지 않는 구조에 대한 연구 개발이 집중적으로 수행되어 왔다. 그러나, 산화물 반도체막을 사용하는 트랜지스터에 대해서는 구조 및 이의 제작 방법이 아직 최적화되지 않은 문제점이 존재해 왔다.

[0008] 또한, 구리막이 배선, 신호선 등에 사용되고 배리어막(barrier film)이 구리막 내의 구리의 확산을 억제하기 위해 사용되는, 산화물 반도체막을 사용하는 트랜지스터는, 상기 산화물 반도체막의 전기 특성들이 열화하거나, 상기 산화물 반도체막을 사용하는 트랜지스터를 위한 마스크의 수가 증가하거나, 상기 산화물 반도체막을 사용하는 트랜지스터의 제작 비용이 증가한다는 문제점을 갖고 있었다.

[0009] 상기의 문제점들의 관점에서, 본 발명의 일 실시형태의 목적은, 산화물 반도체막을 사용하는 트랜지스터에 있어서, 구리(Cu)를 함유하는 금속막이 배선, 신호선 등에 사용되는 신규한 반도체 장치를 제공하는 것이다. 본 발명의 일 실시형태의 또 다른 목적은, 산화물 반도체막을 사용하는 트랜지스터에 있어서, 구리(Cu)를 함유하는 금속막이 배선, 신호선 등에 사용되는 반도체 장치의 제작 방법을 제공하는 것이다. 본 발명의 일 실시형태의 또 다른 목적은, 산화물 반도체막을 사용하는 트랜지스터에 있어서, 구리(Cu)를 함유하는 금속막이 양호한 형상을 갖는 신규한 반도체 장치를 제공하는 것이다. 본 발명의 일 실시형태의 또 다른 목적은, 신규한 반도체 장치, 또는 신규한 반도체 장치의 제작 방법을 제공하는 것이다.

[0010] 이들 목적들의 설명들은 다른 목적들의 존재를 방해하지 않음을 주목해야 한다. 본 발명의 일 실시형태에서, 이들 목적들을 모두 달성할 필요는 없다. 상기 목적들 이외의 목적들은 명세서, 도면, 청구항 등의 기재로부터 명확해질 것이며, 명세서, 도면, 청구항 등의 기재로부터 도출할 수 있다.

과제의 해결 수단

[0011] 본 발명의 일 실시형태는, 절연 표면 상에 도전성을 갖는 산화물 반도체막, 및 도전성을 갖는 산화물 반도체막과 접하는 제 1 도전막을 포함하는 반도체 장치이다. 상기 제 1 도전막은 Cu-X 합금막(X는 Mn, Ni, Cr, Fe, Co, Mo, Ta, 또는 Ti이다)을 포함한다.

[0012] 본 발명의 또 다른 실시형태는, 절연 표면 상에 도전성을 갖는 산화물 반도체막, 및 도전성을 갖는 산화물 반도체막과 접하는 제 1 도전막을 포함하는 반도체 장치이다. 도전성을 갖는 산화물 반도체막의 수소 농도는 $8 \times 10^{19} \text{ atoms/cm}^3$ 이상이다. 상기 제 1 도전막은 Cu-X 합금막(X는 Mn, Ni, Cr, Fe, Co, Mo, Ta, 또는 Ti이다)을 포함한다.

- [0013] 본 발명의 또 다른 실시형태는, 절연 표면 상에 도전성을 갖는 산화물 반도체막, 및 도전성을 갖는 산화물 반도체막과 접하는 제 1 도전막을 포함하는 반도체 장치이다. 도전성을 갖는 산화물 반도체막의 저항율은 $1 \times 10^{-3} \Omega$ cm 이상 $1 \times 10^4 \Omega$ cm 미만이다. 상기 제 1 도전막은 Cu-X 합금막(X는 Mn, Ni, Cr, Fe, Co, Mo, Ta, 또는 Ti이다)을 포함한다.
- [0014] 제 1 도전막은 한 쌍의 도전막들일 수 있으며, 도전성을 갖는 산화물 반도체막, 및 도전성을 갖는 산화물 반도체막과 접하는 한 쌍의 도전막들은 저항 소자(resistor)로서 기능할 수 있음을 주목해야 한다.
- [0015] 또는, 본 발명의 일 실시형태의 반도체 장치는 도전성을 갖는 산화물 반도체막 및 제 1 도전막과 접하는 절연막과, 상기 절연막과 접하고 상기 절연막을 개재하여 도전성을 갖는 산화물 반도체막과 중첩하는 제 2 도전막을 포함한다. 도전성을 갖는 산화물 반도체막, 제 1 도전막, 절연막, 및 제 2 도전막은 용량 소자(capacitor)로서 기능할 수 있다. 절연막은 질화물 절연막을 포함할 수 있음을 주목해야 한다.
- [0016] 제 1 도전막은 Cu-Mn 합금막을 포함한다. 또는, 제 1 도전막은 Cu-Mn 합금막과, 상기 Cu-Mn 합금막 위의 Cu막의 적층물이다. 또는, 제 1 도전막은, 제 1 Cu-Mn 합금막, 상기 제 1 Cu-Mn 합금막 위의 Cu막, 및 상기 Cu막 위의 제 2 Cu-Mn 합금막의 적층물이다.
- [0017] X를 함유하는 화합물을 포함하는 피복막이 제 1 도전막의 외부 주변에 제공될 수 있다. 제 1 도전막이 Cu-Mn 합금막을 포함하는 경우, 산화망간이 제 1 도전막의 외부 주변에 제공될 수 있다.
- [0018] 도전성을 갖는 산화물 반도체막은 결정부(crystal part)를 포함하고, 상기 결정부의 c축은 산화물 반도체막이 형성된 표면의 법선 벡터에 평행할 것이다.
- [0019] 도전성을 갖는 산화물 반도체막은 In-M-Zn 산화물(M은 Al, Ga, Y, Zr, Sn, La, Ce, 또는 Nd이다)을 포함할 수 있다.

발명의 효과

- [0020] 본 발명의 일 실시형태에 따라, 산화물 반도체막을 사용하는 트랜지스터에 있어서, 구리를 함유하는 금속막이 배선, 신호선 등에 사용되는 신규한 반도체 장치가 제공될 수 있다. 본 발명의 또 다른 실시형태에 따라, 산화물 반도체막을 사용하는 트랜지스터에 있어서, 구리를 함유하는 금속막이 배선, 신호선 등에 사용되는 반도체 장치의 제작 방법이 제공될 수 있다. 본 발명의 또 다른 실시형태에 따라, 산화물 반도체막을 사용하는 트랜지스터에 있어서, 구리를 함유하는 금속막의 형상이 양호한 신규한 반도체 장치가 제공될 수 있다. 본 발명의 또 다른 실시형태에 따라, 생산성이 향상된 신규한 반도체 장치가 제공될 수 있다. 본 발명의 또 다른 실시형태에 따라, 신규한 반도체 장치, 또는 신규한 반도체 장치의 제작 방법이 제공될 수 있다.
- [0021] 이들 효과들의 설명은 다른 효과들의 존재를 방해하지 않음을 주목해야 한다. 본 발명의 일 실시형태에서, 상기 효과들을 모두 얻을 필요는 없다. 기타 효과들은 명세서, 도면, 청구항 등의 기재로부터 명확해질 것이며, 명세서, 도면, 청구항 등의 기재로부터 도출될 수 있다.

도면의 간단한 설명

- [0022] 첨부된 도면들에서:
- 도 1의 (A) 내지 (E)는 본 발명의 반도체 장치의 실시형태들을 나타내는 단면도이다.
- 도 2의 (A) 내지 (D)는 본 발명의 반도체 장치의 제작 방법의 일 실시형태를 나타내는 단면도이다.
- 도 3의 (A) 내지 (D)는 본 발명의 반도체 장치의 제작 방법의 일 실시형태를 나타내는 단면도이다.
- 도 4의 (A) 내지 (C)는 본 발명의 반도체 장치의 제작 방법의 일 실시형태를 나타내는 단면도이다.
- 도 5의 (A) 내지 (F)는 본 발명의 반도체 장치의 제작 방법의 실시형태들을 나타내는 단면도이다.
- 도 6의 (A) 내지 (C)는 본 발명의 반도체 장치의 실시형태들을 나타내는 단면도이다.
- 도 7의 (A) 내지 (D)는 본 발명의 반도체 장치의 실시형태들을 나타내는 단면도이다.
- 도 8의 (A) 및 (B)는 본 발명의 반도체 장치의 일 실시형태를 각각 도시하는 회로도이다.

도 9의 (A) 및 (B)는 본 발명의 반도체 장치의 일 실시형태를 나타내는 상면도 및 단면도이다.

도 10의 (A) 및 (B)는 본 발명의 반도체 장치의 실시형태들을 나타내는 단면도이다.

도 11의 (A) 내지 (C)는 본 발명의 반도체 장치의 실시형태들을 나타내는 단면도이다.

도 12의 (A) 내지 (C)는 본 발명의 반도체 장치의 실시형태들을 나타내는 단면도이다.

도 13의 (A) 및 (B)는 본 발명의 반도체 장치의 실시형태들을 나타내는 단면도이다.

도 14의 (A) 내지 (C)는 본 발명의 반도체 장치의 실시형태들을 나타내는 단면도이다.

도 15의 (A) 내지 (C)는 표시 장치의 일 실시형태를 나타내는 블럭도 및 회로도이다.

도 16은 표시 장치의 일 실시형태를 나타내는 상면도이다.

도 17은 표시 장치의 일 실시형태를 나타내는 단면도이다.

도 18의 (A) 내지 (D)는 표시 장치의 제작 방법의 일 실시형태를 나타내는 단면도이다.

도 19의 (A) 내지 (C)는 표시 장치의 제작 방법의 일 실시형태를 나타내는 단면도이다.

도 20의 (A) 내지 (C)는 표시 장치의 제작 방법의 일 실시형태를 나타내는 단면도이다.

도 21의 (A) 및 (B)는 표시 장치의 제작 방법의 일 실시형태를 나타내는 단면도이다.

도 22는 표시 장치의 일 실시형태를 나타내는 단면도이다.

도 23은 표시 장치의 일 실시형태를 나타내는 단면도이다.

도 24는 표시 장치의 일 실시형태를 나타내는 단면도이다.

도 25는 표시 장치의 일 실시형태를 나타내는 단면도이다.

도 26의 (A) 및 (B)는 트랜지스터의 일 실시형태를 각각 나타내는 단면도이다.

도 27은 표시 장치의 일 실시형태를 나타내는 상면도이다.

도 28은 표시 장치의 일 실시형태를 나타내는 단면도이다.

도 29의 (A) 내지 (C)는 표시 장치의 제작 방법의 일 실시형태를 나타내는 단면도이다.

도 30의 (A) 내지 (C)는 표시 장치의 제작 방법의 일 실시형태를 나타내는 단면도이다.

도 31은 표시 장치의 일 실시형태를 나타내는 단면도이다.

도 32는 표시 장치의 일 실시형태를 나타내는 단면도이다.

도 33의 (A) 내지 (C)는 표시 장치의 제작 방법의 일 실시형태를 나타내는 단면도이다.

도 34의 (A) 및 (B)는 표시 장치의 일 실시형태를 각각 나타내는 단면도이다.

도 35는 표시 장치의 일 실시형태를 나타내는 단면도이다.

도 36은 표시 장치의 일 실시형태를 나타내는 단면도이다.

도 37의 (A) 내지 (D)는 CAAC-OS의 단면의 Cs-보정 고분해능 TEM 화상, 및 CAAC-OS의 단면 모식도이다.

도 38의 (A) 내지 (D)는 CAAC-OS의 평면의 Cs-보정 고분해능 TEM 화상이다.

도 39의 (A) 내지 (C)는 XRD에 의한 CAAC-OS 및 단결정 산화물 반도체의 구조 분석을 도시한다.

도 40의 (A) 및 (B)는 CAAC-OS의 전자 회절 패턴을 도시한다.

도 41은 전자 조사에 의한 In-Ga-Zn 산화물의 결정부의 변화를 도시한다.

도 42의 (A) 및 (B)는 CAAC-OS 및 nc-OS의 성막(deposition) 모델을 도시하는 모식도이다.

도 43의 (A) 내지 (C)는 InGaZnO_4 결정 및 펠릿을 나타내는 도이다.

도 44의 (A) 내지 (D)는 CAAC-OS의 성막 모델을 나타내는 모식도이다.

도 45의 (A) 및 (B)는 InGaZnO₄ 결정을 나타낸다.

도 46의 (A) 및 (B)는 원자가 충돌하기 전의 InGaZnO₄의 구조 등을 도시한다.

도 47의 (A) 및 (B)는 원자가 충돌한 후의 InGaZnO₄의 구조 등을 도시한다.

도 48의 (A) 및 (B)는 원자들이 충돌한 후의 원자들의 궤적을 도시한다.

도 49의 (A) 및 (B)는 CAAC-OS 및 타겟의 단면 HAADF-STEM 화상이다.

도 50은 산화물 반도체막의 저항율의 온도 의존성을 도시한다.

도 51은 표시 모듈을 나타낸다.

도 52의 (A) 내지 (E)는 일 실시형태의 전자 기기의 각각의 외관도이다.

도 53의 (A) 및 (B)는 시료의 STEM 화상, 및 EDX 분석 결과를 도시한다.

발명을 실시하기 위한 구체적인 내용

[0023]

실시형태들은 도면들을 참조하여 이하에 기술될 것이다. 그러나, 상기 실시형태들은 다양한 모드들로 구현될 수 있다. 본 발명의 취지 및 범위로부터 벗어나지 않고 모드들 및 상세사항들이 다양한 방식들로 변경될 수 있음을 당업자라면 용이하게 인식할 것이다. 따라서, 본 발명은 실시형태들의 다음 설명에 한정되는 것으로 해석되지 않아야 한다.

[0024]

도면들에 있어서, 크기, 층 두께, 또는 영역은 일부 경우들에서는 명료화를 위해 과장되어 있다. 따라서, 본 발명의 실시형태들은 이러한 스케일로 한정되지 않는다. 도면들은 이상적인 예들을 도시하는 모식도이며, 도면들에 도시된 형상들 또는 값들에 한정되지 않음을 주목해야 한다.

[0025]

본 명세서에서, "제 1", "제 2", "제 3"과 같은 서수사는 구성요소들 사이의 혼동을 피하기 위해 사용되며, 상기 용어들은 상기 구성요소들을 수적으로 한정하지 않음을 주목해야 한다.

[0026]

본 명세서에서, "위에"(over), "상에(above)", "아래(under)" 및 "하에(below)"와 같은 배열을 기술하는 용어들은 구성요소들 사이의 위치 관계를 도면들을 참조하여 기술하는데 편의상 사용됨을 주목해야 한다. 구성요소들 사이의 위치 관계는 각 구성요소가 기술되는 방향에 따라 적절히 변한다. 따라서, 위치 관계는 본 명세서에 사용된 용어를 사용하여 기술한 용어에 한정되지 않고, 상황에 따라 적절히 또 다른 용어로 설명될 수 있다.

[0027]

본 명세서 등에서, 트랜지스터는, 게이트, 드레인(drain), 및 소스(sauce)의 적어도 3개의 단자들을 갖는 소자이다. 또한, 트랜지스터는 드레인(드레인 단자, 드레인 영역 또는 드레인 전극층)과 소스(소스 단자, 소스 영역 또는 소스 전극층) 사이에 채널 영역을 가지며, 전류는 드레인, 채널 영역, 및 소스를 통해 흐를 수 있다. 본 명세서 등에서, 채널 영역은 전류가 주로 흐르는 영역을 언급한다.

[0028]

또한, 소스 및 드레인의 기능들은, 예를 들면, 다른 극성들을 갖는 트랜지스터들이 채용되는 경우나, 전류의 방향이 회로 동작에 있어서 변하는 경우 바꾸어 사용될 것이다. 따라서, 용어들 "소스" 및 "드레인"은 본 명세서 등에서 바꾸어 사용될 수 있다.

[0029]

본 명세서 등에서, 표현 "전기적으로 접속된"은 구성요소들이 "임의의 전기적 기능을 갖는 대상"을 통해 접속되어 있는 경우를 포함함을 주목해야 한다. 대상을 통해 접속되는 구성요소들 사이에 전기 신호들을 송신 및 수신할 수 있는 한, "임의의 전기적 기능을 갖는 대상"에는 특별한 제한은 없다. "임의의 전기적 기능을 갖는 대상"의 예로는, 전극 및 배선 뿐만 아니라 트랜지스터와 같은 스위칭 소자, 저항 소자, 인덕터, 용량 소자, 및 다양한 기능들을 갖는 소자들이 포함된다.

[0030]

(실시형태 1)

[0031]

본 실시형태에서, 본 발명의 일 실시형태의 반도체 장치는 도 1의 (A) 내지 (E), 도 2의 (A) 내지 (D), 도 3의 (A) 내지 (D), 도 4의 (A) 내지 (C), 도 5의 (A) 내지 (F), 및 도 6의 (A) 내지 (C)를 참조하여 기술된다. 본 실시형태에서, 도전성을 갖는 산화물 반도체막 및 상기 산화물 반도체막과 접하는 도전막의 구조, 및 이의 제작 방법이 기술된다. 여기서, 도전성을 갖는 산화물 반도체막은 전극 또는 배선으로서 기능한다.

- [0032] 도 1의 (A) 내지 (E)는 반도체 장치에 포함된, 도전성을 갖는 산화물 반도체막 및 상기 산화물 반도체막과 접하는 도전막의 단면도이다.
- [0033] 도 1의 (A)에 있어서, 절연막(153), 상기 절연막(153) 위의 도전성을 갖는 산화물 반도체막(155b), 및 상기 도전성을 갖는 산화물 반도체막(155b)과 접하는 도전막(159)은 기판(151) 위에 형성된다.
- [0034] 또한, 도 1의 (B)에 나타낸 바와 같이, 절연막(157)은 절연막(153), 도전성을 갖는 산화물 반도체막(155b), 및 도전막(159) 위에 형성될 수 있다.
- [0035] 또는, 도 1의 (C)에 나타낸 바와 같이, 도전성을 갖는 산화물 반도체막(155b)은 절연막(157a) 위에 형성될 수 있다. 이러한 경우, 절연막(153a)은 도전성을 갖는 산화물 반도체막(155b) 및 도전막(159) 위에 제공될 수 있다.
- [0036] 도전성을 갖는 산화물 반도체막(155b)은 전형적으로 In-Ga 산화물막, In-Zn 산화물막, In-M-Zn 산화물막(M은 Al, Ga, Y, Zr, Sn, La, Ce, 또는 Nd이다)과 같은 금속 산화물막으로 형성된다. 도전성을 갖는 산화물 반도체막(155b)은 투광성을 가짐을 주목해야 한다.
- [0037] 도전성을 갖는 산화물 반도체막(155b)이 In-M-Zn 산화물막을 함유하는 경우, In 및 M의 합이 100atomic%로 추정될 때 In 및 M의 비율은 바람직하게는 다음과 같다: In의 원자%는 25atomic% 초과이고, M의 원자%는 75atomic% 미만이거나, 더 바람직하게는 In의 원자%는 34atomic% 초과이고, M의 원자%는 66atomic% 미만이다.
- [0038] 도전성을 갖는 산화물 반도체막(155b)의 에너지 캡은 2eV 이상, 바람직하게는 2.5eV 이상, 더 바람직하게는 3eV 이상이다.
- [0039] 도전성을 갖는 산화물 반도체막(155b)의 두께는 3nm 이상 200nm 이하, 바람직하게는 3nm 이상 100nm 이하, 더 바람직하게는 3nm 이상 50nm 이하이다.
- [0040] 도전성을 갖는 산화물 반도체막(155b)이 In-M-Zn 산화물막(M은 Al, Ga, Y, Zr, Sn, La, Ce, 또는 Nd이다)인 경우, In-M-Zn 산화물막을 형성하기 위해 사용되는 스퍼터링 타겟의 금속 원소들의 원자비는 $In \geq M$, 및 $Zn \geq M$ 을 만족시키는 것이 바람직하다. 이러한 스퍼터링 타겟의 금속 원소들의 원자비로서, $In:M:Zn=1:1:1$, $In:M:Zn=1:1:1.2$, $In:M:Zn=2:1:1.5$, $In:M:Zn=2:1:2.3$, $In:M:Zn=2:1:3$, $In:M:Zn=3:1:2$ 등이 바람직하다. 형성되는 도전성을 갖는 산화물 반도체막(155b)의 원자비로서의 각각의 금속 원소의 비율은, 오차로서의 스퍼터링 타겟의 상기 원자비로서의 각각의 금속 원소의 비율의 $\pm 40\%$ 의 범위 내에서 변한다.
- [0041] 도전성을 갖는 산화물 반도체막(155b)은, 예를 들면, 비-단결정 구조를 가질 수 있다. 비-단결정 구조는, 예를 들면, 이후에 기술되는 c축 배향된 결정성 산화물 반도체(CAAC-OS), 다결정성 구조, 이후에 기술되는 미결정 구조, 및 비정질 구조를 포함한다. 비-단결정 구조들 중에서, 비정질 구조는 최고 결함 준위 밀도를 갖지만 CAAC-OS는 최저 결함 준위 밀도를 갖는다.
- [0042] 도전성을 갖는 산화물 반도체막(155b)은 다음 중 2종 이상을 포함하는 혼합막일 수 있음을 주목해야 한다: 비정질 구조를 갖는 영역, 미결정 구조를 갖는 영역, 다결정성 구조를 갖는 영역, CAAC-OS 영역, 및 단결정 구조를 갖는 영역. 상기 혼합막은, 일부 경우들에서는, 예를 들면, 비정질 구조를 갖는 영역, 미결정 구조를 갖는 영역, 다결정성 구조를 갖는 영역, CAAC-OS 영역, 및 단결정 구조를 갖는 영역 중 2종 이상을 포함하는 단층 구조를 갖는다. 또한, 상기 혼합막은, 일부 경우들에서는, 비정질 구조를 갖는 영역, 미결정 구조를 갖는 영역, 다결정성 단층 구조를 갖는 영역, CAAC-OS 영역, 및 단결정 구조를 갖는 영역 중 2종 이상의 적층 구조를 갖는다.
- [0043] 절연막(157) 및 절연막(157a)은 바람직하게는 수소를 함유하는 막으로 형성되며, 전형적으로는 수소를 함유하는 질화 실리콘막으로 형성된다. 산화물 반도체막과 접하는 절연막(157) 및 절연막(157a)이 수소를 함유하는 경우, 수소가 산화물 반도체막에 공급되어, 도전성을 갖는 산화물 반도체막(155b)이 형성될 수 있다.
- [0044] 도전성을 갖는 산화물 반도체막(155b)은 불순물을 포함한다. 도전성을 갖는 산화물 반도체막(155b)에 포함되는 불순물의 예로는 수소가 있다. 수소 대신에, 불순물로서 봉소, 인, 질소, 주석, 안티몬, 희가스 원소, 알칼리 금속, 알칼리 토금속 등이 포함될 수 있다.
- [0045] 도전성을 갖는 산화물 반도체막(155b)의 수소 농도는 $8 \times 10^{19} \text{ atoms/cm}^3$ 이상, 바람직하게는 $1 \times 10^{20} \text{ atoms/cm}^3$ 이상, 더 바람직하게는 $5 \times 10^{20} \text{ atoms/cm}^3$ 이상이다. 도전성을 갖는 산화물 반도체막(155b)의 수소 농도는 20atomic% 이하, 바람직하게는 $1 \times 10^{22} \text{ atoms/cm}^3$ 이하이다. 산화물 반도체막(155b)에서의 수소 농도는 2차 이온

질량 분석법(SIMS: secondary ion mass spectrometry) 또는 수소 전방 산란법(HFS: hydrogen forward scattering)에 의해 측정된다.

[0046] 도전성을 갖는 산화물 반도체막(155b)은 결함들 및 불순물들을 포함하며 도전성을 나타낸다. 도전성을 갖는 산화물 반도체막(155b)의 저항율은 바람직하게는 $1 \times 10^{-3} \Omega \text{cm}$ 이상 $1 \times 10^{-4} \Omega \text{cm}$ 미만, 더 바람직하게는 $1 \times 10^{-3} \Omega \text{cm}$ 이상 $1 \times 10^{-1} \Omega \text{cm}$ 미만이다.

[0047] 도전성을 갖는 산화물 반도체막(155b)은 불순물들 이외에 결함들을 포함한다. 도전성을 갖는 산화물 반도체막(155b)은 전형적으로, 형성 공정 중에 진공에서의 열 처리에 의해 산소의 탈리에 의해 결함들이 생성되는 막, 희가스가 첨가됨으로써 결함들이 생성되는 막, 또는 도전막(159)의 성막 공정 또는 애칭 공정에서 플라즈마 노출에 의해 결함들이 생성되는 막이다. 도전성을 갖는 산화물 반도체막(155b)에 포함되는 결함의 예로는 산소 결손이 제시된다.

[0048] 산소 결손들을 포함하는 산화물 반도체에 수소가 첨가되는 경우, 수소가 산소 결손들에 진입하여 전도대 (conduction band) 근방에 도너(donor) 준위를 형성한다. 그 결과, 산화물 반도체의 도전성이 증가하여, 산화물 반도체는 도전체화된다. 도전체화된 산화물 반도체는 산화물 도전체로 언급될 수 있다. 즉, 도전성을 갖는 산화물 반도체막(155b)은, 산화물 도전체막으로 형성될 수 있다. 산화물 반도체는 일반적으로, 이들의 큰 에너지 갭 때문에 가시광 투광성을 갖는다. 산화물 도전체는 전도대 근방에 도너 준위를 갖는 산화물 반도체이다. 따라서, 도너 준위에 의한 흡수의 영향은 작고, 산화물 전도체는 산화물 반도체의 것과 필적할 만한 가시광 투과성을 갖는다.

[0049] 도전막(159)은 바람직하게는, 적어도 Cu-X 합금막(X는 Mn, Ni, Cr, Fe, Co, Mo, Ta, 또는 Ti이다)(이하, 단순히 Cu-X 합금막으로 언급됨)을 포함하며, 예를 들면, 도전막(159)은 바람직하게는 Cu-X 합금막의 단층 구조, 또는 Cu-X 합금막을 포함하는 적층 구조를 갖는다. Cu-X 합금막을 포함하는 적층 구조로서, Cu-X 합금막과, 구리(Cu), 알루미늄(Al), 금(Au), 또는 은(Ag)과 같은 저저항 재료, 이의 합금, 또는 주 성분으로서 이들 재료 중 어느 하나를 함유하는 화합물을 포함하는 도전막(이하, 저저항 재료를 포함하는 도전막으로 언급됨)의 적층 구조가 제시된다.

[0050] 여기서, 도전막(159)은 도전성을 갖는 산화물 반도체막(155b)과 접하는 도전막(159a)과, 도전막(159a)과 접하는 도전막(159b)의 적층 구조를 갖는다. 또한, Cu-X 합금막은 도전막(159a)으로서 사용되고, 저저항 재료를 포함하는 도전막은 도전막(159b)으로서 사용된다.

[0051] 도전막(159)은 또한 리드 배선(lead wiring) 등으로서 기능한다. 도전막(159)은 Cu-X 합금막을 사용하는 도전막(159a), 및 저저항 재료를 포함하는 도전막을 사용하는 도전막(159b)을 포함하고, 이에 의해 대형 기판이 기판(151)으로서 사용되는 경우에서도, 배선 지연을 억제하는 반도체 장치를 제작할 수 있다.

[0052] Cu-X 합금막을 포함하는 도전막(159)은 도전성을 갖는 산화물 반도체막(155b) 위에 형성되고, 이에 의해 도전성을 갖는 산화물 반도체막(155b)과 도전막(159) 사이의 밀착성을 증가시킬 수 있으며, 이들 사이의 접촉 저항을 감소시킬 수 있다.

[0053] 여기서, 도 1의 (D)는 도전성을 갖는 산화물 반도체막(155b)이 도전막(159)과 접하는 영역의 확대도를 도시한다. Cu-X 합금막이 도전성을 갖는 산화물 반도체막(155b)과 접하는 도전막(159a)으로서 사용되는 경우, 피복막(156)은, 일부 경우들에서는, 도전성을 갖는 산화물 반도체막(155b)과 도전막(159) 사이의 계면에 형성된다. 피복막(156)은 X를 포함하는 화합물을 사용하여 형성된다. X를 포함하는 화합물은 도전막(159)에 포함되는 Cu-X 합금막 내의 X와, 도전성을 갖는 산화물 반도체막(155b) 또는 절연막(157)에 포함되는 원소 사이의 반응에 의해 형성된다. X를 포함하는 화합물로서, X를 포함하는 산화물, X를 포함하는 질화물, X를 포함하는 규화물, X를 포함하는 탄화물 등이 제시된다. X를 포함하는 산화물의 예로는, X 산화물, In-X 산화물, Ga-X 산화물, In-Ga-X 산화물, In-Ga-Zn-X 산화물 등이 제시된다. Cu에 대한 차단막으로서 기능하는 피복막(156)을 형성함으로써, Cu-X 합금막 내의 Cu가 도전성을 갖는 산화물 반도체막(155b) 내로 진입하는 것을 억제할 수 있다.

[0054] 도전막(159a)의 일례로서, Cu-Mn 합금막이 사용되고, 이에 의해 도전막(159a)과, 아래에 있는 도전성을 갖는 산화물 반도체막(155b) 사이의 밀착성을 증가시킬 수 있다. 또한, Cu-Mn 합금막을 사용함으로써, 양호한 옴 접촉은 도전막(159)과, 도전성을 갖는 산화물 반도체막(155b) 사이에서 얻을 수 있다.

[0055] 구체적인 예로는, 피복막(156)은, 일부 경우들에서는, 다음 방식으로 형성된다: Cu-Mn 합금막을 형성한 후, 150°C 이상 450°C 이하의 온도, 바람직하게는 250°C 이상 350°C 이하의 온도에서 열처리함으로써 또는 절연막(157)

7)을 가열하면서 형성함으로써, Cu-Mn 합금막 내의 Mn은 도전성을 갖는 산화물 반도체막(155b)과 도전막(159a) 사이의 계면에서 편석된다(segregated). 피복막(156)은 Mn의 산화에 의해 형성된 Mn 산화물 또는 In-Mn 산화물, Ga-Mn 산화물, In-Ga-Mn 산화물, In-Ga-Zn-Mn 산화물 등을 포함할 수 있고, 이는 편석된 Mn과 도전성을 갖는 산화물 반도체막(155b) 내의 구성 원소 사이의 반응에 의해 형성된다. 도포막(156)에 의해, 도전성을 갖는 산화물 반도체막(155b)과 도전막(159a) 사이의 밀착성이 향상된다. 또한, Cu-Mn 합금막 내의 Mn의 편석에 의해, Cu-Mn 합금막의 일부가 순수 Cu막으로 되어, 도전막(159a)은 높은 도전율을 얻을 수 있다.

[0056] 또는, 도 1의 (E)에 나타낸 바와 같이, 피복막(156a)은, 일부 경우들에서는, 도전막(159)의 하부면, 측면, 및 상부면 중 적어도 하나에, 바람직하게는 도전막(159)의 외부 주변에 형성된다. 상기 피복막(156a)은 X를 포함하는 화합물을 사용하여 형성된다. X를 포함하는 화합물은 도전막(159)에 포함되는 Cu-X 합금막 내의 X와, 도전성을 갖는 산화물 반도체막(155b) 또는 절연막(157)에 포함되는 원소 사이의 반응에 의해 형성된다. X를 포함하는 화합물로서, X를 포함하는 산화물, X를 포함하는 질화물, X를 포함하는 규화물, X를 포함하는 탄화물 등이 제시된다.

[0057] 산화물 절연막이 절연막(157)으로서 형성되는 경우, 피복막(156a)이 도전막(159b)과 접하는 영역에서 저저항 재료의 산화물이 형성된다. Cu-X 합금막 내의 X가, 일부 경우들에서는, 피복막(156a)이 도전막(159b)과 접하는 영역에 포함됨을 주목해야 한다. 이것은 아마도, 도전막(159a)의 예치시 생성된 잔류물의 부착, 절연막(157)의 형성시 잔류물의 부착, 열 처리시 잔류물의 부착 등에 기인한다. 또한, Cu-X 합금막 내의 X는, 일부 경우들에서는, 산화물로 산화된다.

[0058] 예를 들면, 구리(Cu)막이 바람직하게는 도전막(159b)으로서 사용되는데, 이것은 도전막(159b)의 두께를 증가시켜 도전막(159)의 도전율을 향상시킬 수 있기 때문이다. 여기서, 구리(Cu)막은 순수 구리(Cu)를 언급하고 순도는 바람직하게는 99% 이상이다. 순수 구리(Cu)는 몇%의 불순물 원소를 포함할 수 있음을 주목해야 한다.

[0059] 도전막(159)이 Cu-X 합금막을 포함하고, 이에 의해 구리(Cu)가 도전성을 갖는 산화물 반도체막(155b) 내로 진입되는 것을 억제하고 배선이 높은 도전율을 갖는 반도체 장치를 얻을 수 있다.

[0060] 기판(151)으로서, 다양한 기판들이 특정한 한정 없이 사용될 수 있다. 기판의 예로는, 반도체 기판(예를 들면, 단결정 기판 또는 실리콘 기판), 절연체 상 실리콘(SOI) 기판, 유리 기판, 석영 기판, 플라스틱 기판, 금속 기판, 스테인레스 스틸 기판, 스테인레스 스틸 호일을 포함하는 기판, 텅스텐 기판, 텅스텐 호일을 포함하는 기판, 가요성 기판, 접합막, 섬유 재료를 포함하는 종이, 또는 기재(base material) 막이 포함된다. 유리 기판의 일례로서, 바륨 보로실리케이트 유리 기판, 알루미노보로실리케이트 유리 기판, 나트륨 라임 유리 기판 등이 제시될 수 있다. 가요성 기판, 접합막, 기재막 등의 예는 다음과 같다: 폴리에틸렌 테레프탈레이트(PET), 폴리에틸렌 나프탈레이트(PEN), 및 폴리에테르 셀론(PES)으로 대표되는 플라스틱; 아크릴 등의 합성 수지; 폴리프로필렌; 폴리에스테르; 폴리불화비닐; 폴리염화비닐; 폴리아미드; 폴리아이미드; 아라미드; 애폐시; 무기 증착막; 및 종이. 구체적으로, 반도체 기판, 단결정 기판, SOI 기판 등의 사용으로, 특성들, 크기, 형상 등의 변동이 적고 전류 능력이 높은, 작은 크기의 트랜지스터들의 제작이 가능할 수 있다. 이러한 트랜지스터들을 사용하는 회로는 회로의 낮은 전력 소모 또는 회로의 고집적화를 달성할 수 있다.

[0061] 또한, 가요성 기판은 기판(151)으로서 사용될 수 있고, 반도체 소자는 가요성 기판 상에 직접 형성될 수 있다. 또는, 박리층이 기판(151)과 반도체 소자 사이에 제공될 수 있다. 박리층은, 상기 박리층 위에 형성되는 반도체 소자의 일부 또는 전부가 기판(151)으로부터 분리되고 또 다른 기판으로 옮겨지는 경우 사용될 수 있다. 이러한 경우, 반도체 소자는 낮은 내열성을 갖는 기판 또는 가요성 기판으로 옮겨질 수 있다. 상기 박리층으로서, 예를 들면, 텅스텐막과 산화 실리콘막과 같은 무기막들을 포함하는 적층물, 또는 기판 위에 형성된 폴리아이미드 등의 유기 수지막이 사용될 수 있다.

[0062] 트랜지스터가 옮겨지는 기판의 예로는, 트랜지스터가 형성될 수 있는 상기 기술된 기판들 이외에, 종이 기판, 셀로판 기판, 아라미드막 기판, 폴리아이미드막 기판, 석재 기판, 목재 기판, 천 기판(천연 섬유(예를 들면, 실크, 면 또는 삼), 합성 섬유(예를 들면, 나일론, 폴리우레탄 또는 폴리에스테르), 재생 섬유(예를 들면, 아세테이트, 큐프라, 레이온 또는 재생 폴리에스테르) 등을 포함함), 피혁 기판, 또는 고무 기판 등이 포함된다. 이러한 기판의 사용으로, 탁월한 성질들을 갖는 트랜지스터, 낮은 전력 소모를 갖는 트랜지스터, 또는 높은 내구성을 갖는 장치의 형성, 높은 내열성, 또는 중량 또는 두께의 감소가 가능할 수 있다.

[0063] 절연막(153) 및 절연막(153a)으로서, 산화 실리콘막, 산화질화 실리콘막, 산화 알루미늄막, 산화 하프늄막, 산화 갈륨막 또는 Ga-Zn계 금속 산화물막과 같은 산화물 절연막을 포함하는 단층 또는 적층이 사용될 수 있다.

또는, 절연막(153) 및 절연막(153a)은 하프늄 실리케이트($HfSiO_x$), 질소가 첨가된 하프늄 실리케이트($HfSi_xO_yN_z$), 질소가 첨가된 하프늄 알루미네이트($HfAl_xO_yN_z$), 산화하프늄 또는 산화이트롭과 같은 고-k 재료를 사용하여 형성될 수 있다. 본 명세서에서, "산화질화 실리콘막"은 질소보다 산소를 더 많이 함유하는 막을 언급하고, "질화산화 실리콘막"은 산소보다 질소를 더 많이 함유하는 막을 언급함을 주목해야 한다.

[0064] 또는, 절연막(153) 및 절연막(153a)은 질화 실리콘막, 질화산화 실리콘막, 질화 알루미늄막, 질화산화 알루미늄막과 같은 질화물 절연막을 사용하여 형성될 수 있다.

[0065] <도전성을 갖는 산화물 반도체막(155b) 및 도전막(159)의 형성 방법 1>

[0066] 우선, 도 1의 (A)에 나타낸, 도전성을 갖는 산화물 반도체막(155b) 및 도전막(159)의 형성 방법은 도 2의 (A) 내지 (D)를 참조하여 기술된다.

[0067] 먼저, 기판(151)을 준비한다. 여기서, 유리 기판은 기판(151)으로서 사용된다.

[0068] 도 2의 (A)에 나타낸 바와 같이, 절연막(153)은 기판(151) 위에 형성되고, 산화물 반도체막(155)은 상기 절연막(153) 위에 형성된다. 이어서, 헬륨, 네온, 아르곤, 크립톤, 또는 크세논과 같은 희가스(154)를 산화물 반도체막(155)에 첨가한다.

[0069] 절연막(153)은 스퍼터링법, CVD법, 진공 증착법, 펄스 레이저-증착(PLD)법, 열 CVD법 등에 의해 형성될 수 있다.

[0070] 산화물 반도체막(155)의 형성 방법은 이하에 기술된다.

[0071] 산화물 반도체막은 스퍼터링법, 도포법, 펄스 레이저 증착법, 레이저 어블레이션법(ablation method), 열 CVD법 등에 의해 형성된다. 이어서, 포토리소그래피 공정을 통해 산화물 반도체막 위에 마스크를 형성하고, 산화물 반도체막을 상기 마스크를 사용하여 에칭함으로써, 산화물 반도체막(155)을 형성 할 수 있다.

[0072] 스퍼터링 가스로서, 희가스(전형적으로 아르곤), 산소 가스, 또는 희가스와 산소 가스의 혼합 가스가 적절히 사용된다. 희가스와 산소 가스의 혼합 가스를 사용하는 경우, 희가스에 대한 산소 가스의 비율을 증가시키는 것이 바람직하다.

[0073] 또한, 타겟은, 형성되는 산화물 반도체막의 조성에 따라 적절히 선택할 수 있다.

[0074] 예를 들면, 산화물 반도체막이 스퍼터링법에 의해 150°C 이상 750°C 이하, 바람직하게는 150°C 이상 450°C 이하, 더 바람직하게는 200°C 이상 350°C 이하의 기판 온도에서 형성되는 경우, 산화물 반도체 막은 CAAC-OS막일 수 있다.

[0075] 산화물 반도체막으로서 CAAC-OS막을 성막하기 위해서, 다음 조건들이 사용되는 것이 바람직하다.

[0076] 성막 동안 CAAC-OS막 내로 불순물의 진입을 억제함으로써, 결정 상태가 불순물들에 의해 파괴되는 것을 방지할 수 있다. 예를 들면, 성막 챔버 내에 존재하는 불순물 농도(예를 들면, 수소, 물, 이산화탄소 및 질소)를 감소시킬 수 있다. 또한, 증착 가스 내의 불순물 농도를 감소시킬 수 있다. 구체적으로는, 노점이 -80°C 이하, 바람직하게는 -100°C 이하인 증착 가스가 사용된다.

[0077] ALD를 사용하는 성막 장치를 사용하여 산화물 반도체막, 예를 들면, $In-Ga-Zn-O$ 막을 형성하는 경우, $In(CH_3)_3$ 가스 및 O_3 가스를 연속적으로 반복 도입하여 $In-O$ 층을 형성하고, $Ga(CH_3)_3$ 가스 및 O_3 가스를 동시에 도입하여 GaO 층을 형성한 다음, $Zn(CH_3)_2$ 가스 및 O_3 가스를 동시에 도입하여 ZnO 층을 형성한다. 이들 층들의 순서는 이러한 예로 제한되지 않음을 주목해야 한다. $In-Ga-O$ 층, $In-Zn-O$ 층 또는 $Ga-Zn-O$ 층과 같은 혼합 화합물층은 이들 가스들을 혼합함으로써 형성될 수 있다. O_3 가스 대신에 Ar과 같은 불활성 가스를 버블링함에 의해 수득되는 H_2O 가스가 사용될 수 있지만, H를 함유하지 않는 O_3 가스를 사용하는 것이 바람직함을 주목해야 한다. $In(CH_3)_3$ 가스 대신에, $In(C_2H_5)_3$ 가스가 사용될 수 있다. $Ga(CH_3)_3$ 가스 대신에, $Ga(C_2H_5)_3$ 가스가 사용될 수 있다. 또한, $Zn(CH_3)_2$ 가스가 사용될 수 있다.

[0078] 이 후에, 수소, 물 등이 열 처리에 의해 산화물 반도체막(155)으로부터 탈리되어 적어도 산화물 반도체막(155)에서의 수소 농도를 감소시킬 수 있다. 열 처리에 의해, 산소가 산화물 반도체막(155)으로부터 탈리되어, 결함들이 형성될 수 있다. 그 결과, 이후 형성된 상기 산화물 반도체막(155b)의 수소 농도의 변동을 감소시킬 수

있다. 열 처리는 전형적으로, 250°C 이상 650°C 이하, 바람직하게는 300°C 이상 500°C 이하의 온도로 수행된다. 열 처리는 전형적으로, 300°C 이상 400°C 이하, 바람직하게는 320°C 이상 370°C 이하의 온도로 수행되는 것이 바람직하며, 이에 의해 대형 크기의 기판의 휘어짐 또는 수축을 감소시킬 수 있어서 수율을 향상시킬 수 있다.

[0079] 전기로, RTA 장치 등이 열 처리에 사용될 수 있다. RTA 장치를 사용함으로써, 가열 시간이 짧은 경우, 열 처리는 기판의 변형점 이상의 온도로 수행될 수 있다. 따라서, 열 처리 시간을 단축시킬 수 있으며, 열 처리 동안 기판의 휘어짐을 감소시킬 수 있으며, 이는 대형 크기의 기판에 있어서 특히 바람직하다.

[0080] 열 처리는 질소, 산소, 초건조 공기(물 함유량이 20ppm 이하, 바람직하게는 1ppm 이하, 더 바람직하게는 10ppb 이하인 공기), 또는 희가스(아르곤, 헬륨 등)의 분위기 하에 수행될 수 있다. 질소, 산소, 초건조 공기, 또는 희가스의 분위기는 바람직하게는 수소, 물 등을 함유하지 않는다.

[0081] 희가스(154)로서 헬륨, 네온, 아르곤, 크세논, 크립톤 등이 적절히 사용될 수 있다. 또한, 희가스(154)를 산화물 반도체막(155)에 첨가하는 방법들로서, 도핑법, 이온 주입법 등이 제시된다. 또는, 희가스(154)를 포함하는 플라즈마에 산화물 반도체막(155)을 노출시킴으로써 희가스(154)를 산화물 반도체막(155)에 첨가할 수 있다.

[0082] 그 결과, 도 2의 (B)에 나타낸 바와 같이, 결합들을 포함하는 산화물 반도체막(155a)이 형성될 수 있다.

[0083] 이어서, 결합들을 포함하는 산화물 반도체막(155a)을, 불순물들을 포함하는 분위기에서 가열한다. 열 처리는 불순물들을 포함하는 분위기로서 수소, 질소, 수증기 등 중 하나 이상을 포함하는 분위기에서 수행된다.

[0084] 또는, 결합들을 포함하는 상기 산화물 반도체막(155a)의 표면을, 붕소, 인, 알칼리 금속, 알칼리 토금속 등을 포함하는 용액에 노출시킨 후, 열 처리를 수행한다.

[0085] 열 처리는 바람직하게는, 불순물들을 산화물 반도체막으로 공급하기 위한 조건하에 수행되며, 전형적으로 250°C 이상 350°C 이하의 가열 온도로 수행된다. 350°C 이하로 열 처리를 수행함으로써, 산화물 반도체막으로부터의 불순물들의 탈리를 최소로하면서, 불순물들을 산화물 반도체막에 공급할 수 있다. 열 처리는 0.1Pa 이상, 더 바람직하게는 0.1Pa 이상 101325Pa 이하, 더욱 더 바람직하게는 1Pa 이상 133Pa 이하의 압력하에 수행되는 것이 바람직함을 주목해야 한다.

[0086] 그 결과, 도 2의 (C)에 나타낸 바와 같이, 도전성을 갖는 산화물 반도체막(155b)이 형성될 수 있다. 도전성을 갖는 산화물 반도체막(155b)은 결합들 및 불순물들을 포함한다. 결합들 및 불순물들의 영향에 의해, 도전성을 갖는 산화물 반도체막(155b)의 도전성은 산화물 반도체막(155)의 도전성과 비교하여 증가된다. 결합들 및 불순물들의 작용의 예로서 수소가 산소 결손에 진입하고, 이에 의해 캐리어로서 기능하는 전자가 생성된다. 또는, 수소의 일부가 금속 원자에 결합된 산소로 결합함에 의해 캐리어로서 기능하는 전자가 생성된다. 이를 작용들에 의해, 산화물 반도체막의 도전성이 증가된다. 그 결과, 도전성을 갖는 산화물 반도체막(155b)은 전극 또는 배선으로서 기능한다. 또한, 도전성을 갖는 산화물 반도체막(155b)은 투광성을 갖는다. 따라서, 투광성을 갖는 전극 또는 투광성을 갖는 배선을 형성할 수 있다.

[0087] 도전성을 갖는 산화물 반도체막(155b)의 저항율은 도전막(159)의 저항률보다 높음을 주목해야 한다. 따라서, 리드 배선으로서, 도전막(159)은 바람직하게는, 산화물 반도체막(155b)과 접하고 있다.

[0088] 다음에, 도 2의 (D)에 나타낸 바와 같이, 도전막(159)은 도전성을 갖는 산화물 반도체막(155b) 위에 형성된다. 여기서, Cu-X 합금막과, 저저항 재료를 포함하는 도전막의 적층 후에, 저저항 재료를 포함하는 도전막 위에 포토리소그래피 공정에 의해 마스크를 형성하고, Cu-X 합금막과, 저저항 재료를 포함하는 도전막을 마스크를 사용하여 에칭하고, 이에 의해 Cu-X 합금막으로 형성된 도전막(159a)과, 저저항 재료를 포함하는 도전막으로 형성된 도전막(159b)이 적층된 도전막(159)이 형성될 수 있다.

[0089] Cu-X 합금막과, 저저항 재료를 포함하는 도전막을 에칭하는 방법으로서, 드라이 에칭법 또는 웨트 에칭법이 적절히 사용될 수 있다. 구리(Cu)막이 저저항 재료를 포함하는 도전막으로서 사용되는 경우, 웨트 에칭법이 바람직하게 사용된다. Cu-X 합금막은 웨트 에칭법에 의해 에칭될 수 있고, 따라서, Cu-X 합금막과 구리(Cu)막이 적층되는 경우, Cu-X 합금막으로 형성된 도전막(159a) 및 저저항 재료를 포함하는 도전막으로 형성된 상기 도전막(159b)이 적층된 도전막(159)이 1회의 웨트 에칭 단계로 형성될 수 있다. 웨트 에칭법에 사용된 에칭 용액으로서, 유기산 용액과 과산화수소수를 함유하는 에칭 용액 등이 사용된다.

[0090] 상기 단계들을 통해, 도전성을 갖는 산화물 반도체막과, 도전성을 갖는 산화물 반도체막과 접하는 도전막을 형

성할 수 있다.

[0091] <도전성을 갖는 산화물 반도체막(155b) 및 도전막(159)의 형성 방법 2>

[0092] 도 2의 (A) 내지 (D)에서의 방법과 다른, 도전성을 갖는 산화물 반도체막(155b)의 형성 방법은 도 3의 (A) 내지 (D)를 참조하여 기술된다.

[0093] 도 3의 (A)에 나타낸 바와 같이, 절연막(153)이 기판(151) 위에 형성되고, 산화물 반도체막(155)이 절연막(153) 위에 형성된다. 이어서, 열 처리가 진공 중에서 수행된다. 진공 중에서 열 처리를 수행함으로써, 산소가 산화물 반도체막(155)으로부터 탈리되어, 결함들을 포함하는 산화물 반도체막(155a)을 도 3의 (B)에 나타낸 바와 같이 얻을 수 있다. 산화물 반도체막(155a)에 포함되는 결함들의 전형적인 예로는 산소 결손들이 있음을 주목해야 한다.

[0094] 열 처리는 바람직하게는, 산화물 반도체막으로부터 산소를 탈리시키기 위한 조건하에 수행되며, 전형적으로는, 350°C 이상 800°C 이하, 바람직하게는 450°C 이상 800°C 이하의 온도로 수행된다. 350°C 이상으로 열 처리를 수행함으로써, 산소를 산화물 반도체막으로부터 탈리시킨다. 또한, 800°C 이하로 열 처리를 수행함으로써, 산화물 반도체막의 결정 구조를 유지하면서, 산소를 산화물 반도체막으로부터 탈리시킬 수 있다. 또한, 가열은 진공 중에서, 전형적으로 1×10^{-7} Pa 이상 10Pa 이하, 바람직하게는 1×10^{-7} Pa 이상 1Pa 이하, 더 바람직하게는 1×10^{-7} Pa 이상 $1E^{-1}$ Pa 이하의 압력하에 수행되는 것이 바람직하다.

[0095] 다음에, 도 2의 (B)에서와 유사한 방법에 의해, 결함들을 포함하는 산화물 반도체막(155a)을 불순물들을 포함하는 분위기에서 가열한다. 열 처리는 불순물들을 포함하는 분위기로서 수소, 질소, 수증기 등 중 하나 이상을 포함하는 분위기에서 수행된다.

[0096] 또는, 결함들을 포함하는 산화물 반도체막(155a)의 표면을 붕소, 인, 알칼리 금속, 또는 알칼리 토금속을 포함하는 용액에 노출시킨 후, 열 처리를 수행한다.

[0097] 그 결과, 도 3의 (C)에 나타낸 바와 같이, 도전성을 갖는 산화물 반도체막(155b)을 형성할 수 있다.

[0098] 다음에, 도 2의 (D)에서와 유사한 방법에 의해, 도전막(159)은 도전성을 갖는 산화물 반도체막(155b) 위에 형성될 수 있다(도 3의 (D) 참조).

[0099] <도전성을 갖는 산화물 반도체막(155b) 및 도전막(159)의 형성 방법 3>

[0100] 도 2의 (A) 내지 (D) 및 도 3의 (A) 내지 (D)에서의 방법들과 상이한, 도전성을 갖는 산화물 반도체막(155b)의 형성 방법은 도 4의 (A) 내지 (C)를 참조하여 기술된다.

[0101] 도 4의 (A)에 나타낸 바와 같이, 절연막(153)이 기판(151) 위에 형성된 후, 산화물 반도체막(155)이 절연막(153) 위에 형성된다.

[0102] 다음에, 도 2의 (D)에서와 유사한 방법에 의해, 도전막(159)이 산화물 반도체막(155) 위에 형성된다(도 4의 (B) 참조). 여기서, 도전막(159)으로서, 도전막(159a) 및 도전막(159b)이 형성된다.

[0103] 다음에, 절연막(153), 산화물 반도체막(155), 및 도전막(159) 위에 수소를 포함하는 절연막(157)이 형성된다. 절연막(157)은, 스퍼터링법, 플라즈마 CVD법 등에 의해 형성된다. 절연막(157)은 가열하면서 형성할 수 있다. 또는, 절연막(157)을 형성한 후에, 열 처리를 수행할 수 있다.

[0104] 절연막(157)의 형성 방법으로서 스퍼터링법, 플라즈마 CVD법 등을 사용함으로써, 산화물 반도체막(155)이 손상되고 결함들이 생성된다. 또한, 가열하면서 절연막(157)을 형성하거나, 또는 절연막(157)을 형성한 후 열 처리하고, 이에 의해 절연막(157)에 포함되는 수소를 산화물 반도체막(155)으로 이동시킨다. 그 결과, 도 4의 (C)에 나타낸 바와 같이, 도전성을 갖는 산화물 반도체막(155b)을 형성할 수 있다. 결함들 및 불순물들의 작용에 의해, 도전성을 갖는 산화물 반도체막(155)의 도전성은 산화물 반도체막(155)의 도전성과 비교하여 증가된다. 따라서, 도전성을 갖는 산화물 반도체막(155b)은 전극 또는 배선으로서 기능한다.

[0105] <변형 예 1>

[0106] 도전막(159)의 변형 예들은 도 5의 (A) 내지 (F)를 참조하여 기술된다. 여기서, 도 1의 (B)에서 도전막(159)의 변형 예들이 도시되지만; 변형 예들은 도 1의 (A) 내지 (C)에서 도전막(159)에서 적절히 사용될 수 있다.

[0107] 도 5의 (A)에 나타낸 바와 같이, 도전막(159a)은 도전성을 갖는 산화물 반도체막(155b) 위에 Cu-X 합금막의 단

층으로 형성될 수 있다.

[0108] 또는, 도 5의 (B)에 나타낸 바와 같이, 도전막(159)은, 도전성을 갖는 산화물 반도체막(155b) 위에 Cu-X 합금막으로 형성된 도전막(159a), 저저항 재료를 포함하는 도전막으로 형성된 도전막(159b), 및 Cu-X 합금막으로 형성된 도전막(159c)을 적층함으로써 형성될 수 있다.

[0109] 도전막(159)이 저저항 재료를 포함하는 도전막으로 형성된 도전막(159b) 위에 Cu-X 합금막으로 형성된 도전막(159c)을 포함하는 경우, Cu-X 합금막으로 형성된 도전막(159c)은 저저항 재료를 포함하는 도전막(159b)의 보호막으로서 기능하며; 따라서, 절연막(157)의 형성시 저저항 재료를 포함하는 도전막(159b)의 반응을 방지할 수 있다.

[0110] 또는, 도 5의 (C) 및 (D)에 나타낸 바와 같이, 도전성을 갖는 산화물 반도체막(155b)은 수소를 포함하는 막으로 형성된 절연막(157a) 위에 형성될 수 있다. 이러한 경우, 절연막(153a)은 도전성을 갖는 산화물 반도체막(155b) 및 도전막(159) 위에 제공될 수 있다.

[0111] 다음에, 도 5의 (E) 및 (F)는 도전성을 갖는 산화물 반도체막(155b)이 도전막(159) 및 도전막(159a) 각각과 접하는 영역들의 확대도들을 도시한다. 도 5의 (E)에 나타낸 바와 같이, 피복막(156b)은, 일부 경우들에서는, 도전막(159a)의 하부면, 측면, 및 상부면 중 적어도 하나에, 바람직하게는 도전막(159a)의 외부 주변에 형성된다. 피복막(156b)은 X를 포함하는 화합물을 사용하여 형성된다. X를 포함하는 화합물은 도전막(159a)에 포함되는 Cu-X 합금막 내의 X와, 도전성을 갖는 산화물 반도체막(155b) 또는 절연막(157)에 포함되는 원소 사이의 반응에 의해 형성된다. X를 포함하는 화합물로서, X를 포함하는 산화물, X를 포함하는 질화물, X를 포함하는 규화물, X를 포함하는 탄화물 등이 제시된다.

[0112] Cu-Mn 합금막이 Cu-X 합금막으로서 사용되는 경우, 피복막(156b)의 예로는, 산화 망간막이 형성된다.

[0113] 또는, 도 5의 (F)에 나타낸 바와 같이, 피복막(156c)은, 일부 경우들에서는, 도전막(159)의 하부면, 측면, 및 상부면 중 적어도 하나에, 바람직하게는 도전막(159)의 외부 주변에 형성된다. 피복막(156c)은 X를 포함하는 화합물을 사용하여 형성된다. X를 포함하는 화합물은 도전막(159)에 포함되는 Cu-X 합금막 내의 X와, 도전성을 갖는 산화물 반도체막(155b) 또는 절연막(157)에 포함되는 원소 사이의 반응에 의해 형성된다. 피복막(156c)이 도전막(159b)과 접하는 영역에서, 저저항 재료의 산화물이 형성된다. 또한, Cu-X 합금막 내의 X는, 일부 경우들에서는, 피복막(156c)이 도전막(159b)과 접하는 영역에 포함된다. 이것은 아마, 상기 도전막(159a) 또는 도전막(159c)의 에칭시 생성된 잔류물의 부착, 절연막(157)의 형성시 잔류물의 부착, 열 처리에 있어서 잔류물의 부착 등이 원인일 것이다. 또한, Cu-X 합금막 내의 X는, 일부 경우들에서는, 산화물로 산화된다. 따라서, Cu-Mn 합금막이 도전막(159b)으로서 사용되는 경우, 피복막(156c)의 예로서, 산화 망간막이 형성된다.

[0114] <변형 예 2>

[0115] 여기서, 도전성을 갖는 산화물 반도체막 및 도전막의 변형예들은 도 6의 (A) 내지 (C)를 참조하여 기술된다.

[0116] 도 6의 (A)에서, Cu-X 합금막으로 형성된 단층의 도전막(159a)은 절연막(153) 및 도전성을 갖는 산화물 반도체막(155b) 사이에 제공된다.

[0117] 또는, 도 6의 (B)에 나타낸 바와 같이, 2층의 구조를 갖는 도전막(159)은 절연막(153) 및 도전성을 갖는 산화물 반도체막(155b) 사이에 제공된다. 도전막(159)은 Cu-X 합금막으로 형성된 도전막(159a)과, 저저항 재료를 포함하는 도전막으로 형성된 도전막(159b)을 적층함으로써 형성된다.

[0118] 또는, 도 6의 (C)에 나타낸 바와 같이, 3층의 구조를 갖는 도전막(159)은 절연막(153) 및 도전성을 갖는 산화물 반도체막(155b) 사이에 제공된다. 도전막(159)은 Cu-X 합금막으로 형성된 도전막(159a), 저저항 재료를 포함하는 도전막으로 형성된 도전막(159b), 및 Cu-X 합금막으로 형성된 도전막(159c)을 적층함으로써 형성된다.

[0119] Cu-X 합금막으로 형성된 도전막(159c)이 도전막(159)에서 저저항 재료를 포함하는 도전막으로 형성된 도전막(159b) 위에 제공되는 경우, Cu-X 합금막으로 형성된 도전막(159c)이 저저항 재료를 포함하는 도전막(159b)의 보호막으로서 기능하고; 따라서, 도전성을 갖는 산화물 반도체막(155b)의 형성시 저저항 재료를 포함하는 도전막(159b)의 반응이 방지될 수 있다.

[0120] 본 실시형태에 기술된 구조들, 방법들 등을 다른 실시형태들에 기술된 구조들, 방법들 등 중 어느 하나와 적절히 조합하여 사용될 수 있다.

[0121] (실시형태 2)

- [0122] 본 실시형태에서, 실시형태 1에서 도전성을 갖는 산화물 반도체막을 포함하는 저항 소자는 도 7의 (A) 내지 (D), 도 8의 (A) 및 (B), 도 9의 (A) 및 (B), 도 10의 (A) 및 (B), 및 도 11의 (A) 내지 (C)를 참조하여 기술된다.
- [0123] 도 7의 (A) 내지 (D)는 반도체 장치에 포함된 저항 소자들의 단면도들이다.
- [0124] 도 7의 (A)에서의 저항 소자(160a)는 도전성을 갖는 산화물 반도체막(155b)과, 도전성을 갖는 산화물 반도체막(155b)과 접하는 한 쌍의 도전막(161) 및 도전막(162)을 포함한다. 도전성을 갖는 산화물 반도체막(155b)과, 한 쌍의 도전막(161) 및 도전막(162)은 기판(151) 위에 형성되는 절연막(153) 위에 제공된다.
- [0125] 또한, 도전막(161) 및 도전막(162)은 각각 단층 구조 또는 2층 이상의 적층 구조를 가질 수 있다. 한 쌍의 도전막(161) 및 도전막(162)은 실시형태 1에서의 도전막(159)의 구조, 방법 및 형성 방법과 유사한 구조, 재료 및 형성 방법을 사용하여 형성될 수 있다. 즉, 한 쌍의 도전막(161) 및 도전막(162)은 Cu-X 합금막을 포함한다.
- [0126] 도 7의 (A)에서의 저항 소자(160a)에서, 도전막(161)은 도전성을 갖는 산화물 반도체막(155b)과 접하는 도전막(161a)과, 상기 도전막(161a)과 접하는 도전막(161b)의 적층 구조이며, 도전막(162)은 도전성을 갖는 산화물 반도체막(155b)과 접하는 도전막(162a)과, 상기 도전막(162a)과 접하는 도전막(162b)의 적층 구조를 갖는다.
- [0127] 여기서, 도전막(161a) 및 도전막(162a)으로서, Cu-X 합금막이 사용된다. 도전막(161b) 및 도전막(162b)으로서, 저저항 재료를 포함하는 도전막이 사용된다.
- [0128] 또한, 도 7의 (B)에 나타낸 저항 소자(160b)에서와 같이, 수소를 포함하는 막으로 형성된 절연막(157)은 절연막(153), 도전성을 갖는 산화물 반도체막(155b), 및 한 쌍의 도전막(161) 및 도전막(162) 위에 형성될 수 있다.
- [0129] 또는, 도 7의 (C)에 나타낸 저항 소자(160c)에서와 같이, 도전성을 갖는 산화물 반도체막(155b) 및 한 쌍의 도전막(161) 및 도전막(162)이 수소를 포함하는 막으로 형성된 절연막(157a) 위에 형성될 수 있다. 이러한 경우, 절연막(153a)은 도전성을 갖는 산화물 반도체막(155b) 및 한 쌍의 도전막(161) 및 도전막(162) 위에 제공될 수 있다.
- [0130] 도전성을 갖는 산화물 반도체막(155b)의 저항율은 Cu-X막을 포함하는 한 쌍의 도전막(161) 및 도전막(162)의 저항율보다 높다. 따라서, 한 쌍의 도전막(161) 및 도전막(162) 사이에 도전성을 갖는 산화물 반도체막(155b)을 제공함으로써 이들은 저항 소자로서 기능한다.
- [0131] 도전성을 갖는 산화물 반도체막(155b)은 결합들과 불순물들을 포함한다. 결합들 및 불순물들의 영향에 의해, 도전성을 갖는 산화물 반도체막(155b)의 도전성은 향상된다. 또한, 도전성을 갖는 산화물 반도체막(155b)은 투광성을 갖는다. 그 결과, 투광성을 갖는 저항 소자가 형성될 수 있다.
- [0132] Cu-X 합금막을 포함하는 한 쌍의 도전막(161) 및 도전막(162)이 도전성을 갖는 산화물 반도체막(155b) 위에 형성되고, 이에 의해 도전성을 갖는 산화물 반도체막(155b)과 한 쌍의 도전막(161) 및 도전막(162) 사이의 밀착성을 증가시킬 수 있으며, 이들 사이의 접촉 저항을 감소시킬 수 있다.
- [0133] 여기서, 도 7의 (D)는 도전성을 갖는 산화물 반도체막(155b)이 도전막(161)과 접하는 영역의 확대도를 도시한다. Cu-X 합금막이 도전성을 갖는 산화물 반도체막(155b)과 접하는 도전막(161a)으로서 사용되는 경우, 일부 경우들에서는, Cu-X 합금막 내의 X를 포함하는 피복막(156)이 도전성을 갖는 산화물 반도체막(155b)과 도전막(161a)사이의 계면에 형성된다. Cu에 대한 차단막으로서 기능하는 피복막(156)을 형성함으로써, Cu-X 합금막 내의 Cu가 도전성을 갖는 산화물 반도체막(155b) 내로 진입되는 것을 억제할 수 있다.
- [0134] 또한, 나타내지는 않았지만, 피복막(156a)과 같은 피복막은, 실시형태 1에서의 도전막(159)의 경우와 유사하게, 일부 경우들에서는, 도전막(161) 및 도전막(162)의 주변에 형성된다.
- [0135] <보호 회로의 회로도>
- [0136] 본 실시형태에서 저항 소자를 사용하는 보호 회로는 도 8의 (A) 및 (B)를 참조하여 기술된다. 여기서, 표시 장치가 반도체 장치로서 사용되지만, 보호 회로는 또 다른 반도체 장치에서 사용될 수 있다.
- [0137] 도 8의 (A)는 반도체 장치에 포함되는 보호 회로(170a)의 구체적인 예를 나타낸다.
- [0138] 도 8의 (A)에 나타낸 보호 회로(170a)는 배선(171)과 배선(172) 사이에 저항 소자(173), 및 다이오드-접속된 트랜지스터(174)를 포함한다.

- [0139] 저항 소자(173)는 트랜지스터(174)에 직렬로 접속되어, 저항 소자(173)는 트랜지스터(174)를 통해 흐르는 전류 값을 제어할 수 있거나, 트랜지스터(174) 자체의 보호 저항 소자로서 기능할 수 있다.
- [0140] 배선(171)은, 예를 들면, 표시 장치에 포함되는 주사선, 데이터선, 또는 단자부로부터 구동 회로부까지의 리드 배선이다. 배선(172)은, 예를 들면, 게이트 드라이버 또는 소스 드라이버에 전원을 공급하기 위한 전원 공급선의 전위(VDD, VSS 또는 GND)가 공급되는 배선이다. 또는, 상기 배선(172)은, 공통 전위가 공급되는 배선(공통선: common line)이다.
- [0141] 예를 들면, 배선(172)은 바람직하게는, 주사선 구동 회로에 전원을 공급하기 위한 전원 공급선에, 특히 낮은 전위를 공급하기 위한 배선에 접속된다. 이것은, 게이트 신호선이 대부분의 기간에서 낮은 수준의 전위를 갖기 때문이며, 따라서, 상기 배선(172)이 또한 낮은 수준의 전위를 가질 경우, 통상의 동작시에 게이트 신호선으로부터 배선(172)으로 누설되는 전류를 감소시킬 수 있다.
- [0142] 도 8의 (A)에 나타낸 저항 소자(173)가 다이오드-접속된 트랜지스터와 직렬로 접속되어 있지만, 저항 소자(173)는 도 8의 (A)에서 예로 한정되지 않고 다이오드-접속된 트랜지스터와 병렬로 접속될 수 있다.
- [0143] 다음에, 도 8의 (B)는 복수의 트랜지스터들 및 복수의 저항 소자들을 포함하는 보호 회로를 나타낸다.
- [0144] 도 8의 (B)에 나타낸 보호 회로(170b)는 트랜지스터(174a), 트랜지스터(174b), 트랜지스터(174c) 및 트랜지스터(174d), 및 저항 소자(173a), 저항 소자(173b) 및 저항 소자(173c)를 포함한다. 보호 회로(170b)는 한 세트의 배선(175), 배선(176) 및 배선(177)과 또 다른 세트의 배선(175), 배선(176) 및 배선(177) 사이에 제공된다. 배선(175), 배선(176), 및 배선(177)은 주사선 구동 회로, 신호선 구동 회로 및 화소부 중 하나 이상에 접속된다. 또한, 트랜지스터(174a)의 소스 전극으로서 기능하는 제 1 단자는 트랜지스터(174a)의 게이트 전극으로서 기능하는 제 2 단자에 접속되며, 트랜지스터(174a)의 드레인 전극으로서 기능하는 제 3 단자는 배선(177)에 접속된다. 트랜지스터(174b)의 소스 전극으로서 기능하는 제 1 단자는 트랜지스터(174b)의 게이트 전극으로서 기능하는 제 2 단자에 접속되며, 트랜지스터(174b)의 드레인 전극으로서 기능하는 제 3 단자는 트랜지스터(174a)의 제 1 단자에 접속된다. 트랜지스터(174c)의 소스 전극으로서 기능하는 제 1 단자는 트랜지스터(174c)의 게이트 전극으로서 기능하는 제 2 단자에 접속되며, 트랜지스터(174c)의 드레인 전극으로서 기능하는 제 3 단자는 트랜지스터(174b)의 제 1 단자에 접속된다. 트랜지스터(174d)의 소스 전극으로서 기능하는 제 1 단자는 트랜지스터(174d)의 게이트 전극으로서 기능하는 제 2 단자에 접속되며, 트랜지스터(174d)의 드레인 전극으로서 기능하는 제 3 단자는 트랜지스터(174c)의 제 1 단자에 접속된다. 저항 소자(173a) 및 저항 소자(173c)는 배선(177)에 제공된다. 저항 소자(173b)는 배선(176)과, 트랜지스터(174b)의 제 1 단자 및 트랜지스터(174c)의 제 3 단자 사이에 제공된다.
- [0145] 배선(175)은, 예를 들면, 저전원 공급 전위(VSS)가 인가되는 전원 공급선으로서 사용될 수 있음 주목해야 한다. 배선(176)은, 예를 들면, 공통 선으로서 사용될 수 있다. 배선(177)은, 고전원 공급 전위(VDD)가 인가되는 전원 공급선으로서 사용될 수 있다.
- [0146] 본 실시형태에서의 저항 소자는 도 8의 (A) 및 (B)에서의 저항 소자로서 사용될 수 있다. 저항 소자에 포함되는 도전성을 갖는 산화물 반도체막의 형상, 구체적으로는 길이 또는 폭을 적절히 조정함으로써, 저항 소자는 소정의 저항을 가질 수 있다. 도 9의 (A) 및 (B)는 저항 소자(160d)의 예를 나타낸다. 도 9의 (A)는 저항 소자(160d)의 상면도이며, 도 9의 (B)는 도 9의 (A)의 일점-쐐기(A-B)을 따라 취한 단면도이다. 도 9의 (A) 및 (B)에 나타낸 저항 소자(160d)에서와 같이, 도전성을 갖는 산화물 반도체막(155c)의 상부면은 지그재그 형상을 가지며, 이에 의해 저항 소자의 저항이 제어될 수 있다.
- [0147] 이러한 방식으로, 보호 회로(170b)는 다이오드-접속된 복수의 트랜지스터들과 복수의 저항 소자들을 포함한다. 즉, 보호 회로(170b)는 병렬로 조합된 다이오드-접속된 트랜지스터들과 저항 소자들을 포함할 수 있다.
- [0148] 보호 회로를 사용함으로써, 반도체 장치는 정전기 방전(ESD)으로 인한 과전류에 대한 향상된 내성을 가질 수 있다. 따라서, 개선된 신뢰성을 갖는 반도체 장치가 제공될 수 있다.
- [0149] 또한, 저항 소자가 보호 회로로서 사용될 수 있으며 저항 소자의 저항이 임의로 조정될 수 있기 때문에, 보호 회로로서 사용되는 다이오드-접속된 트랜지스터 등도 보호될 수 있다.
- [0150] 본 실시형태에 기술된 구조는 다른 실시형태들 중 어느 하나에 기술된 구조와 적절히 조합하여 사용될 수 있다.
- [0151] <변형 예 1>

- [0152] 도 10의 (A)에 나타낸 저항 소자(160e)에서와 같이, 도전막(161a) 및 도전막(162a) 각각은, 도전성을 갖는 산화물 반도체막(155b) 위에 단층의 Cu-X 합금막으로 형성될 수 있다.
- [0153] 또는, 도 10의 (B)에 나타낸 저항 소자(160f)에서와 같이, 한 쌍의 도전막(161) 및 도전막(162)은 3층의 구조를 가질 수 있다. 도전막(161)은 도전성을 갖는 산화물 반도체막(155b)과 접하는 도전막(161a), 상기 도전막(161a)과 접하는 도전막(161b), 및 상기 도전막(161b)과 접하는 도전막(161c)의 적층 구조를 갖는다. 도전막(162)은 도전성을 갖는 산화물 반도체막(155b)과 접하는 도전막(162a), 도전막(162a)과 접하는 도전막(162b), 및 도전막(162b)과 접하는 도전막(162c)의 적층 구조를 갖는다.
- [0154] 한 쌍의 도전막(161) 및 도전막(162)이 저저항 재료를 포함하는 도전막으로 형성된 도전막(161b) 및 도전막(162b) 위에 Cu-X 합금막으로 형성된 도전막(161c) 및 도전막(162c)을 포함하는 경우, Cu-X 합금막으로 형성된 도전막(161c) 및 도전막(162c)은 저저항 재료를 포함하는 도전막(161b) 및 도전막(162b)의 보호막들로서 기능하며; 따라서, 절연막(157)의 형성시 저저항 재료를 포함하는 도전막(161b) 및 도전막(162b)의 반응을 방지할 수 있다.
- [0155] 또한, 나타내지 않았지만, 피복막(156b) 및 피복막(156c)과 같은 피복막은, 실시형태 1에서의 도전막(159)의 경우와 유사하게, 일부 경우들에서는, 도전막(161) 및 도전막(162)의 주변에 형성된다.
- [0156] <변형예 2>
- [0157] 여기서, 저항 소자의 변형예는 도 11의 (A) 내지 (C)를 참조하여 기술된다.
- [0158] 도 11의 (A)에서의 저항 소자(160g)는 절연막(153)과 도전성을 갖는 산화물 반도체막(155b) 사이에 단층의 Cu-X 합금막으로 형성된 한 쌍의 도전막(163a) 및 도전막(164a)을 포함한다.
- [0159] 또는, 도 11의 (B)에 나타낸 바와 같이, 저항 소자(160h)에 있어서, 한 쌍의 도전막(163) 및 도전막(164)은 절연막(153) 및 도전성을 갖는 산화물 반도체막(155b) 사이에 제공되며 2층의 구조를 갖는다. 도전막(163)은 Cu-X 합금막으로 형성된 도전막(163a)과, 저저항 재료를 포함하는 도전막으로 형성된 도전막(163b)을 적층함으로써 형성된다. 도전막(164)은 Cu-X 합금막으로 형성된 도전막(164a)과, 저저항 재료를 포함하는 도전막으로 형성된 도전막(164b)을 적층함으로써 형성된다.
- [0160] 또는, 도 11의 (C)에 나타낸 바와 같이, 저항 소자(160i)에 있어서, 한 쌍의 도전막(163) 및 도전막(164)은 절연막(153) 및 도전성을 갖는 산화물 반도체막(155b) 사이에 제공되며 3층의 구조를 갖는다. 도전막(163)은 Cu-X 합금막으로 형성된 도전막(163a), 저저항 재료를 포함하는 도전막으로 형성된 도전막(163b), 및 Cu-X 합금막으로 형성된 도전막(163c)을 적층함으로써 형성된다. 도전막(164)은 Cu-X 합금막으로 형성된 도전막(164a), 저저항 재료를 포함하는 도전막으로 형성된 도전막(164b), 및 Cu-X 합금막으로 형성된 도전막(164c)을 적층함으로써 형성된다.
- [0161] Cu-X 합금막으로 형성된 도전막(163c) 및 도전막(164c)이, 한 쌍의 도전막(163) 및 도전막(164)에서 저저항 재료를 포함하는 도전막으로 형성된 도전막(163b) 및 도전막(164b) 위에 제공되는 경우, Cu-X 합금막으로 형성된 도전막(163c) 및 도전막(164c)은 저저항 재료를 포함하는 도전막으로 형성된 도전막(163b) 및 도전막(164b)의 보호막으로서 기능하며; 따라서, 도전성을 갖는 산화물 반도체막(155b) 및 절연막(157)의 형성시 저저항 재료를 포함하는 도전막(163b) 및 도전막(164b)의 반응을 방지할 수 있다.
- [0162] 또한, 나타내지 않았지만, 피복막(156), 피복막(156a), 피복막(156b), 및 피복막(156c)과 같은 피복막은, 실시형태 1에서의 도전막(159)의 경우와 유사하게, 일부 경우들에서는, 한 쌍의 도전막(163) 및 도전막(164)의 주변에 형성된다.
- [0163] 본 실시형태에 기술된 구조들, 방법들 등을 다른 실시형태들에 기술된 구조들, 방법들 등 중 어느 하나와 적절히 조합하여 사용될 수 있다.
- [0164] (실시형태 3)
- [0165] 본 실시형태에서, 실시형태 1에서 도전성을 갖는 산화물 반도체막을 포함하는 용량 소자는 도 12의 (A) 내지 (C), 도 13의 (A) 및 (B), 및 도 14의 (A) 내지 (C)를 참조하여 기술된다.
- [0166] 도 12의 (A) 내지 (C)는 반도체 장치에 포함된 용량 소자들의 단면도들이다.
- [0167] 도 12의 (A)에서의 용량 소자(180a)는, 도전성을 갖는 산화물 반도체막(155b), 도전성을 갖는 산화물 반도체막

(155b)과 접하는 절연막(157), 및 절연막(157)을 개재하여 산화물 반도체막(155b)과 중첩하는 도전막(181)을 포함한다. 또한, 리드 배선으로서 기능하는 도전막은 도전성을 갖는 산화물 반도체막(155b) 또는 도전막(181)과 접할 수 있다. 여기서, 도전성을 갖는 산화물 반도체막(155b)과 접하는 도전막(159)은 리드 배선으로서 기능하는 막이다. 도전성을 갖는 산화물 반도체막(155b), 절연막(157), 및 도전막(159)은 기판(151) 위에 형성된 절연막(153) 위에 제공된다.

[0168] 또한, 도전막(159)은 단층 구조 또는 2층 이상의 적층 구조를 가질 수 있다. 도전막(159)은 실시형태 1에서의 도전막(159)의 구조, 재료 및 형성 방법과 유사한 구조, 재료 및 형성 방법을 사용하여 형성될 수 있다. 즉, 도전막(159)은 Cu-X 합금막을 포함한다.

[0169] 도 12의 (A)에서의 용량 소자(180a)에 있어서, 도전막(159)은 도전성을 갖는 산화물 반도체막(155b)과 접하는 도전막(159a)과, 도전막(159a)과 접하는 도전막(159b)의 적층 구조를 갖는다. 도전막(159a)으로서 Cu-X 합금막이 사용된다. 도전막(159b)으로서, 저저항 재료를 포함하는 도전막이 사용된다.

[0170] 또는, 도 12의 (B)에 나타낸 용량 소자(180b)에서와 같이, 도전성을 갖는 산화물 반도체막(155b) 및 도전막(159)이 절연막(157a) 위에 형성될 수 있다. 이러한 경우, 절연막(153a)은 도전성을 갖는 산화물 반도체막(155b) 및 도전막(181) 사이에 제공될 수 있다.

[0171] 도전막(181)은 알루미늄, 티탄, 크롬, 니켈, 구리, 이트륨, 지르코늄, 몰리브덴, 철, 코발트, 은, 탄탈 및 텅스텐과 같은 금속들 중 어느 하나, 및 이들 금속들 중 어느 하나를 이의 주성분으로서 함유하는 합금을 포함하는 단층 구조 또는 적층 구조를 갖도록 형성된다. 예를 들면, 실리콘을 함유하는 알루미늄막의 단층 구조; 망간을 함유하는 구리막의 단층 구조; 알루미늄막이 티탄막 위에 적층된 2층 구조; 알루미늄막이 텅스텐막 위에 적층된 2층 구조; 구리막이 구리-마그네슘-알루미늄 합금막 위에 적층된 2층 구조; 구리막이 티탄막 위에 적층된 2층 구조; 구리막이 텅스텐 막 위에 적층된 2층 구조; 구리막이 망간을 함유하는 구리막 위에 적층된 2층 구조; 티탄막 또는 질화 티탄막, 알루미늄막 또는 구리막, 및 티탄막 또는 질화 티탄막이 이 순서로 적층된 3층 구조; 몰리브덴막 또는 질화 몰리브덴막, 알루미늄막 또는 구리막, 및 몰리브덴막 또는 질화 몰리브덴막이 이 순서로 적층된 3층 구조; 망간을 함유하는 구리막, 구리막 및 망간을 함유하는 구리막이 이 순서로 적층된 3층 구조 등이 제시될 수 있다.

[0172] 도전막(181)에 대해, 도전막(159)의 구조 및 재료와 유사한 구조 및 재료를 적절히 사용할 수 있다.

[0173] 또한, 도전막(181)으로서, 투광성을 갖는 도전막이 사용될 수 있다. 투광성을 갖는 도전막으로서, 산화텅스텐을 함유하는 인듐 산화물막, 산화텅스텐을 함유하는 인듐아연 산화물막, 산화티탄을 함유하는 인듐 산화물막, 산화티탄을 함유하는 인듐주석 산화물막, 인듐주석 산화물(이하, ITO로 언급됨)막, 인듐아연 산화물막, 산화규소를 첨가한 인듐주석 산화물막 등이 제공된다.

[0174] 도전성을 갖는 산화물 반도체막(155b)은 결함들 및 불순물들을 포함한다. 결함들 및 불순물들의 작용에 의해, 도전성을 갖는 산화물 반도체막(155b)의 도전성은 증가된다. 또한, 도전성을 갖는 산화물 반도체막(155b)은 투광성을 갖는다. 투광성을 갖는 도전막이 도전막(181)으로서 사용되고, 이에 의해 투광성을 갖는 용량 소자가 형성될 수 있다.

[0175] Cu-X 합금막을 포함하는 도전막(159)이 도전성을 갖는 산화물 반도체막(155b) 위에 형성되고, 이에 의해 도전성을 갖는 산화물 반도체막(155b)과 도전막(159) 사이의 밀착성을 증가시킬 수 있으며, 이들 사이의 접촉 저항을 감소시킬 수 있다.

[0176] 여기서, 도 12의 (C)는 도전성을 갖는 산화물 반도체막(155b)이 도전막(159)과 접하는 영역의 확대도를 도시한다. Cu-X 합금막이 도전성을 갖는 산화물 반도체막(155b)과 접하는 도전막(159a)으로서 사용되는 경우, Cu-X 합금막 내의 X를 포함하는 피복막(156)이, 일부 경우들에서는, 도전성을 갖는 산화물 반도체막(155b)과 도전막(159a) 사이의 계면에 형성된다. Cu에 대한 차단막으로서 기능하는 피복막(156)을 형성함으로써, Cu-X 합금막 내의 Cu가 도전성을 갖는 산화물 반도체막(155b) 내로 진입되는 것을 억제할 수 있다.

[0177] 또한, 나타내지는 않았지만, 피복막(156a)과 같은 피복막은, 실시형태 1에서의 도전막(159)과 유사하게, 일부 경우들에서는, 도전막(159)의 주변에 형성된다.

[0178] <변형 예 1>

[0179] 도 13의 (A)에 나타낸 용량 소자(180c)에서와 같이, Cu-X 합금막으로 형성된 단층의 도전막(159a)은, 도전성을

갖는 산화물 반도체막(1556) 위에 형성될 수 있다.

[0180] 또는, 도 13의 (B)에 나타낸 용량 소자(180d)에서와 같이, 도전막(159)은 3층의 구조를 가질 수 있다. 도전막(159)은 도전성을 갖는 산화물 반도체막(155b)과 접하는 도전막(159a), 상기 도전막(159a)과 접하는 도전막(159b), 및 상기 도전막(159b)과 접하는 도전막(159c)의 적층 구조를 갖는다.

[0181] Cu-X 합금막으로 형성된 도전막(159c)이 도전막(159)에서 저저항 재료를 포함하는 도전막으로 형성된 도전막(159b) 위에 제공되는 경우, Cu-X 합금막으로 형성된 도전막(159c)이 저저항 재료를 포함하는 도전막(159b)의 보호막으로서 기능하고; 따라서, 절연막(157)의 형성시 저저항 재료를 포함하는 도전막(159b)의 반응이 방지될 수 있다.

[0182] 또한, 나타내지 않았지만, 피복막(156b) 및 피복막(156c)과 같은 피복막은, 실시형태 1에서의 도전막(159)의 경우와 유사하게, 일부 경우들에서는, 도전막(159)의 주변에 형성된다.

[0183] <변형 예 2>

[0184] 여기서, 용량 소자의 변형예는 도 14의 (A) 내지 (C)를 참조하여 기술된다.

[0185] 도 14의 (A)에서의 용량 소자(180e)는 절연막(153) 및 도전성을 갖는 산화물 반도체막(155b) 사이에 단층의 Cu-X 합금막으로 형성된 도전막(159a)을 포함한다.

[0186] 또는, 도 14의 (B)에서 나타낸 바와 같이, 용량 소자(180f)에 있어서, 도전막(159)은 절연막(153)과, 도전성을 갖는 산화물 반도체막(155b) 사이에 제공되며 2층의 구조를 갖는다. 상기 도전막(159)은 Cu-X 합금막으로 형성된 도전막(159a)과, 저저항 재료를 포함하는 도전막으로 형성된 도전막(159b)을 적층함으로써 형성된다.

[0187] 또는, 도 14의 (C)에서 나타낸 바와 같이, 용량 소자(180g)에 있어서, 도전막(159)은 절연막(153)과, 도전성을 갖는 산화물 반도체막(155b) 사이에 제공되며 3층의 구조를 갖는다. 도전막(159)은, Cu-X 합금막으로 형성된 도전막(159a)과, 저저항 재료를 포함하는 도전막으로 형성된 도전막(159b), 및 Cu-X 합금막으로 형성된 도전막(159c)을 적층함으로써 형성된다.

[0188] Cu-X 합금막으로 형성된 도전막(159c)이, 도전막(159c)에 있어서, 저저항 재료를 포함하는 도전막으로 형성된 도전막(159b) 위에 제공되는 경우, Cu-X 합금막으로 형성된 도전막(159c)은 저저항 재료를 포함하는 도전막(159b)의 보호막으로서 기능하며; 따라서, 도전성을 갖는 산화물 반도체막(155b) 및 절연막(157)의 형성시 저저항 재료를 포함하는 도전막(159b)의 반응을 방지할 수 있다.

[0189] 또한, 나타내지 않았지만, 피복막(156), 피복막(156a), 피복막(156b), 및 피복막(156c)과 같은 피복막은, 실시형태 1에서의 도전막(159)의 경우와 유사하게, 일부 경우들에서는, 도전막(159)의 주변에 형성된다.

[0190] 본 실시형태에 기술된 구조들, 방법들 등을 다른 실시형태들에 기술된 구조들, 방법들 등 중 어느 하나와 적절히 조합하여 사용될 수 있다.

[0191] (실시형태 4)

[0192] 본 실시형태에서, 본 발명의 일 실시형태의 표시 장치는 도면들을 참조하여 기술된다. 실시형태 1에서 도전성을 갖는 산화물 반도체막을 포함하는 용량 소자가 제공된 반도체 장치는 도 15의 (A) 내지 (C), 도 16, 도 17, 도 18의 (A) 내지 (D), 도 19의 (A) 내지 (C), 도 20의 (A) 내지 (C), 도 21의 (A) 및 (B), 도 22, 도 23, 도 24, 도 25, 및 도 26의 (A) 및 (B)를 참조하여 기술된다.

[0193] 도 15의 (A)는 표시 장치의 예를 나타낸다. 도 15의 (A)에 나타낸 표시 장치는 화소부(101); 주사선 구동 회로(104); 신호선 구동 회로(106); 각각 서로 평행 또는 실질적으로 평행하게 배열되어 전위가 주사선 구동 회로(104)에 의해 제어되는 m개의 주사선들(107); 및 각각 서로 평행 또는 실질적으로 평행하게 배열되어 전위가 신호선 구동 회로(106)에 의해 제어되는 n개의 신호선들(109)을 갖는다. 화소부(101)는 매트릭스에 배열된 복수의 화소들(103)을 추가로 포함한다. 또한, 각각이 평행 또는 실질적으로 평행하게 배열된 용량선들(115)은 신호선들(109)을 따라 제공될 수 있다. 용량선들(115)은 주사선들(107)을 따라 평행 또는 실질적으로 평행하게 배열될 수 있음을 주목해야 한다. 주사선 구동 회로(104) 및 신호선 구동 회로(106)는, 일부 경우들에서는, 집합적으로 구동 회로부로 언급된다.

[0194] 또한, 표시 장치는 또한 복수의 화소들 등을 구동시키는 구동 회로를 포함한다. 표시 장치는 또한, 또 다른 기판 위에 제공된 제어 회로, 전원 공급 회로, 신호 생성 회로, 백라이트(backlight) 모듈 등을 포함하는 액정 모

들로 언급될 수 있다.

[0195] 각각의 주사선(107)은 화소부(101)에 있어서 m 행 및 n 열에 배열된 화소들(103) 중 상응하는 행에서 n 개의 화소들(103)에 전기적으로 접속된다. 각각의 신호선(109)은 m 행 및 n 열에 배열된 화소들(103) 중 상응하는 열에서 m 개의 화소들(103)에 전기적으로 접속된다. m 및 n 은 각각 1 이상의 정수임을 주목해야 한다. 각각의 용량선(115)은 m 행 및 n 열에 배열된 화소들(103) 중 상응하는 열에서 m 개의 화소들(103)에 전기적으로 접속된다. 용량선들(115)이 주사선(107)에 따라 평행 또는 실질적으로 평행하게 배열되어 있는 경우, m 행 및 n 열에 배열된 화소들(103) 중 상응하는 행에서 n 개의 화소들(103)에 전기적으로 접속됨을 주목해야 한다.

[0196] FFS 구동이 액정 표시 장치에 사용되는 경우, 용량선이 제공되지 않으며 공통선 또는 공통 전극이 용량선으로서 기능한다.

[0197] 여기서, 하나의 화소는 주사선들 및 신호선들에 의해 둘러싸여 있으며 하나의 색을 나타내는 영역을 언급함에 주목해야 한다. 따라서, R(적색), G(녹색) 및 B(청색)의 색 요소들을 갖는 컬러 표시 장치의 경우, 화상의 최소 단위는 R 화소, G 화소 및 B 화소의 세가지 화소들로 구성된다. 색의 재현성은 R 화소, G 화소 및 B 화소에 엘로우 화소, 시안 화소, 마젠타 화소 등을 가하여 개선시킬 수 있음을 주목해야 한다. 또한, 표시 장치의 전력 소모는 R 화소, G 화소 및 B 화소에 W(백색) 화소를 가함으로써 감소시킬 수 있다. 액정 표시 장치의 경우, 액정 표시 장치의 밝기는 W 화소를 R 화소, G 화소 및 B 화소 각각에 가함으로써 개선시킬 수 있다. 그 결과, 액정 표시 장치의 전력 소모를 감소시킬 수 있다.

[0198] 도 15의 (B) 및 (C)는 도 15의 (A)에 나타낸 표시 장치에서 화소들(103)에 사용될 수 있는 회로 구성의 예들을 나타낸다.

[0199] 도 15의 (B)에서 화소(103)는 액정 소자(121), 트랜지스터(102), 및 용량 소자(105)를 포함한다.

[0200] 액정 소자(121)의 한 쌍의 전극들 중 하나의 전위는 화소(103)의 사양에 따라 적절히 설정된다. 액정 소자(121)의 배향 상태는 기록되는 데이터에 좌우된다. 공통 전위는, 복수의 화소들(103)의 각각에 포함된 액정 소자(121)의 한 쌍의 전극들 중 하나에 공급될 수 있다. 또한, 하나의 행에서 있어서 화소(103)에서 액정 소자(121)의 한 쌍의 전극들 중 하나에 공급된 전위는, 또 다른 행에 있어서 화소(103)에서 액정 소자(121)의 한 쌍의 전극들 중 하나에 공급된 전위와 상이할 수 있다.

[0201] 액정 소자(121)는 액정의 광학적 변조 작용을 이용하여 광의 투과 또는 비투과를 제어하는 소자이다. 액정의 광학적 변조 작용은 액정에 인가된 전계(횡방향 전계, 종방향 전계 및 경사방향 전계 포함)에 의해 제어됨을 주목해야 한다. 액정 소자(121)의 예에는 네마틱 액정, 콜레스테릭 액정, 스멕틱 액정, 서모트로픽 액정, 리오토로픽 액정, 강유전 액정, 및 반강유전 액정이 있다.

[0202] 액정 소자(121)를 포함하는 표시 장치의 구동 방법의 예로서, 하기 모드들 중 어느 하나가 제시될 수 있다: TN 모드, VA 모드, ASM(축 대칭 배향된 마이크로-셀) 모드, OCB(광학 보상된 굴절률) 모드, MVA 모드, PVA(페던화된 수직 배향) 모드, IPS 모드, FFS 모드, TBA(횡방향 벤드 배향) 모드. 본 발명의 일 실시형태는 이에 한정되지 않고, 다양한 액정 소자들 및 구동 방법들이 액정 소자 및 이의 구동 방법으로서 사용될 수 있음을 주목해야 한다.

[0203] 액정 소자는 청색상(blue phase)을 나타내는 액정과 키랄 재료를 포함하는 액정 조성물을 사용하여 형성될 수 있다. 청색상을 나타내는 액정은 1msec 이하의 짧은 응답 시간을 가지며, 광학적 등방성이며; 따라서, 배향 처리가 불필요하며 시야각의 존성이 작다.

[0204] 도 15의 (B)에 나타낸 화소(103)의 구조에 있어서, 트랜지스터(102)의 소스 전극 및 드레인 전극 중 하나는 신호선(109)에 전기적으로 접속되며 다른 하나는 액정 소자(121)의 한 쌍의 전극들 중 다른 하나에 전기적으로 접속된다. 트랜지스터(102)의 게이트 전극은 주사선(107)에 전기적으로 접속된다. 트랜지스터(102)는 턴온 또는 턴오프됨으로써 데이터 신호를 기록할지를 제어하는 기능을 갖는다.

[0205] 도 15의 (B)에서의 화소(103)에서, 용량 소자(105)의 한 쌍의 전극들 중 하나는 전위가 공급되는 용량선(115)에 전기적으로 접속되고, 다른 하나는 액정 소자(121)의 한 쌍의 전극들 중 다른 하나에 전기적으로 접속된다. 용량선(115)의 전위는 화소(103)의 사양에 따라 적절히 설정된다. 용량 소자(105)는 기록된 데이터를 저장하기 위한 저장 용량 소자로서 기능한다.

[0206] 도 15의 (C)에서의 화소(103)는 표시 소자의 스위칭을 수행하는 트랜지스터(133), 화소의 구동을 제어하는 트랜

지스터(102), 트랜지스터(135), 용량 소자(105), 및 발광 소자(131)를 포함한다.

[0207] 트랜지스터(133)의 소스 전극 및 드레인 전극 중 하나는 데이터 신호가 공급되는 신호선(109)에 전기적으로 접속된다. 트랜지스터(133)의 게이트 전극은 게이트 신호가 공급되는 주사선(107)에 전기적으로 접속된다.

[0208] 트랜지스터(133)는 턴온 또는 턴오프됨으로써 데이터 신호를 기록할지를 제어하는 기능을 갖는다.

[0209] 트랜지스터(102)의 소스 전극 및 드레인 전극 중 하나는 애노드선으로서 기능하는 배선(137)과 전기적으로 접속되고 다른 하나는 발광 소자(131)의 하나의 전극에 전기적으로 접속된다. 트랜지스터(102)의 게이트 전극은 트랜지스터(133)의 소스 전극 및 드레인 전극 중 다른 하나와, 용량 소자(105)의 하나의 전극에 전기적으로 접속된다.

[0210] 트랜지스터(102)는 턴온 또는 턴오프됨으로써, 발광 소자(131)를 통해 흐르는 전류를 제어하는 기능을 갖는다.

[0211] 트랜지스터(135)의 소스 전극 및 드레인 전극 중 하나는 데이터의 기준 전위가 공급되는 배선(139)에 접속되고, 다른 하나는 발광 소자(131)의 하나의 전극과, 용량 소자(105)의 다른 하나의 전극에 전기적으로 접속된다. 또한, 트랜지스터(135)의 게이트 전극은, 게이트 신호가 공급되는 주사선(107)에 전기적으로 접속된다.

[0212] 트랜지스터(135)는 발광 소자(131)를 통해 흐르는 전류를 조정하는 기능을 갖는다. 예를 들면, 발광 소자(131)의 내부 저항이 발광 소자(131)의 열화 등에 의해 증가하는 경우, 발광 소자(131)를 통해 흐르는 전류는 트랜지스터(135)의 소스 전극 및 드레인 전극 중 하나가 접속된 배선(139)을 통해 흐르는 전류를 모니터링함으로써 보정할 수 있다. 배선(139)에 공급된 전위는, 예를 들면, 0V로 설정할 수 있다.

[0213] 용량 소자(105)의 하나의 전극은 트랜지스터(102)의 게이트 전극, 및 트랜지스터(133)의 소스 전극 및 드레인 전극 중 다른 하나에 전기적으로 접속되고, 용량 소자(105)의 다른 하나의 전극은 트랜지스터(135)의 소스 전극 및 드레인 전극 중 다른 하나와, 발광 소자(131)의 하나의 전극에 전기적으로 접속된다.

[0214] 도 15의 (C)에서의 화소(103)에 있어서, 용량 소자(105)는 기록된 데이터를 저장하기 위한 저장 용량 소자로서 기능한다.

[0215] 발광 소자(131)의 하나의 전극은 트랜지스터(135)의 소스 전극 및 드레인 전극 중 다른 하나, 용량 소자(105)의 다른 하나의 전극, 및 트랜지스터(102)의 소스 전극 및 드레인 전극 중 다른 하나에 전기적으로 접속된다. 또한, 발광 소자(131)의 다른 하나의 전극은 캐소드로서 기능하는 배선(141)에 전기적으로 접속된다.

[0216] 발광 소자(131)로서는, 예를 들면, 유기 일렉트로루미네센스 소자(유기 EL 소자로도 언급됨) 등이 사용될 수 있다. 발광 소자(131)는 유리 EL 소자로 한정되지 않고, 무기 재료를 포함하는 무기 EL 소자가 사용될 수 있음을 주목해야 한다.

[0217] 고전원 전위(VDD)는 배선(137) 및 배선(141) 중 하나에 공급되며, 저전원 전위(VSS)는 다른 하나에 공급된다. 도 15의 (C)의 구조에 있어서, 고전원 전위(VDD)는 배선(137)에 공급되며, 저전원 전위(VSS)는 배선(141)에 공급된다.

[0218] 도 15의 (B) 및 (C) 각각은, 액정 소자(121) 및 발광 소자(131)가 표시 소자로서 사용된 예를 나타내지만, 본 발명의 일 실시형태는 이에 한정되지 않음을 주목해야 한다. 다양한 표시 소자들 중 어느 하나가 사용될 수 있다. 표시 소자의 예로는 LED(예를 들면, 백색 LED, 적색 LED, 녹색 LED, 또는 청색 LED), 트랜지스터(전류에 따라 발광하는 트랜지스터), 전자 에미터, 전자 잉크, 전기영동 소자, 그레이팅 광밸브(GLV: grating light valve), 플라즈마 표시 패널(PDP), 초소형 전자기계 시스템(MEMS)을 사용하는 표시 소자, 디지털 마이크로미러 장치(DMD), 디지털 마이크로 셔터(DMS), 간섭측정 변조기 표시(IMOD) 소자, MEMS 셔터 표시 소자, 광-간섭형의 MEMS 표시 소자, 전기습윤 소자(electrowetting element), 압전 세라믹 표시 장치, 또는 탄소 나노튜브와 같이, 콘트라스트, 휙도, 반사율, 투과율 등이 전자기 작용에 의해 변하는 표시 매체가 포함된다. EL 소자들을 포함하는 표시 장치들의 예로는 EL 표시 장치가 포함됨을 주목해야 한다. 전자 에미터들을 포함하는 표시 장치들의 예로는, 전계 방출 표시 장치(FED) 또는 SED형 평판 패널 표시 장치(SED: 표면-전도 전자-에미터 표시 장치)가 있다. 액정 소자들을 포함하는 표시 장치들의 예로는, 액정 표시 장치(예를 들면, 투과형 액정 표시 장치, 반투과형 액정 표시 장치, 반사형 액정 표시 장치, 직시형 액정 표시 장치 또는 투사형 액정 표시 장치) 등이 포함된다. 전자 잉크 또는 전기영동 소자들을 포함하는 표시 장치의 예로는 전자 종이가 있다. 반투과형 액정 표시 장치 또는 반사형 액정 표시 장치의 경우, 화소 전극들의 일부 또는 전부는 반사 전극들로서 기능한다. 예를 들면, 화소 전극들의 일부 또는 전부는 알루미늄, 은 등을 함유하도록 형성된다. 이러한 경우, SRAM과 같

은 기억 회로가 반사 전극들 아래에 제공될 수 있어서, 낮은 전력 소모를 초래한다.

[0219] 다음에, 표시 장치에 포함되는 소자 기판의 구체적인 구조가 기술된다. 여기서, 화소(103)에서 액정 소자를 포함하는 액정 표시 장치의 구체적인 예가 기술된다. 도 16은 도 15의 (B)에 나타낸 화소(103)의 상면도이다.

[0220] 여기서, FFS 모드로 구동하는 액정 표시 장치는 표시 장치로서 사용되고, 도 16은 액정 표시 장치에 포함되는 복수의 화소(103a), 화소(103b), 및 화소(103c)의 상면도이다.

[0221] 도 16에 있어서, 주사선으로서 기능하는 도전막(13)은 신호선으로서 기능하는 도전막에 실질적으로 수직인 방향(도면 중 측면 방향)으로 연신된다. 신호선으로서 기능하는 도전막(21a)은 주사선으로서 기능하는 도전막에 실질적으로 수직인 방향(도면 중 수직 하방)으로 연신된다. 주사선으로서 기능하는 도전막(13)은 주사선 구동 회로(104)(도 15의 (A) 참조)에 전기적으로 접속되어 있고, 신호선으로서 기능하는 도전막(21a)은 신호선 구동 회로(106)(도 15의 (A) 참조)에 전기적으로 접속되어 있음을 주목해야 한다.

[0222] 트랜지스터(102)는 주사선으로서 기능하는 도전막 및 신호선으로서 기능하는 도전막이 서로 교차하는 영역에 제공된다. 트랜지스터(102)는 게이트 전극으로서 기능하는 도전막(13); 게이트 절연막(도 16에 나타내지 않음); 채널 영역이 게이트 절연막 위에 형성된 산화물 반도체막(19a); 및 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a) 및 도전막(21b)을 포함한다. 도전막(13)은 또한, 주사선으로서 기능하는 도전막으로서 기능하고, 산화물 반도체막(19a)과 중첩하는 도전막(13)의 영역은 트랜지스터(102)의 게이트 전극으로서 기능한다. 또한, 도전막(21a)은 또한, 신호선으로서 기능하는 도전막으로서 기능하고, 산화물 반도체막(19a)과 중첩하는 도전막(21a)의 영역은 트랜지스터(102)의 소스 전극 또는 드레인 전극으로서 기능한다. 또한, 도 16의 상면도에 있어서, 주사선으로서 기능하는 도전막의 단부는 산화물 반도체막(19a)의 단부의 외측에 위치한다. 따라서, 주사선으로서 기능하는 도전막은 백라이트와 같은 광원으로부터 광을 차단하는 차광막으로서 기능한다. 이러한 이유 때문에, 트랜지스터에 포함되는 산화물 반도체막(19a)에 광이 조사되지 않아서, 트랜지스터의 전기 특성들의 변동을 억제할 수 있다.

[0223] 또한, 트랜지스터(102)는 산화물 반도체막(19a)과 중첩하는 유기 절연막(31)을 포함한다. 유기 절연막(31)은, 무기 절연막(도 16에 나타내지 않음)을 개재하여 산화물 반도체막(19a)(특히, 도전막(21a) 및 도전막(21b) 사이에 존재하는 산화물 반도체막(19a)의 영역)과 중첩한다.

[0224] 유기 절연막(31)이 각각의 트랜지스터(102)에서 분리되어 있기 때문에, 외부로부터 물이 유기 절연막(31)을 통해서 액정 표시 장치로 확산되지 않으며; 따라서, 액정 표시 장치 내에 제공된 트랜지스터의 전기 특성들의 변동을 감소시킬 수 있다.

[0225] 도전막(21b)은, 도전성을 갖는 산화물 반도체막(19b)에 전기적으로 접속된다. 도전성을 갖는 산화물 반도체막(19b) 위에, 절연막을 개재하는 공통 전극(29)이 제공된다. 일점-쇄선으로 나타낸 개구부(40)는 도전성을 갖는 산화물 반도체막(19b) 위에 제공된 절연막에 제공되어 있다. 개구부(40)에 있어서, 도전성을 갖는 산화물 반도체막(19b)은 질화물 절연막(도 16에 나타내지 않음)과 접한다.

[0226] 공통 전극(29)은 신호선으로서 기능하는 도전막(21a)과 교차하는 방향으로 연신되는 스트라이프 영역들을 포함한다. 상기 스트라이프 영역들은 신호선으로서 기능하는 도전막(21a)과 평행 또는 실질적으로 평행한 방향으로 연신되는 영역에 접속된다. 따라서, 공통 전극(29)의 스트라이프 영역들은 화소들에 있어서 동일한 전위이다.

[0227] 용량 소자(105)는 도전성을 갖는 산화물 반도체막(19b) 및 공통 전극(29)이 서로 중첩되는 영역에서 형성된다. 도전성을 갖는 산화물 반도체막(19b) 및 공통 전극(29)은 각각 투광성을 갖는다. 즉, 용량 소자(105)는 투광성을 갖는다.

[0228] 도 16에 나타낸 바와 같이, FFS 모드의 액정 표시 장치에는 신호선으로서 기능하는 도전막과 교차하는 방향으로 연신되는 스트라이프 영역들을 포함하는 공통 전극이 제공된다. 따라서, 표시 장치는 탁월한 콘트라스트를 가질 수 있다.

[0229] 용량 소자(105)의 투광성으로 인해, 용량 소자(105)는 화소(103) 내에서 크게(대면적으로) 형성될 수 있다. 따라서, 개구율(aperture ratio)을 전형적으로 50% 이상, 바람직하게는 60% 이상 증가시키면서 큰-정전용량의 용량 소자(large-capacitance capacitor)를 갖는 표시 장치가 제공될 수 있다. 예를 들면, 액정 표시 장치와 같은 고해상도 표시 장치에 있어서, 화소의 면적이 작고 용량 소자의 면적도 작다. 이러한 이유 때문에, 고해상도 표시 장치에 있어서, 용량 소자에 축적되는 전하량은 작다. 그러나, 본 실시형태의 용량 소자(105)는 투광성을 갖기 때문에, 용량 소자(105)가 화소 내에 제공되는 경우, 충분한 정전용량 값을 화소에서 얻을 수 있으며

개구율을 향상시킬 수 있다. 전형적으로, 용량 소자(150)는 200ppi 이상, 300ppi 이상, 또는 더욱 더 500ppi 이상의 화소 밀도를 갖는 고해상도 표시 장치에 적합하게 사용될 수 있다.

[0230] 액정 표시 장치에 있어서, 용량 소자의 정전용량 값이 증가함에 따라, 액정 소자의 액정 분자들의 배향이 전계를 가한 상태에서 일정하게 유지될 수 있는 기간을 더 길게 할 수 있다. 정지 화상을 표시하는 표시 장치에서 상기 기간을 길게 할 수 있는 경우, 화상 데이터를 채기록하는 횟수를 감소시켜, 전력 소모 감소를 초래할 수 있다. 또한, 본 실시형태의 구조에 따라, 고해상도의 표시 장치에 있어서도 개구율을 향상시킬 수 있고, 이는 백라이트와 같은 광원의 광을 효율적으로 사용가능하도록 하여, 표시 장치의 전력 소모를 감소시킬 수 있다.

[0231] 다음에, 도 17은 도 16의 일점-쇄선들(A-B) 및 (C-D)을 따라 취한 단면도이다. 도 17에 나타낸 트랜지스터(102)는 채널-에칭형 트랜지스터이다. 채널 길이 방향의 트랜지스터(102) 및 용량 소자(105)는 일점-쇄선(A-B)을 따라 취한 단면도에 나타내며, 채널 폭 방향의 트랜지스터(102)는 일점-쇄선(C-D)을 따라 취한 단면도에 나타냄을 주목해야 한다.

[0232] 본 실시형태에 기술된 액정 표시 장치는 한 쌍의 기판들(제 1 기판(11) 및 제 2 기판(342)), 제 1 기판(11)과 접하는 소자층, 제 2 기판(342)과 접하는 소자층, 및 소자층들 사이에 제공된 액정층(320)을 포함한다. 소자층은 기판과 액정층 사이에 개재된 층들을 언급하는데 사용된 일반적인 용어임을 주목해야 한다. 또한, 기판 및 소자층은, 일부 경우들에서는, 소자 기판으로서 집합적으로 언급된다. 액정 소자(322)는 한 쌍의 기판들(제 1 기판(11) 및 제 2 기판(342)) 사이에 제공된다.

[0233] 액정 소자(322)는 제 1 기판(11) 위에 도전성을 갖는 산화물 반도체막(19b), 공통 전극(29), 질화물 절연막(27), 배향성을 제어하는 막(이하, 배향막(33)으로 언급됨), 및 액정층(320)을 포함한다. 도전성을 갖는 산화물 반도체막(19b)은 액정 소자(322)의 하나의 전극(화소 전극으로도 언급됨)으로서 기능하고, 공통 전극(29)은 액정 소자(322)의 다른 하나의 전극으로서 기능한다.

[0234] 먼저, 제 1 기판(11) 위에 형성되는 소자층이 기술된다. 도 17에서의 트랜지스터(102)는 싱글-케이트 구조를 가지며, 제 1 기판(11) 위에 케이트 전극으로서 기능하는 도전막(13)을 포함한다. 또한, 트랜지스터(102)는 제 1 기판(11) 및 케이트 전극으로서 기능하는 도전막(13) 위에 형성되는 질화물 절연막(15), 질화물 절연막(15) 위에 형성되는 산화물 절연막(17), 질화물 절연막(15) 및 산화물 절연막(17)을 개재하는 케이트 전극으로서 기능하는 도전막(13)과 중첩하는 산화물 반도체막(19a), 및 산화물 반도체막(19a)과 접하는 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a) 및 도전막(21b)을 포함한다. 질화물 절연막(15) 및 산화물 절연막(17)은 케이트 절연막(14)으로서 기능한다. 또한, 산화물 절연막(23)은 산화물 절연막(17), 산화물 반도체막(19a), 및 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a) 및 도전막(21b) 위에 형성되고, 산화물 절연막(25)은 산화물 절연막(23) 위에 형성된다. 질화물 절연막(27)은 산화물 절연막(23), 산화물 절연막(25), 및 도전막(21b) 위에 형성된다. 산화물 절연막(23), 산화물 절연막(25), 및 질화물 절연막(27)은 무기 절연막(30)으로서 기능한다. 도전성을 갖는 산화물 반도체막(19b)은 산화물 절연막(17) 위에 형성된다. 도전성을 갖는 산화물 반도체막(19b)은 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a) 및 도전막(21b) 중 하나에, 여기서는 도전막(21b)에 접속된다. 공통 전극(29)은 질화물 절연막(27) 상에 형성된다. 또한, 무기 절연막(30)을 개재하는 트랜지스터(102)의 산화물 반도체막(19a)과 중첩하는 유기 절연막(31)이 포함된다.

[0235] 표시 장치의 구조가 이하에 상세히 기술된다.

[0236] 제 1 기판(11)으로서, 실시형태 1에 기술된 기판(151)이 적절히 사용될 수 있다.

[0237] 케이트 전극으로서 기능하는 도전막(13)은 알루미늄, 크롬, 구리, 탄탈, 티탄, 몰리브덴 및 텉스텐으로부터 선택된 금속 원소; 성분으로서 이들 금속 원소들 중 어느 하나를 함유하는 합금; 이들 금속 원소들 중 어느 하나를 조합하여 함유하는 합금 등을 사용하여 형성될 수 있다. 또한, 망간 및 지르코늄으로부터 선택된 하나 이상의 금속 원소들이 사용될 수 있다. 케이트 전극으로서 기능하는 도전막(13)은 단층 구조 또는 2층 이상의 적층 구조를 가질 수 있다. 예를 들면, 실리콘을 함유하는 알루미늄막의 단층 구조, 알루미늄막이 티탄막 위에 적층된 2층 구조, 티탄 막이 질화 티탄막 위에 적층된 2층 구조, 텉스텐막이 질화 티탄막 위에 적층된 2층 구조, 텉스텐막이 질화 탄탈막 또는 질화텅스텐막 위에 적층된 2층 구조, 구리막이 티탄막 위에 적층된 2층 구조, 구리막이 몰리브덴막 위에 적층된 2층 구조, 및 티탄막, 알루미늄막 및 티탄막이 이 순서로 적층된 3층 구조가 제시될 수 있다. 또는, 알루미늄, 및 티탄, 탄탈, 텉스텐, 몰리브덴, 크롬, 네오디뮴, 및 스칸듐으로부터 선택된 하나 이상의 원소들을 함유하는 합금막 또는 질화막이 사용될 수 있다.

[0238] 케이트 전극으로서 기능하는 도전막(13)에 대해, 실시형태 1에서 도전막(159)에 사용된 구조 및 재료가 적절히

사용될 수 있다. 또는, 실시형태 3에서 도전막(181)의 기술시, 기술된 투광성을 갖는 도전막이 사용될 수 있다. 또는, 게이트 전극으로서 기능하는 도전막(13)은 투광성을 갖는 도전막과 금속 원소의 적층 구조를 가질 수 있다. 또는, 게이트 전극으로서 기능하는 도전막(13)은 실시형태 1에서 도전성을 갖는 산화물 반도체막(155b)을 사용하여 형성될 수 있다.

[0239] 질화물 절연막(15)은 산소를 거의 투과하지 않는 질화물 절연막일 수 있다. 또한, 산소, 수소, 및 물이 거의 투과되지 않는 질화물 절연막이 사용될 수 있다. 산소가 거의 투과되지 않는 질화물 절연막, 및 산소, 수소, 및 물이 거의 투과되지 않는 질화물 절연막, 질화 실리콘막, 질화산화 실리콘막, 질화 알루미늄막, 질화산화 알루미늄막 등이 제시된다. 산소가 거의 투과되지 않는 질화물 절연막, 및 산소, 수소, 및 물이 거의 투과되지 않는 질화물 절연막 대신에, 산화 알루미늄막, 산화질화 알루미늄막, 산화 갈륨막, 산화질화 갈륨막, 산화 이트륨막, 산화질화 이트륨막, 산화 하프늄막, 또는 산화질화 하프늄막과 같은 산화물 절연막이 사용될 수 있다.

[0240] 질화물 절연막(15)의 두께는 바람직하게는 5nm 이상 100nm 이하, 더 바람직하게는 20nm 이상 80nm 이하이다.

[0241] 산화물 절연막(17)은, 예를 들면, 산화 실리콘막, 산화질화 실리콘막, 질화산화 실리콘막, 질화 실리콘막, 산화 알루미늄막, 산화 하프늄막, 산화 갈륨막 및 Ga-Zn계 금속 산화물막 중 하나 이상을 사용하는 단층 구조 또는 적층 구조를 갖도록 형성될 수 있다.

[0242] 산화물 절연막(17)은 또한 하프늄 실리케이트($HfSiO_x$), 질소가 첨가된 하프늄 실리케이트($HfSi_xO_yN_z$), 질소가 첨가된 하프늄 알루미네이트($HfAl_xO_yN_z$), 산화하프늄 또는 산화이트륨과 같은 비유전율이 높은 재료를 사용하여 형성하여, 트랜지스터의 게이트 누설 전류를 감소시킬 수 있다.

[0243] 산화물 절연막(17)의 두께는 바람직하게는 5nm 이상 400nm 이하, 더 바람직하게는 10nm 이상 300nm 이하, 보다 더 바람직하게는 50nm 이상 250nm 이하이다.

[0244] 산화물 반도체막(19a) 및 도전성을 갖는 산화물 반도체막(19b)은 동시에 형성되며, In-Ga 산화물막, In-Zn 산화물막, 또는 In-M-Zn 산화물막(M은, Al, Ga, Y, Zr, Sn, La, Ce 또는 Nd을 나타낸다)과 같은 금속 산화물막을 사용하여 형성된다. 따라서, 산화물 반도체막(19a) 및 도전성을 갖는 산화물 반도체막(19b)은 동일한 금속 원소를 포함한다.

[0245] 그러나, 도전성을 갖는 산화물 반도체막(19b)은 산화물 반도체막(19a)과 비교하여 결함들의 수가 많으며 이의 불순물 농도가 높다. 따라서, 도전성을 갖는 산화물 반도체막(19b)은, 산화물 반도체막(19a)과 전기 특성들이 상이하다. 구체적으로, 산화물 반도체막(19a)은 반도체 특성들을 가지며, 도전성을 갖는 산화물 반도체막(19b)은 도전성을 갖는다.

[0246] 산화물 반도체막(19a) 및 도전성을 갖는 산화물 반도체막(19b)의 두께는 3nm 이상 200nm 이하, 바람직하게는 3nm 이상 100nm 이하, 더 바람직하게는 3nm 이상 50nm 이하이다.

[0247] 산화물 반도체막(19a)의 일부는 트랜지스터의 채널 영역으로서 기능하며, 따라서, 산화물 반도체막(19a)의 에너지 캡은 2eV 이상, 바람직하게는 2.5eV 이상, 더 바람직하게는 3eV 이상이다. 트랜지스터(102)의 오프-상태 전류는 이러한 넓은 에너지 캡을 갖는 산화물 반도체를 사용함으로써 감소시킬 수 있다.

[0248] 낮은 캐리어 밀도를 갖는 산화물 반도체막은 산화물 반도체막(19a)으로서 사용된다. 예를 들면, 캐리어 밀도가 $1 \times 10^{17} \text{ 개}/\text{cm}^3$ 이하, 바람직하게는 $1 \times 10^{15} \text{ 개}/\text{cm}^3$ 이하, 바람직하게는 $1 \times 10^{13} \text{ 개}/\text{cm}^3$ 이하, 바람직하게는 $8 \times 10^{11} \text{ 개}/\text{cm}^3$ 이하, 바람직하게는 $1 \times 10^{11} \text{ 개}/\text{cm}^3$ 이하, 더 바람직하게는 $1 \times 10^{10} \text{ 개}/\text{cm}^3$ 미만이고, $1 \times 10^{-9} \text{ 개}/\text{cm}^3$ 이상인 산화물 반도체막이 산화물 반도체막(19a)으로서 사용된다.

[0249] 상기 기술된 조성물에 한정되지 않고, 적절한 조성을 갖는 재료를 필요로 하는 트랜지스터의 반도체 특성들 및 전기 특성들(예를 들면, 전계-효과 이동도 및 임계 전압)에 따라 사용될 수 있음을 주목해야 한다. 또한, 필요로 하는 트랜지스터의 반도체 특성들을 얻기 위해서, 산화물 반도체막(19a)의 캐리어 밀도, 불순물 농도, 결함 밀도, 금속 원소 대 산소의 원자비, 원자간 거리, 밀도 등을 적절히 설정하는 것이 바람직하다.

[0250] 산화물 반도체막(19a)으로서 불순물 농도가 낮고 결함 상태들의 밀도가 낮은 산화물 반도체막을 사용함으로써 더 탁월한 전기 특성들을 갖는 트랜지스터를 제조작할 수 있음을 주목해야 한다. 여기서, 불순물 농도가 낮고 결함 상태들의 밀도가 낮은(산소 결손량들이 작음) 상태를 "고순도 진성(intrinsic)" 또는 "실질적으로 고순도 진성"으로 언급된다. 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체는, 일부 경우들에서는, 적은

캐리어 발생 공급원들을 가지며, 따라서 낮은 캐리어 밀도를 갖는다. 따라서, 채널 영역이 산화물 반도체막에 형성되는 트랜지스터는 음의 임계 전압을 거의 갖지 않는다(노멀리 온(normally on)이 거의 되지 않는다). 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 낮은 밀도의 결함 상태들을 갖기 때문에, 일부 경우들에서는 적은 캐리어 트랩들을 갖는다. 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 현저히 낮은 오프-상태 전류를 가지며; 소자가 $1 \times 10^6 \mu\text{m}$ 의 채널 폭 및 $10 \mu\text{m}$ 의 채널 길이(L)를 갖는 경우라도, 소스 전극과 드레인 전극 사이의 전압(드레인 전압) 1V 내지 10V에서, 오프-상태 전류는 반도체 파라미터 분석기의 측정 한계 이하, 즉 $1 \times 10^{-13} \text{ A}$ 이하일 수 있다. 따라서, 채널 영역이 산화물 반도체막에 형성되는 트랜지스터는, 일부 경우들에서는, 전기 특성들의 변동이 작고, 신뢰성이 높다. 불순물들의 예로는 수소, 질소, 알칼리 금속 및 알칼리 토금속이 제시된다.

[0251] 산화물 반도체막에 함유되는 수소는 금속 원자에 결합된 산소와 반응하여 물이 되고, 또한, 산소 결손은 산소가 탈리한 격자(또는 산소가 탈리된 부분)에 형성된다. 산소 결손으로의 수소의 진입으로 인해, 일부 경우들에서는, 캐리어로서 기능하는 전자가 생성된다. 또한, 일부 경우들에서는, 수소의 일부가 금속 원자에 결합된 산소에 결합하여 캐리어로서 기능하는 전자의 생성을 초래한다. 따라서, 수소를 함유하는 산화물 반도체를 포함하는 트랜지스터는 노멀리 온이 되기 쉽다.

[0252] 따라서, 산화물 반도체막(19a)에서 수소가 가능한 한 많이 감소되는 것 뿐 아니라 산소 결손들이 바람직하다. 구체적으로, 산화물 반도체막(19a)에 있어서, 2차 이온 질량 분석법(SIMS)에 의해 측정되는 수소 농도는 $5 \times 10^{19} \text{ atoms/cm}^3$ 이하, 바람직하게는 $1 \times 10^{19} \text{ atoms/cm}^3$ 이하, 더 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 이하, 더욱 더 바람직하게는 $1 \times 10^{18} \text{ atoms/cm}^3$ 이하, 보다 더 바람직하게는 $5 \times 10^{17} \text{ atoms/cm}^3$ 이하, 보다 더욱 더 바람직하게는 $1 \times 10^{16} \text{ atoms/cm}^3$ 이하로 설정된다.

[0253] 14족에 속하는 원소들 중 하나인 실리콘 또는 탄소가 산화물 반도체막(19a)에 함유되는 경우, 산소 결손들이 증가하고 산화물 반도체막(19a)이 n형 막으로 된다. 따라서, 산화물 반도체막(19a)의 실리콘 또는 탄소의 농도(농도는 SIMS에 의해 측정됨)는 $2 \times 10^{18} \text{ atoms/cm}^3$ 이하, 바람직하게는 $2 \times 10^{17} \text{ atoms/cm}^3$ 이하로 설정된다.

[0254] 산화물 반도체막(19a)에 있어서 SIMS에 의해 측정되는 알칼리 금속 또는 알칼리 토금속의 농도는 $1 \times 10^{18} \text{ atoms/cm}^3$ 이하, 바람직하게는 $2 \times 10^{16} \text{ atoms/cm}^3$ 이하로 설정된다. 알칼리 금속 및 알칼리 토금속은 산화물 반도체와 결합되는 경우 캐리어들을 생성시킬 수 있어서, 이러한 경우 트랜지스터의 오프-상태 전류가 증가될 것이다. 따라서, 산화물 반도체막(19a)에 있어서 알칼리 금속 또는 알칼리 토금속의 농도를 감소시키는 것이 바람직하다.

[0255] 또한, 질소를 함유하는 경우, 산화물 반도체막(19a)은 캐리어로서 기능하는 전자들의 발생 및 캐리어 밀도의 증가에 의해 쉽게 n형 도전성을 갖는다. 따라서, 질소를 함유하는 산화물 반도체를 포함하는 트랜지스터는 노멀리 온이 되기 쉽다. 이러한 이유 때문에, 산화물 반도체막에서 질소는 가능한 한 많이 감소되는 것이 바람직하며; SIMS에 의해 측정된 질소 농도를, 예를 들면, $5 \times 10^{18} \text{ atoms/cm}^3$ 이하로 설정하는 것이 바람직하다.

[0256] 도전성을 갖는 산화물 반도체막(19b)은 산화물 반도체막(19a)과 동시에 형성된 산화물 반도체막에 결함들, 예를 들면, 산소 결손들 및 불순물들을 포함함으로써 형성된다. 따라서, 도전성을 갖는 산화물 반도체막(19b)은 전극으로서 기능하고, 예를 들면, 본 실시형태에서, 화소 전극으로서 기능한다.

[0257] 산화물 반도체막(19a) 및 도전성을 갖는 산화물 반도체막(19b)은 모두 산화물 절연막(17) 위에 형성되지만, 불순물 농도가 상이하다. 구체적으로, 도전성을 갖는 산화물 반도체막(19b)은 산화물 반도체막(19a)보다 불순물 농도가 높다. 예를 들면, 산화물 반도체막(19a)의 수소 농도는 $5 \times 10^{19} \text{ atoms/cm}^3$ 이하, 바람직하게는 $1 \times 10^{19} \text{ atoms/cm}^3$ 이하, 더 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 이하, 더욱 더 바람직하게는 $1 \times 10^{18} \text{ atoms/cm}^3$ 이하, 보다 더 바람직하게는 $5 \times 10^{17} \text{ atoms/cm}^3$ 이하, 보다 더욱 더 바람직하게는 $1 \times 10^{16} \text{ atoms/cm}^3$ 이하이다. 한편, 도전성을 갖는 산화물 반도체막(19b)의 수소 농도는 $8 \times 10^{19} \text{ atoms/cm}^3$ 이상, 바람직하게는 $1 \times 10^{20} \text{ atoms/cm}^3$ 이상, 더 바람직하게는 $5 \times 10^{20} \text{ atoms/cm}^3$ 이상이다. 도전성을 갖는 산화물 반도체막(19b)의 수소 농도는, 산화물 반도체막(19a)에서보다 2배 이상, 바람직하게는 10배 이상이다.

[0258] 도전성을 갖는 산화물 반도체막(19b)은 산화물 반도체막(19a)보다 낮은 저항율을 갖는다. 도전성을 갖는 산화

물 반도체막(19b)의 저항율은 바람직하게는 산화물 반도체막(19a)의 저항율의 1×10^{-8} 배 이상 1×10^{-1} 배 미만이다. 도전성을 갖는 산화물 반도체막(19b)의 저항율은 전형적으로 $1 \times 10^{-3} \Omega \text{cm}$ 이상 $1 \times 10^{-4} \Omega \text{cm}$ 미만, 바람직하게는 $1 \times 10^{-3} \Omega \text{cm}$ 이상 $1 \times 10^{-1} \Omega \text{cm}$ 미만이다.

- [0259] 산화물 반도체막(19a) 및 도전성을 갖는 산화물 반도체막(19b)은 각각, 실시형태 1에서 도전성을 갖는 산화물 반도체막(155b)의 결정 구조와 유사한 결정 구조를 적절히 가질 수 있다.
- [0260] 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a) 및 도전막(21b) 각각에 대해, 실시형태 1에서의 도전막(159)에 사용된 구조 및 재료가 적절히 사용될 수 있다.
- [0261] 본 실시형태에서, 도전막(21a)은 도전막(21a_1)과 도전막(21a_2)의 적층 구조를 갖는다. 도전막(21b)은 도전막(21b_1)과 도전막(21b_2)의 적층 구조를 갖는다. 도전막(21a_1) 및 도전막(21b_1)으로서, Cu-X 합금막이 사용된다. 도전막(21a_2) 및 도전막(21b_2)으로서, 저저항 재료를 포함하는 도전막이 사용된다.
- [0262] 산화물 절연막(23) 또는 산화물 절연막(25)으로서, 화학량론적 조성의 것보다 산소를 더 많이 함유하는 산화물 절연막이 사용되는 것이 바람직하다. 여기서, 산화물 절연막(23)으로서, 산소를 투과하는 산화물 절연막이 형성되고, 산화물 절연막(25)으로서, 화학량론적 조성의 것보다 산소를 더 많이 함유하는 산화물 절연막이 형성된다.
- [0263] 산화물 절연막(23)은 산소를 투과하는 산화물 절연막이다. 따라서, 산화물 절연막(23) 위에 제공된 산화물 절연막(25)으로부터 탈리된 산소를 산화물 절연막(23)을 통해 산화물 반도체막(19a)으로 이동시킬 수 있다. 또한, 산화물 절연막(23)은 또한, 산화물 절연막(25)을 나중에 형성할 때, 산화물 반도체막(19a)에 대한 손상 완화막으로서 기능한다.
- [0264] 산화물 절연막(23)으로서는, 두께가 5nm 이상 150nm 이하, 바람직하게는 5nm 이상 50nm 이하의 산화 실리콘막, 산화질화 실리콘막 등이 사용될 수 있다.
- [0265] 또한, 산화물 절연막(23)은 바람직하게는 질소를 함유하고 적은 수의 결함들을 갖는 산화물 절연막이다.
- [0266] 질소를 함유하고 적은 수의 결함들을 갖는 산화물 절연막의 전형적인 예로는 산화질화 실리콘막, 및 산화질화 알루미늄막이 포함된다.
- [0267] 적은 수의 결함들을 갖는 산화물 절연막의 100K 이하의 ESR 스펙트럼에서, 2.037 이상 2.039 이하의 g-값(factor)에서 나타나는 제 1 시그널, 2.001 이상 2.003 이하의 g-값에서 나타나는 제 2 시그널, 및 1.964 이상 1.966 이하의 g-값에서 나타나는 제 3 시그널이 관찰된다. X-밴드를 사용한 ESR 측정에 의해 수득된 제 1 시그널 및 제 2 시그널의 스플릿 폭, 및 제 2 시그널 및 제 3 시그널의 스플릿 폭은 각각 대략 5mT이다. 2.037 이상 2.039 이하의 g-값에서 나타나는 제 1 시그널, 2.001 이상 2.003 이하의 g-값에서 나타나는 2 시그널, 및 1.964 이상 1.966 이하의 g-값에서 나타나는 제 3 시그널의 스플릿 폭은 각각 대략 5mT이다. 2.037 이상 2.039 이하의 g-값에서 나타나는 제 1 시그널, 2.001 이상 2.003 이하의 g-값에서 나타나는 2 시그널, 및 1.964 이상 1.966 이하의 g-값에서 나타나는 제 3 시그널의 스플릿 폭은 각각 대략 5mT이다.
- [0268] 100K 이하의 ESR 스펙트럼에서, 2.037 이상 2.039 이하의 g-값에서 나타나는 제 1 시그널, 2.001 이상 2.003 이하의 g-값에서 나타나는 제 2 시그널, 및 1.964 이상 1.966 이하의 g-값에서 나타나는 제 3 시그널은 질소산화물(NO_x , x는 0 이상 2 이하, 바람직하게는 1 이상 2 이하이다)에 기인하는 시그널에 상응한다. 질소산화물의 전형적인 예는 일산화질소 및 이산화질소를 포함한다. 즉, 2.037 이상 2.039 이하의 g-값에서 나타나는 제 1 시그널, 2.001 이상 2.003 이하의 g-값에서 나타나는 제 2 시그널, 및 1.964 이상 1.966 이하의 g-값에서 나타나는 제 3 시그널의 총 스플릿 폭은 각각 대략 5mT이다. 2.037 이상 2.039 이하의 g-값에서 나타나는 제 1 시그널, 2.001 이상 2.003 이하의 g-값에서 나타나는 제 2 시그널, 및 1.964 이상 1.966 이하의 g-값에서 나타나는 제 3 시그널의 총 스플릿 폭은 각각 대략 5mT이다.
- [0269] 산화물 절연막(23)이 상기 기술된 바와 같은 소량의 질소산화물을 함유하는 경우, 산화물 절연막(23)과 산화물 반도체막 사이의 계면에서의 캐리어 트랩을 감소시킬 수 있다. 따라서, 반도체 장치에 포함되는 트랜지스터의 임계 전압의 변화량을 감소시켜, 트랜지스터의 전기 특성들의 감소된 변화를 초래할 수 있다.
- [0270] 산화물 절연막(23)은 바람직하게는 2차 이온 질량 분석법(SIMS)에 의해 측정된 질소 농도가 $6 \times 10^{20} \text{ atoms/cm}^3$ 이하이다. 이러한 경우, 질소산화물이 산화물 절연막(23)에서 생성되기 어려워, 산화물 절연막(23)과 산화물 반도체막(19a) 사이의 계면에서의 캐리어 트랩을 감소시킬 수 있다. 또한, 반도체 장치에 포함되는 트랜지스터의 임계 전압의 변화량을 감소시켜, 트랜지스터의 전기 특성들의 감소된 변화를 초래할 수 있다.

- [0271] 질소산화물 및 암모니아가 산화물 절연막(23)에 함유되는 경우, 질소산화물과 암모니아를 제조 공정에서 열 처리시 서로 반응시키고; 따라서, 질소산화물이 질소 가스로서 탈리됨을 주목해야 한다. 따라서, 산화물 절연막(23)의 질소 농도 및 여기에서의 질소산화물의 양을 감소시킬 수 있다. 또한, 산화물 절연막(23)과 산화물 반도체막(19a) 사이의 계면에서 캐리어 트랩을 감소시킬 수 있다. 또한, 반도체 장치에 포함되는 트랜지스터의 임계 전압의 변화량을 감소시켜, 트랜지스터의 전기 특성들의 감소된 변화를 초래할 수 있다.
- [0272] 산화물 절연막(23)에 있어서, 외부로부터 산화물 절연막(23)으로 진입하는 모든 산소는 산화물 절연막(23)의 외부로 이동하지 않고, 일부 산소는 산화물 절연막(23)에 잔류함을 주목해야 한다. 또한, 산소가 산화물 절연막(23)에 진입하고 산화물 절연막(23)에 함유되는 산소가 산화물 절연막(23)의 외부로 이동하는 방식으로, 일부 경우들에서는 산소의 이동은 산화물 절연막(23)에서 발생한다.
- [0273] 산소를 투과하는 산화물 절연막이 산화물 절연막(23)으로서 형성되는 경우, 산화물 절연막(23) 위에 제공된 산화물 절연막(25)으로부터 탈리된 산소가 산화물 절연막(23)을 통해 산화물 반도체막(19a)으로 이동될 수 있다.
- [0274] 산화물 절연막(25)은 산화물 절연막(23)과 접하여 형성된다. 산화물 절연막(25)은 화학량론적 조성보다 더 많은 비율로 산소를 함유하는 산화물 절연막을 사용하여 형성된다. 산소의 일부는, 화학량론적 조성보다 높은 비율로 산소를 함유하는 산화물 절연막은, TDS 분석에서 산소 원자들로 환산한 산소의 탈리량이 $1.0 \times 10^{18} \text{ atoms/cm}^3$ 이상, 바람직하게는 $3.0 \times 10^{20} \text{ atoms/cm}^3$ 이상인 산화물 절연막이다. TDS 분석에 있어서 산화물 절연막(25)의 표면 온도는 바람직하게는 100°C 이상 700°C 이하, 또는 100°C 이상 500°C 이하임을 주목해야 한다.
- [0275] 30nm 이상 500nm 이하, 바람직하게는 50nm 이상 400nm 이하의 두께를 갖는 산화 실리콘막, 산화질화 실리콘막 등이 산화물 절연막(25)으로서 사용될 수 있다.
- [0276] 산화물 절연막(25)에서의 결함들의 양이 적은 것이 바람직하며, 전형적으로, ESR 측정에 의해 $g=2.001$ 에서 나타내는 신호의 스펜 밀도는 $1.5 \times 10^{18} \text{ spins/cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{18} \text{ spins/cm}^3$ 이하이다. 산화물 절연막(25)은 산화물 절연막(23)보다 산화물 반도체막(19a)으로부터 멀어지게 제공되고; 따라서 산화물 절연막(25)은 산화물 절연막(23)보다 높은 결함 밀도를 가질 수 있음을 주목해야 한다.
- [0277] 질화물 절연막(15)과 마찬가지로, 질화물 절연막(27)은 산소를 거의 투과하지 않는 질화물 절연막일 수 있다. 또한, 산소, 수소, 및 물을 거의 투과하지 않은 질화물 절연막이 사용될 수 있다.
- [0278] 질화물 절연막(27)은 50nm 이상 300nm 이하, 바람직하게는 100nm 이상 200nm 이하의 두께로 질화 실리콘막, 질화산화 실리콘막, 질화 알루미늄막, 질화산화 알루미늄막 등을 사용하여 형성된다.
- [0279] 화학량론적 조성보다 높은 비율로 산소를 함유하는 산화물 절연막이 산화물 절연막(23) 또는 산화물 절연막(25)에 포함되는 경우에, 산화물 절연막(23) 또는 산화물 절연막(25)에 함유되는 산소의 일부를 산화물 반도체막(19a)에 이동시켜, 산화물 반도체막(19a)에 함유되는 산소 결손량을 감소시킬 수 있다.
- [0280] 산소 결손들을 갖는 산화물 반도체막을 사용하는 트랜지스터의 임계 전압은 음으로 쉽게 이동하며, 이러한 트랜지스터는 노멀리 온으로 되는 경향이 있다. 이것은, 전하들이 산화물 반도체막에서 산소 결손들로 인해 발생되고, 따라서 저항이 감소된다. 노멀리-온 특성들을 갖는 트랜지스터는, 예를 들면, 동작시에 동작 불량이 유발되기 쉽고, 비동작시 전력 소모가 증가되는 다양한 문제점들을 초래한다. 또한, 트랜지스터의 전기 특성들, 전형적으로 임계 전압에서의 변화량은 시간에 따른 변화 또는 응력 시험에 의해 증가된다.
- [0281] 그러나, 본 실시형태에서 트랜지스터(102)에서는, 산화물 반도체막(19a) 위에 제공된 산화물 절연막(23) 또는 산화물 절연막(25)은 화학량론적 조성보다 높은 비율로 산소를 함유한다. 또한, 산화물 반도체막(19a), 산화물 절연막(23), 및 산화물 절연막(25)은 질화물 절연막(15) 및 산화물 절연막(17)에 의해 둘러싸여 있다. 그 결과, 산화물 절연막(23) 또는 산화물 절연막(25)에 함유되는 산소는 효율적으로 산화물 반도체막(19a)으로 이동하여, 산화물 반도체막(19a)의 산소 결손량을 감소시킬 수 있다. 따라서, 노멀리-오프 특성을 갖는 트랜지스터를 얻는다. 또한, 시간에 따른 또는 응력 시험에 의해 트랜지스터의 전기 특성들, 전형적으로 임계 전압의 변화량을 감소시킬 수 있다.
- [0282] 공통 전극(29)은 투광성 막, 바람직하게는 투광성을 갖는 도전막을 사용하여 형성된다. 투광성을 갖는 도전막으로서, 산화텅스텐을 함유하는 인듐 산화물막, 산화텅스텐을 함유하는 인듐아연 산화물막, 산화티탄을 함유하는 인듐 산화물막, 산화티탄을 함유하는 인듐주석 산화물막, ITO막, 인듐아연 산화물막, 산화규소를 첨가한 인

듬주석 산화물막 등이 제시된다.

[0283] 공통 전극(29)은 실시형태 1에서 도전성을 갖는 산화물 반도체막(155b)을 사용하여 형성될 수 있다.

[0284] 신호선으로서 기능하는 도전막(21a)의 연신 방향과 공통 전극(29)의 연신 방향이 서로 교차한다. 따라서, 신호선으로서 기능하는 도전막(21a)과 공통 전극(29) 사이의 전계, 도전성을 갖는 산화물 반도체막(19b)을 사용하여 형성되는 화소 전극과 공통 전극(29) 사이의 전계 사이에서 방향의 차이가 생기고, 또한 그 차는 큰 각을 형성한다. 따라서, 음의 액정 분자들이 사용되는 경우, 신호선으로서 기능하는 도전막 근방의 액정 분자들의 배향 상태와, 인접한 화소들에 제공된 화소 전극들과 공통 전극들 사이의 전계에 의해 생성된 화소 전극 근방의 액정 분자들의 배향 상태는 서로에게 영향을 미치기 어렵다. 따라서, 화소들의 투과율의 변화가 억제된다. 따라서, 화상의 플리커(flicker)들을 감소시킬 수 있다.

[0285] 또한, 낮은 리프레쉬 레이트(refresh rate)를 갖는 액정 표시 장치에 있어서, 신호선으로서 기능하는 도전막(21a) 근방에서 액정 분자들의 배향은, 유지 기간 동안이어도, 인접하는 화소들에서의 화소 전극들과 공통 전극(29) 사이의 전계로 인한 화소 전극 근방에서 액정 분자들의 배향 상태에 영향을 미치기 어렵다. 따라서, 유지 기간 동안에 화소들의 투과율을 유지할 수 있으며, 플리커들을 감소시킬 수 있다.

[0286] 공통 전극(29)은 신호선으로서 기능하는 도전막(21a)과 교차하는 방향으로 연신하는 스트라이프 영역들을 포함한다. 따라서, 도전성을 갖는 산화물 반도체막(19b) 및 도전막(21a)의 근방에 있어서, 의도하지 않는 액정 분자들의 배향을 방지할 수 있으며, 따라서 광 누설을 억제할 수 있다. 그 결과, 탁월한 콘트라스트를 갖는 표시 장치를 제작할 수 있다.

[0287] 공통 전극(29)의 형상은 도 16에 나타낸 것으로 한정되지 않으며, 스트라이프일 수 있음을 주목해야 한다. 스트라이프 형상의 경우, 연신 방향은 신호선으로서 기능하는 도전막에 평행할 수 있다. 공통 전극(29)은 빗살 형상을 가질 수 있다. 또는, 공통 전극은 제 1 기판(11)의 전면 위에 형성될 수 있다. 추가로 또는, 도전성을 갖는 산화물 반도체막(19b)과는 상이한 투광성을 갖는 도전막은, 절연막을 개재하여 공통 전극(29) 위에 형성될 수 있다.

[0288] 유기 절연막(31)의 두께는 바람직하게는 500nm 이상 $10\mu\text{m}$ 이하이다. 도 17에서 유기 절연막(31)의 두께는 제 1 기판(11) 위에 형성된 무기 절연막(30)과 제 2 기판(342) 위에 형성된 소자층 사이의 캡보다 작다. 따라서, 액정층(320)은 유기 절연막(31)과 제 2 기판(342) 상에 형성된 소자층 사이에 제공된다. 즉, 액정층(320)은 유기 절연막(31) 위의 배향막(33)과, 제 2 기판(342) 상의 소자층에 포함되는 배향막(352) 사이에 제공된다.

[0289] 나타내지 않았지만, 유기 절연막(31) 위의 배향막(33)과, 제 2 기판(342) 상의 소자층에 포함되는 배향막(352)은 서로 접할 수 있음을 주목해야 한다. 이러한 경우, 유기 절연막(31)은 스페이서로서 기능하며, 따라서, 액정 표시 장치의 셀 캡은 유기 절연막(31)으로 유지될 수 있다.

[0290] 도 17에 있어서, 배향막(33)은 유기 절연막 위에 제공되지만, 본 발명의 일 실시형태는 이에 한정되지 않는다. 상황들 또는 상태들에 따라, 유기 절연막(31)은 배향막(33) 위에 제공될 수 있다. 이러한 경우, 러빙(rubbing) 단계는, 예를 들면, 배향막(33)을 형성한 직후 대신에 배향막(33) 위에 유기 절연막(31)의 형성 후에 수행될 수 있다.

[0291] 음의 전압이 게이트 전극으로서 기능하는 도전막(13)에 인가되는 경우, 전계가 생성된다. 상기 전계는 산화물 반도체막(19a)으로 차단되지 않고, 무기 절연막(30)에 영향을 미친다; 따라서 상기 무기 절연막(30)의 표면이 약하게 양으로 하전된다. 또한, 음의 전압이 게이트 전극으로서 기능하는 도전막(13)에 인가 되는 경우, 공기 중에 함유된 양으로 하전된 입자들이 무기 절연막(30)의 표면 상에 흡착되고, 약한 양의 전하가 무기 절연막(30)의 표면 상에 생성된다.

[0292] 무기 절연막(30)의 표면이 양으로 하전되어, 전계가 생성되고 상기 전계는 산화물 반도체막(19a) 및 무기 절연막(30) 사이의 계면에 영향을 미친다. 따라서, 산화물 반도체막(19a) 및 무기 절연막(30) 사이의 계면은 실질적으로 포지티브 바이어스(bias)가 인가된 상태가 되고, 따라서 트랜지스터의 임계 전압은 음의 방향으로 이동한다.]

[0293] 한편, 본 실시형태에 나타낸 트랜지스터(102)는 무기 절연막(30) 위의 유기 절연막(31)을 포함한다. 유기 절연막(31)의 두께가 500nm 이상 만큼 크기 때문, 게이트 전극으로서 기능하는 도전막(13)에 음의 전압의 인가에 의해 발생된 전계는 유기 절연막(31)의 표면에 영향을 미치지 않으며, 유기 절연막(31)의 표면은 쉽게 양으로 하전되지 않는다. 또한, 공기 중에 양으로 하전된 입자가 유기 절연막(31)의 표면에 흡착되는 경우에서도, 유기

절연막(31)의 표면 상에 흡착되는 양으로 하전된 입자들의 전계는, 유기 절연막(31)이 두껍기 때문에(500nm 이상) 산화물 반도체막(19a) 및 무기 절연막(30) 사이의 계면에 영향을 미치기 어렵다. 따라서, 산화물 반도체막(19a) 및 무기 절연막(30) 사이의 계면은 실질적으로 포지티브 바이어스가 인가된 상태가 되고, 따라서 트랜지스터의 임계 전압의 변화량은 적다.

[0294] 물 등이 유기 절연막(31)에 쉽게 확산되지만, 유기 절연막(31)이 각각의 트랜지스터(102)에서 분리되어 있기 때문에, 외부로부터 물이 유기 절연막(31)을 통해서 반도체 장치로 확산되지 않는다. 또한, 질화물 절연막이 무기 절연막(30)에 포함되고, 이에 의해 외부로부터 유기 절연막(31)에 확산된 물이 산화물 반도체막(19a)에 확산되는 것을 방지할 수 있다.

배향막(33)이 공통 전극(29), 질화물 절연막(27), 및 유기 절연막(31) 위에 형성된다.

[0296] 다음에, 도 17에서 트랜지스터(102) 및 용량 소자(105)의 제작 방법은 도 18의 (A) 내지 (D), 도 19의 (A) 내지 (C), 도 20의 (A) 내지 (C), 및 도 21의 (A) 및 (B)를 참조하여 기술된다.

[0297] 도 18의 (A)에 나타낸 바와 같이, 도전막(13)이 되는 도전막(12)은 제 1 기판(11) 위에 형성한다. 도전막(12)은, 스퍼터링법, 화학 증착(CVD)법, 예를 들면, 유기 금속 화학 증착(MOCVD)법, 금속 화학 증착법, 원자층 증착(ALD)법 또는 플라즈마-강화된 화학 증착(PECVD)법, 증착법, 펄스 레이저 증착(PLD)법 등에 의해 형성된다. 유기 금속 화학 증착(NOCVD) 방법, 금속 화학 증착법, 또는 원자층 증착(ALD)법이 사용되는 경우, 도전막은 플라즈마에 의해 덜 손상된다. 또한, 실시형태 1에서 도전성을 갖는 산화물 반도체막(155b)이 도전막(12)으로서 사용되는 경우, 도전성을 갖는 산화물 반도체막(155b)의 제작 방법이 적절히 사용될 수 있다.

[0298] 여기서, 유리 기판은 제 1 기판(11)으로서 사용된다. 또한, 도전막(12)으로서, 100nm-두께의 텅스텐막이 스퍼터링법에 의해 형성된다.

[0299] 다음에, 제 1 포토마스크를 사용하는 포토리소그래피 공정에 의해 도전막(12) 위에 마스크를 형성한다. 이어서, 도 18의 (B)에 나타낸 바와 같이, 도전막(12)의 일부를 마스크를 사용하여 에칭하여, 게이트 전극으로서 기능하는 도전막(13)을 형성한다. 이 후에, 마스크를 제거한다.

[0300] 게이트 전극으로서 기능하는 도전막(13)은 상기 형성 방법 대신에, 전해 도금법, 인쇄법, 잉크-젯법 등에 의해 형성될 수 있음을 주목해야 한다.

[0301] 여기서, 텅스텐 막을 드라이 에칭법에 의해 에칭하여 게이트 전극으로서 기능하는 도전막(13)을 형성한다.

[0302] 다음에, 도 18의 (C)에 나타낸 바와 같이, 게이트 전극으로서 기능하는 도전막(13) 위에, 질화물 절연막(15)과, 이후에 산화물 절연막(17)이 되는 산화물 절연막(16)을 형성한다. 이어서, 산화물 절연막(16) 위에, 이후에 산화물 반도체막(19a) 및 도전성을 갖는 산화물 반도체막(19b)이 되는 산화물 반도체막(18)을 형성한다.

[0303] 질화물 절연막(15) 및 산화물 절연막(16)은 각각 스퍼터링법, 화학 증착(CVD)법, 예를 들면, 유기 금속 화학 증착(MOCVD)법, 금속 화학 증착법, 원자층 증착(ALD)법 또는 플라즈마-강화된 화학 증착(PECVD)법, 증착법, 펄스 레이저 증착(PLD)법, 도포법, 인쇄법 등에 의해 형성된다. 유기 금속 화학 증착(NOCVD)법, 금속 화학 증착법, 또는 원자층 증착(ALD)법이 사용되는 경우, 질화물 절연막(15) 및 산화물 절연막(16)은 플라즈마에 의해 덜 손상된다. 원자층 증착(ALD)법이 사용되는 경우, 질화물 절연막(15) 및 산화물 절연막(16)의 피복성을 증가시킬 수 있다.

[0304] 여기서, 질화물 절연막(15)으로서, 300nm-두께의 질화 실리콘막은 실란, 질소, 및 암모니아를 원료 가스로 사용하는 플라즈마 CVD법에 의해 형성된다.

[0305] 산화 실리콘막, 산화질화 실리콘막, 또는 질화산화 실리콘막이 산화물 절연막(16)으로서 형성되는 경우, 실리콘을 함유하는 증착 가스 및 산화 가스가 바람직하게는 공급원 가스로서 사용된다. 실리콘을 함유하는 증착 가스의 전형적인 예로는, 실란, 디실란, 트리실란, 및 불화실란이 포함된다. 산화 가스로서, 산소, 오존, 일산화이질소 및 이산화질소가 예로서 제시될 수 있다.

[0306] 또한, 산화물 절연막(16)으로서 산화 갈륨막을 형성하는 경우, 금속 유기 화합물 증착(MOCVD)법이 사용될 수 있다.

[0307] 여기서, 산화물 절연막(16)으로서, 50nm-두께의 산화질화 실리콘막이 실란 및 일산화이질소를 원료 가스로 사용하는 플라즈마 CVD법에 의해 형성된다.

- [0308] 산화물 반도체막(18)은 실시형태 1에 기술된 산화물 반도체막(155)의 방법과 유사한 방법에 의해 적절히 형성될 수 있다.
- [0309] 여기서, 35nm-두께의 In-Ga-Zn 산화물막은, In:Ga:Zn 산화물 타겟(In:Ga:Zn=1:1:1)을 사용하는 스퍼터링법에 의해 산화물 반도체막으로서 형성된다.
- [0310] 이어서, 제 2 포토마스크를 사용하는 포토리소그래피 공정에 의해 산화물 반도체막(18) 위에 마스크를 형성한 후, 상기 마스크를 사용하여 산화물 반도체막을 에칭한다. 따라서, 도 18의 (D)에 나타낸 바와 같이, 서로 분리되어 있는 산화물 반도체막(19a) 및 산화물 반도체막(19c)을 형성한다. 이 후에, 마스크를 제거한다.
- [0311] 여기서, 산화물 반도체막(19a) 및 산화물 반도체막(19c)은, 산화물 반도체막(18) 위에 마스크를 형성하고, 산화물 반도체막(18)의 일부를 웨트 에칭법에 의해 에칭하는 방식으로 형성한다.
- [0312] 다음에, 도 19의 (A)에 나타낸 바와 같이, 이후에 도전막(21a) 및 도전막(21b)이 되는 도전막(20)이 형성된다. 여기서, 도전막(20)은 도전막(20_1)과 도전막(20_2)의 적층물이다. 도전막(20_1)으로서, Cu-X 합금막이 사용된다. 도전막(20_2)으로서, 저저항 재료를 포함하는 도전막이 사용된다.
- [0313] 도전막(20)은 실시형태 1에 기술된 도전막(159)의 방법과 유사한 방법에 의해 적절히 형성될 수 있다.
- [0314] 여기서, 50nm-두께의 Cu-Mn 합금막 및 300nm-두께의 구리막이 순차적으로 스퍼터링법에 의해 적층된다.
- [0315] 다음에, 제 3 포토마스크를 사용하는 포토리소그래피 공정에 의해 도전막(20) 위에 마스크를 형성한다. 이어서, 상기 마스크를 사용하여 도전막(20)을 에칭하여, 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a) 및 도전막(21b)을 도 19의 (B)에 나타낸 바와 같이 형성한다. 이 후에, 마스크를 제거한다. 도전막(21a)은 도전막(20_1)의 일부를 에칭함으로써 형성된 도전막(21a_1)과, 도전막(20_2)의 일부를 에칭함으로써 형성된 도전막(21a_2)의 적층물이다. 도전막(21b)은 도전막(20_1)의 일부를 에칭함으로써 형성된 도전막(21b_1)과, 도전막(20_2)의 일부를 에칭함으로써 형성된 도전막(21b_2)의 적층물이다.
- [0316] 여기서, 포토리소그래피 공정에 의해 구리막 위에 마스크를 형성한다. 다음에, Cu-Mn막 및 구리막을 마스크 사용하여 에칭하여, 도전막(21a) 및 도전막(21b)을 형성한다. 웨트 에칭법을 사용함으로써, Cu-Mn막 및 구리막을 1단계로 에칭할 수 있다.
- [0317] 다음에, 도 19의 (C)에 나타낸 바와 같이, 이후에 산화물 절연막(23)이 되는 산화물 절연막(22), 및 이후에 산화물 절연막(25)이 되는 산화물 절연막(24)은 산화물 반도체막(19a) 및 산화물 반도체막(19c), 및 도전막(21a) 및 도전막(21b) 위에 형성된다. 산화물 절연막(22) 및 산화물 절연막(24)은 각각 질화물 절연막(15) 및 산화물 절연막(16)의 방법과 유사한 방법에 의해 적절히 형성될 수 있다.
- [0318] 산화물 절연막(22)을 형성한 후, 산화물 절연막(24)은 바람직하게는 공기 중으로 노출하지 않고 연속적으로 형성됨을 주목해야 한다. 산화물 절연막(22)을 형성한 후, 산화물 절연막(24)은 공기 중으로 노출하지 않고 원료 가스의 유량, 압력, 고주파 전력 및 기관 온도 중 적어도 하나를 조정함으로써 연속적으로 형성되고, 이에 의해 산화물 절연막(22) 및 산화물 절연막(24) 사이의 계면에서 대기 성분으로 인한 불순물 농도를 감소시킬 수 있으며, 산화물 절연막(24)에서의 산소를 산화물 반도체막(19a)으로 이동시킬 수 있으며; 따라서, 산화물 반도체막(19a)의 산소 결손량을 감소시킬 수 있다.
- [0319] 산화물 절연막(22)은 질소를 함유하고 적은 수의 결함들을 갖는 산화물 절연막을 사용하여 형성될 수 있으며, 이는 증착 가스에 대한 산화 가스의 비가 20배 초과 100배 미만, 바람직하게는 40배 이상 80배 이하이고 처리 챔버 내의 압력이 100Pa 미만, 바람직하게는 50Pa 이하인 조건들하에 CVD법에 의해 형성된다.
- [0320] 실리콘을 함유하는 증착 가스 및 산화 가스는 바람직하게는 산화물 절연막(22)의 원료 가스로서 사용된다. 실리콘을 함유하는 증착 가스의 전형적인 예로는, 실란, 디실란, 트리실란, 및 불화실란이 포함된다. 산화 가스로서, 산소, 오존, 일산화이질소 및 이산화질소가 예로서 제시될 수 있다.
- [0321] 상기 조건들을 사용하여, 산소를 투과하는 산화물 절연막을 산화물 절연막(22)으로서 형성할 수 있다. 또한, 산화물 절연막(22)을 제공함으로써, 산화물 반도체막(19a)에 대한 순상이 산화물 절연막(24)의 형성 단계에서 감소될 수 있다.
- [0322] 여기서, 산화물 절연막(22)으로서, 50nm-두께의 산화질화 실리콘막은, 50sccm의 유량을 갖는 실란 및 2000sccm의 유량을 갖는 일산화이질소가 원료 가스로서 사용되고 처리 챔버 내의 압력이 20Pa이고 기관 온도가 220°C이고 100W의 고주파 전력이 27.12MHz의 고주파 전원을 사용하여 평행-판 전극들에 공급되는 플라즈마 CVD법에 의

해 형성된다. 상기 조건들하에, 질소를 함유하고 적은 수의 결함을 갖는 산화질화 실리콘막이 형성될 수 있다.

[0323] 산화물 절연막(24)으로서, 산화 실리콘막 또는 산화질화 실리콘막은 다음 조건들하에서 형성된다: 진공배기된 플라즈마 CVD 장치의 처리 챔버에 탑재된 기판은 180°C 이상 280°C 이하, 바람직하게는 200°C 이상 240°C 이하의 온도에서 유지되고, 처리 챔버에 원료 가스를 도입하면서 압력은 100Pa 이상 250Pa 이하, 바람직하게는 100Pa 이상 200Pa 이하이고, 0.17W/cm² 이상 0.5W/cm² 이하, 바람직하게는 0.25W/cm² 이상 0.35W/cm² 이하의 고주파 전력이 처리 챔버에 제공된 전극에 공급된다.

[0324] 실리콘을 함유하는 중착 가스 및 산화 가스가 바람직하게는 산화물 절연막(24)의 원료 가스로서 사용된다. 실리콘을 함유하는 중착 가스의 전형적인 예로는, 실란, 디실란, 트리실란, 및 불화실란이 포함된다. 산화 가스로서, 산소, 오존, 일산화이질소 및 이산화질소가 예로서 제시될 수 있다.

[0325] 산화물 절연막(24)의 막 형성 조건들로서, 상기 전력 밀도를 갖는 고주파 전력이 상기 압력을 갖는 처리 챔버에 공급되고, 이에 의해 플라즈마 내의 원료 가스의 분해 효율은 증가하고, 산소 라디칼들이 증가하며, 원료 가스의 산화가 촉진되며; 따라서, 산화물 절연막(24)에서의 산소 함유량은 화학량론적 조성의 것보다 더 높아진다. 한편, 상기 온도 범위 내의 기판 온도에서 형성된 막에서, 실리콘과 산소 사이의 결합력이 약하기 때문에, 막 중의 산소의 일부가 이후 단계에서 열 처리에 의해 탈리된다. 따라서, 화학량론적 조성보다 높은 비율로 산소를 함유하고 산소의 일부가 가열에 의해 탈리되는 산화물 절연막을 형성할 수 있다. 또한, 산화물 절연막(22)은 산화물 반도체막(19a) 위에 제공된다. 따라서, 산화물 절연막(24)을 형성하는 단계에서, 산화물 절연막(22)은 산화물 반도체막(19a)의 보호막으로서 기능한다. 그 결과, 산화물 절연막(24)은, 산화물 반도체막(19a)에 대한 손상을 감소시키면서, 높은 전력 밀도를 갖는 고주파 전력을 사용하여 형성될 수 있다.

[0326] 여기서, 산화물 절연막(24)으로서, 400nm-두께의 산화질화 실리콘막은, 200sccm의 유량을 갖는 실란 및 4000sccm의 유량을 갖는 일산화이질소가 원료 가스로서 사용되고 처리 챔버 내의 압력이 20Pa이고 기판 온도가 220°C이고 1500W의 고주파 전력이 27.12MHz의 고주파 전원을 사용하여 평행-판 전극들에 공급되는 플라즈마 CVD 법에 의해 형성된다. 플라즈마 CVD 장치는 전극 면적이 6000cm²인 평행-판 플라즈마 CVD 장치이며, 공급된 전력을 단위 면적당 전력(전력 밀도)으로 환산하면 0.25W/cm²임을 주목해야 한다.

[0327] 또한, 도전막(21a) 및 도전막(21b)이 소스 전극 및 드레인 전극으로서 기능하는 경우, 산화물 반도체막(19a)은 도전막의 에칭에 의해 손상되어, 산화물 반도체막(19a)의 백 채널측(back channel side)(산화물 반도체막(19a)에 있어서의, 게이트 전극으로서 기능하는 도전막(13)과 대향하는 측의 반대측)에 산소 결손들이 생성된다. 그러나, 산화물 절연막(24)으로 화학량론적 조성보다 높은 비율로 산소를 함유하는 산화물 절연막을 사용함으로서, 백 채널측에 생성된 산소 결손들은 열 처리에 의해 회복될 수 있다. 이것에 의해, 산화물 반도체막(19a)에 함유된 결함들을 감소시킬 수 있으며, 따라서, 트랜지스터(102)의 신뢰성을 향상시킬 수 있다.

[0328] 이어서, 제 4 포토마스크를 사용하는 포토리소그래피 공정에 의해 산화물 절연막(24) 위에 마스크를 형성한다. 다음에, 도 20의 (A)에 나타낸 바와 같이, 산화물 절연막(22) 및 산화물 절연막(24)의 일부를 상기 마스크를 사용하여 에칭하여 개구부(40)를 갖는 산화물 절연막(23) 및 산화물 절연막(25)을 형성한다. 이 후에, 마스크를 제거한다.

[0329] 상기 공정에 있어서, 산화물 절연막(22) 및 산화물 절연막(24)은 바람직하게는 드라이 에칭법에 의해 에칭된다. 그 결과, 에칭 처리시 산화물 반도체막(19c)을 플라즈마에 노출시키며; 따라서, 산화물 반도체막(19c)의 산소 결손량을 증가시킬 수 있다.

[0330] 다음에, 열 처리를 수행한다. 열 처리는 전형적으로, 150°C 이상 400°C 이하, 바람직하게는 300°C 이상 400°C 이하, 더 바람직하게는 320°C 이상 370°C 이하의 온도에서 수행된다.

[0331] 전기로, RTA 장치 등이 상기 열 처리에 사용될 수 있다. RTA 장치를 사용함으로써, 가열 시간이 짧은 경우, 열 처리는 기판의 변형점 이상의 온도로 수행될 수 있다. 따라서, 열 처리 시간을 단축시킬 수 있다.

[0332] 열 처리는 질소, 산소, 초건조 공기(물 함유량이 20ppm 이하, 바람직하게는 1ppm 이하, 더 바람직하게는 10ppb 이하인 공기), 또는 희가스(아르곤, 헬륨 등)의 분위기 하에 수행될 수 있다. 질소, 산소, 초건조 공기, 또는 희가스의 분위기는 바람직하게는 수소, 물 등을 함유하지 않는다.

[0333] 열 처리에 의해, 산화물 절연막(25)에 함유되는 산소의 일부가 산화물 반도체막(19a)으로 이동될 수 있어서, 산화물 반도체막(19a)에 함유되는 산소 결손량을 더 감소시킬 수 있다.

- [0334] 물, 수소 등이 산화물 절연막(23) 및 산화물 절연막(25)에 진입하고 질화물 절연막(26)이 물, 수소 등에 대한 배리어성을 갖는 경우, 질화물 절연막(26)이 이후에 형성되고, 열 처리가 수행되면, 산화물 절연막(23) 및 산화물 절연막(25)에 함유되는 물, 수소 등이 산화물 반도체막(19a)으로 이동하여, 산화물 반도체막(19a)에 결함들이 생성된다. 그러나, 가열에 의해, 산화물 절연막(23) 및 산화물 절연막(25)에 함유되는 물, 수소 등을 탈리시킬 수 있으며; 따라서, 트랜지스터(102)의 전기 특성들의 변동을 감소시킬 수 있으며, 임계 전압의 변화를 억제할 수 있다.
- [0335] 산화물 절연막(24)이, 가열하면서 산화물 절연막(22) 위에 형성되는 경우, 산소를 산화물 반도체막(19a)으로 이동시켜 산화물 반도체막(19a)의 산소 결손량을 감소시킬 수 있으며; 따라서, 열 처리가 반드시 수행되는 것은 아님을 주목해야 한다.
- [0336] 열 처리는 산화물 절연막(22) 및 산화물 절연막(24)을 형성한 후에 수행될 수 있다. 그러나, 열 처리는 바람직하게는, 산소가 산화물 반도체막(19c)으로 이동하지 않고 산화물 반도체막(19c)의 노출 때문에 산소가 산화물 반도체막(19c)으로부터 탈리된 다음, 산소 결손들이 생성되는 방식으로 높은 도전성을 갖는 막이 형성될 수 있기 때문에, 산화물 절연막(23) 및 산화물 절연막(25)의 형성 후에 수행된다.
- [0337] 여기서, 열 처리는 질소 및 산소의 혼합 분위기에서 350°C에서 1시간 동안 수행된다.
- [0338] 다음에, 도 20의 (B)에 나타낸 바와 같이, 질화물 절연막(26)이 형성된다.
- [0339] 질화물 절연막(26)은 질화물 절연막(15) 및 산화물 절연막(16)의 방법과 유사한 방법에 의해 적절히 형성될 수 있다. 질화물 절연막(26)을 스퍼터링법, CVD법 등에 의해 형성함으로써, 산화물 반도체막(19c)을 플라즈마에 노출시키고; 따라서, 산화물 반도체막(19c)의 산소 결손량을 증가시킬 수 있다.
- [0340] 산화물 반도체막(19c)은 향상된 도전성을 가지며, 도전성을 갖는 산화물 반도체막(19b)으로 된다. 질화 실리콘막이 질화물 절연막(26)으로서 플라즈마 CVD법에 의해 형성되는 경우, 질화 실리콘막에 함유되는 수소가 산화물 반도체막(19c)에 확산되며; 따라서, 산화물 반도체막의 도전성이 개선될 수 있다. 도전성을 갖는 산화물 반도체막(19b)의 제작 방법으로서, 실시형태 1에서 도전성을 갖는 산화물 반도체막(155b)의 제작 방법이 사용될 수 있다.
- [0341] 질화 실리콘막이 질화물 절연막(26)으로서 플라즈마 CVD법에서 형성되는 경우, 진공배기된 플라즈마 CVD 장치의 처리 챔버에 탑재된 기판은 바람직하게는 300°C 이상 400°C 이하, 더 바람직하게는 320°C 이상 370°C 이하의 온도에서 유지되어, 조밀한 질화 실리콘막을 형성할 수 있다.
- [0342] 질화 실리콘막이 형성되는 경우, 실리콘을 함유하는 중착 가스, 질소, 및 암모니아가 바람직하게는 원료 가스로서 사용된다. 원료 가스로서, 질소의 양과 비교하여 소량의 암모니아가 사용되고, 이에 의해 암모니아가 플라즈마 중에서 해리되어 활성종들이 생성된다. 활성종들은 실리콘을 함유하는 중착 가스에 함유된 실리콘 및 수소 사이의 결합, 및 질소 분자들 사이의 삼중 결합을 절단한다. 그 결과, 실리콘 및 질소 사이의 결합들이 촉진되어 실리콘 및 수소 사이의 결합들이 적은, 적은 결함들을 갖는 조밀한 질화 실리콘막이 형성될 수 있다. 한편, 원료 가스에 있어서, 암모니아의 양이 질소의 양보다 많은 경우, 실리콘을 함유하는 중착 가스의 분해 및 질소의 분해가 촉진되지 않아서, 실리콘과 수소 사이의 결합들이 잔류하며 결함들이 증가하는, 성긴 질화 실리콘막이 형성된다. 따라서, 원료 가스에 있어서, 암모니아에 대한 질소의 유량비는 바람직하게는 5 이상 50 이하, 더 바람직하게는 10 이상 50 이하로 설정된다.
- [0343] 여기서, 플라즈마 CVD 장치의 처리 챔버에서, 50nm-두께의 산화질화 실리콘막은, 50sccm의 유량을 갖는 실란, 5000sccm의 유량을 갖는 질소 및 100sccm의 유량을 갖는 암모니아가 원료 가스로서 사용되고 처리 챔버 내의 압력이 100Pa이고 기판 온도가 350°C이고 1000W의 고주파 전력이 27.12MHz의 고주파 전원을 사용하여 평행-판 전극들에 공급되는 플라즈마 CVD법에 의해 질화물 절연막(26)으로서 형성된다. 플라즈마 CVD 장치는 전극 면적이 6000cm^2 인 평행-판 플라즈마 CVD 장치이며, 공급된 전력을 단위 면적당 전력(전력 밀도)으로 환산하면 $1.7 \times 10^1 \text{W/cm}^2$ 임을 주목해야 한다.
- [0344] 다음에, 열 처리를 수행할 수 있다. 열 처리는 전형적으로, 150°C 이상 400°C 이하, 바람직하게는 300°C 이상 400°C 이하, 더 바람직하게는 320°C 이상 370°C 이하의 온도에서 수행된다. 그 결과, 임계 전압의 음의 이동을 감소시킬 수 있다. 또한, 임계 전압의 변화량을 감소시킬 수 있다.
- [0345] 다음에, 나타내지 않았지만, 제 5 포토마스크를 사용하는 포토리소그래피 공정에 의해 마스크를 형성한다. 이

어서, 질화물 절연막(15), 산화물 절연막(16), 산화물 절연막(23), 산화물 절연막(25), 및 질화물 절연막(26)의 각각의 일부를 마스크를 사용하여 예칭하여, 질화물 절연막(27), 및 도전막(13)과 동시에 형성된 접속 단자의 일부가 노출된 개구부를 형성한다. 또는, 산화물 절연막(23), 산화물 절연막(25), 및 질화물 절연막(26)의 각각의 일부를 예칭하여, 질화물 절연막(27), 및 도전막(21a) 및 도전막(21b)과 동시에 형성된 접속 단자의 일부가 노출된 개구부를 형성한다.

[0346] 다음에, 도 20의 (C)에 나타낸 바와 같이, 이후에 공통 전극(29)이 되는 도전막(28)이 질화물 절연막(27) 위에 형성된다.

[0347] 도전막(28)은 스퍼터링법, CVD법, 증착법 등에 의해 형성된다.

[0348] 또한, 실시형태 1에서 도전성을 갖는 산화물 반도체막(155b)이 도전막(28)으로서 사용되는 경우, 도전성을 갖는 산화물 반도체막(155b)의 제작 방법이 적절히 사용될 수 있다.

[0349] 이어서, 제 6 포토마스크를 사용하는 포토리소그래피 공정에 의해 도전막(28) 위에 마스크를 형성한다. 다음에, 도 21의 (A)에 나타낸 바와 같이, 도전막(28)의 일부를 마스크를 사용하여 예칭하여 공통 전극(29)을 형성한다. 나타내지 않았지만, 공통 전극(29)은 도전막(13)과 동시에 형성된 접속 단자, 또는 도전막(21a) 및 도전막(21b)과 동시에 형성된 접속 단자와 접속된다. 이 후에, 마스크를 제거한다.

[0350] 다음에, 도 21의 (B)에 나타낸 바와 같이, 유기 절연막(31)이 질화물 절연막(27) 위에 형성된다. 유기 절연막은 도포법, 인쇄법 등에 의해 적절히 형성될 수 있다.

[0351] 유기 절연막이 도포법에 의해 형성되는 경우, 질화물 절연막(27) 및 공통 전극(29)의 상면들에 도포된 감광성의 조성물을 제 7 포토마스크를 사용하는 포토리소그래피 공정에 의해 노광 및 현상한 다음, 열 처리한다. 질화물 절연막(27) 및 공통 전극(29)의 상면들에 비감광성의 조성물을 도포하는 경우, 상기 비감광성의 조성물의 상면에 도포된 레지스트를 제 7 포토마스크를 사용하는 포토리소그래피 공정으로 가공하여 마스크를 형성한 다음, 상기 마스크를 사용하여 비감광성의 조성물을 예칭하고, 이에 의해 유기 절연막(31)이 형성될 수 있음을 주목해야 한다.

[0352] 상기 공정을 통해, 트랜지스터(102)를 제작하고, 용량 소자(105)를 제작할 수 있다.

[0353] 본 실시형태에 있어서, Cu-X 합금막을 포함하는 도전막(21b)이 도전성을 갖는 산화물 반도체막(19b) 위에 형성되고, 이에 의해 도전성을 갖는 산화물 반도체막(19b)과 도전막(21b) 사이의 밀착성을 증가시킬 수 있으며, 이들 사이의 접촉 저항을 감소시킬 수 있다.

[0354] 본 실시형태에 기술된 표시 장치의 소자 기판은, 무기 절연막을 개재하여 트랜지스터와 중첩하는 유기 절연막을 포함한다. 따라서, 트랜지스터의 신뢰성을 개선시킬 수 있어서 이의 표시 품질이 유지되는 표시 장치를 제작할 수 있다.

[0355] 본 실시형태의 표시 장치의 소자 기판에는 상부면이 지그재그 형상을 가지며 신호선으로서 기능하는 도전막과 교차하는 방향으로 연신되는 스트라이프 영역들을 갖는 공통 전극이 제공된다. 따라서, 표시 장치는 탁월한 콘트라스트를 가질 수 있다. 또한, 낮은 리프레쉬 레이트를 갖는 액정 표시 장치에 있어서, 플리커들을 감소시킬 수 있다.

[0356] 본 실시형태의 표시 장치의 소자 기판에서, 화소 전극으로서 기능하는 도전성을 갖는 산화물 반도체막은 채널 영역이 형성되는 트랜지스터의 산화물 반도체막과 동시에 형성되며; 따라서, 트랜지스터(102) 및 용량 소자(105)는 6매의 포토마스크들을 사용하여 형성될 수 있다. 도전성을 갖는 산화물 반도체막은 용량 소자의 전극들 중 하나로서 기능한다. 공통 전극들은 또한 용량 소자의 전극들 중 다른 하나로서 기능한다. 따라서, 또 다른 도전막을 형성하는 단계가 용량 소자를 형성하기 위해 필요하지 않으며, 표시 장치를 제조하는 단계들의 수를 감소시킬 수 있다. 용량 소자는 투과성을 갖는다. 그 결과, 용량 소자에 의해 접유된 면적을 증가시킬 수 있으며, 화소의 개구율을 증가시킬 수 있다. 또한, 표시 장치의 전력 소모를 감소시킬 수 있다.

[0357] 다음에, 제 2 기판(342) 상에 형성된 소자층이 기술된다. 유색성을 갖는 막 (이하, 착색막(346)으로 언급됨)이 제 2 기판(342) 상에 형성된다. 착색막(346)은 칼라 필터로서 기능한다. 또한, 착색막(346)에 인접하는 차광막(344)은 제 2 기판(342) 상에 형성된다. 차광막(344)은 블랙 매트릭스로서 기능한다. 예를 들면, 액정 표시 장치가 단색(monochrome) 표시 장치인 경우, 착색막(346)이 반드시 제공될 필요는 없다.

[0358] 착색막(346)은 특정한 파장 범위의 광을 투과하는 착색막이다. 예를 들면, 적색 파장 범위의 광을 투과하는 적

색(R)막, 녹색 파장 범위의 광을 투과하는 녹색(G)막, 청색 파장 범위의 광을 투과하는 청색(B) 막 등이 사용될 수 있다.

[0359] 차광막(344)은 바람직하게는, 특정한 파장 범위의 광을 차광하는 기능을 가지며, 예를 들면, 금속막 또는 흑색 안료 등을 포함한 유기 절연막일 수 있다.

[0360] 절연막(348)은 착색막(346) 상에 형성된다. 절연막(348)은 평탄화층으로서 기능하거나, 또는 상기 착색막(346) 내의 불순물들이 액정 소자측으로 확산되는 것을 억제한다.

[0361] 도전막(350)은 절연막(348) 상에 형성된다. 도전막(350)은 투광성을 갖는 도전막을 사용하여 형성된다. 도전막(350)의 전위는 바람직하게는 공통 전극(29)의 전위와 동일하다. 즉, 공통 전위가 도전막(350)에 인가되는 것이 바람직하다.

[0362] 액정 분자를 구동하는 전압이 도전막(21b)에 인가되는 경우, 전계가 도전막(21b)과 공통 전극(29) 사이에 발생한다. 도전막(21b)과 공통 전극(29) 사이의 액정 분자들은 전계의 영향으로 인해 배향되고, 따라서 플리커가 생성된다.

[0363] 그러나, 도전막(350)이 액정층(320)을 통해 공통 전극(29)과 대향하도록 제공되어 공통 전극(29) 및 도전막(350)이 동일한 전위를 갖는 방식으로, 도전막(21b)과 공통 전극(29) 사이의 전계로 인해 기판에 수직인 방향으로 액정 분자들의 배향 변화를 억제할 수 있다. 따라서, 영역에 있어서의 액정 분자들의 배향 상태가 안정하다. 따라서, 플리커를 감소시킬 수 있다.

[0364] 배향막(352)이 도전막(350) 상에 형성됨을 주목해야 한다.

[0365] 또한, 액정층(320)이 배향막(33)과 배향막(352) 사이에 형성된다. 상기 액정층(320)은 밀봉제(나타내지 않음)를 사용하여 제 1 기판(11)과 제 2 기판(342) 사이에 밀봉된다. 밀봉제는 바람직하게는, 외부로부터 수분 등의 진입을 억제하기 위해 무기 재료와 접촉시킨다.

[0366] 액정층(320)의 두께(셀 갭으로도 언급됨)를 유지하기 위해 배향막(33)과 배향막(352) 사이에 스페이서가 제공될 수 있다.

[0367] 본 실시형태에 기술된 구조들, 방법들 등을 다른 실시형태들에 기술된 구조들, 방법들 등 중 어느 하나와 적절히 조합되어 사용될 수 있음을 주목해야 한다.

[0368] <변형 예 1>

[0369] 도 22는 도 17의 표시 장치의 변형예를 나타낸다.

[0370] 도 22의 표시 장치에서, 유기 수지막이 무기 절연막(30) 위에 형성되지 않고, 배향막(33)이 무기 절연막(30) 전체와 접한다. 그 결과, 제 1 기판(11) 위의 소자부를 형성하기 위한 포토마스크들의 매수를 감소시킬 수 있으며, 소자부가 제공된 제 1 기판(11)의 제작 공정의 단순화를 달성할 수 있다.

[0371] <변형 예 2>

[0372] 도 23은 도 17의 표시 장치의 변형예를 나타낸다.

[0373] 도 23의 표시 장치에서, 분리되지 않은 연속한 유기 수지막(31a)이 질화물 절연막(27) 위에 형성된다. 또한, 공통 전극(29)이 유기 수지막(31a) 위에 형성된다. 유기 수지막(31a)은 평탄화 막으로서 기능하며; 따라서, 액정층에 포함되는 액정 분자들의 배향의 불규칙성을 감소시킬 수 있다.

[0374] <변형 예 3>

[0375] 도 24는 도 17의 표시 장치의 변형예를 나타낸다.

[0376] 도 24에서 화소 전극들로서 기능하는 도전성을 갖는 산화물 반도체막(19b)은 슬릿을 갖는다. 도전성을 갖는 산화물 반도체막(19b)이 빗살형 형상을 가질 수 있음을 주목해야 한다.

[0377] <변형 예 4>

[0378] 도 25는 도 17의 표시 장치의 변형예를 나타낸다.

[0379] 도 25의 공통 전극(29)은, 질화물 절연막(27)을 개재하여 도전막(21b)과 중첩된다. 공통 전극(29), 질화물 절연막(27), 및 도전막(21b)은 용량 소자(105b)를 구성한다. 용량 소자(105b)를 제공함으로써, 화소의 정전용량

값을 증가시킬 수 있다.

[0380] <변형 예 5>

[0381] 도 26의 (A) 및 (B)는 도 17의 트랜지스터(102)의 변형 예를 나타낸다.

[0382] 도 26의 (A)에 나타낸 트랜지스터(102d)는 다계조(multi-tone) 포토마스크를 사용하여 형성되는 한 쌍의 도전막(21c) 및 도전막(21d) 및 산화물 반도체막(19g)을 포함한다. 도전막(21c)은 도전막(21c_1)과 도전막(21c_2)의 적층 구조를 가짐을 주목해야 한다. 도전막(21d)은 도전막(21d_1)과 도전막(21d_2)의 적층 구조를 갖는다. 도전막(21c_1) 및 도전막(21d_1)으로서, Cu-X 합금막이 사용된다. 도전막(21c_2) 및 도전막(21d_2)으로서, 저저항 재료를 포함하는 도전막이 사용된다.

[0383] 다계조 포토마스크를 사용함으로써, 복수의 두께를 갖는 레지스트 마스크가 형성될 수 있다. 레지스트 마스크를 사용하여 산화물 반도체막(19g)을 형성한 후, 상기 레지스트 마스크를 산소 플라즈마 등에 노출시켜 일부를 제거하고; 따라서 한 쌍의 도전막들을 형성하기 위한 레지스트 마스크를 형성한다. 따라서, 산화물 반도체막(19g) 및 한 쌍의 도전막(21c) 및 도전막(21d)의 형성 공정에 있어서 포토리소그래피 공정의 단계들의 수를 감소시킬 수 있다.

[0384] 다계조 포토마스크를 사용하여 형성된 산화물 반도체막(19g)은, 위로부터 보았을 때 한 쌍의 도전막(21c) 및 도전막(21d)의 외부에 일부가 노출됨을 주목해야 한다.

[0385] 도 26의 (B)에 나타낸 트랜지스터(102e)는 채널-보호형 트랜지스터이다.

[0386] 도 26의 (B)에 나타낸 트랜지스터(102e)는 제 1 기판(11) 위에 제공되는 게이트 전극으로서 기능하는 도전막(13), 제 1 기판(11) 및 게이트 전극으로서 기능하는 도전막(13) 위에 형성되는 게이트 절연막(14), 게이트 절연막(14)을 개재하여 게이트 전극으로서 기능하는 도전막(13)과 중첩하는 산화물 반도체막(19a), 산화물 반도체막(19a)의 채널 영역 및 측면을 덮는 무기 절연막(30a), 및 무기 절연막(30a)의 개구부에 있어서 산화물 반도체막(19a)과 접하는 소스 전극 및 드레인 전극으로서 기능하는 도전막(21e) 및 도전막(21f)을 포함한다. 도전막(21e)은 도전막(21e_1)과 도전막(21e_2)의 적층 구조를 가짐을 주목해야 한다. 도전막(21f)은 도전막(21f_1)과 도전막(21f_2)의 적층 구조를 갖는다. 도전막(21e_1) 및 도전막(21f_1)으로서, Cu-X 합금막이 사용된다. 도전막(21e_2) 및 도전막(21f_2)으로서, 저저항 재료를 포함하는 도전막이 사용된다.

[0387] 채널 보호형의 트랜지스터에서, 산화물 반도체막(19a)이 무기 절연막(30a)으로 덮어져 있기 때문에, 산화물 반도체막(19a)은 도전막(21e) 및 도전막(21f)을 형성하기 위한 예치에 의해 손상되지 않는다. 따라서, 산화물 반도체막(19a) 내의 결함들을 감소시킬 수 있다.

[0388] 본 실시형태에 기술된 구조들, 방법들 등을 다른 실시형태들에 기술된 구조들, 방법들 등 중 어느 하나와 적절히 조합하여 사용될 수 있다.

[0389] (실시형태 5)

[0390] 본 실시형태에서, 표시 장치의 예로서, 수직 정렬(VA) 모드로 구동되는 액정 표시 장치가 기술될 것이다. 먼저, 액정 표시 장치에 포함되는 복수의 화소들(103)의 상면도가 도 27에 도시된다.

[0391] 도 27에 있어서, 주사선으로서 기능하는 도전막(13)은 신호선으로서 기능하는 도전막에 실질적으로 수직인 방향(도면 중 횡방향)으로 연신된다. 신호선으로서 기능하는 도전막(21a)은 주사선으로서 기능하는 도전막에 실질적으로 수직인 방향(도면 중 종방향)으로 연신된다. 용량선으로서 기능하는 도전막(21g)은 신호선에 평행한 방향으로 연신된다. 주사선으로서 기능하는 도전막(13)은 주사선 구동 회로(104)(도 15의 (A) 참조)에 전기적으로 접속되며, 신호선으로서 기능하는 도전막(21a) 및 용량선으로서 기능하는 도전막(21g)은 신호선 구동 회로(106)(도 15의 (A) 참조)에 전기적으로 접속됨을 주목해야 한다.

[0392] 트랜지스터(102)는 주사선으로서 기능하는 도전막 및 신호선으로서 기능하는 도전막이 서로 교차하는 영역에 제공된다. 트랜지스터(102)는 게이트 전극으로서 기능하는 도전막(13); 게이트 절연막(도 27에 나타내지 않음); 채널 영역이 게이트 절연막 위에 형성된 산화물 반도체막(19a); 및 한 쌍의 전극들로서 기능하는 도전막(21a) 및 도전막(21b)을 포함한다. 도전막(13)은 또한, 주사선으로서 기능하고, 산화물 반도체막(19a)과 중첩하는 도전막(13)의 영역은 트랜지스터(102)의 게이트 전극으로서 기능한다. 또한, 도전막(21a)은 또한 신호선으로서 기능하고, 산화물 반도체막(19a)과 중첩하는 도전막(21a)의 영역은 트랜지스터(102)의 소스 전극 또는 드레인 전극으로서 기능한다. 또한, 도 27의 상면도에 있어서, 주사선으로서 기능하는 도전막의 단부는 산화물 반도체

막(19a)의 단부의 외측 상에 위치한다. 따라서, 주사선으로서 기능하는 도전막은 백라이트와 같은 광원으로부터 광을 차단하기 위한 차광막으로서 기능한다. 이러한 이유 때문에, 트랜지스터에 포함되는 산화물 반도체막(19a)에 광을 조사하지 않아서 트랜지스터의 전기 특성들의 변동을 억제할 수 있다.

[0393] 또한, 트랜지스터(102)는 실시형태 4의 방식과 유사한 방식으로 산화물 반도체막(19a)과 중첩하는 유기 절연막(31)을 포함한다. 유기 절연막(31)은, 무기 절연막(도 27에 나타내지 않음)을 개재하여 산화물 반도체막(19a) (특히, 도전막(21a) 및 도전막(21b) 사이에 존재하는 산화물 반도체막(19a)의 영역)과 중첩한다.

[0394] 도전막(21b)은 개구부(41)에 있어서 화소 전극으로서 기능하는 투광성을 갖는 도전막(29c)과 전기적으로 접속된다.

[0395] 용량 소자(105)는 용량선으로서 기능하는 도전막(21g)에 접속된다. 용량 소자(105)는 게이트 절연막 위에 형성되는 도전성을 갖는 산화물 반도체막(19d), 트랜지스터(102) 위에 형성되는 유전체막, 및 화소 전극으로서 기능하는 투광성을 갖는 도전막(29c)을 포함한다. 게이트 절연막 위에 형성되는 도전성을 갖는 산화물 반도체막(19d)은 투광성을 갖는다. 즉, 용량 소자(105)는 투광성을 갖는다.

[0396] 용량 소자(105)의 투광성으로 인해, 용량 소자(105)는 화소(103) 내에서 크게(대면적으로) 형성될 수 있다. 따라서, 개구율을 전형적으로 55% 이상, 바람직하게는 60% 이상 증가시키면서 큰-정전용량의 용량 소자를 갖는 표시 장치가 제공될 수 있다. 예를 들면, 액정 표시 장치와 같은 고해상도 표시 장치에 있어서, 화소의 면적이 작고 용량 소자의 면적도 작다. 이러한 이유 때문에, 고해상도 표시 장치에 있어서, 용량 소자에 축적되는 전하량은 작다. 그러나, 본 실시형태의 용량 소자(105)는 투광성을 갖기 때문에, 용량 소자(105)가 화소 내에 제공되는 경우, 충분한 정전용량 값을 화소에서 얻을 수 있으며 개구율을 향상시킬 수 있다. 전형적으로, 용량 소자(150)는 200ppi 이상, 300ppi 이상, 또는 더욱 더 500ppi 이상의 화소 밀도를 갖는 고해상도 표시 장치에 적합하게 사용될 수 있다.

[0397] 또한, 본 발명의 일 실시형태에 따라, 고해상도의 표시 장치에서도 개구율을 향상시킬 수 있고, 이는 백라이트와 같은 광원으로부터 광을 효율적으로 사용가능도록 하여, 표시 장치의 전력 소모를 감소시킬 수 있다.

[0398] 다음에, 도 28은 도 27의 일점-쇄선들(A-B) 및 (C-D)을 따라 취한 단면도이다. 도 27에 나타낸 트랜지스터(102)는 채널-에칭형 트랜지스터이다. 채널 길이 방향의 트랜지스터(102), 트랜지스터(102)와 화소 전극으로서 기능하는 투광성을 갖는 도전막(29c) 사이의 접속부, 및 용량 소자(105)는 일점-쇄선(A-B)을 따라 취한 단면도에 나타내며, 채널 폭 방향의 트랜지스터(102)는 일점-쇄선(C-D)을 따라 취한 단면도에 나타낼을 주목해야 한다.

[0399] 본 실시형태에 기술된 액정 표시 장치가 VA 모드로 구동되기 때문에, 액정 소자(322)는 제 1 기판(11)의 소자층에 포함되는 화소 전극으로서 기능하는 투광성을 갖는 도전막(29c), 제 2 기판(342)의 소자층에 포함되는 도전막(350), 및 액정층(320)을 포함한다.

[0400] 또한, 도 28의 트랜지스터(102)는 실시형태 4의 트랜지스터(102)의 구조와 유사한 구조를 갖는다. 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a) 및 도전막(21b) 중 하나에 접속되는(여기서는 도전막(21b)에 접속됨) 화소 전극으로서 기능하는 투광성을 갖는 도전막(29c)은 질화물 절연막(27) 위에 형성된다. 질화물 절연막(27)의 개구부(41)에 있어서, 도전막(21b)은 화소 전극으로서 기능하는 투광성을 갖는 도전막(29c)에 접속된다.

[0401] 화소 전극으로서 기능하는 투광성을 갖는 도전막(29c)은 실시형태 4의 공통 전극(29)의 재료 및 제작 방법과 유사한 재료 및 제작 방법을 적절히 사용하여 형성될 수 있다.

[0402] 도 28의 용량 소자(105)는 산화물 절연막(17) 위에 형성되는 도전성을 갖는 산화물 반도체막(19d), 질화물 절연막(27), 및 화소 전극으로서 기능하는 투광성을 갖는 도전막(29c)을 포함한다.

[0403] 본 실시형태의 트랜지스터(102) 위에, 서로 분리되어 있는 산화물 절연막(23) 및 산화물 절연막(25)이 형성된다. 서로 분리되어 있는 산화물 절연막(23) 및 산화물 절연막(25)은 산화물 반도체막(19a)과 중첩한다.

[0404] 또한, 산화물 반도체막(19a)과 중첩하는 유기 절연막(31)은 질화물 절연막(27) 위에 제공된다. 산화물 반도체막(19a)과 중첩하는 유기 절연막(31)은 트랜지스터(102) 위에 제공되고, 이에 의해 산화물 반도체막(19a)의 표면은 유기 절연막(31)의 표면으로부터 멀어지게 할 수 있다. 따라서, 산화물 반도체막(19a)의 표면은, 유기 절연막(31)의 표면에 흡착된 양으로 하전된 입자들의 전계에 의해 영향을 받지 않으며 따라서 트랜지스터(102)의 신뢰성을 향상시킬 수 있다.

- [0405] 용량 소자(105)에 있어서, 도전성을 갖는 산화물 반도체막(19d)은 실시형태 4와는 다르고, 도전막(21b)에 접속되지 않는다. 대조적으로, 도전성을 갖는 산화물 반도체막(19d)은 도전막(21d)과 접한다. 도전막(21d)은 용량 선으로서 기능한다. 도전성을 갖는 산화물 반도체막(19d)은 실시형태 4에서 도전성을 갖는 산화물 반도체막(19b)과 유사한 방식으로 형성될 수 있다. 즉, 도전성을 갖는 산화물 반도체막(19d)은 산화물 반도체막(19a)과 동일한 금속 원소를 함유하는 금속 산화물막이다.
- [0406] 다음에, 도 28에서 트랜지스터(102) 및 용량 소자(105)의 제작 방법은 도 29의 (A) 내지 (C), 및 도 30의 (A) 내지 (C)를 참조하여 기술된다.
- [0407] 도전막을 제 1 기판(11) 위에 형성한 다음, 실시형태 4에서 제 1 포토리소그래피 공정을 통해 형성된 마스크를 사용하여 에칭하고, 이에 의해 게이트 전극으로서 기능하는 도전막(13)이 제 1 기판(11) 위에 형성된다(도 29의 (A) 참조).
- [0408] 다음에, 질화물 절연막(15) 및 산화물 절연막(16)을 제 1 기판(11) 및 게이트 전극으로서 기능하는 도전막(13) 위에 형성한다. 다음에, 산화물 반도체막을 산화물 절연막(16) 위에 형성한 다음, 실시형태 4에서 제 2 포토리소그래피 공정을 통해 형성된 마스크를 사용하여 에칭하고, 이에 의해 산화물 반도체막(19a) 및 산화물 반도체막(19c)이 형성된다(도 29의 (B) 참조).
- [0409] 다음에, 도전막을 산화물 절연막(16) 및 산화물 반도체막(19a) 및 산화물 반도체막(19c) 위에 형성한 다음, 실시형태 4에서 제 3 포토리소그래피 공정을 통해 형성된 마스크를 사용하여 에칭하고, 이에 의해 도전막(21a), 도전막(21b) 및 도전막(21d)이 형성된다(도 29의 (C) 참조). 이때, 산화물 반도체막(19c)과 접하지 않도록 도전막(21b)이 형성된다. 산화물 반도체막(19c)과 접하지 않도록 도전막(21d)이 형성된다. 도전막(21d)에 있어서, 도전막(21a) 및 도전막(21b)에서와 같이, 도전막(21d_1) 및 도전막(21d_2)이 적층되어 있다.
- [0410] 다음에, 산화물 절연막을 산화물 절연막(16), 산화물 반도체막(19a), 산화물 반도체막(19c), 및 도전막(21a), 도전막(21b) 및 도전막(21d) 위에 형성한 다음, 실시형태 4에서 제4 포토리소그래피 공정을 통해 형성된 마스크를 사용하여 에칭하고, 이에 의해 개구부(40)를 갖는 산화물 절연막(23) 및 산화물 절연막(25)이 형성된다(도 30의 (A) 참조).
- [0411] 다음에, 질화물 절연막을 산화물 절연막(17), 산화물 반도체막(19a) 및 산화물 반도체막(19c), 도전막(21a), 도전막(21b) 및 도전막(21d), 및 산화물 절연막(23), 및 산화물 절연막(25) 위에 형성한 다음, 실시형태 4에서 제5 포토리소그래피 공정을 통해 형성된 마스크를 사용하여 에칭하고, 이에 의해 도전막(21b)의 일부가 노출된 개구부(41)를 갖는 질화물 절연막(27)이 형성된다(도 30의 (B) 참조).
- [0412] 상기 단계들을 통해, 산화물 반도체막(19c)은 도전성을 갖는 산화물 반도체막(19d)이 된다. 질화 실리콘막이 질화물 절연막(27)으로서 플라즈마 CVD법에 의해 이후에 형성되는 경우, 질화 실리콘막에 함유되는 수소가 산화물 반도체막(19c)에 확산되며; 따라서, 도전성을 갖는 산화물 반도체막(19d)의 도전성을 높일 수 있다.
- [0413] 다음에, 도전막을 도전막(21b) 및 질화물 절연막(27) 위에 형성한 다음, 실시형태 4에서 제 6 포토리소그래피 공정을 통해 형성된 마스크를 사용하여 에칭하고, 이에 의해 도전막(21b)에 접속된 도전막(29c)이 형성된다(도 30의 (C) 참조).
- [0414] 상기로부터, 산화물 반도체막을 포함하는 반도체 장치에 있어서, 전기 특성들이 향상한 반도체 장치를 수득할 수 있다.
- [0415] 본 실시형태에 기술된 반도체 장치의 소자 기판에, 용량 소자의 한쪽 전극이 트랜지스터의 산화물 반도체막과 동시에 형성된다. 또한, 화소 전극으로서 기능하는 투광성을 갖는 도전막이 용량 소자의 다른 하나의 전극으로서 사용된다. 따라서, 용량 소자를 형성하기 위해서, 또 다른 도전막을 형성하는 단계가 필요하지 않으며, 표시 장치의 제작 단계들의 수를 감소시킬 수 있다. 또한, 한 쌍의 전극들이 투광성을 갖기 때문에, 용량 소자는 투광성을 갖는다. 그 결과, 용량 소자에 의해 점유된 면적을 증가시킬 수 있으며, 화소의 개구율을 증가시킬 수 있다.
- [0416] <변형 예 1>
- [0417] 본 실시형태에서, 실시형태 4에 기술된 반도체 장치와 비교하여 적은 수의 마스크들로 제작할 수 있는 표시 장치가 도 31을 참조하여 기술된다.
- [0418] 도 31에 기술된 표시 장치에서, 트랜지스터(102) 위에 형성되는 산화물 절연막(22) 및 산화물 절연막(24)을 예

칭하지 않고 마스크들의 수를 감소시킬 수 있다. 또한, 질화물 절연막(27)이 산화물 절연막(24) 위에 형성되고, 도전막(21b)의 일부가 노출된 개구부(41a)가 산화물 절연막(22) 및 산화물 절연막(24) 및 질화물 절연막(27)에 형성된다. 개구부(41a)에 있어서 도전막(21b)에 접속되는, 화소 전극으로서 기능하는 투광성을 갖는 도전막(29d)이 질화물 절연막(27) 위에 형성된다.

[0419] 도전막(21d)이 산화물 절연막(17) 위에 형성된다. 도전막(21d)이 도전막(21a) 및 도전막(21b)과 동시에 형성되기 때문에, 도전막(21d)를 형성하기 위해 추가의 포토마스크가 필요하지 않다. 도전막(21d)은 용량선으로서 기능한다. 즉, 용량 소자(105a)는 도전막(21d), 산화물 절연막(22), 산화물 절연막(24), 질화물 절연막(27), 및 화소 전극으로서 기능하는 투광성을 갖는 도전막(29d)을 포함한다.

[0420] 본 실시형태에 기술된 구조들, 방법들 등을 다른 실시형태들에 기술된 구조들, 방법들 등 중 어느 하나와 적절히 조합하여 사용될 수 있다.

[0421] (실시형태 6)

[0422] 본 실시형태에서, 실시형태 4의 표시 장치와 상이한 표시 장치 및 이의 제작 방법이 도면들을 참조하여 기술된다. 본 실시형태는, 트랜지스터가, 산화물 반도체막이 상이한 게이트 전극들 사이에 제공되는 구조, 즉 듀얼-게이트 구조를 갖는다는 점이 실시형태 4와 상이하다. 실시형태 4의 구조들과 유사한 구조들이 여기에 반복하여 기술되지 않음을 주목해야 한다.

[0423] 표시 장치에 포함되는 제 1 기판(11) 위에 형성되는 소자층의 구체적인 구조가 기술된다. 본 실시형태의 표시 장치에 제공된 트랜지스터는, 게이트 전극으로서 기능하는 도전막(13), 산화물 반도체막(19a), 도전막(21a) 및 도전막(21b), 및 산화물 절연막(25) 각각의 일부 또는 전부와 중첩하는 게이트 전극으로서 기능하는 도전막(29b)이 제공된다는 점이 실시형태 4와 상이하다. 게이트 전극으로서 기능하는 도전막(29b)은 개구부(41a)에 있어서 게이트 전극으로서 기능하는 도전막(13)에 접속된다.

[0424] 도 32에 나타낸 트랜지스터(102a)는 채널-에칭형 트랜지스터이다. 채널 길이 방향의 트랜지스터(102) 및 용량 소자(105a)는 부분(A-B)으로 단면도로 나타내고, 채널 폭 방향의 트랜지스터(102a), 및 게이트 전극으로서 기능하는 도전막(13)과 게이트 전극으로서 기능하는 도전막(29b) 사이의 접속부는 부분(C-D)의 단면도에 나타낸을 주목해야 한다.

[0425] 도 32의 트랜지스터(102a)는 듀얼-게이트 구조를 가지며, 제 1 기판(11) 위에 게이트 전극으로서 기능하는 도전막(13)을 포함한다. 또한, 트랜지스터(102a)는 제 1 기판(11) 및 게이트 전극으로서 기능하는 도전막(13) 위에 형성되는 질화물 절연막(15), 상기 질화물 절연막(15) 위에 형성되는 산화물 절연막(17), 질화물 절연막(15) 및 산화물 절연막(17)을 개재하여 게이트 전극으로서 기능하는 도전막(13)과 중첩하는 산화물 반도체막(19a), 및 산화물 반도체막(19a)과 접하는 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a) 및 도전막(21b)을 포함한다. 또한, 산화물 절연막(23)은 산화물 절연막(17), 산화물 반도체막(19a), 및 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a) 및 도전막(21b) 위에 형성되고, 산화물 절연막(25)은 산화물 절연막(23) 위에 형성된다. 질화물 절연막(27)은 질화물 절연막(15), 산화물 절연막(23), 산화물 절연막(25), 및 도전막(21b) 위에 형성된다. 도전성을 갖는 산화물 반도체막(19b)은 산화물 절연막(17) 위에 형성된다. 도전성을 갖는 산화물 반도체막(19b)은 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a) 및 도전막(21b) 중 하나에 접속되고, 여기서는 도전막(21b)에 접속된다. 공통 전극(29) 및 게이트 전극으로서 기능하는 도전막(29b)은 질화물 절연막(27) 위에 형성된다.

[0426] 부분(C-D)의 단면도에 나타낸 바와 같이, 게이트 전극으로서 기능하는 도전막(29b)은, 질화물 절연막(15) 및 질화물 절연막(27)에 제공된 개구부(41a)에 있어서, 게이트 전극으로서 기능하는 도전막(13)에 접속된다. 즉, 게이트 전극으로서 기능하는 도전막(13) 및 게이트 전극으로서 기능하는 도전막(29b)은 동일한 전위를 갖는다.

[0427] 따라서, 트랜지스터(102a)의 각각의 게이트 전극에 동일한 전위의 전압을 인가함으로써, 초기 특성들의 변동을 감소시킬 수 있으며, -GBT 응력 시험 후 트랜지스터(102a)의 열화 및 상이한 드레인 전압들에서의 온-상태 전류의 상승 전압을 억제할 수 있다. 또한, 산화물 반도체막(19a)에 있어서 캐리어가 유동하는 영역이 막 두께 방향에서 커져서, 캐리어 이동량이 증가한다. 그 결과, 트랜지스터(102a)의 온-상태 전류가 증가하고, 전계-효과 이동도가 증가한다. 전형적으로, 전계-효과 이동도는 $20\text{cm}^2/\text{V}\cdot\text{s}$ 이상이다.

[0428] 본 실시형태에서 트랜지스터(102a) 위에, 산화물 절연막(23) 및 산화물 절연막(25)이 형성된다. 산화물 절연막(23) 및 산화물 절연막(25)은 산화물 반도체막(19a)과 중첩한다. 채널 폭 방향의 단면도에 있어서, 산화물 절

연막(23) 및 산화물 절연막(25)의 단부는 산화물 반도체막(19a)의 단부의 외측에 위치한다. 또한, 도 32에서 채널 폭 방향에 있어서, 게이트 전극으로서 기능하는 도전막(29b)은 산화물 절연막(23) 및 산화물 절연막(25)의 단부에 위치한다.

[0429] 예칭 등에 의해 가공된 산화물 반도체막의 단부는 가공에 의해 손상되어 결함들이 생성되고 또한 불순물 부착 등에 의해 오염된다. 따라서, 산화물 반도체막의 단부는 전계와 같은 응력의 적용에 의해 쉽게 활성화되고, 이에 의해 n형(저저항을 가짐)으로 되기 쉽다. 따라서, 게이트 전극으로서 기능하는 도전막(13)과 중첩하는 산화물 반도체막(19a)의 단부는 n형화되기 쉽다. n형화된 단부가 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a) 및 도전막(21b) 사이에 제공되는 경우, n형화된 영역은 캐리어 경로로서 기능하여, 기생 채널(parasitic channel)을 초래한다. 그러나, 부분(C-D)의 단면도에 나타낸 바와 같이, 채널 폭 방향에 있어서, 게이트 전극으로서 기능하는 도전막(29b)이, 산화물 절연막(23) 및 산화물 절연막(25)을 개재하여 산화물 반도체막(19a)의 측면과 대향하는 경우, 게이트 전극으로서 기능하는 도전막(29b)의 전계로 인해, 산화물 반도체막(19a)의 측면, 또는 상기 측면 및 상기 측면의 근방을 포함하는 영역에 있어서 기생 채널의 생성이 억제된다. 그 결과, 임계 전압에 있어서의 드레인 전류의 급격한 증가와 같은 탁월한 전기 특성들을 갖는 트랜지스터가 수득된다.

[0430] 본 실시형태에 기술된 표시 장치의 소자 기판에, 화소 전극으로서 기능하는 도전성을 갖는 산화물 반도체막이, 트랜지스터의 산화물 반도체막과 동시에 형성된다. 도전성을 갖는 산화물 반도체막은 또한 용량 소자의 전극들 중 하나로서 기능한다. 공통 전극들은 또한, 용량 소자의 전극들 중 다른 하나로서 기능한다. 따라서, 용량 소자를 형성하기 위해서, 또 다른 도전막을 형성하는 단계가 필요하지 않으며, 반도체 장치의 제작 단계들의 수를 감소시킬 수 있다. 용량 소자는 투광성을 갖는다. 그 결과, 용량 소자에 의해 점유된 면적을 증가시킬 수 있으며, 화소의 개구율을 증가시킬 수 있다.

[0431] 트랜지스터(102a)의 상세사항이 이하에 기술된다. 실시형태 4의 참조 번호들과 동일한 참조 번호들을 갖는 구성요소들은 여기에 기술되지 않음을 주목해야 한다.

[0432] 게이트 전극으로서 기능하는 도전막(29b)은 실시형태 4에서 공통 전극(29)의 재료와 유사한 재료를 사용하여 형성될 수 있다.

[0433] 다음에, 도 32에서 트랜지스터(102a) 및 용량 소자(105a)의 제작 방법은 도 18의 (A) 내지 (D), 도 19의 (A) 내지 (C), 도 20의 (A) 및 (B), 및 도 33의 (A) 내지 (C)를 참조하여 기술된다.

[0434] 실시형태 4에서와 같이, 도 18의 (A) 내지 도 20의 (B)에 나타낸 단계들을 통해, 게이트 전극으로서 기능하는 도전막(13), 질화물 절연막(15), 산화물 절연막(16), 산화물 반도체막(19a), 도전성을 갖는 산화물 반도체막(19b), 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a) 및 도전막(21b), 산화물 절연막(22), 산화물 절연막(24), 및 질화물 절연막(26)이 제 1 기판(11) 위에 형성된다. 이들 단계들에서, 제 1 포토마스크 내지 제 4 포토마스크를 사용하는 포토리소그래피 공정이 수행된다.

[0435] 다음에, 제 5 포토마스크를 사용하는 포토리소그래피 공정을 통해 질화물 절연막(26) 위에 마스크를 형성한 다음, 상기 마스크를 사용하여 질화물 절연막(26)의 일부를 에칭하고; 따라서, 도 33의 (A)에 나타낸 바와 같이 개구부(41a)를 갖는 질화물 절연막(27)을 형성한다.

[0436] 다음에, 도 33의 (B)에 나타낸 바와 같이, 공통 전극(29) 및 게이트 전극으로서 기능하는 도전막(29b)으로 되는 도전막(28)을 게이트 전극으로서 기능하는 도전막(13) 및 질화물 절연막(27) 위에 형성한다.

[0437] 이어서, 제 6 포토마스크를 사용하는 포토리소그래피 공정에 의해 도전막(28) 위에 마스크를 형성한다. 다음에, 도 33의 (C)에 나타낸 바와 같이, 상기 마스크를 사용하여 도전막(28)의 일부를 에칭하여, 공통 전극(29) 및 게이트 전극으로서 기능하는 도전막(29b)을 형성한다. 이 후에, 마스크를 제거한다.

[0438] 상기 공정을 통해, 트랜지스터(102a)를 제작하고, 용량 소자(105a)를 제작할 수도 있다.

[0439] 본 실시형태에 기술된 트랜지스터에서, 채널 폭 방향에 있어서, 게이트 전극으로서 기능하는 도전막(29b)이, 산화물 절연막(23) 및 산화물 절연막(25)을 개재하여 산화물 반도체막(19a)의 측면과 대향하는 경우, 게이트 전극으로서 기능하는 도전막(29b)의 전계로 인해, 산화물 반도체막(19a)의 측면, 또는 상기 측면 및 상기 측면의 근방을 포함하는 영역에 있어서 기생 채널의 생성이 억제된다. 그 결과, 임계 전압에 있어서 드레인 전류의 급격한 증가와 같은 탁월한 전기 특성들을 갖는 트랜지스터가 얻어진다.

[0440] 본 실시형태의 표시 장치의 소자 기판에는 신호선과 교차하는 방향으로 연신되는 스트라이프 영역을 포함하는

공통 전극이 제공된다. 따라서, 표시 장치는 탁월한 콘트라스트를 가질 수 있다.

[0441] 본 실시형태에 기술된 표시 장치의 소자 기판에, 화소 전극으로서 기능하는 도전성을 갖는 산화물 반도체막은 트랜지스터의 산화물 반도체막과 동시에 형성된다. 도전성을 갖는 산화물 반도체막은 용량 소자의 전극들 중 하나로서 기능한다. 공통 전극은 또한, 용량 소자의 전극들 중 다른 하나로서 기능한다. 따라서, 용량 소자를 형성하기 위해서, 또 다른 도전막을 형성하는 단계가 필요하지 않으며, 표시 장치의 제작 단계들의 수를 감소시킬 수 있다. 용량 소자는 투과성을 갖는다. 그 결과, 용량 소자에 의해 점유된 면적을 증가시킬 수 있으며, 화소의 개구율을 증가시킬 수 있다.

[0442] 본 실시형태에 기술된 구조들, 방법들 등을 다른 실시형태들에 기술된 구조들, 방법들 등 중 어느 하나와 적절히 조합하여 사용될 수 있다.

[0443] (실시형태 7)

[0444] 본 실시형태에서, 산화물 반도체막에서 결함들의 수를 상기 실시형태들과 비교하여 더 감소시킬 수 있는 트랜지스터를 포함하는 표시 장치는 도면들을 참조하여 기술된다. 본 실시형태에 기술된 트랜지스터는 복수의 산화물 반도체막들을 포함하는 다층막이 제공된다는 점에서 실시양태 4 내지 6의 트랜지스터들 중 어느 하나와도 상이하다. 여기서, 실시형태 4의 트랜지스터를 사용하여 상세사항이 기술된다.

[0445] 도 34의 (A) 및 (B)는 각각 표시 장치에 포함된 소자 기판의 단면도를 도시한다. 도 34의 (A) 및 (B)는 도 16의 일점-쇄선들(A-B) 및 (C-D)을 따라 취한 단면도이다.

[0446] 도 34의 (A)에서 트랜지스터(102b)는 질화물 절연막(15) 및 산화물 절연막(17)을 개재하여 게이트 전극으로서 기능하는 도전막(13)과 중첩하는 다층막(37a)과, 상기 다층막(37a)과 접하는 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a) 및 도전막(21b)을 포함한다. 산화물 절연막(23), 산화물 절연막(25), 및 질화물 절연막(27)은 질화물 절연막(15), 산화물 절연막(17), 다층막(37a), 및 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a) 및 도전막(21b) 위에 형성된다.

[0447] 도 34의 (A)에서 용량 소자(105b)는 산화물 절연막(17) 위에 형성되는 다층막(37b), 상기 다층막(37b)과 접하는 질화물 절연막(27), 및 상기 질화물 절연막(27)과 접하는 공통 전극(29)을 포함한다. 다층막(37b)은 화소 전극으로서 기능한다.

[0448] 본 실시형태에 기술된 트랜지스터(102b)에 있어서, 다층막(37a)은 산화물 반도체막(19a) 및 산화물 반도체막(39a)을 포함한다. 즉, 다층막(37a)은 2층 구조를 갖는다. 또한, 산화물 반도체막(19a)의 일부는 채널 영역으로서 기능한다. 또한, 산화물 절연막(23)은 다층막(37a)과 접하여 형성되고, 산화물 절연막(25)은 산화물 절연막(23)과 접하여 형성된다. 즉, 산화물 반도체막(39a)은 산화물 반도체막(19a)과 산화물 절연막(23) 사이에 제공된다.

[0449] 산화물 반도체막(39a)은 산화물 반도체막(19a)을 구성하는 하나 이상의 원소들을 함유하는 산화물막이다. 따라서, 산화물 반도체막(19a)과 산화물 반도체막(39a) 사이의 계면에 있어서, 계면 산란이 생성되기 어렵다. 따라서, 캐리어들의 이동이 당해 계면에서 방해되지 않기 때문에, 트랜지스터는 높은 전계-효과 이동도를 가질 수 있다.

[0450] 산화물 반도체막(39a)은 전형적으로, In-Ga 산화물막, In-Zn 산화물막, 또는 In-M-Zn 산화물막(M은 Al, Ga, Y, Zr, Sn, La, Ce, 또는 Nd를 나타낸다)이다. 산화물 반도체막(39a)의 전도대 하단의 에너지는 산화물 반도체막(19a)의 전도대 하단의 에너지보다 진공 준위에 근접하며, 전형적으로, 산화물 반도체막(39a)의 전도대 하단의 에너지와 산화물 반도체막(19a) 전도대 하단의 에너지 사이의 차는 0.05eV 이상, 0.07eV 이상, 0.1eV 이상, 또는 0.15eV 이상 중 어느 하나이고, 2eV 이하, 1eV 이하, 0.5eV 이하, 또는 0.4eV 이하 중 어느 하나이다. 즉, 산화물 반도체막(39a)의 전자친화력과 산화물 반도체막(19a)의 전자친화력 사이의 차는 0.05eV 이상, 0.07eV 이상, 0.1eV 이상, 또는 0.15eV 이상 중 어느 하나이고, 2eV 이하, 1eV 이하, 0.5eV 이하, 또는 0.4eV 이하 중 어느 하나이다.

[0451] 산화물 반도체막(39a)은 바람직하게는, 캐리어 이동도(전자 이동도)가 증가할 수 있기 때문에, In을 함유한다.

[0452] 산화물 반도체막(39a)이 원자비로 In의 양보다, 원자비로 Al, Ga, Y, Zr, Sn, La, Ce, 또는 Nd를 다량으로 함유하는 경우, 다음 효과들 중 어느 하나를 얻을 수 있다: (1) 산화물 반도체막(39a)의 에너지 캡이 넓어진다; (2) 산화물 반도체막(39a)의 전자친화력이 감소된다; (3) 외부로부터의 불순물들의 산란이 감소된다; (4) 산화물 반도체막(19a)과 비교하여 절연성이 증가한다; (5) Al, Ga, Y, Zr, Sn, La, Ce, 또는 Nd가 산소에 강력하게

결합되는 금속 원소이기 때문에, 산소 결손들이 생성되기 어렵다.

[0453] 산화물 반도체막(39a)이 In-M-Zn 산화물막인 경우, In 및 M의 합이 100atomic%로 추정될 때 In 및 M의 비율은 바람직하게는 다음과 같다: In의 원자%는 50atomic% 미만이고, M의 원자%는 50atomic% 초과이고, 더 바람직하게는 In의 원자%는 25atomic% 미만이고, M의 원자%는 75atomic% 초과이다.

[0454] 또한, 산화물 반도체막(19a) 및 산화물 반도체막(39a) 각각이 In-M-Zn 산화물막(M은 Al, Ga, Y, Zr, Sn, La, Ce, 또는 Nd를 나타낸다)인 경우, 산화물 반도체막(39a) 내의 M 원자들(M은 Al, Ga, Y, Zr, Sn, La, Ce, 또는 Nd를 나타낸다)의 비율은 산화물 반도체막(19a)의 비율보다 더 높다. 전형적인 예로서, 산화물 반도체막(19a) 내의 M의 비율은, 산화물 반도체막(19a)의 비율보다 1.5배 이상, 바람직하게는 2배 이상, 더 바람직하게는 3배 이상 높다.

[0455] 또한, 산화물 반도체막(19a) 및 산화물 반도체막(39a) 각각이 In-M-Zn 산화물 막(M은 Al, Ga, Y, Zr, Sn, La, Ce, 또는 Nd를 나타낸다)인 경우, $In:M:Zn=x_1:y_1:z_1$ [원자비]가 산화물 반도체막(39a)에서 충족되고, $In:M:Zn=x_2:y_2:z_2$ [원자비]가 산화물 반도체막(19a)에서 충족될 때, y_1/x_1 이 y_2/x_2 보다 크다. 바람직하게는, y_1/x_1 이 y_2/x_2 보다 1.5배 이상이다. 더 바람직하게는, y_1/x_1 이 y_2/x_2 보다 2배 이상이다. 보다 더 바람직하게는, y_1/x_1 이 y_2/x_2 보다 3배 이상이다.

[0456] 산화물 반도체막(19a)이 In-M-Zn 산화물막(M은 Al, Ga, Y, Zr, Sn, La, Ce, 또는 Nd이다)이고 $In:M:Zn=x_1:y_1:z_1$ 의 금속 원소들의 원자비를 갖는 타겟이 산화물 반도체막(19a)을 형성하기 위해 사용되는 경우, x_1/y_1 은 바람직하게는 1/3 이상 6 이하, 더 바람직하게는 1 이상 6 이하이며, z_1/y_1 은 바람직하게는 1/3 이상 6 이하, 더 바람직하게는 1 이상 6 이하이다. z_1/y_1 이 1 이상 6 이하인 경우, 이하에 기술될 CAAC-OS막이 산화물 반도체막(19a)으로서 쉽게 형성됨을 주목해야 한다. 타겟의 금속 원소들의 원자비의 전형적인 예로는, $In:M:Zn=1:1:1$, $In:M:Zn=1:1:1.2$ 및 $In:M:Zn=3:1:2$ 가 있음을 주목해야 한다.

[0457] 산화물 반도체막(39a)이 In-M-Zn 산화물막(M은 Al, Ga, Y, Zr, Sn, La, Ce, 또는 Nd이다)이고 $In:M:Zn=x_2:y_2:z_2$ 의 금속 원소들의 원자비를 갖는 타겟이 산화물 반도체막(39a)을 성막하기 위해 사용되는 경우, x_2/y_2 는 바람직하게는 x_1/y_1 미만이고, z_2/y_2 는 바람직하게는 1/3 이상 6 이하, 더 바람직하게는 1 이상 6 이하이다. z_2/y_2 가 1 이상 6 이하인 경우, 이하에 기술될 CAAC-OS막이 산화물 반도체막(39a)으로서 쉽게 형성됨을 주목해야 한다. 타겟의 금속 원소들의 원자비의 전형적인 예로는, $In:M:Zn=1:3:2$, $In:M:Zn=1:3:4$, $In:M:Zn=1:3:6$, $In:M:Zn=1:3:8$, $In:M:Zn=1:4:4$, $In:M:Zn=1:4:5$, $In:M:Zn=1:4:6$, $In:M:Zn=1:4:7$, $In:M:Zn=1:4:8$, $In:M:Zn=1:5:5$, $In:M:Zn=1:5:6$, $In:M:Zn=1:5:7$, $In:M:Zn=1:5:8$, 및 $In:M:Zn=1:6:8$ 이 있음을 주목해야 한다.

[0458] 산화물 반도체막(19a) 및 산화물 반도체막(39a) 각각의 원자비로서의 각각의 금속 원소의 비율은, 오차로서의 상기 원자비의 ±40%의 범위 내에서 변함을 주목해야 한다.

[0459] 산화물 반도체막(39a)은, 이후에 산화물 절연막(25)이 형성될 때, 산화물 반도체막(19a)에 손상을 완화하는 막으로도 기능한다.

[0460] 산화물 반도체막(39a)의 두께는 3nm 이상 100nm 이하, 바람직하게는 3nm 이상 50nm 이하이다.

[0461] 또한, 산화물 반도체막(39a)은 산화물 반도체막(19a)의 결정 구조를 적절히 가질 수 있다.

[0462] 산화물 반도체막(19a) 및 산화물 반도체막(39a) 각각은 다음 중 2개 이상을 포함하는 혼합막일 수 있음을 주목해야 한다: 비정질 구조를 갖는 영역, 미결정 구조를 갖는 영역, 다결정성 구조를 갖는 영역, CAAC-OS 영역, 및 단결정 구조를 갖는 영역. 상기 혼합막은, 일부 경우들에서는, 예를 들면, 비정질 구조를 갖는 영역, 미결정 구조를 갖는 영역, 다결정성 구조를 갖는 영역, CAAC-OS 영역, 및 단결정 구조를 갖는 영역 중 2개 이상을 포함하는 단층 구조를 갖는다. 또한, 일부 경우들에서는, 상기 혼합막은, 하기 영역들 중 2개 이상이 적층된 적층 구조를 갖는다: 비정질 구조를 갖는 영역, 미결정 구조를 갖는 영역, 다결정성 구조를 갖는 영역, CAAC-OS 영역, 및 단결정 구조를 갖는 영역.

[0463] 여기서, 산화물 반도체막(39a)이 산화물 반도체막(19a)과 산화물 절연막(23) 사이에 형성된다. 따라서, 캐리어 트랩이 불순물들 및 결함들에 의해 산화물 반도체막(39a)과 산화물 절연막(23) 사이에 형성되는 경우, 캐리어 트랩들과 산화물 반도체막(19a) 사이에 거리가 있기 때문에, 산화물 반도체막(19a)에서 흐르는 전자들은 캐리어

트랩들에 의해 포획되기 어렵다. 따라서, 트랜지스터의 온-상태 전류의 양을 증가시킬 수 있으며, 전계-효과 이동도를 증가시킬 수 있다. 전자들이 캐리어 트랩들에 의해 포획되는 경우, 전자들은 음의 고정 전하들로 된다. 그 결과, 트랜지스터의 임계 전압이 변한다. 그러나, 산화물 반도체막(19a)과 캐리어 트랩들 사이의 거리에 의해, 캐리어 트랩들에 의한 전자들의 포획을 감소시킬 수 있으며, 따라서, 임계 전압의 변화량을 감소시킬 수 있다.

[0464] 외부로부터의 불순물들은 산화물 반도체막(39a)에 의해 차단될 수 있으며, 따라서, 외부로부터 산화물 반도체막(19a)으로 옮겨지는 불순물량을 감소시킬 수 있다. 또한, 산화물 반도체막(39a)에서 산소 결손이 형성되기 어렵다. 그 결과, 산화물 반도체막(19a) 내의 불순물 농도 및 산소 결손들의 수를 감소시킬 수 있다.

[0465] 산화물 반도체막(19a) 및 산화물 반도체막(39a)이 각각의 막을 간단히 적층함에 의해 형성될 뿐만 아니라 연속 접합(여기서, 특히 전도대 하단의 에너지가 각각의 막 사이에서 연속적으로 변화되는 구조)을 갖도록 형성됨을 주목해야 한다. 즉, 막들 사이의 계면에 트랩 중심 또는 재결합 중심과 같은 결함 준위를 형성하는 불순물이 존재하지 않는 적층 구조가 제공된다. 적층된 산화물 반도체막(19a) 및 산화물 반도체막(39a) 사이에 불순물이 존재하는 경우, 에너지 밴드의 연속성은 손상되고, 캐리어가 계면에서 포획 또는 재결합된 후, 사라진다.

[0466] 이러한 연속 에너지 밴드를 형성하기 위해, 로드 록 챔버(load lock chamber)를 포함하는 멀티-챔버 성막 장치(스페터링 장치)를 사용해서 공기에 노출시키지 않고 연속해서 막을 형성할 필요가 있다. 스페터링 장치에 있어서 각각의 챔버는 바람직하게는, 산화물 반도체막에 대해 불순물로서 기능하는 물 등을 가능한 한 많이 제거하기 위해 크라이오펌프와 같은 흡착식 진공 배기 펌프를 사용하여 고진공 상태(약 5×10^{-7} Pa 내지 1×10^{-4} Pa 정도)로 되도록 배기시킨다. 또는, 터보 분자 펌프와 콜드 트랩은, 배기 시스템으로부터 챔버 내로 가스, 특히 탄소 또는 수소 함유 가스의 역류를 방지하도록 조합하는 것이 바람직하다.

[0467] 또한, 도 34의 (B)에서의 트랜지스터(102c)에서와 같이, 다층막(38a)이 다층막(37a) 대신에 제공될 수 있다.

[0468] 또한, 도 34의 (B)에서의 용량 소자(105c)에서와 같이, 다층막(38b)이 다층막(37b) 대신에 제공될 수 있다.

[0469] 다층막(38a)은 산화물 반도체막(49a), 산화물 반도체막(19a), 및 산화물 반도체막(39a)을 포함한다. 즉, 다층 막(38a)은 3층 구조를 갖는다. 또한, 산화물 반도체막(19a)은 채널 영역으로서 기능한다.

[0470] 산화물 반도체막(49a)은 산화물 반도체막(39a)의 재료 및 형성 방법과 유사한 재료 및 형성 방법을 사용하여 형 성될 수 있다.

[0471] 다층막(38b)은 도전성을 갖는 산화물 반도체막(49b), 도전성을 갖는 산화물 반도체막(19f), 및 도전성을 갖는 산화물 반도체막(39b)을 포함한다. 즉, 다층막(38b)은 3층 구조를 갖는다. 다층막(38b)은 화소 전극으로서 기능한다.

[0472] 산화물 반도체막(49b)은 산화물 반도체막(39b)의 재료 및 형성 방법과 유사한 재료 및 형성 방법을 적절히 사용하여 형성될 수 있다.

[0473] 또한, 산화물 절연막(17) 및 산화물 반도체막(49a)은 서로 접한다. 즉, 산화물 반도체막(49a)은 산화물 절연막(17)과 산화물 반도체막(19a) 사이에 제공된다.

[0474] 다층막(38a) 및 산화물 절연막(23)은 서로 접한다. 또한, 산화물 반도체막(39a) 및 산화물 절연막(23)은 서로 접한다. 즉, 산화물 반도체막(39a)은 산화물 반도체막(19a)과 산화물 절연막(23) 사이에 제공된다.

[0475] 산화물 반도체막(49a)의 두께가 산화물 반도체막(19a)의 두께보다 더 작은 것이 바람직하다. 산화물 반도체막(49a)의 두께가 1nm 이상 5nm 이하, 바람직하게는 1nm 이상 3nm 이하인 경우, 트랜지스터의 임계 전압의 변화량을 감소시킬 수 있다.

[0476] 본 실시형태에 기술된 트랜지스터에서, 산화물 반도체막(39a)이 산화물 반도체막(19a)과 산화물 절연막(23) 사이에 제공된다. 따라서, 캐리어 트랩들이 불순물들 및 결함들에 의해 산화물 반도체막(39a)과 산화물 절연막(23) 사이에 형성되는 경우, 캐리어 트랩들과 산화물 반도체막(19a) 사이에 거리가 있기 때문에, 산화물 반도체막(19a)에서 흐르는 전자들은 캐리어 트랩들에 의해 포획되기 어렵다. 따라서, 트랜지스터의 온-상태 전류의 양을 증가시킬 수 있으며, 전계-효과 이동도를 증가시킬 수 있다. 전자들이 캐리어 트랩들에 의해 포획되는 경우, 전자들은 음의 고정 전하들로 된다. 그 결과, 트랜지스터의 임계 전압이 변한다. 그러나, 산화물 반도체막(19a)과 캐리어 트랩들 사이의 거리에 의해, 캐리어 트랩들에 의한 전자들의 포획을 감소시킬 수 있으며, 따라서, 임계 전압의 변화량을 감소시킬 수 있다.

- [0477] 외부로부터의 불순물들이 산화물 반도체막(39a)에 의해 차단될 수 있으며, 따라서, 외부로부터 산화물 반도체막(19a)으로 옮겨지는 불순물량을 감소시킬 수 있다. 또한, 산화물 반도체막(39a)에서 산소 결손이 형성되기 어렵다. 그 결과, 산화물 반도체막(19a) 내의 불순물 농도 및 산소 결손들의 수를 감소시킬 수 있다.
- [0478] 또한, 산화물 반도체막(49a)이 산화물 절연막(17)과 산화물 반도체막(19a) 사이에 제공되며, 산화물 반도체막(39a)이 산화물 반도체막(19a)과 산화물 절연막(23) 사이에 제공된다. 따라서, 산화물 반도체막(49a)과 산화물 반도체막(19a) 사이의 계면 근방에서 실리콘 또는 탄소의 농도, 산화물 반도체막(19a)에서의 실리콘 또는 탄소의 농도, 또는 산화물 반도체막(39a)과 산화물 반도체막(19a) 사이의 계면 근방에서의 실리콘 또는 탄소의 농도를 감소시킬 수 있다. 그 결과, 다층막(38a)에 있어서, 일정 광전류법으로부터 도출되는 흡수 계수는 $1 \times 10^{-3}/\text{cm}^2$ 미만, 바람직하게는 $1 \times 10^{-4}/\text{cm}^2$ 미만이고, 따라서, 밀도의 국부 준위가 극히 낮다.
- [0479] 이러한 구조를 갖는 트랜지스터(102c)는 산화물 반도체막(19a)을 포함하는 다층막(38a)에 있어서 매우 적은 결함들을 포함하며; 따라서, 트랜지스터의 전기 특성들을 향상시킬 수 있으며, 전형적으로 온-상태 전류를 증가시킬 수 있으며, 전계-효과 이동도를 향상시킬 수 있다. 또한, 응력 시험의 일례인 BT 응력 시험 및 BT 광응력 시험에 있어서, 임계 전압의 변화량이 적고, 따라서, 신뢰성이 높다.
- [0480] 본 실시형태에 기술된 구조들, 방법들 등을 다른 실시형태들에 기술된 구조들, 방법들 등 중 어느 하나와 적절히 조합하여 사용될 수 있다.
- [0481] (실시형태 8)
- [0482] 본 실시형태에서, 실시형태 4 내지 7에 있어서, 제 1 기판(11) 위에 형성되는 소자층의 일부가 제공된 발광 장치는 도 35 및 도 36을 참조하여 기술된다. 여기서, 실시형태 4 및 5에 기술된 소자층의 일부가 사용되지만; 또 다른 구조를 갖는 소자층이 발광 장치에 적절히 사용될 수 있다.
- [0483] 도 35에서의 발광 장치는, 실시형태 4의 도 17에서의 제 1 기판(11) 위에 형성되는 소자층 이외에, 무기 절연막(30) 위에 제공되는 절연막(371), 무기 절연막(30) 및 도전성을 갖는 산화물 반도체막(19b) 위에 제공되는 EL층(373), 및 EL층(373) 및 절연막(371) 위에 제공되는 도전막(375)을 포함한다. 도전성을 갖는 산화물 반도체막(19b), EL층(373), 및 도전막(375)은 발광 소자(370a)를 구성한다.
- [0484] 도 36에서의 발광 장치는 실시형태 5의 도 28에서의 제 1 기판(11) 위에 형성되는 소자층 이외에, 무기 절연막(30) 및 투광성을 갖는 도전막(29c) 위에 제공되는 절연막(371), 무기 절연막(30) 및 투광성을 갖는 도전막(29c) 위에 제공되는 EL층(373), 및 EL층(373) 및 절연막(371) 위에 제공되는 도전막(375)을 포함한다. 투광성을 갖는 도전막(29c), EL층(373), 및 도전막(375)은 발광 소자(370b)를 구성한다.
- [0485] 본 실시형태에서 발광 장치의 소자 기판에, 화소 전극으로서 기능하는 도전성을 갖는 산화물 반도체막이 트랜지스터의 산화물 반도체막과 동시에 형성된다.
- [0486] 따라서, 종래 경우보다 적은 단계들을 통해 발광 장치를 제작할 수 있다.
- [0487] 또는, 본 실시형태에서 발광 장치의 소자 기판에, 용량 소자의 전극으로서 기능하는 도전성을 갖는 산화물 반도체막이 트랜지스터의 산화물 반도체막과 동시에 형성된다. 도전성을 갖는 산화물 반도체막은 용량 소자의 하나의 전극으로서 기능한다. 따라서, 용량 소자를 형성하기 위해서, 또 다른 도전막을 형성하는 단계가 필요하지 않으며, 발광 장치 제작 단계들의 수를 감소시킬 수 있다. 또한, 용량 소자의 다른 하나의 전극은 전극으로서 기능하는 투광성을 갖는 도전막을 사용하여 형성된다. 따라서, 용량 소자는 투광성을 갖는다. 그 결과, 용량 소자에 의해 점유된 면적을 증가시킬 수 있으며, 화소의 개구율을 증가시킬 수 있다.
- [0488] 본 실시형태에 기술된 구조들, 방법들 등을 다른 실시형태들에 기술된 구조들, 방법들 등 중 어느 하나와 적절히 조합하여 사용될 수 있다.
- [0489] (실시형태 9)
- [0490] 본 실시형태에서, 상기 실시양태에 기술된 표시 장치에 포함되는 트랜지스터에 있어서, 산화물 반도체막에 적용할 수 있는 하나의 실시형태가 기술된다.
- [0491] <산화물 반도체의 구조>
- [0492] 산화물 반도체의 구조가 이하에 기술된다.

- [0493] 산화물 반도체는 단결정 산화물 반도체와 비-단결정 산화물 반도체로 분류된다. 비-단결정 산화물 반도체의 예로는, c축 배향된 결정성 산화물 반도체(CAAC-OS), 다결정성 산화물 반도체, 미결정 산화물 반도체, 및 비정질 산화물 반도체가 포함된다.
- [0494] 또 다른 관점으로부터, 산화물 반도체는 비정질 산화물 반도체와 결정성 산화물 반도체로 분류된다. 결정성 산화물 반도체의 예로는, 단결정 산화물 반도체, CAAC-OS, 다결정성 산화물 반도체, 및 미결정 산화물 반도체가 포함된다.
- [0495] <CAAC-OS>
- [0496] 먼저, CAAC-OS가 기술된다. CAAC-OS가 c축 배향된 나노결정들(CANC)을 포함하는 산화물 반도체로서 언급될 수 있다.
- [0497] CAAC-OS는 복수의 c축 배향된 결정부들(펠릿들로도 언급됨)을 갖는 산화물 반도체들 중 하나이다.
- [0498] 투과형 전자현미경(TEM)을 사용하여 얻어진, CAAC-OS의 명시야 화상과 회절 패턴의 복합 분석 화상(고분해능 TEM 화상으로도 언급됨)에서, 복수의 펠릿들이 관찰될 수 있다. 그러나, 고분해능 TEM 화상에서, 펠릿들 사이의 경계, 즉 결정립계가 명확히 관찰되지 않는다. 따라서, CAAC-OS에서, 결정립계로 인한 전자 이동도의 감소가 발생하기 어렵다.
- [0499] TEM으로 관찰된 CAAC-OS가 이하에 기술된다. 도 37의 (A)는 시료면에 실질적으로 평행한 방향으로부터 관찰된 CAAC-OS의 단면의 고분해능 TEM 화상을 도시한다. 고분해능 TEM 화상은 구면 수차 보정 기능을 사용하여 얻어진다. 구면 수차 보정 기능을 사용하여 얻어진 고분해능 TEM 화상은, 특히 Cs-보정 고분해능 TEM 화상으로서 언급된다. Cs-보정 고분해능 TEM 화상은, 예를 들면, JEOL Ltd.에 의해 제작된 원자 분해능 분석 전자현미경 JEM-ARM200F를 사용하여 얻어질 수 있다.
- [0500] 도 37의 (B)는 도 37의 (A)에서 영역(1)의 확대된 Cs-보정 고분해능 TEM 화상이다. 도 37의 (B)는 펠릿에 있어서, 금속 원자들이 층상 방식으로 배열되어 있음을 도시한다. 각각의 금속 원자층은 CAAC-OS가 형성되는 면(이하, 상기 면은 피형성면으로 언급됨) 또는 CAAC-OS의 상면의 요철을 반영하는 배열을 가지며, CAAC-OS의 피형성면 또는 상면에 평행하게 배열된다.
- [0501] 도 37의 (B)에 나타낸 바와 같이, CAAC-OS는 특징적인 원자 배열을 갖는다. 특징적인 원자 배열은 도 37의 (C)에서 보조선으로 나타낸다. 도 37의 (B) 및 도 37의 (C)는 펠릿의 크기가 대략 1nm 내지 3nm임을 입증하며, 펠릿들의 경사에 의해 초래된 간극의 크기는 대략 0.8nm이다. 따라서, 펠릿은 나노결정(nc)으로서 언급될 수도 있다.
- [0502] 여기서, Cs-보정 고분해능 TEM 화상에 따라, 기판(5120) 위의 CAAC-OS의 펠릿(5100)의 모식적 배열은 블럭들 또는 블록들이 적층된 그러한 구조로 나타낸다(도 37의 (D) 참조). 도 37의 (C)에서 관찰된 바와 같이 펠릿들이 경사진 부분은 도 37의 (D)에 도시된 영역(5161)에 상응한다.
- [0503] 도 38의 (A)는 시료면에 실질적으로 수직인 방향으로부터 관찰된 CAAC-OS의 평면의 Cs-보정 고분해능 TEM 화상을 도시한다. 도 38의 (B), 도 38의 (C) 및 도 38의 (D)는 도 38의 (A)에서 각각 영역(1), 영역(2) 및 영역(3)의 확대된 Cs-보정 고분해능 TEM 화상이다. 도 38의 (B), 도 38의 (C) 및 도 38의 (D)는, 펠릿 내에서, 금속 원자들이 삼각형, 사각형 또는 육각형으로 배열되는 것을 나타낸다. 그러나, 상이한 펠릿들 사이의 금속 원자들의 배열의 규칙성은 존재하지 않는다.
- [0504] 다음에, X선 회절(XRD)에 의해 분석된 CAAC-OS가 기술된다. 예를 들면, $InGaZnO_4$ 결정을 포함하는 CAAC-OS 구조가 아웃-오브-플레인법(out-of-plane method)에 의해 분석되는 경우, 도 39의 (A)에 도시되는 바와 같이 회절 각(2θ) 31° 근방에서 피크가 나타낸다. 이러한 피크는, $InGaZnO_4$ 결정의 (009)면으로부터 유래되고, 이는 CAAC-OS의 결정들이 c축 배향을 갖고, c축이 CAAC-OS의 피형성면 또는 상면에 실질적으로 수직인 방향으로 배향됨을 나타낸다.
- [0505] 아웃-오브-플레인법에 의한 CAAC-OS의 구조 분석에서는, 2θ 가 31° 근방인 피크 이외에, 2θ 가 36° 근방인 경우 또 다른 피크가 나타날 수 있음을 주목해야 한다. 2θ 가 36° 근방인 피크는, CAAC-OS의 일부에, c축 배향성을 갖지 않는 결정이 포함됨을 나타낸다. 아웃-오브-플레인법에 의해 분석된 CAAC-OS에서, 2θ 가 31° 근방일 때 피크가 나타내고, 2θ 가 36° 근방일 때 피크가 나타나지 않는 것이 바람직하다.
- [0506] 한편, c축에 실질적으로 수직인 방향으로 X선이 시료 상에 입사되는 인-플레인법(in-plane method)에 의한

CAAC-OS의 구조 분석에 있어서, 2θ 가 56° 근방일 때 피크들이 나타난다. 이러한 피크는 InGaZnO_4 결정의 (110)면에 귀속된다. CAAC-OS의 경우, 2θ 가 56° 근방에서 고정되고, 시료면의 법선 벡터를 축(Φ축)으로 하여 시료가 회전하는 상태에서 분석(Φ 스캔)을 수행하는 경우, 도 39의 (B)에 도시한 바와 같이, 피크가 명료하게 관찰되지 않는다. 대조적으로, InGaZnO_4 의 단결정 산화물 반도체막의 경우, Φ 스캔을 2θ 를 56° 근방에 고정된 상태로 수행하는 경우, 도 39의 (C)에 도시한 바와 같이, (110)면과 등가인 결정면들로부터 유래하는 6개의 피크들이 관찰된다. 따라서, XRD를 사용하는 구조 분석은, a축들 및 b축들의 방향들이 CAAC-OS에서 상이함을 도시한다.

[0507] 다음에, 전자 회절에 의해 분석된 CAAC-OS가 기술된다. 예를 들면, InGaZnO_4 결정을 포함하는 CAAC-OS에 대하여, 시료면에 평행한 방향으로 300nm의 프로브 직경을 갖는 전자빔을 입사하는 경우, 도 40의 (A)에 도시된 회절 패턴(제한 시야 투과 전자 회절 패턴으로도 언급됨)을 얻을 수 있다. 이러한 회절 패턴에서, InGaZnO_4 결정의 (009)면으로부터 유래하는 스폷이 포함된다. 따라서, 전자 회절은 또한, CAAC-OS에 포함되는 펠릿들이 c축 배향성을 가지며, c축이 CAAC-OS의 피형성면 또는 상면에 실질적으로 수직인 방향으로 배향되어 있음을 나타낸다. 한편, 도 40의 (B)는, 동일한 시료에 대하여 300nm의 프로브 직경을 갖는 전자빔을 시료면에 수직인 방향으로 입사시키는 방식으로 얻은 회절 패턴을 도시한다. 도 40의 (B)에 도시한 바와 같이, 링형 회절 패턴이 관찰된다. 따라서, 전자 회절은 또한, CAAC-OS에 포함되는 펠릿들의 a축들 및 b축들이 규칙적인 배향성을 갖지 않음을 나타낸다. 또한, 도 40의 (B)에서의 제 1 링은, InGaZnO_4 결정의 (010)면 및 (100)면 등으로부터 유래하는 것으로 간주된다. 도 40의 (B)에서의 제 2 링은 (110)면 등으로부터 유래하는 것으로 간주된다.

[0508] 또한, CAAC-OS는, 낮은 밀도의 결합 상태들을 갖는 산화물 반도체이다. 산화물 반도체의 결합들은, 예를 들면, 불순물로 인한 결합 또는 산소 결손들이 있다. 따라서, CAAC-OS는 낮은 불순물 농도를 갖는 산화물 반도체, 또는 적은 수의 산소 결손들을 갖는 산화물 반도체로 간주될 수 있다.

[0509] 산화물 반도체에 포함되는 불순물은, 캐리어 트랩으로서 기능하거나, 캐리어 발생원으로 기능할 수도 있다. 또한, 산화물 반도체 중의 산소 결손들은, 캐리어 트랩들로서 기능하거나, 수소가 이에 포획되는 경우 캐리어 발생원으로서 기능한다.

[0510] 불순물은, 수소, 탄소, 실리콘, 전이금속 원소와 같은 산화물 반도체의 주성분 이외의 원소들을 의미함을 주목해야 한다. 예를 들면, 산화물 반도체 내에 포함된 금속 원소보다 산소에 대한 더 높은 결합 강도를 갖는 원소(구체적으로, 실리콘 등)는, 산화물 반도체로부터 산소를 빼앗고, 이는 산화물 반도체의 원자 배열을 무질서하게 하여, 감소된 결정성을 초래한다. 철 또는 니켈과 같은 중금속, 아르곤, 이산화탄소 등은 큰 원자 반경(또는 분자 반경)을 갖기 때문에, 산화물 반도체의 원자 배열을 방해하여, 결정성을 감소시킨다.

[0511] 낮은 밀도의 결합 상태들(적은 수의 산소 결손들)을 갖는 산화물 반도체는 낮은 캐리어 밀도를 가질 수 있다. 이러한 산화물 반도체는 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체로 언급된다. CAAC-OS는 낮은 불순물 농도 및 낮은 밀도의 결합 상태들을 갖는다. 즉, CAAC-OS는 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체가 되기 쉽다. 따라서, CAAC-OS를 포함하는 트랜지스터는 음의 임계 전압을 갖기 어렵다(노멀리 온이 거의 되지 않는다). 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체는 적은 캐리어 트랩들을 갖는다. 산화물 반도체에서 캐리어 트랩에 의해 포획된 전하는 방출되는데 오랜 시간이 걸린다. 포획된 전하는 고정된 전하처럼 거동한다. 따라서, 높은 불순물 농도 및 높은 밀도의 결합 상태들을 갖는 산화물 반도체막을 포함하는 트랜지스터는 불안정한 전기 특성들을 가질 수 있다. 그러나, CAAC-OS를 포함하는 트랜지스터는 전기 특성들의 적은 변동 및 높은 신뢰성을 갖는다.

[0512] CAAC-OS가 낮은 밀도의 결합 상태들을 갖기 때문에, 광의 조사 등에 의해 생성된 캐리어들은 결합 상태들에서 포획되기 어렵다. 따라서, CAAC-OS를 사용하는 트랜지스터에서, 가시광 또는 자외광을 사용한 조사로 인한 전기 특성들의 변화는 작다.

[0513] <미결정 산화물 반도체>

[0514] 다음에, 미결정 산화물 반도체가 기술된다.

[0515] 미결정 산화물 반도체는, 고분해능 TEM 화상에 있어서, 결정부가 관찰되는 영역과, 결정부가 명확히 관찰되지 않는 영역을 갖는다. 대부분의 경우들에서, 미결정 산화물 반도체에 포함되는 결정부의 크기는 1nm 이상 100nm 이하, 또는 1nm 이상 10nm 이하이다. 1nm 이상 10nm 이하, 또는 1nm 이상 3nm 이하의 크기를 갖는 미결정인, 나노 결정(nc)을 포함하는 산화물 반도체는 특히 나노결정 산화물 반도체(nc-OS)로 언급된다. nc-OS의 고분해

능 TEM 화상에서, 예를 들면, 결정립계는, 일부 경우들에서는, 명확히 관찰되지 않는다. 나노 결정의 기원은 CAAC-OS 내의 펠럿의 기원과 동일할 가능성이 있음 주목해야 한다. 따라서, nc-OS의 결정부는 다음의 설명에서 펠럿으로 언급될 수 있다.

[0516] nc-OS에서, 미소 영역(예를 들면, 1nm 이상 10nm 이하의 크기를 갖는 영역, 특히 1nm 이상 3nm 이하의 크기를 갖는 영역)은 주기적 원자 배열을 갖는다. nc-OS막에서 상이한 펠럿들 사이에 결정 배향의 규칙성은 없다. 따라서, 막 전체의 배향은 무질서하다. 따라서, nc-OS는 분석 방법에 따라 비정질 산화물 반도체와 구별될 수 없다. 예를 들면, nc-OS가 펠럿의 크기보다 큰 직경을 갖는 X선을 사용하는 XRD 장치로 아웃-오브-플레인법에 의해 구조 분석을 수행하는 경우, 결정면을 나타내는 피크가 나타나지 않는다. 또한, nc-OS가 펠럿의 크기보다 큰 프로브 직경(예를 들면, 50nm 이상)을 갖는 전자빔을 사용하여 전자 회절을 수행하는 경우, 헤일로 패턴과 같은 회절 패턴이 관찰된다(전자 회절은 제한영역 전자 회절로도 언급됨). 한편, 펠럿의 크기에 근접하거나 이보다 작은 프로브 직경을 갖는 전자빔이 인가되는 경우, nc-OS의 나노빔 전자 회절 패턴에 스포트들이 나타난다. 또한, nc-OS의 나노빔 전자 회절 패턴에서, 원형(링) 패턴의 높은 휘도를 갖는 영역들이, 일부 경우들에서 관찰된다. 또한, nc-OS의 나노빔 전자 회절 패턴에서, 일부 경우들에서는, 복수의 스포트들이 텅형 영역 내에 나타난다.

[0517] 상기 언급된 바와 같이 펠럿들(나노결정들) 사이에 결정 배향의 규칙성이 존재하지 않기 때문에, nc-OS는 또한, 무작위 배향된 나노결정들(RANC)을 포함하는 산화물 반도체 또는 비-배향된 나노결정들(NANC)을 포함하는 산화물 반도체로도 언급될 수 있다.

[0518] nc-OS는 비정질 산화물 반도체와 비교하여 높은 규칙성을 갖는 산화물 반도체이다. 따라서, nc-OS는 비정질 산화물 반도체보다 낮은 밀도의 결합 상태들을 갖기 쉽다. nc-OS에 있어서, 상이한 펠럿들 사이에서 결정 배향의 규칙성이 없음을 주목해야 한다. 따라서, nc-OS는 CAAC-OS보다 높은 밀도의 결합 상태들을 갖는다.

[0519] <비정질 산화물 반도체>

[0520] 다음에, 비정질 산화물 반도체가 기술된다.

[0521] 비정질 산화물 반도체는 무질서한 원자 배열을 가지며 결정부를 갖지 않는 산화물 반도체이며 석영과 같은 비정질 상태로 존재하는 산화물 반도체로서 예시된다.

[0522] 비정질 산화물 반도체의 고분해능 TEM 화상에 있어서, 결정부들을 발견할 수 없다.

[0523] 비정질 산화물 반도체가 XRD 장치를 사용하여 아웃-오브-플레인법에 의해 구조 분석을 수행하는 경우, 결정면을 나타내는 피크가 나타나지 않는다. 비정질 산화물 반도체에 전자 회절을 수행하는 경우, 헤일로 패턴이 관찰된다. 또한, 비정질 산화물 반도체에 나노빔 전자 회절을 수행하는 경우, 스포트은 관찰되지 않고 헤일로 패턴만이 나타난다.

[0524] 비정질 구조에 대한 다양한 이해들이 존재한다. 예를 들면, 원자 배열에 질서성을 전혀 갖지 않는 구조는 완전한 비정질 구조로 불린다. 한편, 최근접 원자 거리 또는 제 2 근접 원자 거리까지 질서성을 갖고 장거리 질서성을 갖지 않는 구조는 또한 비정질 구조로 불린다. 따라서, 가장 엄격한 정의는, 심지어 원자 배열에 무시할 정도의 질서성이 존재하는 한, 산화물 반도체가 비정질 산화물 반도체로 불리는 것을 허용하지 않는다. 적어도, 장거리 질서성을 갖는 산화물 반도체는 비정질 산화물 반도체로 불릴 수 없다. 따라서, 결정부의 존재 때문에, 예를 들면, CAAC-OS 및 nc-OS는 비정질 산화물 반도체 또는 완전한 비정질 산화물 반도체로 불릴 수 없다.

[0525] <비정질-유사 산화물 반도체>

[0526] 산화물 반도체는 nc-OS와 비정질 산화물 반도체 사이의 중간 구조를 가질 수 있음을 주목해야 한다. 이러한 구조를 갖는 산화물 반도체는, 특히 비정질-유사 산화물 반도체(a-like OS: amorphous-like oxide semiconductor)로 언급된다.

[0527] a-like OS의 고분해능 TEM 화상에 있어서, 보이드(void)가 관찰될 수 있다. 또한, 고분해능 TEM 화상에 있어서, 결정부가 명확히 관찰되는 영역과, 결정부가 관찰되지 않는 영역이 존재한다.

[0528] a-like OS는 보이드를 포함하기 때문에 불안정한 구조를 갖는다. a-like OS가 CAAC-OS 및 nc-OS와 비교하여 불안정한 구조를 갖는 것을 입증하기 위해, 전자 조사에 의해 초래되는 구조의 변화가 이하에 기술된다.

[0529] a-like OS(시료 A), nc-OS(시료 B) 및 CAAC-OS(시료 C)가 전자 조사를 수행한 시료들로서 준비된다. 각각의

시료들은 In-Ga-Zn 산화물이다.

[0530] 먼저, 각각의 시료의 고분해 단면 TEM 화상을 얻는다. 고분해 단면 TEM 화상은 모든 시료들이 결정부를 가짐을 나타낸다.

[0531] 어느 부분이 결정부로서 간주되는 지는 다음과 같이 결정됨을 주목해야 한다. InGaZnO_4 결정의 단위 셀은 In-O 층을 3층과 Ga-Zn-O층을 6층 포함하는 9층들이 c축 방향으로 적층된 구조를 갖는 것으로 알려져 있다. 인접한 층들 사이의 거리는 (009)면의 격자 간격(d 값으로도 언급됨)과 동등하다. 상기 값은 결정 구조 분석으로부터 0.29nm 로 계산된다. 따라서, 격자 줄무늬(lattice fringe)들 사이의 격자 간격이 0.28nm 이상 0.30nm 이하인 부분은 InGaZnO_4 결정부로서 간주된다. 격자 줄무늬들 각각은 InGaZnO_4 결정의 a-b면에 상응한다.

[0532] 도 41은 각각의 시료 내에서 결정부들(22군데에서 45군데)의 평균의 크기의 변화를 도시한다. 결정부 크기는 격자 줄무늬의 길이에 상응함을 주목해야 한다. 도 41은 a-like OS 내의 결정부 크기가 누적 전자 선량이 증가에 따라 증가함을 나타낸다. 구체적으로는, 도 41에서 (1)에 나타낸 바와 같이, TEM 관찰 초기에서 대략 1.2nm 의 결정부(초기 핵으로도 언급됨)는 $4.2 \times 10^8 \text{e}^-/\text{nm}^2$ 의 누적 전자 선량에서 대략 2.6nm 의 크기로 성장한다. 대조적으로, nc-OS 및 CAAC-OS 내의 결정부 크기는, 전자 조사 개시로부터 $4.2 \times 10^8 \text{e}^-/\text{nm}^2$ 의 누적 전자 선량까지 적은 변화를 나타낸다. 구체적으로는, 도 41의 (2) 및 (3)으로 나타낸 바와 같이, nc-OS 및 CAAC-OS 내의 결정부 크기들은 누적 전자 선량에 무관하게 각각 대략 1.4nm 및 대략 2.1nm 이다.

[0533] 이러한 방식으로, a-like OS 내의 결정부의 성장은 전자 조사에 의해 유도된다. 대조적으로, nc-OS 및 CAAC-OS 내에서, 결정부의 성장은 전자 조사에 의해 거의 유도되지 않는다. 따라서, a-like OS는 nc-OS 및 CAAC-OS와 비교하여 불안정한 구조를 갖는다.

[0534] a-like OS는 보이드를 포함하기 때문에, nc-OS 및 CAAC-OS보다 낮은 밀도를 갖는다. 구체적으로는, a-like OS의 밀도는 동일한 조성을 갖는 단결정 산화물 반도체의 밀도의 78.6% 이상 92.3% 미만이다. nc-OS의 및 CAAC-OS 각각의 밀도는 동일한 조성을 갖는 단결정 산화물 반도체의 밀도의 92.3% 이상 100% 미만이다. 단결정 산화물 반도체의 밀도의 78% 미만의 밀도를 갖는 산화물 반도체를 성막하는 것이 어렵다는 것을 주목해야 한다.

[0535] 예를 들면, $\text{In:Ga:Zn}=1:1:1$ 의 원자비를 갖는 산화물 반도체의 경우, 능면체 결정 구조를 갖는 단결정 InGaZnO_4 의 밀도는 6.357g/cm^3 이다. 따라서, 예를 들면, $\text{In:Ga:Zn}=1:1:1$ 의 원자비를 갖는 산화물 반도체의 경우, a-like OS의 밀도는 5.0g/cm^3 이상 5.9g/cm^3 미만이다. 예를 들면, $\text{In:Ga:Zn}=1:1:1$ 의 원자비를 갖는 산화물 반도체의 경우, nc-OS 및 CAAC-OS 각각의 밀도는 5.9g/cm^3 이상 6.3g/cm^3 미만이다.

[0536] 특정 조성을 갖는 산화물 반도체가 단결정 구조로 존재할 수 없을 가능이 있음을 주목해야 한다. 이러한 경우, 상이한 조성들을 갖는 단결정 산화물 반도체는 적절한 비로 결합되고, 이는 원하는 조성을 갖는 단결정 산화물 반도체의 밀도와 등가의 밀도를 계산하는 것을 가능케 한다. 원하는 조성을 갖는 단결정 산화물 반도체의 밀도는 상이한 조성들을 갖는 단결정 산화물 반도체들의 조합 비에 따른 가중 평균을 사용하여 계산될 수 있다. 밀도를 계산하기 위하여 가능한 적은 종류의 단결정 산화물 반도체들을 사용하는 것이 바람직함을 주목해야 한다.

[0537] 상기 기술된 바와 같이, 산화물 반도체들은 다양한 구조들 및 다양한 성질들을 갖는다. 산화물 반도체가, 예를 들면, 비정질 산화물 반도체, a-like OS, 미결정 산화물 반도체, 및 CAAC-OS의 2가지 이상의 막들을 포함하는 적층일 수 있음을 주목해야 한다.

[0538] < 성막 모델 >

[0539] CAAC-OS 및 nc-OS의 성막 모델들의 예들이 하기에 기술된다.

[0540] 도 42의 (A)는 CAAC-OS가 스퍼터링법에 의해 성막되는 성막 챔버의 내부의 모식도이다.

[0541] 타겟(5130)은 백킹판에 부착된다. 복수의 자석들이 백킹판을 개재하여 타겟(5130)과 대향하도록 제공된다. 복수의 자석들은 자계를 생성한다. 자석들의 자계를 사용하여 성막 속도가 증가하는 스퍼터링법은 마그네트론 스퍼터링법으로 언급된다.

[0542] 기판(5120)은 타겟(5130)과 대향하도록 놓이고, 거리(d)(타겟-기판 거리(T-S 거리)로도 언급됨)는 0.01m 이상 1m 이하, 바람직하게는 0.02m 이상 0.5m 이하이다. 증착 챔버는, 대부분 증착 가스(예를 들면, 산소 가스, 아르곤 가스, 또는 산소를 5vol% 이상으로 함유하는 혼합 가스)로 채워지고, 성막 챔버 내의 압력은 0.01Pa 이상

100Pa 이하, 바람직하게는 0.1Pa 이상 10Pa 이하로 제어된다. 여기서, 특정 전압 값 이상을 타겟(5130)에 인가함으로써, 방전이 시작되고, 플라즈마가 관찰된다. 자계는 타겟(5130)의 근처에 높은 밀도의 플라즈마 영역을 형성한다. 높은 밀도의 플라즈마 영역에서, 증착 가스가 이온화되어, 이온(5101)이 생성된다. 이온(5101)의 예로는, 산소 양이온(O^+) 및 아르곤 양이온(Ar^+)이 포함된다.

[0543] 여기에, 타겟(5130)은, 복수의 결정립들을 포함하는 다결정 구조를 가지며, 적어도 하나의 결정립에는 벽개면 (cleavage plane)이 존재한다. 도 43의 (A)는 일례로서, 타겟(5130)에 포함되는 $InGaZnO_4$ 의 결정의 구조를 도시한다. 도 43의 (A)가 $InGaZnO_4$ 결정이 b축에 평행한 방향으로부터 관찰되는 경우의 구조를 도시함을 주목해야 한다. 도 43의 (A)는 Ga-Zn-O층에 있어서 산소 원자들이 인접한 Ga-Zn-O층의 산소 원자들에 근접하여 위치하는 것을 나타낸다. 산소 원자들은 음의 전하를 가지며, 이에 의해 2개의 인접한 Ga-Zn-O층들 사이에 척력 생성된다. 그 결과, $InGaZnO_4$ 결정은, 2개의 인접한 Ga-Zn-O층들 사이에 벽개면을 갖는다.

[0544] 높은 밀도의 플라즈마 영역에서 생성된 이온(5101)은, 전계에 의해 타겟(5130)측으로 가속된 다음, 타겟(5130)과 충돌한다. 이 때, 평판상(펠릿상)의 스퍼터링된 입자들인 펠릿(5100a) 및 펠릿(5100b)이 벽개면으로부터 박리되어 스퍼터링된다. 펠릿(5100a) 및 펠릿(5100b)의 구조들이 이온(5101)의 충돌의 충격으로 변형될 수 있음을 주목해야 한다.

[0545] 펠릿(5100a)은, 삼각형 평면, 예를 들면 정삼각형 평면을 갖는 평판상(펠릿상)의 스퍼터링된 입자이다. 펠릿(5100b)은, 육각형 평면, 예를 들면 정육각형의 평면을 갖는 평판상(펠릿상)의 스퍼터링된 입자이다. 펠릿(5100a) 및 펠릿(5100b)과 같은 평판상(펠릿상)의 스퍼터링된 입자들이 집합적으로 펠릿(5100)으로 언급됨을 주목해야 한다. 펠릿(5100)의 평판 형상은, 삼각형 또는 육각형으로 한정되지 않는다. 예를 들면, 평판은 2개 이상의 삼각형들을 결합함으로써 형성된 형상을 가질 수 있다. 예를 들면, 2개의 삼각형들(예를 들면, 정삼각형들)을 결합하여 사각형(예를 들면, 마름모꼴)이 형성될 수 있다.

[0546] 펠릿(5100)의 두께는 증착 가스의 종류 등에 따라 결정된다. 펠릿들(5100)의 두께는 균일한 것이 바람직하며; 이에 대한 이유는 이후에 기술된다. 또한, 스퍼터링된 입자는 큰 두께를 갖는 원반 형상과 비교하여 작은 두께를 갖는 펠릿 형상을 갖는 것이 바람직하다. 예를 들면, 펠릿(5100)의 두께는 0.4nm 이상 1nm 이하, 바람직하게는 0.6nm 이상 0.8nm 이하이다. 또한, 예를 들면, 펠릿(5100)의 폭은 1nm 이상 3nm 이하, 바람직하게는 1.2nm 이상 2.5nm 이하이다. 펠릿(5100)은 도 41의 (1)의 설명에서 초기 핵에 상응한다. 예를 들면, $In-Ga-Zn$ 산화물을 포함하는 타겟(5130)에 이온(5101)이 충돌하는 경우, 도 43의 (B)에 도시된 바와 같이 Ga-Zn-O층, In-O층 및 Ga-Zn-O층의 3층을 포함하는 펠릿(5100)이 박리된다. 도 43의 (C)는 c-축에 평행한 방향에서 관찰된 박리된 펠릿(5100)의 구조를 도시함을 주목해야 한다. 펠릿(5100)은 2개의 Ga-Zn-O층들 및 In-O층을 포함하는 나노미터 크기의 샌드위치 구조를 갖는다.

[0547] 펠릿(5100)은 플라즈마를 통과할 때 전하를 수용하여, 측면들이 음 또는 양으로 하전된다. 펠릿(5100) 내에서, 예를 들면, 측면상에 위치된 산소 원자는 음으로 하전될 수 있다. 측면들이 동일한 극성으로 하전되는 경우, 전하들은 서로 밀어내고, 따라서 펠릿(5100)은 평판(펠릿) 형상을 유지할 수 있다. CAAC-OS가 $In-Ga-Zn$ 산화물인 경우, 인듐 원자에 결합된 산소 원자가 음으로 하전될 가능성이 존재한다. 인듐 원자, 갈륨 원자 또는 아연 원자에 결합된 산소 원자가 음으로 하전될 다른 가능성이 존재한다. 또한, 펠릿(5100)은 플라즈마를 통과할 때, 인듐 원자, 갈륨 원자, 아연 원자, 산소 원자 등과 결합함으로써 성장할 수 있다. 도 41의 (2) 및 (1) 사이의 크기 차는 플라즈마 내의 성장의 양에 상응한다. 여기서, 기판(5120)의 온도가 대략 상온인 경우, 기판(5120) 상의 펠릿(5100)은 거의 성장하지 못하고; 따라서 nc-OS가 형성된다(도 42의 (B) 참조). nc-OS의 성막이 상온에서 수행될 수 있으므로, nc-OS는 기판(5120)이 큰 크기를 갖는 경우, 성막될 수 있다. 펠릿(5100)이 플라즈마 내에서 성장하기 위하여, 스퍼터링시 성막 전력을 증가시키는 것이 효과적이다. 높은 성막 전력을 펠릿(5100)의 구조를 안정시킬 수 있다.

[0548] 도 42의 (A) 및 (B)에 도시된 바와 같이, 펠릿(5100)은 플라즈마 중에서 연처럼 날아, 흔들리면서 기판(5120) 위로 간다. 펠릿(5100)들이 하전되기 때문에, 펠릿(5100)은 다른 펠릿(5100)이 이미 퇴적된 영역에 가까워질 때, 반발이 발생한다. 여기서, 기판(5120) 위에서, 기판(5120)의 상면에 평행한 방향의 자계(수평 자계로도 언급됨)가 생성된다. 기판(5120)과 타겟(5130) 사이에 전위차가 주어지고, 따라서 기판(5120)으로부터 타겟(5130)을 향해 전류가 흐른다. 따라서, 펠릿(5100)은 자계 및 전류의 영향에 의해 기판(5120)의 상면 상에서 힘(로렌츠 힘)을 받는다. 이것은 플레밍의 원순 법칙에 의해 설명될 수 있다.

[0549] 펠릿(5100)의 질량은 원자의 질량보다 크다. 따라서, 기판(5120)의 상면 위에서 펠릿(5100)을 이동시키기 위하

여, 외부로부터 펠릿(5100)에 일부 힘을 인가하는 것이 중요하다. 한 종류의 힘은 자계와 전류의 작용에 의해 생성된 힘이 될 수 있다. 펠릿(5100)이 기판(5120)의 상면 위에서 이동하도록 충분한 힘을 펠릿(5100)에 인가하기 위하여, 상면 상에서, 기판(5120)의 상면에 평행한 방향의 자계가 10G 이상, 바람직하게는 20G 이상, 더 바람직하게는 30G 이상, 더욱 더 바람직하게는 50G 이상인 영역을 제공하는 것이 바람직하다. 또는, 상면상에서 기판(5120)의 상면에 평행한 방향의 자계가 기판(5120)의 상면에 수직인 방향의 자계보다 1.5배 이상, 바람직하게는 2배 이상, 더 바람직하게는 3배 이상, 더욱 더 바람직하게는 5배 이상인 영역을 제공하는 것이 바람직하다.

[0550] 이때, 자석들 및 기판(5120)은 상대적으로 이동하거나 회전하고, 이에 의해 기판(5120)의 상면상의 수평 자계의 방향은 계속 변한다. 따라서, 펠릿(5100)은 다양한 방향들의 힘을 받음으로써 기판(5120)의 상면상에서 다양한 방향으로 이동할 수 있다.

[0551] 또한, 도 42의 (A)에 도시된 바와 같이, 기판(5120)이 가열될 때, 마찰 등에 의한 펠릿(5100)과 기판(5120) 사이의 저항은 낮다. 그 결과, 펠릿(5100)은 기판(5120)의 상면 위에서 미끄러진다. 펠릿(5100)의 미끄러짐은 펠릿의 평판면이 기판(5120)을 대향하는 상태에서 야기된다. 이어서, 펠릿(5100)이 이미 퇴적된 또 다른 펠릿(5100)의 측면에 도달하는 경우, 펠릿들(5100)의 측면들이 결합된다. 이때, 펠릿(5100)의 측면상의 산소 원자는 탈리된다. 탈리된 산소 원자에 의해, CAAC-OS 중의 산소 결손들이 채워질 수 있고; 따라서 CAAC-OS는 낮은 밀도의 결합 상태들을 갖는다. 기판(5120)의 상면 온도가 예를 들면, 100°C 이상 500°C 미만, 150°C 이상 450°C 미만, 또는 170°C 이상 400°C 미만임을 주목해야 한다. 따라서, 기판(5120)이 심지어 큰 크기를 갖는 경우에도, CAAC-OS를 성막하는 것이 가능하다.

[0552] 또한, 펠릿(5100)은 기판(5120) 상에서 가열되고, 이에 의해 원자들이 재배열되고, 이온(5101)의 충돌에 의해 야기된 구조 변형이 감소될 수 있다. 감소된 구조 변형을 갖는 펠릿(5100)은 실질적으로 단결정이다. 심지어 펠릿들(5100)이 결합된 후 가열되는 경우에도, 펠릿(5100) 자체의 팽창 및 수축은 거의 발생하지 않고, 이는 펠릿(5100)을 실질적으로 단결정이 되게 함으로써 야기된다. 따라서, 펠릿들(5100) 사이의 간극의 팽창으로 인한 결정립계와 같은 결합들의 형성이 방지될 수 있고, 따라서 균열들의 생성이 방지될 수 있다.

[0553] CAAC-OS는 단결정 산화물 반도체의 하나의 판과 같은 구조를 갖는 것은 아니고, 적층된 벽돌들 또는 블록들과 같은 한 그룹의 펠릿들(5100)(나노결정들)의 배열을 갖는다. 또한, 결정립계는 펠릿들(5100) 사이에 존재하지 않는다. 따라서, 성막 도중에 가열, 성막 후의 가열 또는 벤딩으로 인해 수축과 같은 변형이 CAAC-OS 내에서 발생하는 경우에도, 국부 응력을 완화하거나, 변형을 해제하는 것이 가능하다. 따라서, 이러한 구조는 가요성 반도체 장치를 위해 적합하다. nc-OS가 펠릿들(5100)(나노결정들)이 무작위로 적층된 배열을 가짐을 주목해야 한다.

[0554] 타겟(5130)이 이온(5101)에 의해 스퍼터링될 때, 펠릿들(5100) 이외에, 아연 산화물 등이 박리될 수 있다. 아연 산화물은 펠릿(5100)보다 가볍고, 따라서 펠릿(5100)에 앞서 기판(5120)의 상면에 도달한다. 그 결과, 아연 산화물은, 0.1nm 이상 10nm 이하, 0.2nm 이상 5nm 이하, 또는 0.5nm 이상 2nm 이하의 두께를 갖는 아연 산화물층(5102)을 형성한다. 도 44의 (A) 내지 (D)는 단면 모식도들이다.

[0555] 도 44의 (A)에 도시된 바와 같이, 펠릿(5105a) 및 펠릿(5105b)은 아연 산화물층(5102) 위에 퇴적된다. 여기서, 펠릿(5105a) 및 펠릿(5105b)의 측면들은 서로 접한다. 또한, 펠릿(5105c)은 펠릿(5105b) 위에 퇴적되고, 이후 펠릿(5105b) 위에서 미끄러진다. 또한, 아연 산화물과 함께 타겟으로부터 박리된 복수의 입자들(5103)은 기판(5120)으로부터의 열에 의해 결정화되어, 펠릿(5105a)의 또 다른 측면상에서 영역(5105a1)을 형성한다. 복수의 입자들(5103)이 산소, 아연, 인듐, 갈륨 등을 함유할 수 있음을 주목해야 한다.

[0556] 이후, 도 44의 (B)에 도시된 바와 같이, 영역(5105a1)은 펠릿(5105a)의 부분까지 성장하여 펠릿(5105a2)을 형성한다. 또한, 펠릿(5105c)의 측면은 펠릿(5105b)의 또 다른 측면과 접한다.

[0557] 다음에, 도 44의 (C)에 도시된 바와 같이, 펠릿(5105d)은 펠릿(5105a2) 및 펠릿(5105b) 위에 퇴적되고, 이후 펠릿(5105a2) 및 펠릿(5105b) 위에서 미끄러진다. 또한, 펠릿(5105e)은 아연 산화물층(5102) 위에서 펠릿(5105c)의 또 다른 측면을 향해 미끄러진다.

[0558] 이후, 도 44의 (D)에 도시된 바와 같이, 펠릿(5105d)의 측면이 펠릿(5105a2)의 측면과 접하도록, 펠릿(5105d)이 놓인다. 또한, 펠릿(5105e)의 측면은 펠릿(5105c)의 또 다른 측면과 접한다. 아연 산화물과 함께 타겟(5130)으로부터 박리된 복수의 입자들(5103)은 기판(5120)으로부터의 열에 의해 결정화되어, 펠릿(5105d)의 다른 측면상에서 영역(5105d1)을 형성한다.

- [0559] 상기 기술된 바와 같이, 퇴적된 펠릿들은 서로 접하도록 놓이며, 이후 펠릿들의 측면들에서 성장이 야기되고, 이에 의해 CAAC-OS가 기판(5120) 위에 형성된다. 따라서, CAAC-OS의 각 펠릿은 nc-OS의 펠릿보다 크다. 도 41의 (3) 및 (2) 사이의 크기 차는 퇴적 후의 성장의 양에 상응한다.
- [0560] 펠릿들 사이의 간극들이 극히 작을 경우, 펠릿들은 큰 펠릿을 형성할 수 있다. 큰 펠릿은 단결정 구조를 갖는다. 예를 들면, 펠릿의 크기는 위로부터 보았을 때 10nm 이상 200nm 이하, 15nm 이상 100nm 이하, 또는 20nm 이상 50nm 이하일 수 있다. 이러한 경우, 미소 트랜지스터를 위해 사용된 산화물 반도체에서, 채널 형성 영역은 큰 펠릿 내에 들어갈 수 있다. 즉, 단결정 구조를 갖는 영역은 트랜지스터의 채널 형성 영역, 소스 영역, 및 드레인 영역으로 사용될 수 있다.
- [0561] 이러한 방식으로, 트랜지스터의 채널 형성 영역 등이 단결정 구조를 갖는 영역 내에 형성되는 경우, 트랜지스터의 주파수 특성들은 일부 경우들에서 높아질 수 있다.
- [0562] 이러한 모델에 도시된 바와 같이, 펠릿들(5100)은 기판(5120) 상에 퇴적되는 것으로 간주된다. 따라서, CAAC-OS는 심지어 괴형성면이 결정 구조를 갖지 않는 경우에도 성막될 수 있고; 따라서 이러한 경우의 성장 메커니즘은 에피택셜 성장과 상이하다. 또한, CAAC-OS의 형성을 위해 레이저 결정화가 필요하지 않고, 심지어 대형 유기 기판 등의 위에도 균일한 막이 형성될 수 있다. 예를 들면, 심지어 기판(5120)의 상면(괴형성면)이 비정질 구조를 갖는 경우(예를 들면, 상면이 비정질 실리콘 산화물로 형성될 때)에도, CAAC-OS가 형성될 수 있다.
- [0563] 또한, CAAC-OS의 형성시, 펠릿들(5100)은, 괴형성면이 요철을 갖는 경우에도 괴형성면인 기판(5120)의 상면의 형상에 따라 배열된다. 예를 들면, 기판(5120)의 상면이 원자 레벨에서 편평한 경우, 펠릿들(5100)은, a-b 평면에 평행한 평탄한 평면들이 아래를 향하도록, 배열된다. 펠릿들(5100)의 두께가 균일한 경우, 균일한 두께, 평탄도, 및 높은 결정성을 갖는 층이 형성된다. n개(n은 자연수)의 층들을 적층함으로써, CAAC-OS가 얻어질 수 있다.
- [0564] 기판(5120)의 상면이 요철을 갖는 경우, 각 층 내에서 펠릿들(5100)이 요철들을 따라 배열되는 n개의 층들(n은 자연수)이 적층된 CAAC-OS가 형성된다. 기판(5120)이 요철을 갖기 때문에, 일부 경우들에서는 CAAC-OS 내의 펠릿들(5100) 사이에서 갭들이 쉽게 생성된다. 심지어 이러한 경우에도, 문자간 힘으로 인해 펠릿들(5100)은, 펠릿들 사이의 갭이 심지어 요철면 상에서도 가능한 작게 되도록 배열됨을 주목해야 한다. 따라서, 심지어 괴형성면이 요철을 갖는 경우, 높은 결정성을 갖는 CAAC-OS가 얻어질 수 있다.
- [0565] CAAC-OS가 이러한 모델에 따라 성막되기 때문에, 스퍼터링된 입자는 바람직하게 작은 두께를 갖는 펠릿 형상을 갖는다. 스퍼터링된 입자들이 큰 두께를 갖는 원반 형상을 갖는 경우, 기판(5120)에 대향하는 평면들은 변하고; 따라서 결정들의 두께들 및 배향들은 일부 경우들에서 균일할 수 없음을 주목해야 한다.
- [0566] 상기 기술된 성막 모델에 따라, 높은 결정성을 갖는 CAAC-OS는 심지어 비정질 구조를 갖는 괴형성면 상에 형성될 수 있다.
- [0567] <벽개면>
- [0568] CAAC-OS의 성막 모델에서 언급된 벽개면이 이하에 기술된다.
- [0569] 먼저, 타겟의 벽개면은 도 45의 (A) 및 (B)를 참조하여 기술된다. 도 45의 (A) 및 (B)는 $InGaZnO_4$ 결정 구조를 도시한다. 도 45의 (A)는, c축이 상향(upward direction)인 경우 b축에 평행한 방향으로부터 $InGaZnO_4$ 결정이 관찰되는 경우의 구조를 도시한다. 또한, 도 45의 (B)는, $InGaZnO_4$ 결정이 c축에 평행한 방향으로부터 관찰되는 경우의 구조를 도시한다.
- [0570] $InGaZnO_4$ 결정의 각각의 결정면에서의 벽개에 필요한 에너지는 제1 원리 계산에 의해 계산된다. 유사전위 및 평면파 기저(plane wave basis)를 사용하는 밀도 범함수 이론 프로그램(CASTEP)이 당해 계산에 사용됨을 주목해야 한다. 울트라소프트 타입 유사전위가 유사 전위로서 사용된다. 또한, GGA/PBE가 범함수로서 사용된다. 컷-오프 에너지는 400eV이다.
- [0571] 초기 상태에서의 구조의 에너지는, 셀 크기를 포함하는 구조 최적화가 수행된 후에 수득된다. 또한, 각각의 면에서 벽개 후의 구조의 에너지는, 원자 배열의 구조 최적화가 셀 크기를 고정한 상태로 수행된 후에 수득된다.
- [0572] 도 45의 (A) 및 (B)에서 $InGaZnO_4$ 결정의 구조를 기본으로, 제 1면, 제 2면, 제 3면 및 제 4면 중 어느 하나에

서 벽개한 구조를 형성하고, 셀 크기를 고정한 구조 최적화 계산을 수행한다. 여기서, 제 1면은 Ga-Zn-0층과 In-0층 사이의 결정면이며, (001)면(또는 a-b면)에 평행한 결정면이다(도 45의 (A) 참조). 제 2면은 Ga-Zn-0층과 Ga-Zn-0층 사이의 결정면이며, (001)면(또는 a-b면)에 평행한 결정면이다(도 45의 (A) 참조). 제 3면은, (110)면에 평행한 결정면이다(도 45의 (B) 참조). 제 4면은 (100)면(또는 b-c면)에 평행한 결정면이다(도 45의 (B) 참조).

[0573] 상기 조건들하에, 각각의 면에서 벽개 후의 구조의 에너지를 계산한다. 다음에, 벽개 후의 구조의 에너지와 초기 상태에서의 구조의 에너지 사이의 차이를 벽개면의 면적으로 나누고; 따라서, 각각의 면에서의 벽개 용이성의 척도로서 기능하는 벽개 에너지를 계산한다. 구조의 에너지는 구조에 포함되는 원자들과 전자들을 기준으로 하여 계산됨을 주목해야 한다. 즉, 전자들의 운동 에너지와, 원자들간, 원자와 전자간, 및 전자들간 상호작용들이 계산에 고려된다.

[0574] 계산 결과로서, 제 1면의 벽개 에너지는 2.60J/m^2 이고, 제 2면의 벽개 에너지는 0.68J/m^2 이고, 제 3면의 벽개 에너지는 2.18J/m^2 이고, 제 4면의 벽개 에너지는 2.12J/m^2 이다(표 1 참조).

표 1

	벽개 에너지 [J/m^2]
제 1면	2.60
제 2면	0.68
제 3면	2.18
제 4면	2.12

[0575]

[0576] 상기 계산으로부터, 도 45의 (A) 및 (B)에서 InGaZnO_4 결정의 구조에 있어서, 제 2면의 벽개 에너지가 가장 낮다. 즉, Ga-Zn-0층과 Ga-Zn-0층 사이의 면이 벽개하기 가장 쉽다(벽개면). 따라서, 본 명세서에 있어서, 벽개면은 가장 벽개하기 쉬운 면인 제 2면을 나타낸다.

[0577] 벽개면이 Ga-Zn-0층과 Ga-Zn-0층 사이의 제 2면인 경우, 도 45의 (A)에서의 InGaZnO_4 결정들은 2개의 제 2면들과 등가인 면에서 분리될 수 있다. 따라서, 이온 등을 타겟과 충돌시키는 경우, 최저 벽개 에너지를 갖는 면에서 벽개되는 웨이퍼형 유닛(우리들은 이것을 펠릿으로 칭함)이 최소 단위로 블라스팅 오프(blasting off)되는 것으로 생각된다. 이러한 경우, InGaZnO_4 의 펠릿은 Ga-Zn-0층, In-0층 및 Ga-Zn-0층의 3층을 포함한다.

[0578] 제 3면((110)면에 평행한 결정면) 및 제 4면((100)면 (또는 b-c면)에 평행한 결정면)의 벽개 에너지는 제 1면(Ga-Zn-0층과 In-0층 사이의 결정면, 및 (001)면(또는 a-b면)에 평행한 결정면)보다 낮으며, 이는 펠릿들의 대부분의 편평한 면들이 삼각형상 또는 육각형상을 갖는 것을 시사된다.

[0579] 다음에, 고전 분자 동역학 계산에 의해, 타겟으로서 호몰로구스 구조(homologous structure)를 갖는 InGaZnO_4 결정이라고 가정하면, 벽개면은 타겟이 아르곤(Ar) 또는 산소(O)를 사용하여 스퍼터링되는 경우 시험된다. 도 46의 (A)는, 계산을 위해 사용된 InGaZnO_4 결정(2688원자들)의 단면 구조를 도시하며, 도 46의 (B)는 이의 상부 구조를 도시한다. 도 46의 (A)에서의 고정층은 원자들의 위치들이 이동하는 것은 방지함을 주목해야 한다. 도 46의 (A)에서의 온도 제어층은 항상 고정 온도(300K)로 설정한 층이다.

[0580] 고전 분자 동역학 계산을 위해, 후지쯔 리미티드(Fujitsu Limited)에 의해 제작된 Materials Explorer 5.0이 사용된다. 초기 온도가 300K, 셀 크기가 특정 크기, 시간 단위 폭이 0.01fs, 그리고 시간 스텝들의 수가 1000 만회임을 주목해야 한다. 계산시, 당해 조건들하에, 300eV의 에너지를 원자에 적용하여 InGaZnO_4 결정의 a-b면에 수직인 방향으로부터 셀에 진입시킨다.

[0581] 도 47의 (A)는, 도 46의 (A) 및 (B)에서 InGaZnO_4 결정을 포함하는 셀에 아르곤을 진입시킨 후 99.9psec 경과했을 때 원자 배열을 도시한다. 도 47의 (B)는, 셀에 산소를 진입시킨 후 99.9psec 경과했을 때 원자 배열을 도시한다. 도 47의 (A) 및 (B)에서, 도 46의 (A)에서 고정층의 일부를 생략함을 주목해야 한다.

[0582] 도 47의 (A)에 따라, 아르곤을 셀에 진입시키고 나서 99.9psec 경과했을 때까지의 기간에서, 도 45의 (A)에서

제 2면에 상응하는 벽개면으로부터 균열이 형성된다. 따라서, 아르곤이 InGaZnO_4 결정과 충돌하고, 최상 표면이 제 2면(0 번째)인 경우, 제 2면(2번재)에 큰 균열이 형성됨을 발견한다.

[0583] 한편, 도 47의 (B)에 따라, 산소가 셀에 진입하고 나서 99.9psec 경과했을 때까지의 기간에서, 도 45의 (A)에서 제 2면에 상응하는 벽개면으로부터 균열이 형성됨을 발견한다. 산소를 셀과 충돌시키는 경우, InGaZnO_4 결정의 제 2면(1번재)에 있어서 큰 균열이 형성됨을 발견한다.

[0584] 따라서, 원자(이온)가 타겟의 상면으로부터 호몰로구스 구조를 갖는 InGaZnO_4 결정을 포함하는 타겟과 충돌하면, InGaZnO_4 결정은 제 2면을 따라 벽개되고, 스퍼터링된 평판상 입자(펠릿)가 박리되는 것을 발견한다. 또한, 산소가 셀과 충돌하는 경우 형성되는 펠릿이, 아르곤이 셀과 충돌하는 경우 형성되는 펠릿보다 작음을 발견한다.

[0585] 상기의 계산은 박리된 펠릿이 손상된 영역을 포함하는 것을 시사한다. 일부 경우들에서는, 펠릿에 포함되는 손상된 영역은 손상에 의해 초래된 결함을 산소와 반응시키는 방식으로 회복될 수 있다.

[0586] 여기서, 충돌되는 원자들에 따라 펠릿의 크기에서의 차이를 조사한다.

[0587] 도 48의 (A)는, 도 46의 (A) 및 (B)에서 InGaZnO_4 결정을 포함하는 셀에 아르곤을 진입시킨 후 0psec로부터 0.3psec까지 원자들의 궤적을 도시한다. 따라서, 도 48의 (A)는, 도 46의 (A) 및 (B)로부터 도 47의 (A) 사이의 기간에 상응한다.

[0588] 도 48의 (A)에 따라, 아르곤을 제 1층(Ga-Zn-0층)의 갈륨(Ga)과 충돌시키는 경우, 갈륨을 제 3층(Ga-Zn-0층)의 아연(Zn)과 충돌시킨 후, 아연은 제6층(Ga-Zn-0층)의 근방에 도달한다. 갈륨과 충돌한 아르곤은 외부로 스퍼터링됨을 주목해야 한다. 따라서, 아르곤이 InGaZnO_4 결정을 포함하는 타겟과 충돌하는 경우, 도 46의 (A)에서 제 2면(2번재)에 균열이 형성되는 것으로 생각된다.

[0589] 도 48의 (B)는, 도 46의 (A) 및 (B)에서 InGaZnO_4 결정을 포함하는 셀에 산소를 진입시킨 후 0psec로부터 0.3psec까지 원자의 궤적을 도시한다. 따라서, 도 48의 (B)는, 도 46의 (A) 및 (B)로부터 도 47의 (A) 사이의 기간에 상응한다.

[0590] 한편, 도 48의 (B)에 따라, 산소가 제 1층(Ga-Zn-0층)의 갈륨(Ga)과 충돌하는 경우, 갈륨이 제 3층(Ga-Zn-0층)의 아연(Zn)과 충돌한 후, 아연이 제 5 층(In-0층)까지 도달하지 않는다. 갈륨과 충돌한 산소는 외부로 스퍼터링됨을 주목해야 한다. 따라서, 산소가 InGaZnO_4 결정을 포함하는 타겟과 충돌하는 경우, 도 46의 (A)에서 제 2면(1번재)에 균열이 형성되는 것으로 생각된다.

[0591] 이러한 계산은 또한, 원자(이온)과 충돌할 때 InGaZnO_4 결정이 벽개면으로부터 박리됨을 나타낸다.

[0592] 또한, 균열의 깊이의 차는 보존 법칙의 관점에서 검토한다. 에너지 보존법칙 및 운동량 보존법칙은, 식(1) 및 식(2)으로 나타낼 수 있다. 여기서, E 는 충돌 전의 아르곤 또는 산소의 에너지(300eV)를 나타내고, m_A 는 아르곤 또는 산소의 질량을 나타내고, v_A 는 충돌 전의 아르곤 또는 산소의 속도를 나타내고, v'_A 는 충돌 후의 아르곤 또는 산소의 속도를 나타내고, m_{Ga} 는 갈륨의 질량을 나타내고, v_{Ga} 는 충돌 전의 갈륨의 속도를 나타내고, v'_{Ga} 는 충돌 후의 갈륨의 속도를 나타낸다.

$$E = \frac{1}{2} m_A v_A^2 + \frac{1}{2} m_{\text{Ga}} v_{\text{Ga}}^2 \quad (1)$$

$$m_A v_A + m_{\text{Ga}} v_{\text{Ga}} = m_A v'_A + m_{\text{Ga}} v'_{\text{Ga}} \quad (2)$$

[0595] 아르곤 또는 산소의 충돌이 탄성 충돌이라고 가정하면, v_A , v'_A , v_{Ga} 및 v'_{Ga} 사이의 관계는 식(3)으로 나타낼 수 있다.

$$v'_A - v'_{\text{Ga}} = -(v_A - v_{\text{Ga}}) \quad (3)$$

[0597] 식(1), 식(2) 및 식(3)으로부터, v'_{Ga} 가 0이라고 가정하면, 아르곤 또는 산소의 충돌 후의 갈륨의 속도 v'_{Ga} 는 식(4)로 나타낼 수 있다.

$$v'_{\text{Ga}} = \frac{\sqrt{m_A}}{m_A + m_{\text{Ga}}} \cdot 2\sqrt{2E} \quad (4)$$

[0598] [0599] 식(4)에 있어서, 아르곤 또는 산소의 질량을 m_A 에 대입하고, 원자들의 충돌 후의 속도들을 비교한다. 아르곤 및 산소가 충돌 전에 동일한 에너지를 갖는 경우, 아르곤을 갈륨과 충돌시키는 경우 갈륨의 속도가, 산소를 갈륨과 충돌시키는 경우 갈륨의 속도의 1.24배임을 발견하였다. 따라서, 아르곤이 갈륨과 충돌하는 경우 갈륨의 에너지가, 산소가 갈륨과 충돌시키는 경우 갈륨의 에너지보다 속도의 차승만큼 높다.

[0600] 아르곤이 갈륨과 충돌하는 경우 충돌 후의 갈륨의 속도(에너지)는, 산소가 갈륨과 충돌한 후 갈륨의 속도(에너지)보다 더 높음을 발견한다. 따라서, 산소가 갈륨과 충돌하는 경우보다 아르곤이 갈륨과 충돌하는 경우에서 균열이 더 깊은 위치에서 형성되는 것으로 간주된다.

[0601] 상기 계산은, 스퍼터링이 호몰로구스 구조를 갖는 InGaZnO_4 결정을 포함하는 타겟을 사용하여 수행되는 경우, 벽개면으로부터 박리가 발생하여 펠릿을 형성함을 나타낸다. 한편, 스퍼터링이 벽개면이 없는 타겟의 또 다른 구조를 갖는 영역에서 수행되는 경우라도, 펠릿은 형성되지 않으며 펠릿보다도 미세한 원자-수준 크기의 스퍼터링된 입자가 형성된다. 스퍼터링된 입자가 펠릿보다 작기 때문에, 스퍼터링된 입자는 스퍼터링 장치에 연결된 진공 펌프를 통해 제거되는 것으로 생각된다. 따라서, 다양한 크기들 및 형상들을 갖는 입자들이 기판까지 비상하여 퇴적되는 모델은, 스퍼터링이 호몰로구스 구조를 갖는 InGaZnO_4 결정을 포함하는 타겟을 사용하여 수행되는 경우에 적용하기 어렵다. 스퍼터링된 펠릿들이 퇴적되어 CAAC-OS를 형성하는 도 43의 (A)에서의 모델은 합리적인 모델이다.

[0602] 이러한 방식으로 성막된 CAAC-OS는 단결정 OS의 밀도와 실질적으로 동일한 밀도를 갖는다. 예를 들면, InGaZnO_4 의 호몰로구스 구조를 갖는 단결정 OS의 밀도는 6.36g/cm^3 이고, 실질적으로 동일한 원자비를 갖는 CAAC-OS의 밀도는 대략 6.3g/cm^3 이다.

[0603] 도 49의 (A) 및 (B)는 스퍼터링에 의해 성막된 CAAC-OS인 In-Ga-Zn 산화물(도 49의 (A) 참조), 및 이의 타겟(도 49의 (B) 참조)의 단면의 원자 배열을 도시한다. 원자 배열의 관찰을 위해, 고각 환상 암시야 주사 투과 전자현미경법(HAADF-STEM)이 사용된다. HAADF-STEM에 의한 관찰의 경우, 각각의 원자의 화상의 강도는 원자 번호의 차승에 비례한다. 따라서, 원자 번호들이 서로 가까운 Zn (원자 번호: 30)과 Ga (원자 번호: 31)는 서로를 거의 구별하기 어렵다. HAADF-STEM에는, 히타치 주사 투과 전자현미경 HD-2700을 사용한다.

[0604] 도 49의 (A) 및 도 49의 (B)를 비교하는 경우, CAAC-OS 및 타겟은 각각 호몰로구스 구조를 가지며 CAAC-OS에서의 원자 배열은 타겟의 원자 배열에 상응됨을 발견한다. 따라서, 도 43의 (A)에서의 성막 모델에 나타낸 바와 같이, 타겟의 결정 구조가 옮겨져서 CAAC-OS가 성막된다.

<산화물 반도체막 및 산화물 도전체막>

[0605] [0606] 산화물 반도체로 형성되는 막(이하, 산화물 반도체막(OS)으로 언급됨) 및 도전성을 갖는 산화물 반도체막(19b) 및 산화물 반도체막(155b)과 같은 산화물 도전체로 형성되는 막(이하, 산화물 도전체막(OC)으로 언급됨)의 저항율의 온도 의존성은 도 50을 참조하여 기술된다. 도 50에 있어서, 횡축은 측정 온도를 나타내고, 종축은 저항율을 나타낸다. 산화물 반도체막(OS)의 측정 결과를 원들로 플롯팅하고, 산화물 도전체막(OC)의 측정 결과를 사각형들로 플롯팅한다.

[0607] 산화물 반도체막(OS)을 포함하는 시료는, 유리 기판 위에, $\text{In:Ga:Zn}=1:1:1.2$ 의 원자비를 갖는 스퍼터링 타겟을 사용하는 스퍼터링법에 의해 35nm -두께의 In-Ga-Zn 산화물막을 형성하고, $\text{In:Ga:Zn}=1:4:5$ 의 원자비를 갖는 스퍼터링 타겟을 사용하는 스퍼터링법에 의해 상기 35nm -두께의 In-Ga-Zn 산화물막 위에 20nm -두께의 In-Ga-Zn 산화물막을 형성하고, 질소 분위기에서 450°C 로 열 처리를 수행한 다음, 질소와 산소의 혼합 가스 분위기에서 450°C 로 열 처리를 수행하고, 플라즈마 CVD법에 의해 상기 산화물막들 위에 산화질화 실리콘막을 형성함으로써 제조되었다.

[0608] 산화물 도전체막(OC)을 포함하는 시료는, 유리 기판 위에, $\text{In:Ga:Zn}=1:1:1$ 의 원자비를 갖는 스퍼터링 타겟을 사

용하는 스퍼터링법에 의해 100nm-두께의 In-Ga-Zn 산화물막을 형성하고, 질소 분위기에서 450°C로 열 처리를 수행한 다음, 질소와 산소의 혼합 가스 분위기에서 450°C로 열 처리를 수행하고, 플라즈마 CVD법에 의해 상기 산화물막 위에 질화 실리콘막을 형성함으로써 제조된다.

[0609] 도 50으로부터 알 수 있는 바와 같이, 산화물 도전체막(OC)의 저항율의 온도 의존성은 산화물 반도체막(OS)의 저항율의 온도 의존성보다 작다. 전형적으로, 80K 내지 290K의 온도에서 산화물 도전체막(OC)의 저항율의 범위는 -20% 초과 내지 +20% 미만이다. 또는, 150K 내지 250K의 온도에서 저항율의 범위는 -10% 초과 내지 +10% 미만이다. 즉, 산화물 도전체는 축퇴 반도체(degenerate semiconductor)이며, 전도대 끝과 페르미(Fermi) 준위와 일치하거나 실질적으로 일치하는 것을 시사한다. 따라서, 산화물 도전체막(OC)을 저항 소자, 용량 소자의 전극, 화소 전극, 공통 전극, 배선 등에 사용할 수 있다.

[0610] 본 실시형태에 기술된 구조들, 방법들 등을 다른 실시형태들에 기술된 다른 구조들, 방법들 등 중 어느 하나와 적절히 조합하여 사용될 수 있다.

[0611] (실시형태 10)

[0612] 본 실시형태에서, 본 발명의 일 실시형태의 표시 장치를 각각 사용한 전자 기기의 구조 예들이 기술될 것이다. 또한, 본 실시형태에서, 본 발명의 일 실시형태의 표시 장치를 사용하는 표시 모듈은 도 51을 참조하여 기술될 것이다.

[0613] 도 51에서의 표시 모듈(8000)에서, FPC(8003)에 접속된 터치 패널(8004), FPC(8005)에 접속된 표시 패널(8006), 백라이트 유닛(8007), 프레임(8009), 인쇄 기판(8010), 및 배터리(8011)가 상부 커버(8001)와 하부 커버(8002) 사이에 제공된다. 백라이트 유닛(8007), 배터리(8011), 터치 패널(8004) 등이, 일부 경우들에서는 제공되지 않음을 주목해야 한다.

[0614] 본 발명의 일 실시형태의 표시 장치는, 예를 들면, 표시 패널(8006)에 사용될 수 있다.

[0615] 상부 커버(8001)와 하부 커버(8002)의 형태들 및 크기들은 터치 패널(8004) 및 표시 패널(8006)의 크기들에 따라 적절하게 변경시킬 수 있다.

[0616] 터치 패널(8004)은 저항 터치 패널 또는 정전용량 터치 패널일 수 있고, 표시 패널(8006)과 중첩하도록 형성될 수 있다. 표시 패널(8006)의 대향 기판(counter substrate)(밀봉 기판)은 터치 패널 기능을 가질 수 있다. 광센서는 광학적 터치 패널을 형성하기 위하여 표시 패널(8006)의 각 화소 내에 제공될 수 있다. 표시 패널(8006)의 각각의 화소 내에 터치 센서용 전극이 제공되어, 정전용량 터치 패널이 얻어진다.

[0617] 백라이트 유닛(8007)은 광원(8008)을 포함한다. 광원(8008)이 백라이트 유닛(8007)의 단부에 제공되고, 광학산판이 사용될 수 있다.

[0618] 프레임(8009)은 표시 패널(8006)을 보호하고, 또한 인쇄 기판(8010)의 동작에 의해 생성된 전자기파들을 차단하기 위한 전자기 차폐물로서 기능한다. 프레임(8009)은 방열판으로 기능할 수 있다.

[0619] 인쇄 기판(8010)에는 전원 회로, 및 비디오 신호 및 클록 신호를 출력하기 위한 신호 처리 회로가 제공된다. 전원 회로에 전력을 공급하기 위한 전원으로서, 외부의 상용 전원 또는 별도로 제공된 배터리(8011)를 사용하는 전원이 사용될 수 있다. 배터리(8011)는 상용 전원을 사용하는 경우 생략될 수 있다.

[0620] 표시 모듈(8000)에는 편광판, 위상차판, 또는 프리즘 시트와 같은 부재가 추가로 제공될 수 있다.

[0621] 도 52의 (A) 및 (E)는 각각 본 발명의 일 실시형태의 표시 장치를 포함하는 전자 기기의 외관도이다.

[0622] 전자 기기의 예로는, 텔레비전 수상기(텔레비전, 또는 텔레비전 수신기로 언급됨), 컴퓨터 등의 모니터, 디지털 카메라, 디지털 비디오 카메라 등의 카메라, 디지털 포토 프레임, 휴대 전화기 핸드세트(handset)(휴대 전화, 휴대 전화 장치로 언급됨), 휴대형 게임기, 휴대 정보 단말, 음향 재생 장치, 퍼포먼스 케이스와 같은 대형 게임기 등이 있다.

[0623] 도 52의 (A)는, 휴대 정보 단말이며, 본체(1001), 하우징(1002), 표시부(1003a) 및 표시부(1003b) 등을 포함한다. 상기 표시부(1003b)는 터치 패널이다. 상기 표시부(1003b)에 표시되는 키보드 버튼(1004)을 접촉함으로써, 스크린을 조작할 수 있으며, 문자를 입력할 수 있다. 표시부(1003a)가 터치 패널일 수 있음을 물론이다. 액정 패널 또는 유기 발광 패널은 스위칭 소자로서 상기 실시양태들에 기술된 트랜지스터들 중 어느 하나를 사용하여 제작해서 표시부(1003a) 또는 표시부(1003b)에서 사용되며, 이에 의해 높은 신뢰성의 휴대 정

보 단말이 제공될 수 있다.

[0624] 도 52의 (A)에 나타낸 휴대 정보 단말은, 다양한 정보(예를 들면, 정지 화상, 동영상 및 텍스트 화상)을 표시하는 기능; 캘린더, 날짜, 시각 등을 표시부에 표시하는 기능; 표시부에 표시한 정보를 조작 또는 편집하는 기능; 다양한 종류의 소프트웨어(프로그램들)에 의해 처리를 제어하는 기능 등을 가질 수 있다. 또한, 외부 접속 단자(이어폰 단자, USB 단자 등), 기록 매체 삽입부 등이 하우징의 뒷면 또는 측면에 제공될 수 있다.

[0625] 또한, 도 52의 (A)에 나타낸 휴대 정보 단말은 무선으로 정보를 송수신할 수 있다. 무선 통신을 통해, 원하는 서적 데이터 등을 전자서적 서버로부터 구입하여 다운로드할 수 있다.

[0626] 도 52의 (B)는 본체(1021)에 표시부(1023), 휴대 음악 플레이어를 위해 장착할 수 있는 고정부(1022), 스피커, 조작 버튼(1024), 외부 메모리 슬롯(1025) 등을 포함하는 휴대 음악 플레이어를 도시한다. 액정 패널 또는 유기 발광 패널은 스위칭 소자로서 상기 실시양태에 기술된 트랜지스터들 중 어느 하나를 사용하여 제작해서 표시부(1023)에 사용되며, 이에 의해 높은 신뢰성의 휴대 음악 플레이어가 제공될 수 있다.

[0627] 또한, 도 52의 (B)에 나타낸 휴대 음악 플레이어가 안테나, 마이크폰 기능 또는 무선 통신 기능을 갖고 휴대 전화와 함께 사용되는 경우, 사용자는 승용차 등을 운전하면서 핸즈 프리 방식으로 무선으로 통화할 수 있다.

[0628] 도 52의 (C)는 2개의 하우징인, 하우징(1030) 및 하우징(1031)을 포함하는 휴대 전화를 나타낸다. 하우징(1031)에는 표시 패널(1032), 스피커(1033), 마이크로폰(1034), 포인팅 디바이스(1036), 카메라(1037), 외부 접속 단자(1038) 등이 포함된다. 하우징(1030)에는 휴대 전화를 충전하기 위한 태양 전지(1040), 외부 메모리 슬롯(1041) 등이 제공된다. 또한, 안테나는 하우징(1031)에 내장되어 있다. 상기 실시양태들에 기술된 트랜지스터들 중 어느 하나를 표시 패널(1032)에 사용하고, 이에 의해 높은 신뢰성의 휴대 전화가 제공될 수 있다.

[0629] 또한, 표시 패널(1032)은 터치 패널을 포함한다. 화상으로 표시되는 복수의 조작 키들(1035)은 도 52의 (C)에서 점선으로 나타낸다. 태양 전지(1040)로부터 출력되는 전압을 각각의 회로에 충분히 높도록 증가시키는 승압 회로가 또한 포함됨을 주목해야 한다.

[0630] 표시 패널(1032)에서, 표시의 방향은 적용 모드에 따라 적절히 변화된다. 또한, 휴대 전화는 동일면 측에 카메라(1037) 및 표시 패널(1032)을 가지며, 따라서, 비디오폰과 같이 사용할 수 있다. 스피커(1033) 및 마이크로폰(1034)은 음성 통화 뿐만 아니라, 영상 전화 통화, 녹음, 및 재생 등에 사용될 수 있다. 또한, 도 52의 (C)에 나타낸 바와 같이 전개된 상태의 하우징(1030) 및 하우징(1031)은 슬라이딩함으로써 중첩되는 상태로 이동시킬 수 있다. 따라서, 휴대 전화의 크기를 작게 할 수 있어서, 이는 휴대 전화를 휴대하기에 적합하도록 한다.

[0631] 외부 접속 단자(1038)는 AC 어댑터 및 USB 케이블과 같은 다양한 케이블에 접속될 수 있으며, 이에 의해 충전 및 퍼스널 컴퓨터 등과의 데이터 통신이 가능하다. 또한, 외부 메모리 슬롯(1041)에 기록 매체를 삽입함으로써 대량의 데이터를 저장하고 이동할 수 있다.

[0632] 또한, 상기 기능 이외에, 적외선 통신 기능, 텔레비전 수신 기능 등이 제공될 수 있다.

[0633] 도 52의 (D)는 텔레비전 수상기의 예를 나타낸다. 텔레비전 수상기(1050)에서, 하우징(1051)에 표시부(1053)가 내장되어 있다. 표시부(1053)에 영상을 표시할 수 있다. 또한, 하우징(1051)을 지지하는 스탠드(1055)에 CPU가 내장되어 있다. 상기 실시양태들에 기술된 트랜지스터들 중 어느 하나를 표시부(1053) 및 CPU에 사용하고, 이에 의해 텔레비전 수상기(1050)는 높은 신뢰성을 가질 수 있다.

[0634] 텔레비전 수상기(1050)는 하우징(1051)의 조작 스위치 또는 별도의 리모트 컨트롤러로 조작될 수 있다. 또한, 리모트 컨트롤러에 리모트 컨트롤러로부터 출력된 데이터를 표시하기 위한 표시부가 제공될 수 있다.

[0635] 텔레비전 수상기(1050)에 수신기 또는 모뎀 등이 제공됨을 주목해야 한다. 수신기를 사용함으로써 일반적인 텔레비전 방송을 수신할 수 있다. 또한, 텔레비전 수상기가 모뎀을 통하여 유선 또는 무선으로 통신 네트워크에 접속되는 경우, 한방향(송신자로부터 수신자로) 또는 2방향(송신자와 수신자 사이, 또는 수신자들끼리) 정보 통신을 수행할 수 있다.

[0636] 또한, 텔레비전 수상기(1050)에 외부 접속 단자(1054), 기억 매체 녹화 및 재생부(1052), 및 외부 메모리 슬롯이 제공된다. 외부 접속 단자(1054)는 USB 케이블과 같은 다양한 종류의 케이블들에 접속될 수 있으며, 퍼스널 컴퓨터 등과의 데이터 통신이 가능하다. 디스크형의 기록 매체를 기억 매체 녹화 및 재생부(1052)에 삽입하고, 상기 기록 매체에 보존되어 있는 데이터의 판독 및 기록 매체로의 데이터 기록을 수행할 수 있다. 또한, 외부 메모리 슬롯에 삽입된 외부 메모리(1056)에 데이터로서 보존되어 있는 화상, 영상 등을 표시부(1053)에 표시할

수 있다.

[0637] 또한, 상기 실시형태들에 기술된 트랜지스터의 오프-상태 누설 전류가 극히 작은 경우, 상기 트랜지스터를 외부 메모리(1056) 또는 CPU에 사용할 때, 텔레비전 수상기(1050)는 높은 신뢰성과 충분히 감소된 전력 소모를 가질 수 있다.

[0638] 도 52의 (E)에 나타낸 휴대 정보 단말은, 하우징(1101)과, 상기 하우징(1101)의 표면에 화상을 표시할 수 있도록 제공된 표시 패널(1110)을 포함한다.

[0639] 하우징(1101)은, 상면, 이면(rear surface), 제 1 측면, 상기 제 1 측면과 접하는 제 2 측면, 상기 제 1 측면의 대향하는 제 3 측면, 및 상기 제 2 측면의 대향하는 제4 측면을 갖는다.

[0640] 표시 패널(1110)은, 하우징(1101)의 상면과 중첩하는 제 1 표시 영역(1111), 하우징(1101)의 측면들 중 하나와 중첩하는 제 2 표시 영역(1112), 하우징(1101)의 측면들 중 또 다른 하나와 중첩하는 제 3 표시 영역(1113), 및 상기 제 2 표시 영역(1112)에 대향하는 제 4 표시 영역(1114)을 포함한다.

[0641] 하우징(1101)의 4개의 측면들 중, 적어도 표시 패널(1110)과 중첩하는 영역은 바람직하게는 곡면을 갖는다. 예를 들면, 상면과 측면 사이에 그리고 측면과 이면 사이에 각부(corner portion)가 존재하지 않으면, 이들 면들이 연속면을 형성하는 것이 바람직하다. 또한, 측면은 바람직하게는, 접선의 경사가 하우징(1101)의 상면으로부터 이면에 걸쳐 연속하도록 곡면이다.

[0642] 표시 패널(1110) 이외에, 하드웨어 버튼, 외부 접속 단자 등이 하우징(1101)의 표면에 제공될 수 있다. 표시 패널(1110)과 중첩하는 위치, 구체적으로는 표시 영역들과 중첩하는 영역들에 터치 센서가 제공되는 것이 바람직하다.

[0643] 도 52의 (E)에서의 휴대 정보 단말은, 하우징의 상면에 평행한 표면에서 표시를 수행할 뿐만 아니라 하우징의 측면에서 표시를 수행할 수 있다. 특히, 표시의 다양성이 추가로 증가하기 때문에, 표시 영역은 하우징의 2개 이상의 측면들을 따라 제공되는 것이 바람직하다.

[0644] 본 실시형태에 기술된 구조들, 방법들 등을 다른 실시형태들에 기술된 다른 구조들, 방법들 등 중 어느 하나와 적절히 조합하여 사용될 수 있음을 주목해야 한다.

[0645] [실시예 1]

[0646] 본 실시예에서는, 산화물 반도체막, 도전막, 및 절연막의 적층 구조의 단면 형상이 관찰되었다. 또한, 도전막에서의 금속 원소들의 조성을 분석하였다. 본 실시예에서 제작된 시료들의 상세사항은 이하에 기술된다.

[0647] <시료 A1>

[0648] 먼저, 기판을 준비하였다. 기판으로서, 유리 기판이 사용되었다. 이어서, 절연막(601)을 상기 기판 위에 성막하였다.

[0649] 절연막(601)으로서, 50nm-두께의 질화 실리콘막, 두께 300nm의 질화 실리콘막, 50nm-두께의 질화 실리콘막, 및 50nm-두께의 산화질화 실리콘막이 연속적으로 PECVD 장치에서 형성되었다.

[0650] 다음에, 다층막(603)을 절연막(601) 위에 형성하였다. 다층막(603)에서, 35nm-두께의 제 1 IGZO막, 10nm-두께의 제 2 IGZO막, 및 20nm-두께의 IGO막이 적층되어 있다.

[0651] 다층막(603)의 형성 방법이 이하에 기술된다. 35nm-두께의 제 1 IGZO막을 다음 조건들하에 형성하였다: 기판 온도를 300°C로 하였고; 금속 산화물 타겟($In:Ga:Zn=1:1:1$ [원자비])을 스퍼터링 타겟으로서 사용하였고; 33vol%의 산소(아르곤으로 희석)를 스퍼터링 가스로서 스퍼터링 장치의 처리 챔버 내에 공급하였고; 처리 챔버 내의 압력을 0.4Pa로 제어하였고; 200W의 전력을 공급하였다. 이어서, 10nm-두께의 제 2 IGZO막을 다음 조건들하에 형성하였다: 기판 온도를 200°C로 하였고; 금속 산화물 타겟($In:Ga:Zn=1:3:6$ [원자비])을 스퍼터링 타겟으로서 사용하였고; 33vol%의 산소(아르곤으로 희석)를 스퍼터링 가스로서 스퍼터링 장치의 처리 챔버 내에 공급하였고; 처리 챔버 내의 압력을 0.4Pa로 제어하였고; 200W의 전력을 공급하였다. 이어서, 20nm-두께의 IGO막을 다음 조건들하에 형성하였다: 기판 온도를 170°C로 하였고; 금속 산화물 타겟($In:Ga=7:93$ [원자비])을 스퍼터링 타겟으로서 사용하였고; 75vol%의 산소(아르곤으로 희석)를 스퍼터링 가스로서 스퍼터링 장치의 처리 챔버 내에 공급하였고; 처리 챔버 내의 압력을 0.4Pa로 제어하였고; 200W의 전력을 공급하였다. 다음에, 마스크를 제 1 IGZO막, 제 2 IGZO막, 및 IGO막 위에, 포토리소그래피 공정을 통해 형성하였고, 에칭 처리를

수행하였으며, 이에 의해 다층막(603)이 형성되었다.

[0652] 이 후에, 마스크를 제거하였다.

[0653] 다음에, 열 처리를 질소 분위기에서 450°C로 1시간 동안 수행하였고, 이 후에, 또 다른 열 처리를 산소 및 질소의 혼합 가스 분위기에서 450°C로 1시간 동안 수행하였다.

[0654] 이어서, 도전막(605)은 다층막(603) 위에 형성되었다. 도전막(605)에서, 30nm-두께의 제 1 Cu-Mn 합금막, 200nm-두께의 Cu막, 및 100nm-두께의 제 2 Cu-Mn 합금막이 적층된다.

[0655] 도전막(605)의 형성 방법이 이하에 기술된다. 제 1 Cu-Mn 합금막은 다음 조건들하에 스퍼터링법에 의해 형성되었다: 기판 온도를 실온으로 하였고; 100sccm의 유량으로 Ar 가스를 처리 챔버에 공급하였고; 상기 처리 챔버의 압력을 0.4Pa로 제어하였고; 2000W의 전력을 직류(DC) 전원을 사용하여 타겟에 공급하였다. 타겟의 조성은 Cu:Mn=90:10[원자%]이었음을 주목해야 한다. 이어서, Cu막은 하기 조건들하에 스퍼터링법에 의해 형성되었다: 기판 온도를 100°C로 하였고; 75sccm의 유량으로 Ar 가스를 처리 챔버에 공급하였고; 상기 처리 챔버의 압력을 1.0Pa로 제어하였고; 15000W의 전력을 직류(DC) 전원을 사용하여 타겟에 공급하였다. 이어서, 제 2 Cu-Mn 합금막을 제 1 Cu-Mn 합금막의 조건들과 유사한 조건들하에 형성하였다. 다음에, 레지스트 마스크를 제 2 Cu-Mn 합금막 위에 형성하였고, 에칭 용액을 상기 레지스트 마스크 위에 도포하였고, 웨트 에칭 처리를 수행하였으며, 이에 의해 도전막(605)이 형성되었다. 에칭 용액으로서, 유기산 용액 및 과산화수소수를 포함하는 에칭 용액이 사용되었다.

[0656] 이 후에, 마스크를 제거하였다.

[0657] 다음에, 절연막(607)을 도전막(605) 위에 형성하였다. 절연막(607)으로서, 50nm-두께의 산화질화 실리콘막과, 400nm-두께의 산화질화 실리콘막이 진공 중에서 연속적으로 PECVD 장치에서 형성되었다.

[0658] 다음에, 열 처리를 산소 및 질소의 혼합 가스 분위기에서 350°C로 1시간 동안 수행하였다.

[0659] 상기 공정을 통해, 시료 A1이 형성되었다.

[0660] 다음에, 시료 A1의 단면이 주사 투과 전자현미경(STEM)에 의해 관찰되었다. 도 53의 (A)는 시료 A1의 단면 관찰 화상을 도시한다. 도 53의 (A)에서의 화상은 상 콘트라스트 화상(phase contrast image)(TE 화상)임을 주목해야 한다.

[0661] 도 53의 (A)의 단면 관찰 화상의 결과로부터, 본 실시예에서 형성된 시료 A1의 도전막(605)은 다층막(603) 위에 양호한 단면 형상을 가질 수 있음이 관찰된다.

[0662] 다음에, 도 53의 (A)에서 영역(1), 영역(2), 및 영역(3)에 있어서, 에너지 분산형 x선 분광법(EDX)을 수행하였다. 도 53의 (B)는 EDX 분석에 의해 얻은 Cu 및 Mn의 조성을 도시한다. 도 53의 (B)는, Mn이 Cu막의 내부(도 53의 (A)에서 (1))에서는 검출되지 않는 한편, 2atms% 내지 4atoms%의 Mn이 Cu막의 층벽(도 53의 (A)에서 (2))에서 검출됨을 나타낸다.

부호의 설명

[0663] 11: 기판, 12: 도전막, 13: 도전막, 14: 게이트 절연막, 15: 질화물 절연막, 16: 산화물 절연막, 17: 산화물 절연막, 18: 산화물 반도체막, 19a: 산화물 반도체막, 19b: 산화물 반도체막, 19c: 산화물 반도체막, 19d: 산화물 반도체막, 19f: 산화물 반도체막, 19g: 산화물 반도체막, 20: 도전막, 20_1: 도전막, 20_2: 도전막, 21a: 도전막, 21a_1: 도전막, 21a_2: 도전막, 21b: 도전막, 21b_1: 도전막, 21b_2: 도전막, 21c: 도전막, 21c_1: 도전막, 21c_2: 도전막, 21d: 도전막, 21d_1: 도전막, 21d_2: 도전막, 21e: 도전막, 21e_1: 도전막, 21e_2: 도전막, 21f: 도전막, 21f_1: 도전막, 21f_2: 도전막, 21g: 도전막, 22: 산화물 절연막, 23: 산화물 절연막, 24: 산화물 절연막, 25: 산화물 절연막, 26: 질화물 절연막, 27: 질화물 절연막, 28: 도전막, 29: 공통 전극, 29b: 도전막, 29c: 도전막, 29d: 도전막, 30: 무기 절연막, 30a: 무기 절연막, 31: 유기 절연막, 31a: 유기 수지막, 33: 배향막, 37a: 다층막, 37b: 다층막, 38a: 다층막, 38b: 다층막, 39a: 산화물 반도체막, 39b: 산화물 반도체막, 40: 개구부, 41: 개구부, 41a: 개구부, 49a: 산화물 반도체막, 49b: 산화물 반도체막, 101: 화소부, 102: 트랜지스터, 102a: 트랜지스터, 102b: 트랜지스터, 102c: 트랜지스터, 102d: 트랜지스터, 102.: 트랜지스터, 103: 화소, 103a: 화소, 103b: 화소, 103c: 화소, 104: 주사선 구동 회로, 105: 용량 소자, 105a: 용량 소자, 105b: 용량 소자, 105c: 용량 소자, 106: 신호선 구동 회로, 107: 주사선, 109: 신호선, 115: 용량선, 121: 액정 소자, 131: 발광 소자, 133: 트랜지스터, 135: 트랜지스터, 137: 배선, 139: 배선, 141: 배선, 151:

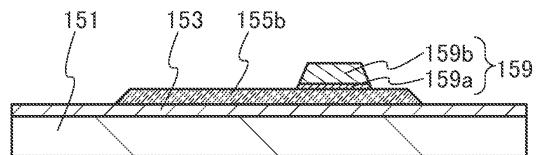
기판, 153: 절연막, 153a: 절연막, 154: 희가스, 155: 산화물 반도체막, 155a: 산화물 반도체막, 155b: 산화물 반도체막, 155c: 산화물 반도체막, 156: 피복막, 156a: 피복막, 156b: 피복막, 156c: 피복막, 157: 절연막, 157a: 절연막, 159: 도전막, 159a: 도전막, 159b: 도전막, 159c: 도전막, 160a: 저항 소자, 160b: 저항 소자, 160c: 저항 소자, 160d: 저항 소자, 160e: 용량 소자, 160f: 용량 소자, 160g: 저항 소자, 160h: 저항 소자, 160i: 저항 소자, 161: 도전막, 161a: 도전막, 161b: 도전막, 161c: 도전막, 162: 도전막, 162a: 도전막, 162b: 도전막, 162c: 도전막, 163: 도전막, 163a: 도전막, 163b: 도전막, 163c: 도전막, 164: 도전막, 164a: 도전막, 164b: 도전막, 164c: 도전막, 170a: 보호 회로, 170b: 보호 회로, 171: 배선, 172: 배선, 173: 저항 소자, 173a: 저항 소자, 173b: 저항 소자, 173c: 저항 소자, 174: 트랜지스터, 174a: 트랜지스터, 174b: 트랜지스터, 174c: 트랜지스터, 174d: 트랜지스터, 175: 배선, 176: 배선, 177: 배선, 180a: 용량 소자, 180b: 용량 소자, 180c: 용량 소자, 180d: 용량 소자, 180e: 용량 소자, 180f: 용량 소자, 180g: 용량 소자, 181: 도전막, 306: 절연막, 320: 액정층, 322: 액정 소자, 342: 기판, 344: 차광막, 346: 착색막, 348: 절연막, 350: 도전막, 352: 배향막, 370a: 발광 소자, 370b: 발광 소자, 371: 절연막, 373: EL층, 375: 도전막, 601: 절연막, 603: 다층막, 605: 도전막, 607: 절연막, 609: 금속 산화물막, 612: 도전막, 1001: 본체, 1002: 하우징, 1003a: 표시부, 1003b: 표시부, 1004: 키보드 버튼, 1021: 본체, 1022: 고정부, 1023: 표시부, 1024: 조작 버튼, 1025: 외부 메모리 슬롯, 1030: 하우징, 1031: 하우징, 1032: 표시 패널, 1033: 스피커, 1034: 마이크로폰, 1035: 조작 키, 1036: 포인팅 디바이스, 1037: 카메라, 1038: 외부 접속 단자, 1040: 태양 전지, 1041: 외부 메모리 슬롯, 1050: 텔레비전 수상기, 1051: 하우징, 1052: 재생부, 1053: 표시부, 1054: 외부 접속 단자, 1055: 스탠드, 1056: 외부 메모리, 1101: 하우징, 1110: 표시 패널, 1111: 표시 영역, 1112: 표시 영역, 1113: 표시 영역, 1114: 표시 영역, 5100: 펠릿, 5100a: 펠릿, 5100b: 펠릿, 5101: 이온, 5102: 아연 산화물층, 5103: 입자, 5105a: 펠릿, 5105a1: 영역, 5105a2: 펠릿, 5105b: 펠릿, 5105c: 펠릿, 5105d: 펠릿, 5105d1: 영역, 5105e: 펠릿, 5120: 기판, 5130: 타겟, 5161: 영역, 8000: 표시 모듈, 8001: 상부 커버, 8002: 하부 커버, 8003: FPC, 8004: 터치 패널, 8005: FPC, 8006: 표시 패널, 8007: 백라이트 유닛, 8008: 광원, 8009: 프레임, 8010: 인쇄 기판, 8011: 배터리.

본 출원은 2013년 11월 29일에 일본 특허청에 출원된 일본 특허출원 일련 번호 제2013-248284호 및 2014년 2월 28일에 일본 특허청에 출원된 일본 특허출원 일련번호 제2014-038615호에 기초하고, 상기 특허문헌들의 전문은 본원에 인용에 의해 포함된다.

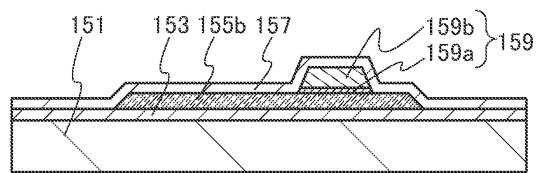
도면

도면1

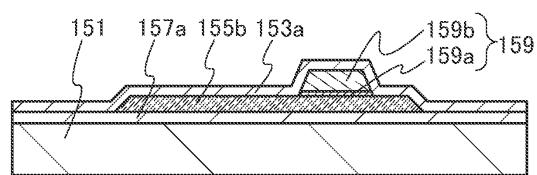
(A)



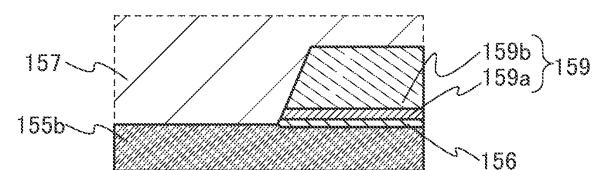
(B)



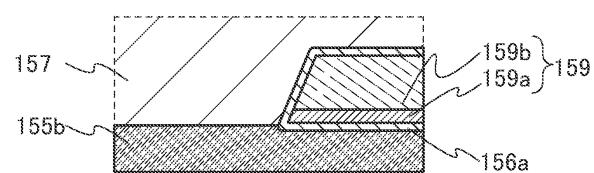
(C)



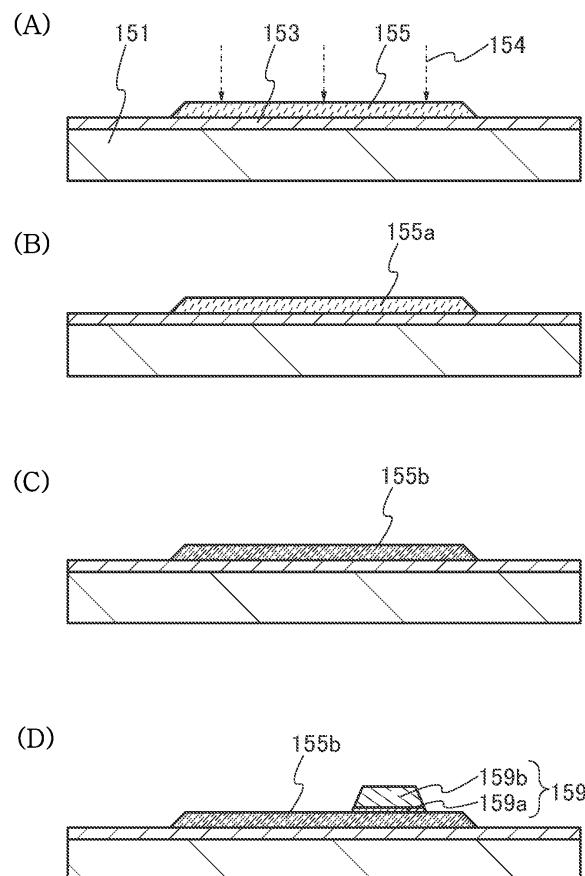
(D)



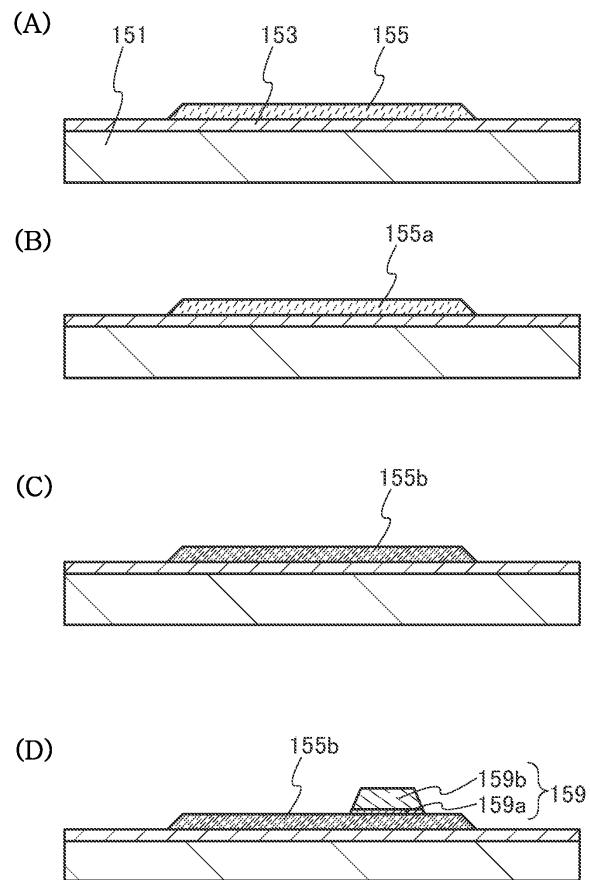
(E)



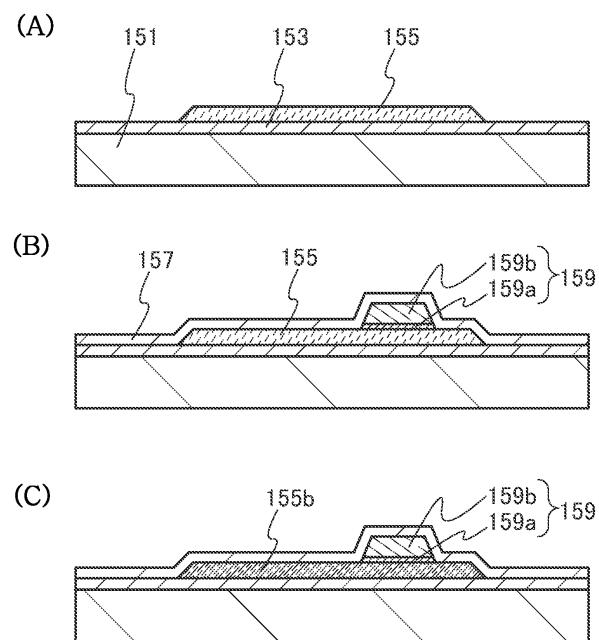
도면2



도면3

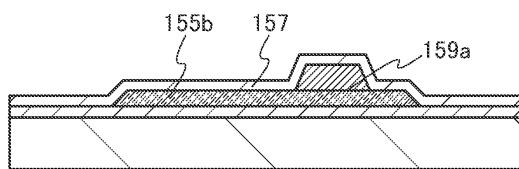


도면4

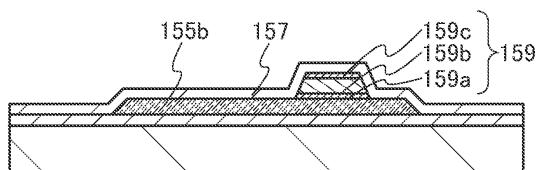


도면5

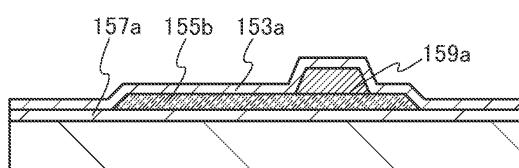
(A)



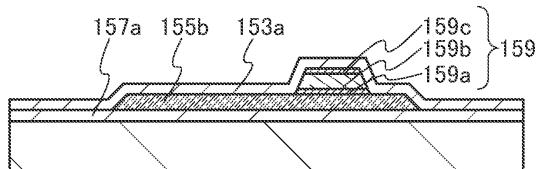
(B)



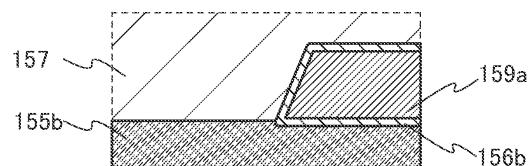
(C)



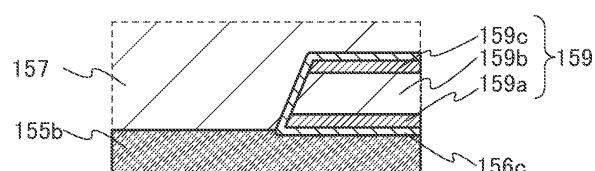
(D)



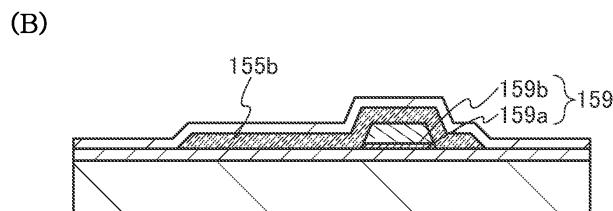
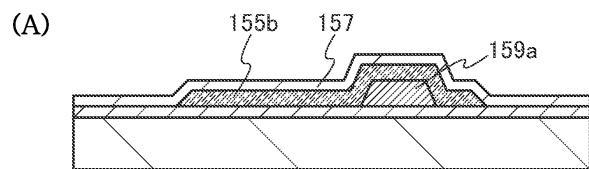
(E)



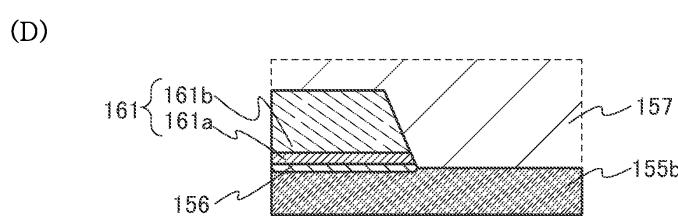
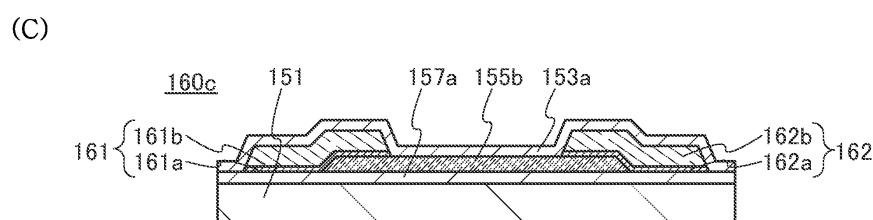
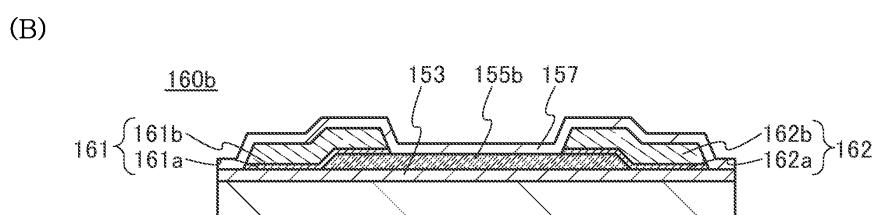
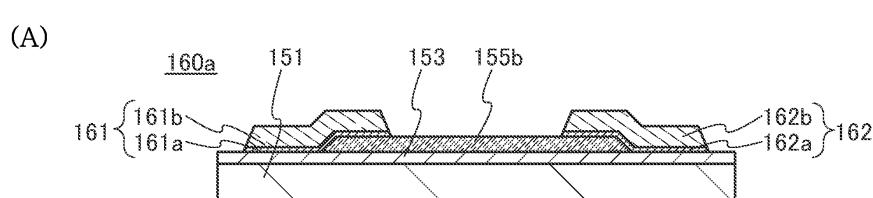
(F)



도면6

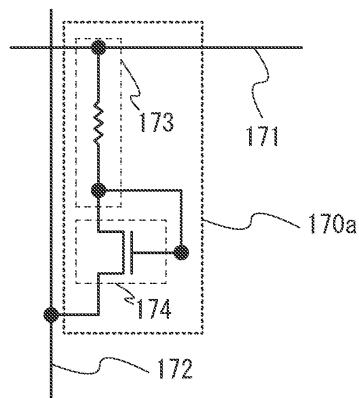


도면7

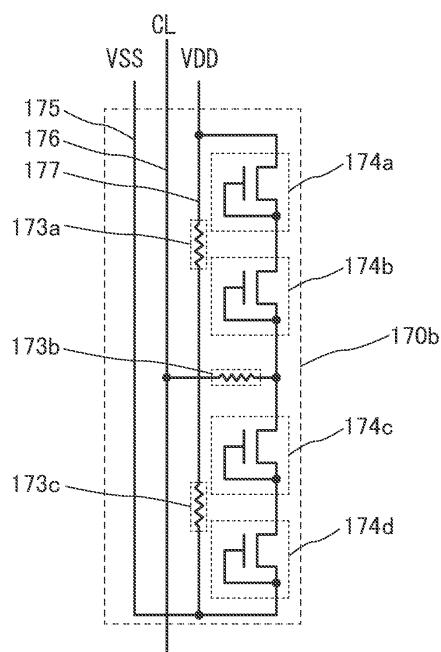


도면8

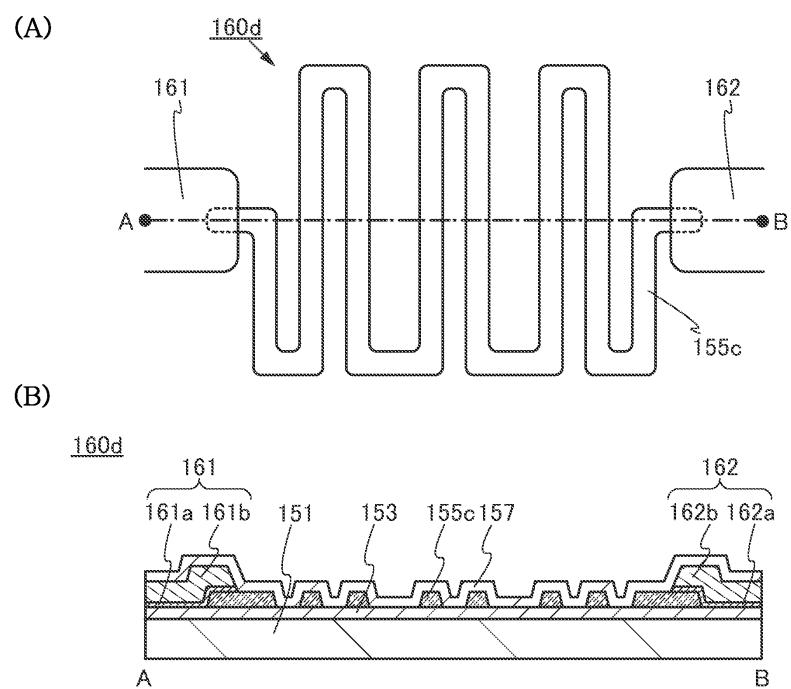
(A)



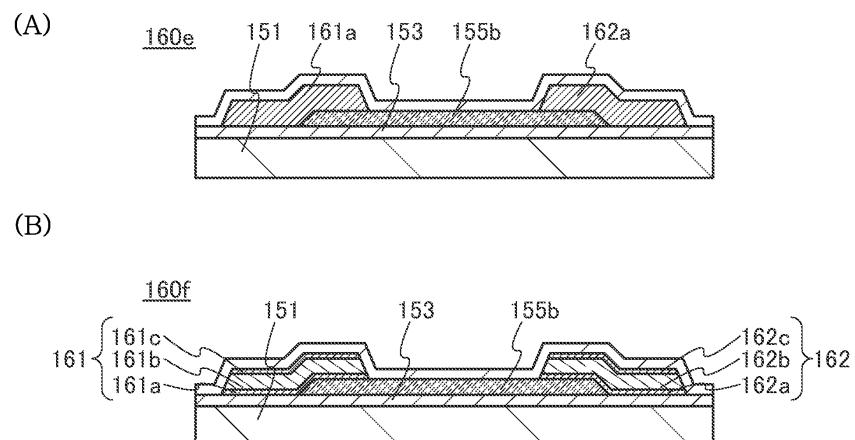
(B)



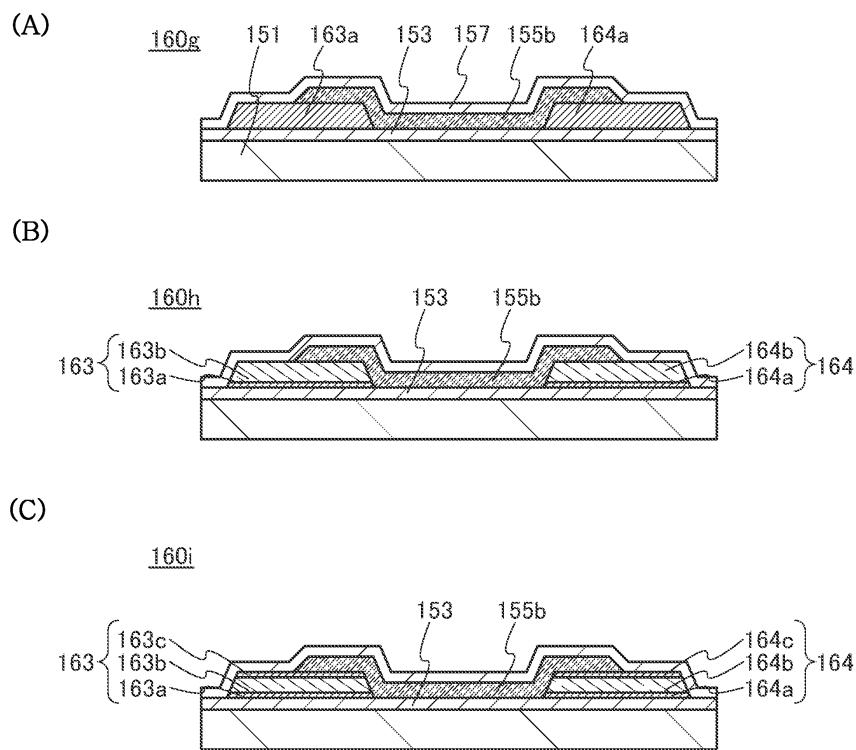
도면9



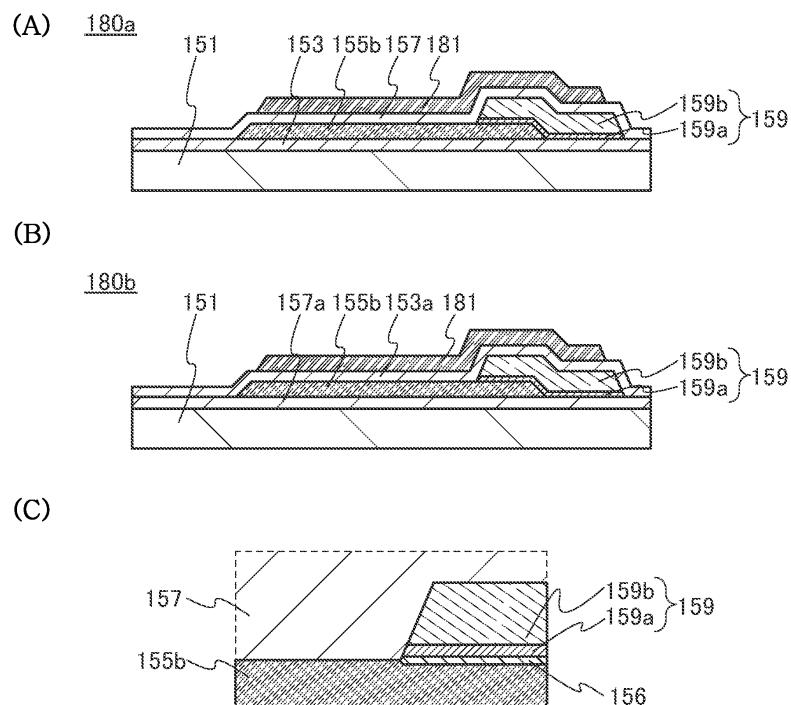
도면10



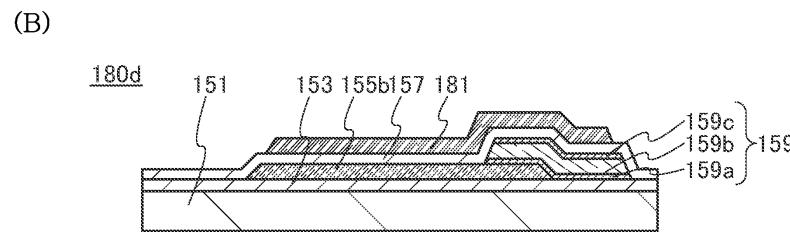
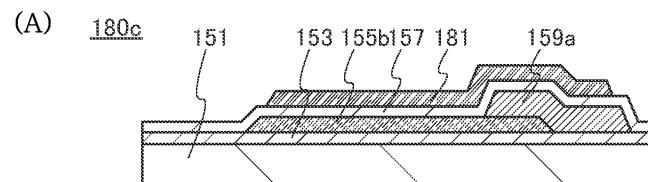
도면11



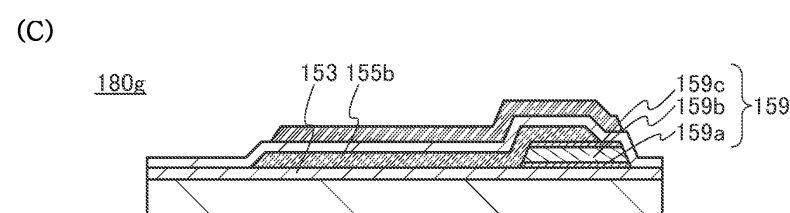
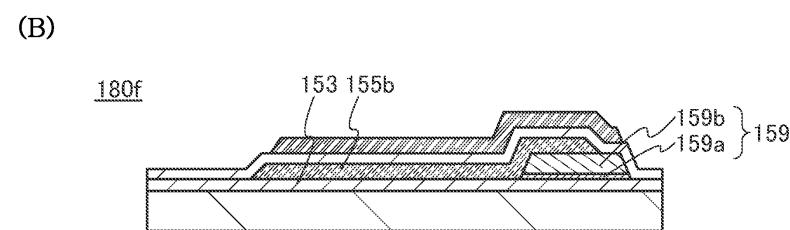
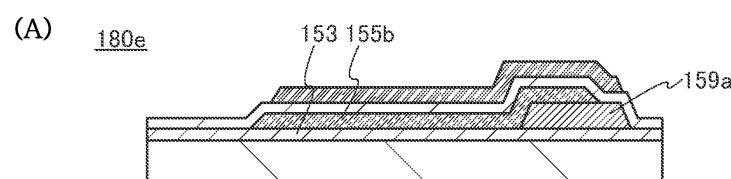
도면12



도면13

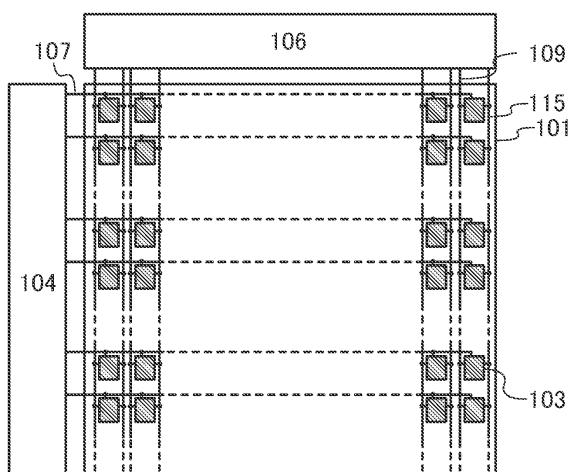


도면14

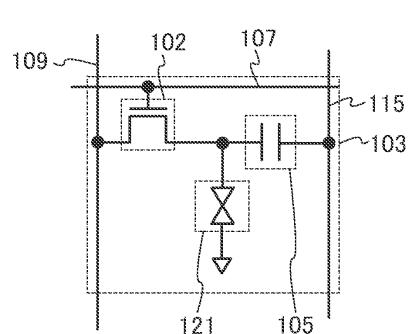


도면15

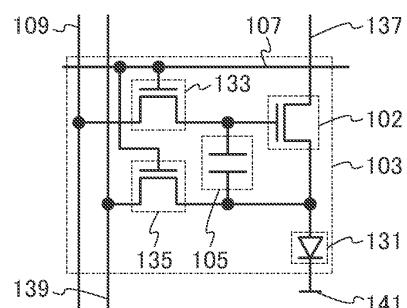
(A)



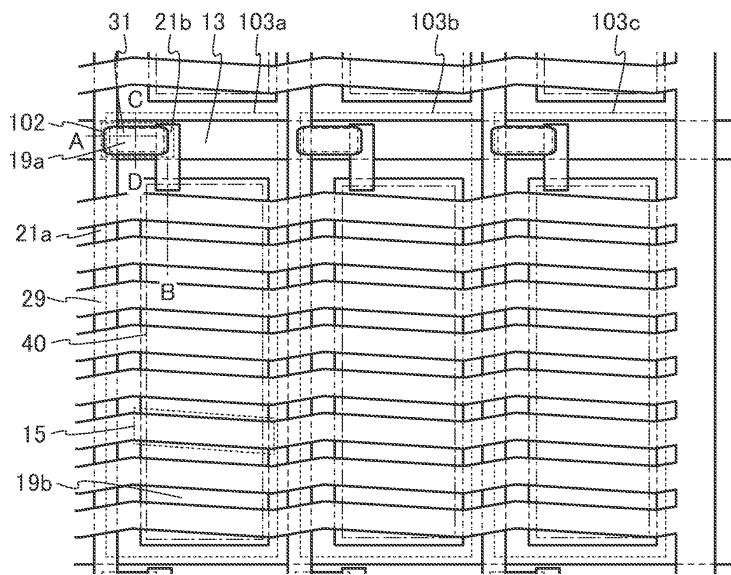
(B)



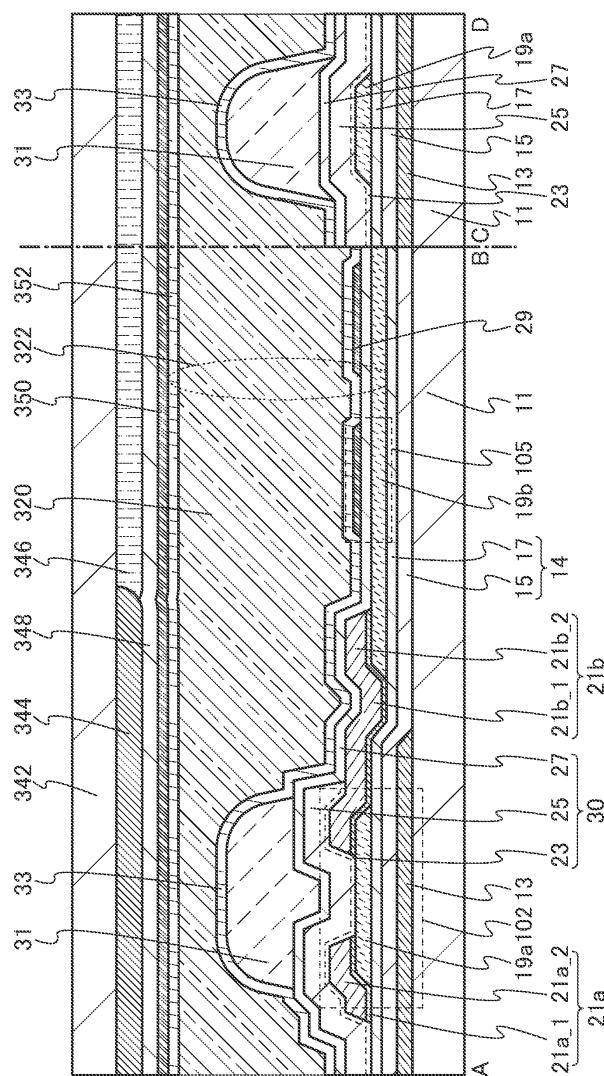
(C)



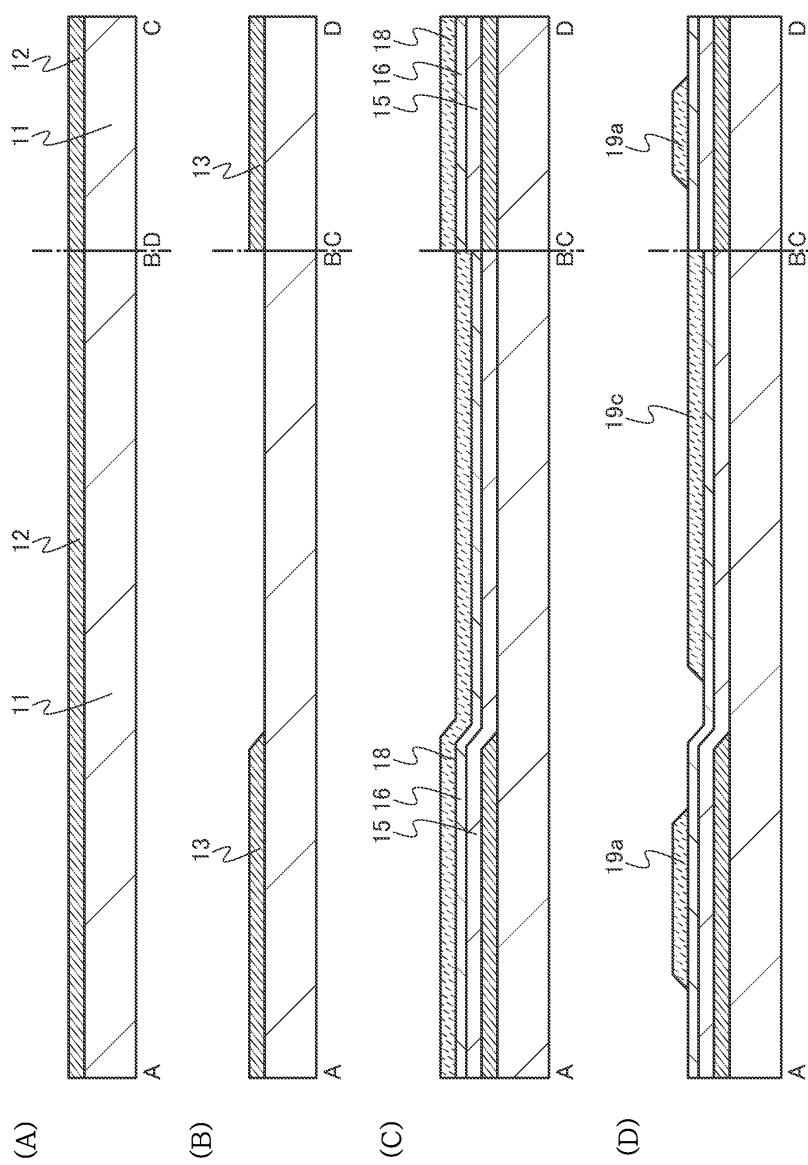
도면16



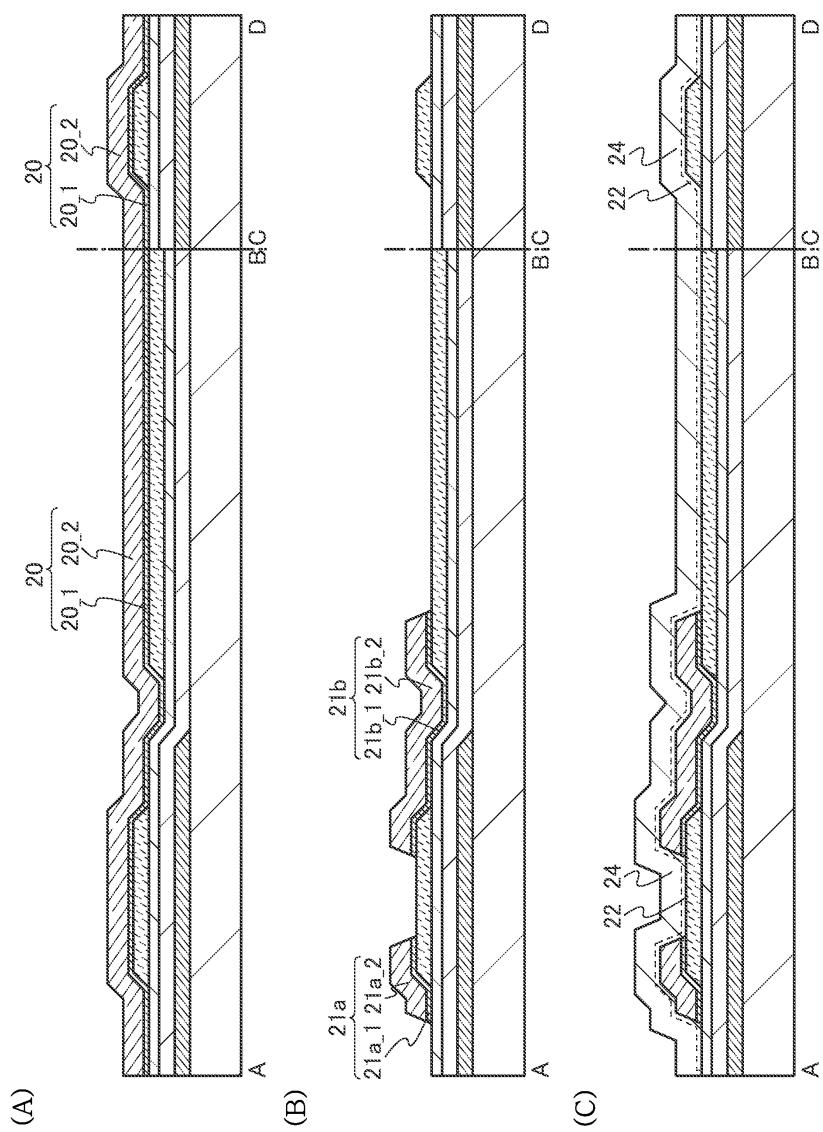
도면17



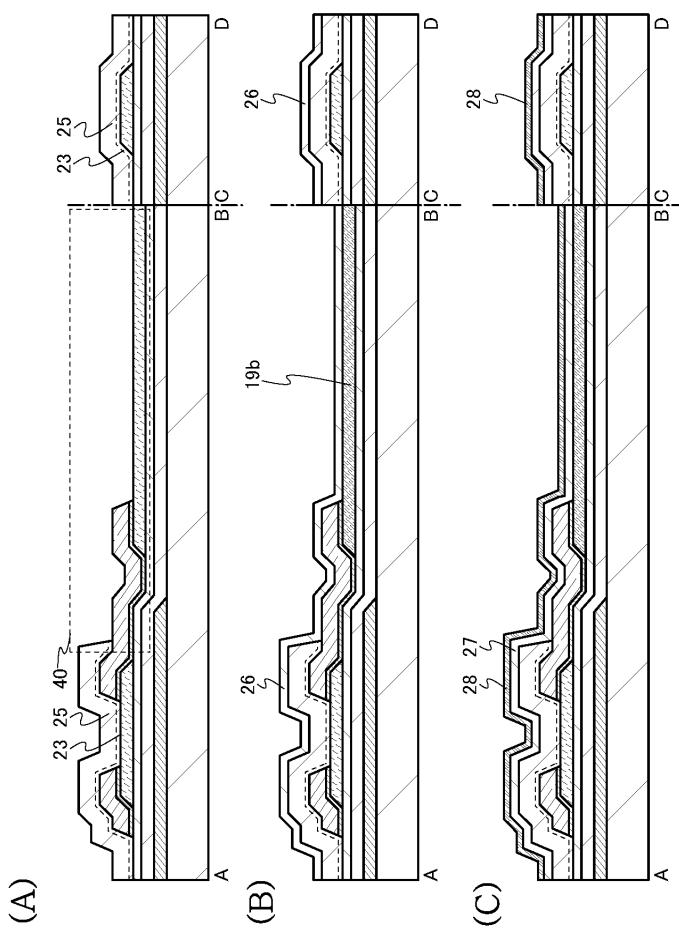
도면 18



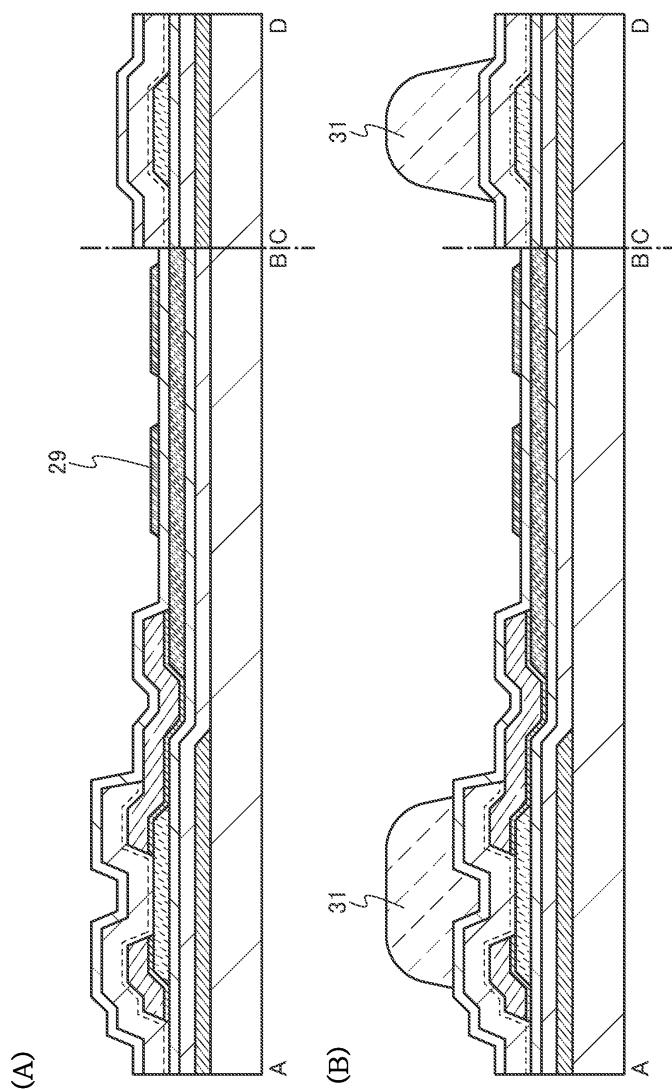
도면19



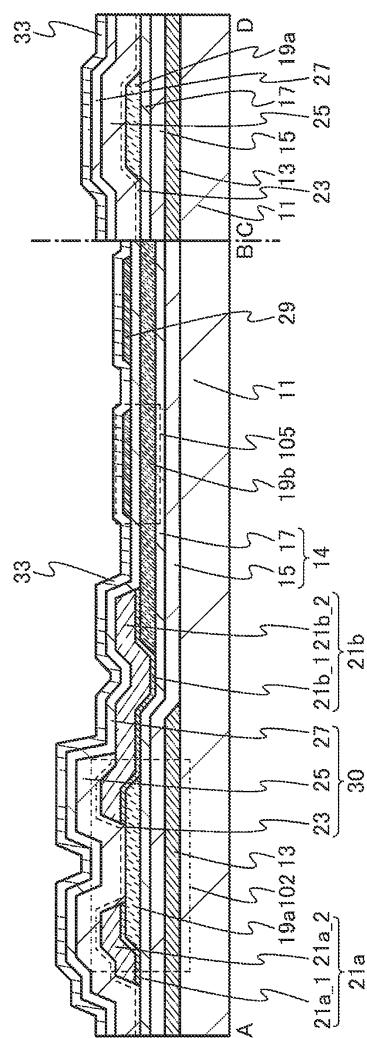
도면20



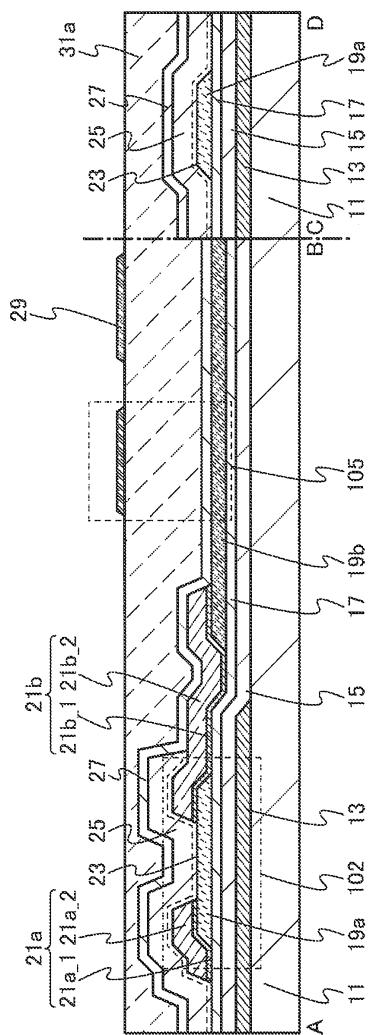
도면21



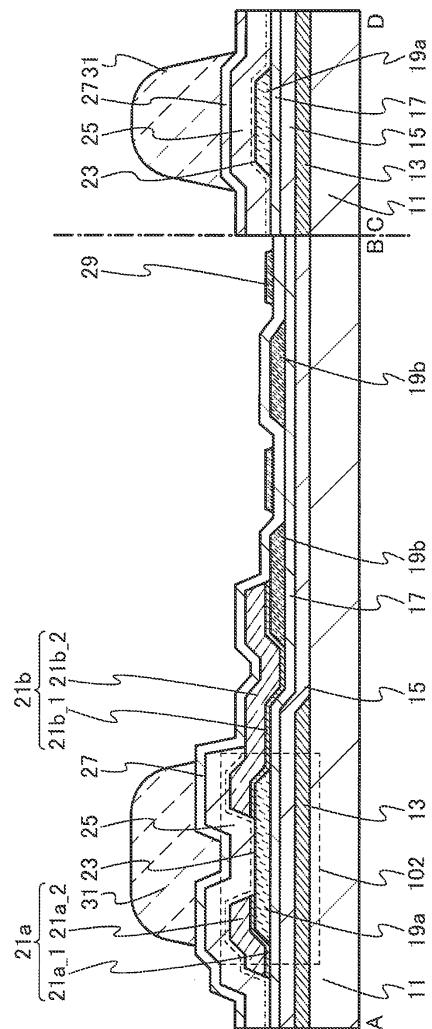
도면22



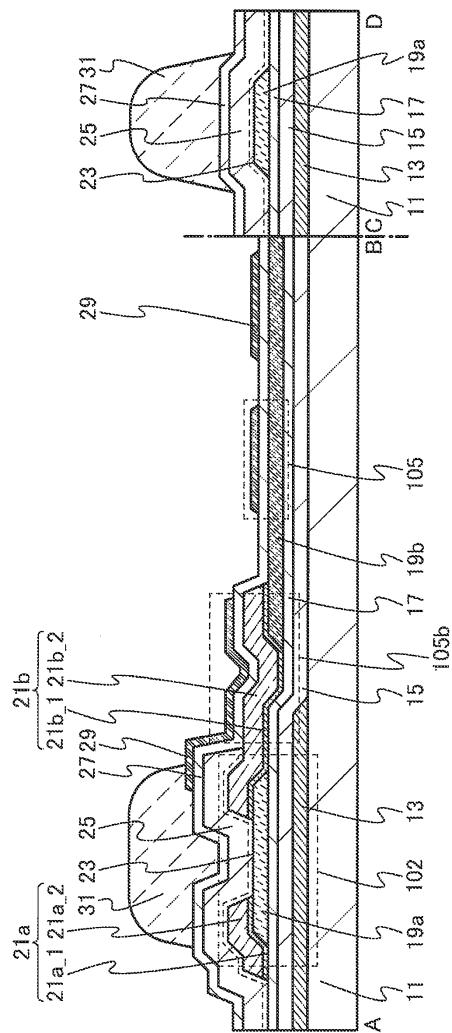
도면23



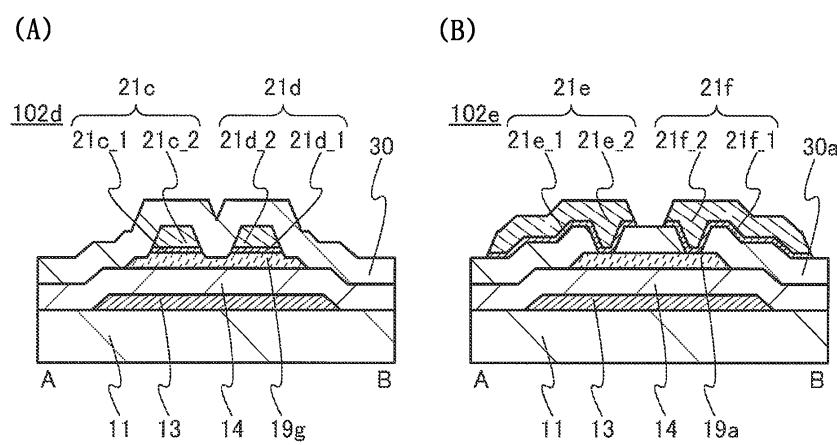
도면24



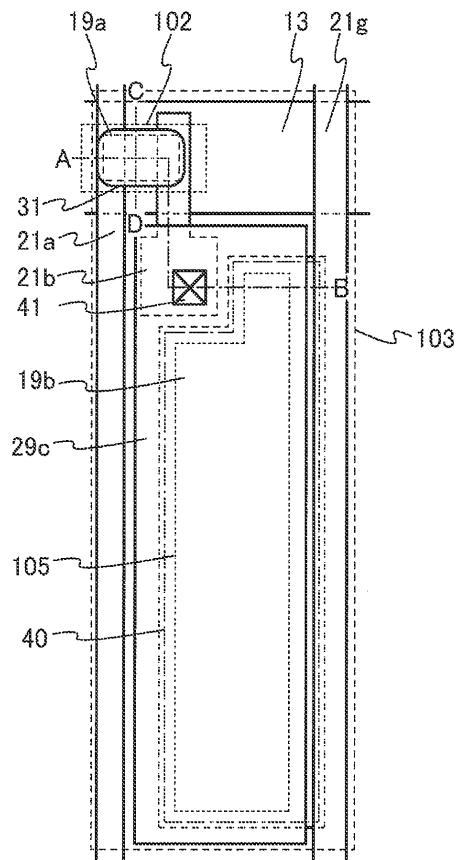
도면25



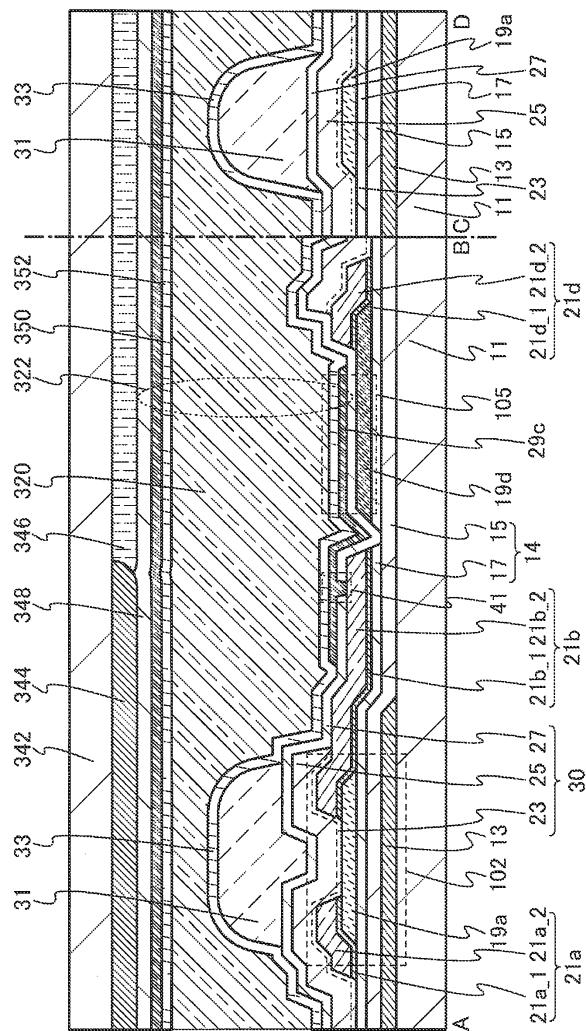
도면26



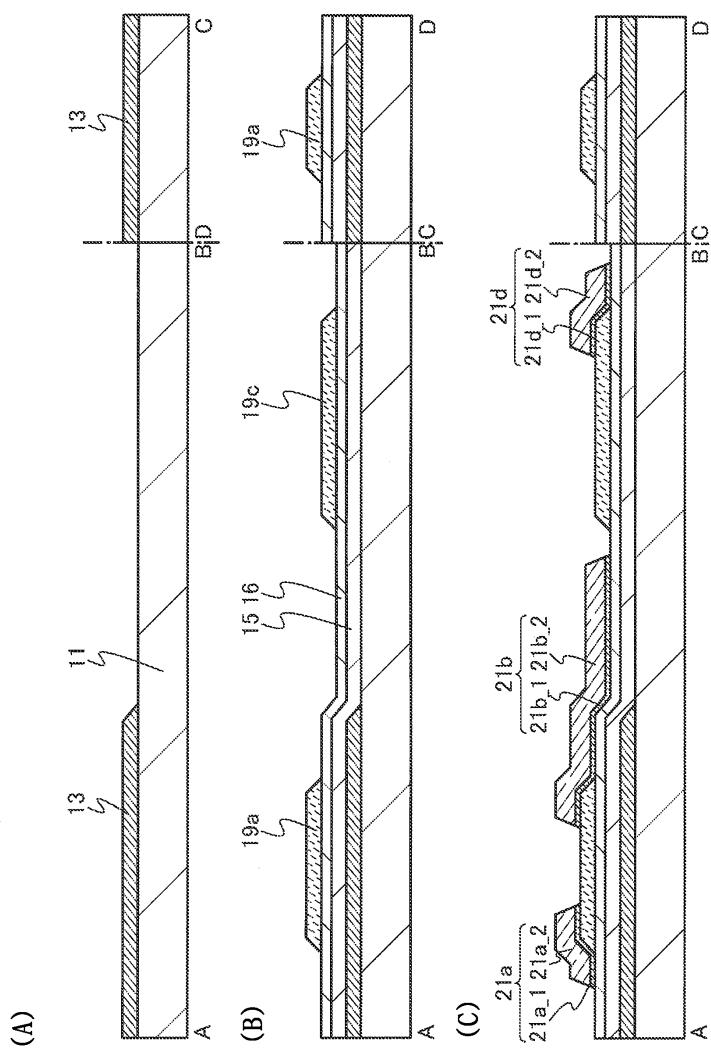
도면27



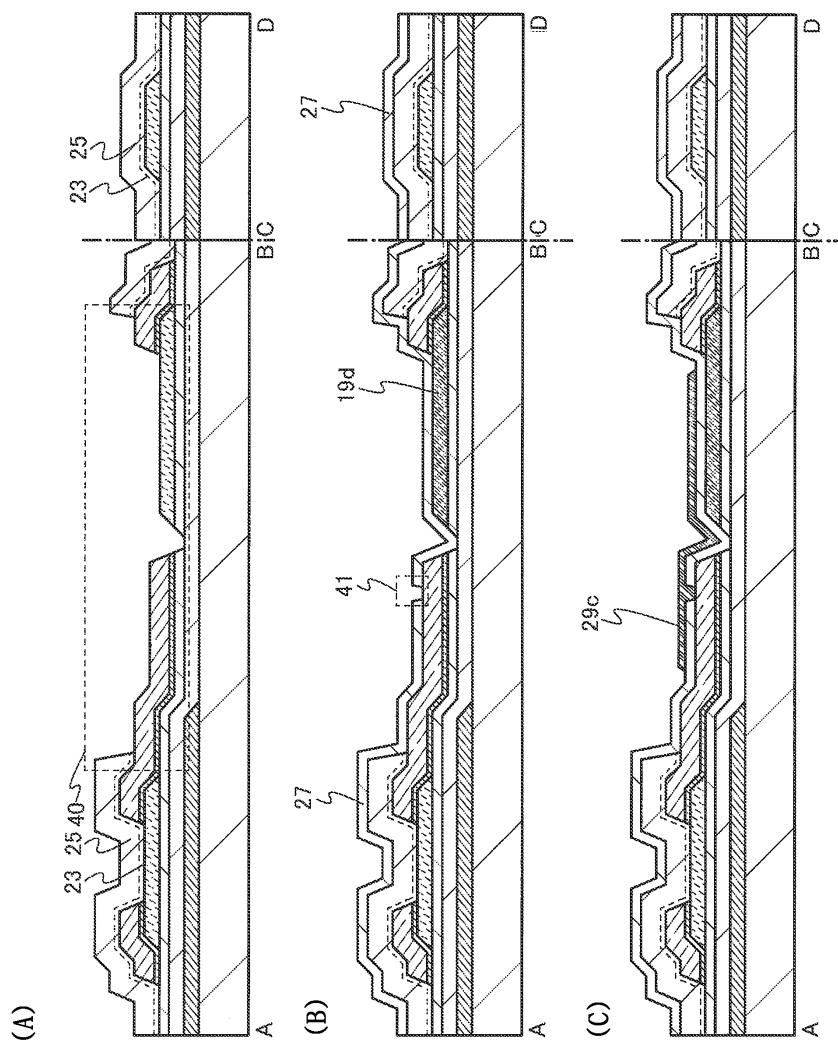
도면28



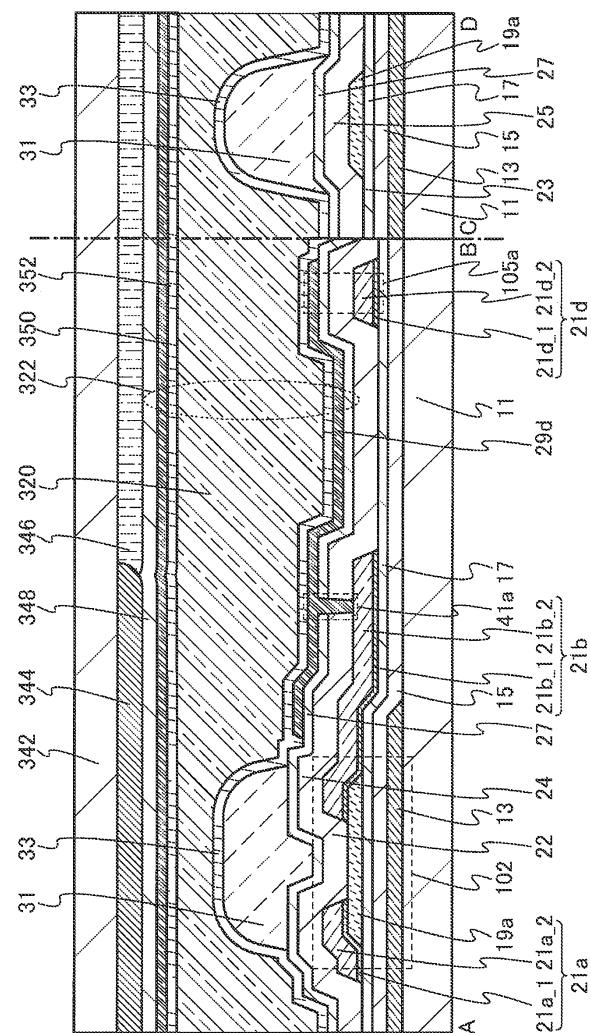
도면29



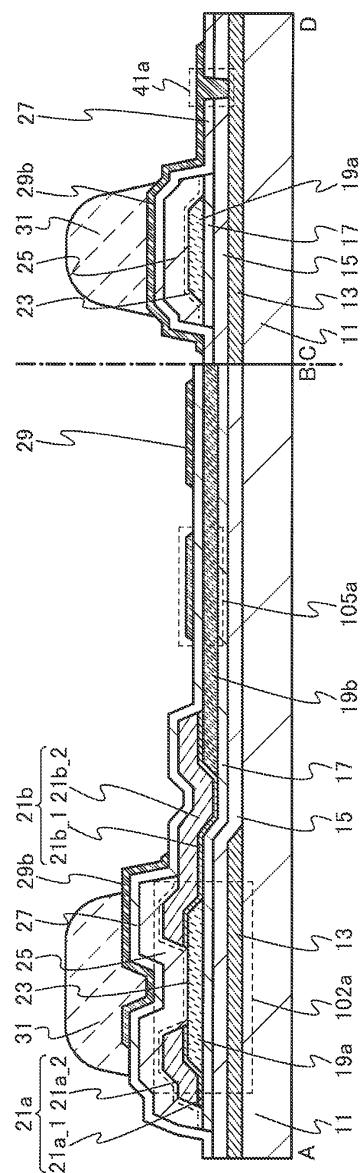
도면30



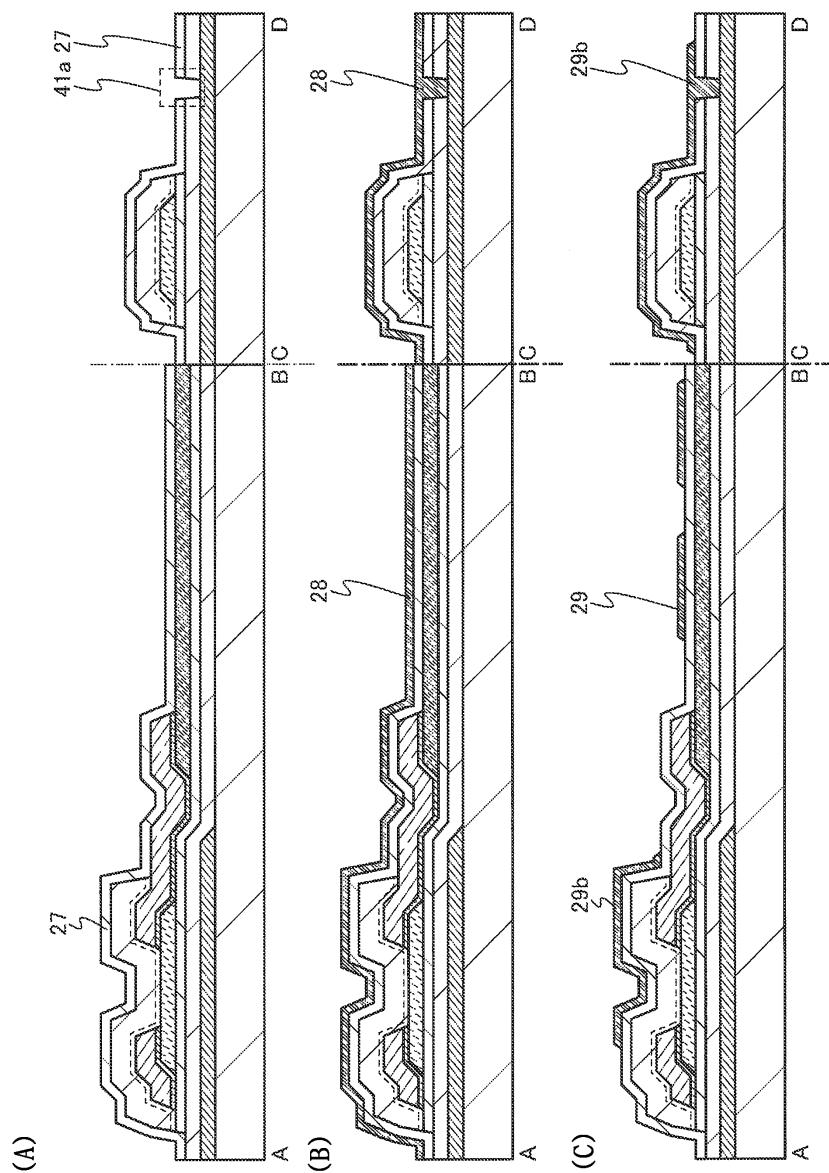
도면31



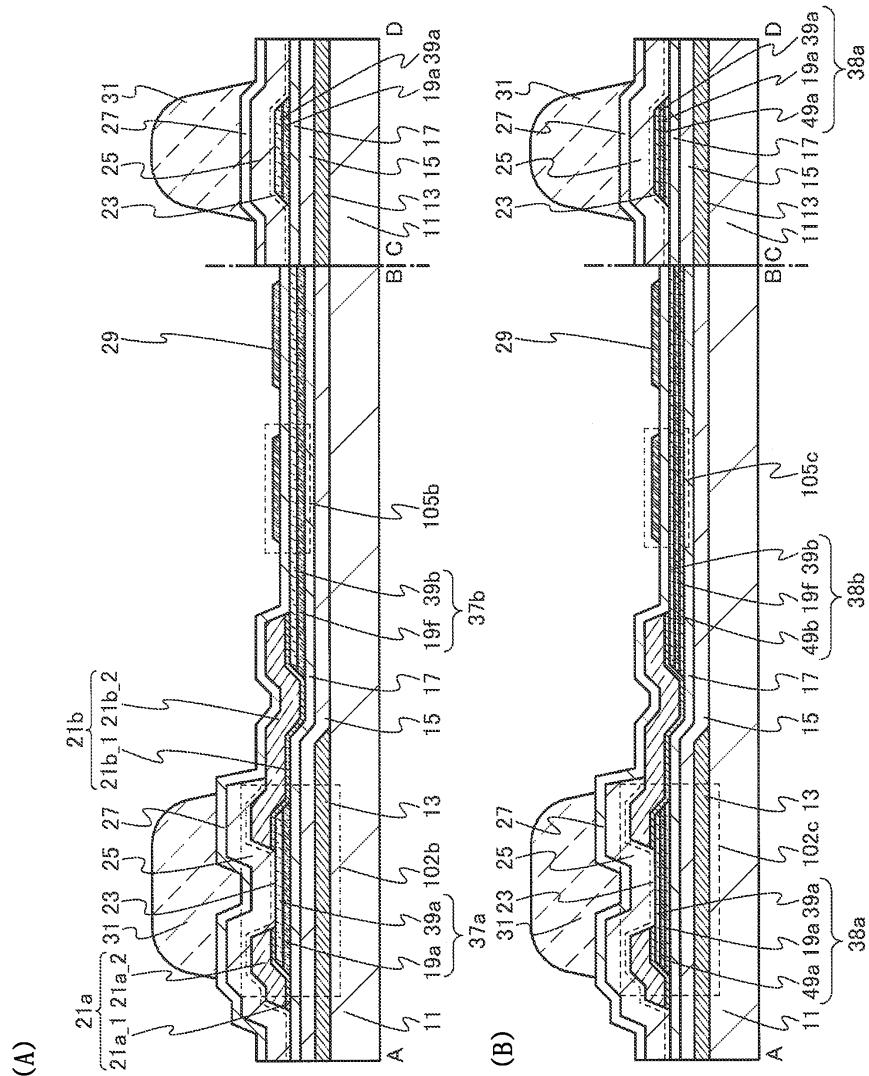
도면32



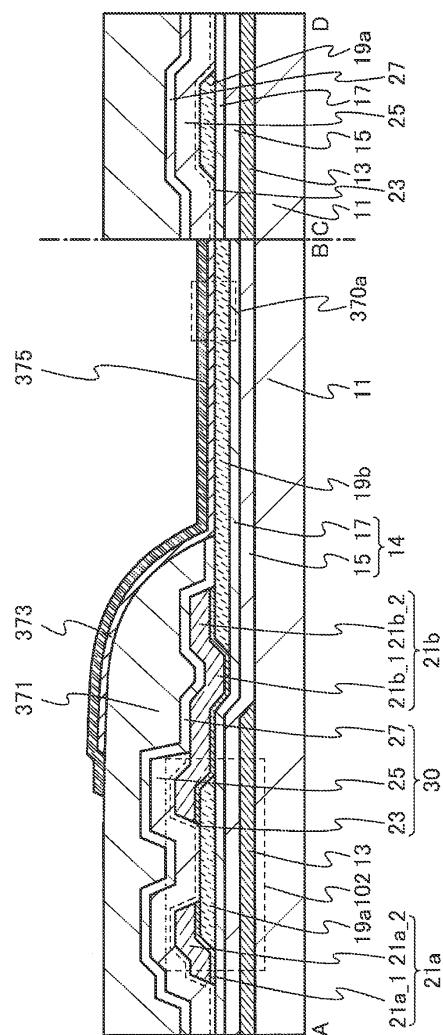
도면33



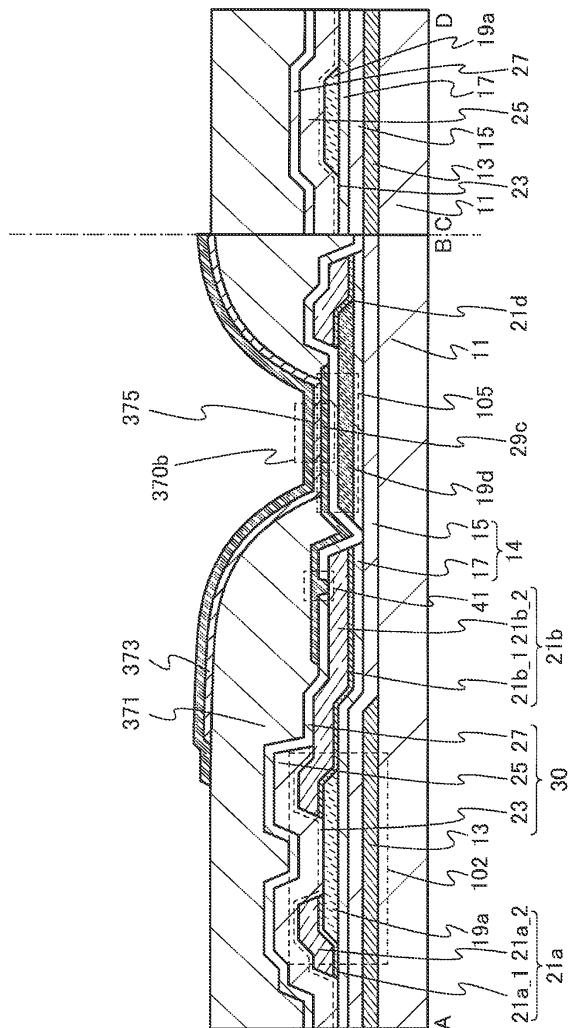
도면34



도면35

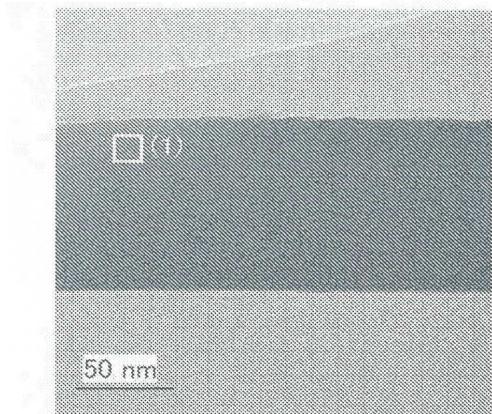


도면36

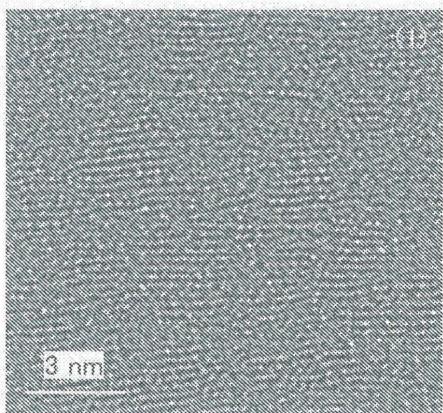


도면37

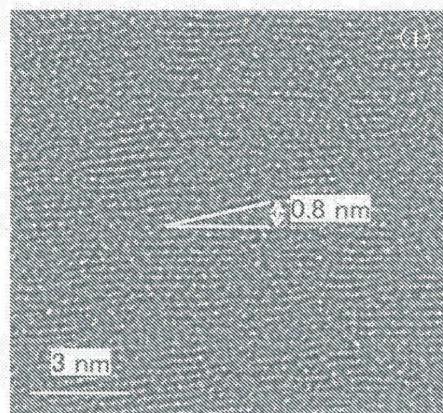
(A)



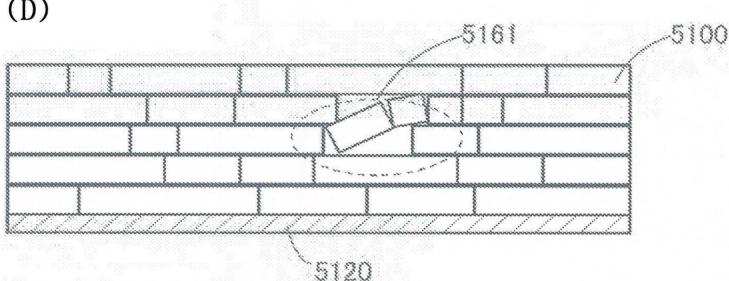
(B)



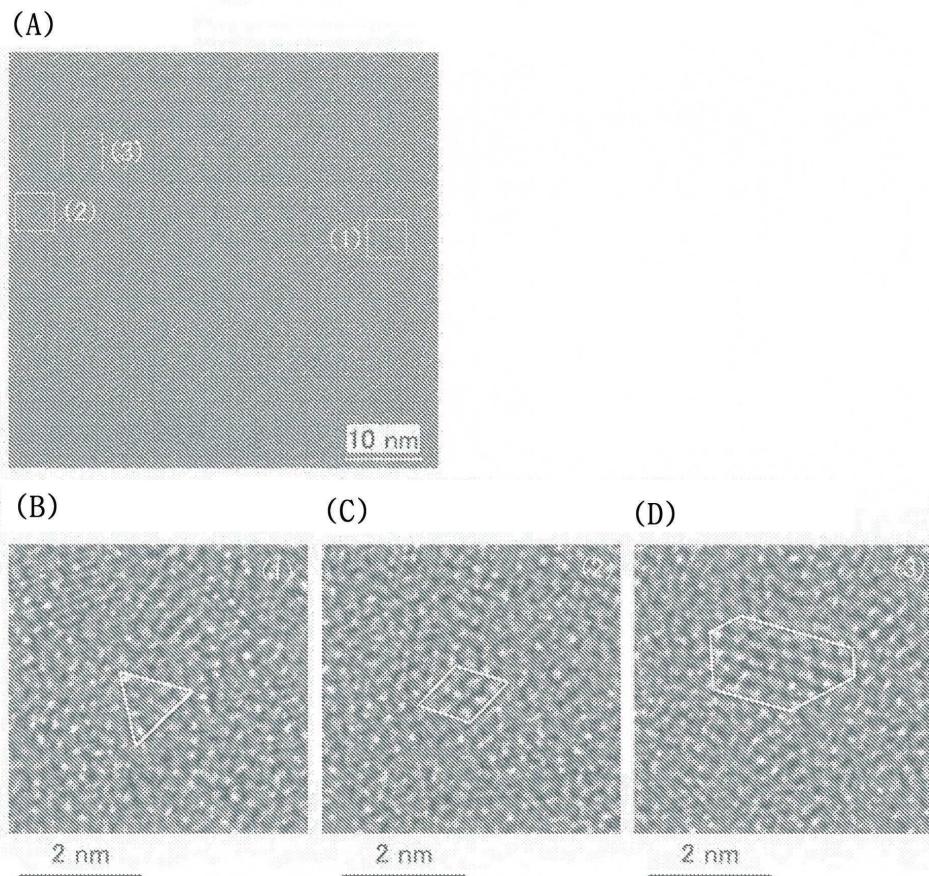
(C)



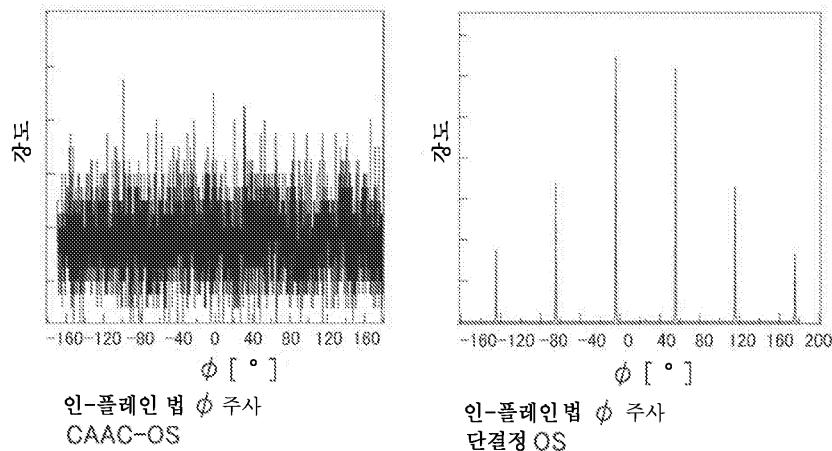
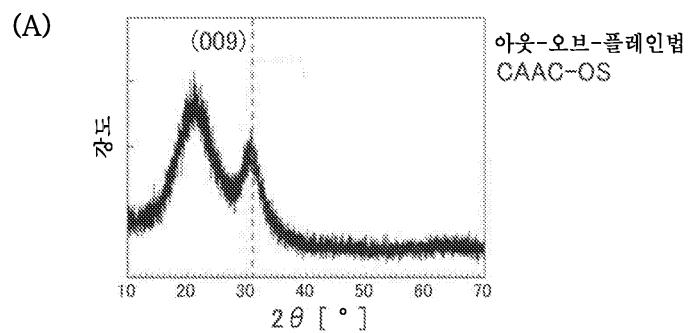
(D)



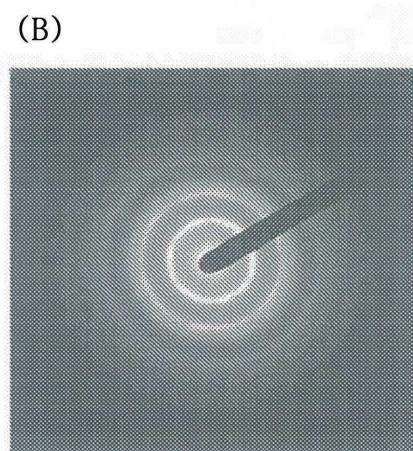
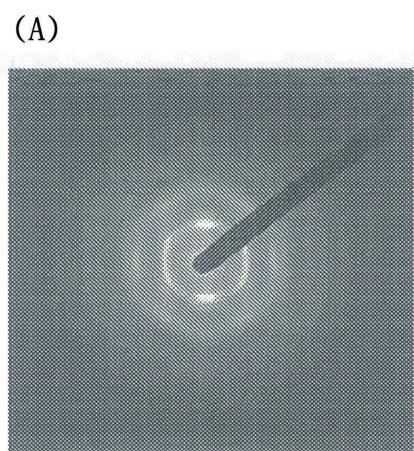
도면38



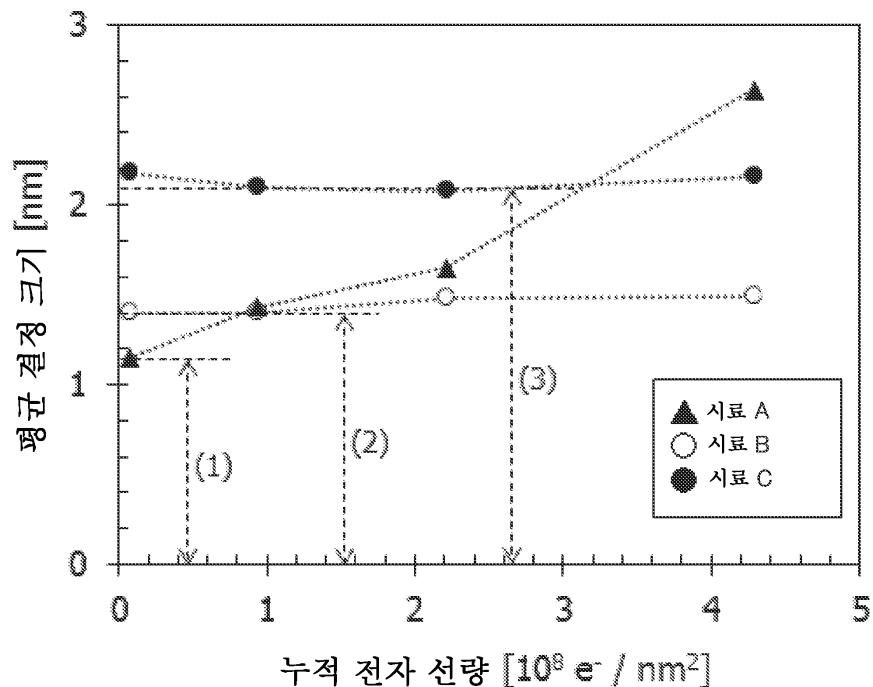
도면39



도면40

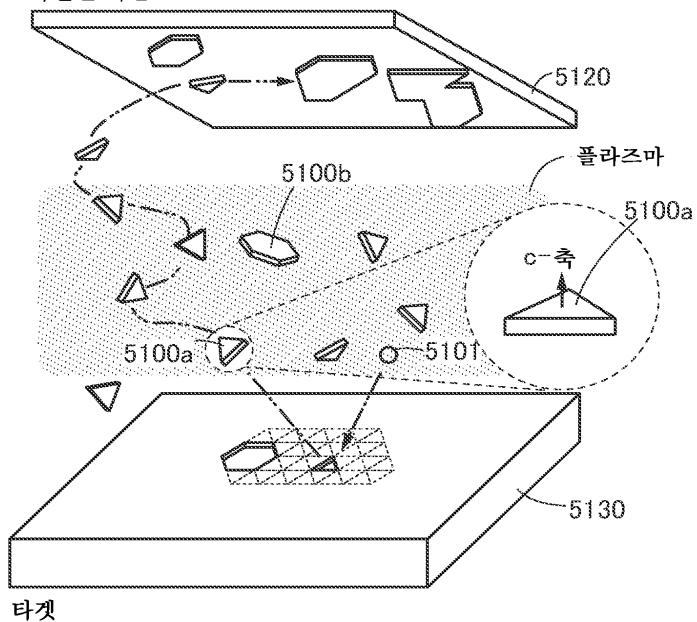


도면41



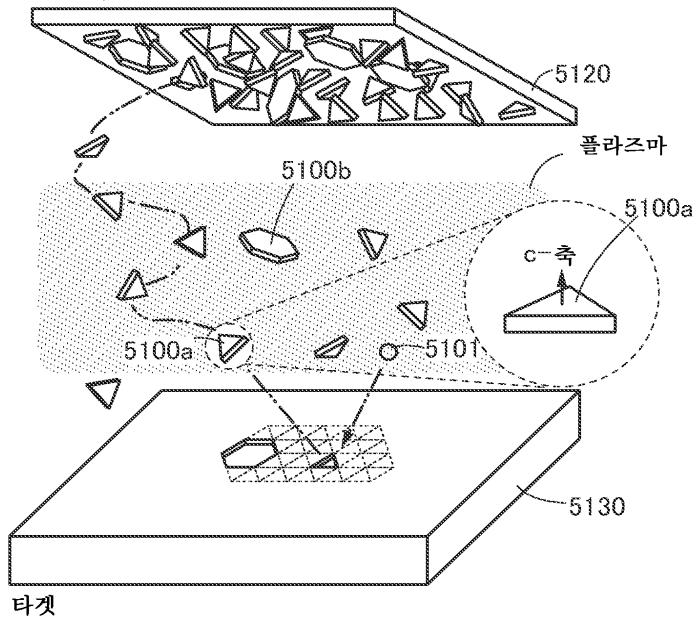
도면42

(A) 가열된 기판

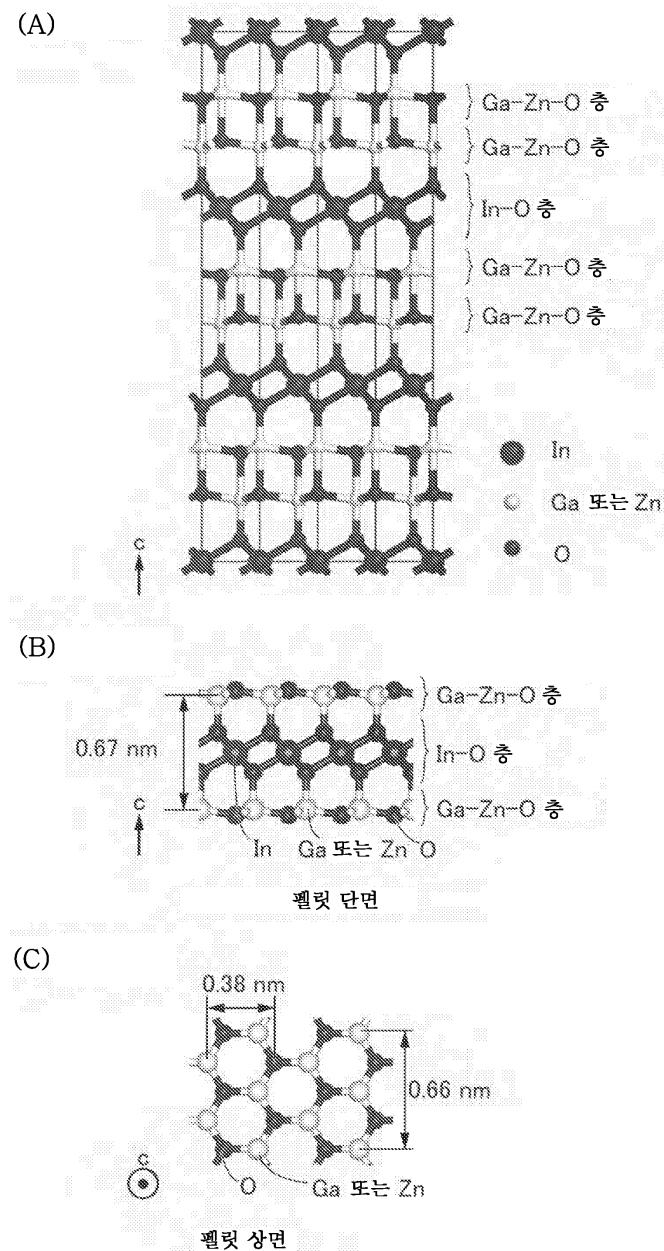


(B)

실온 기판

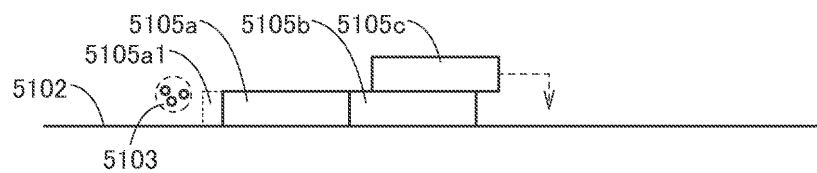


도면43

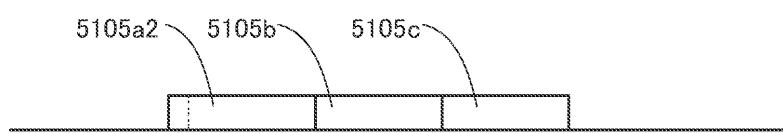


도면44

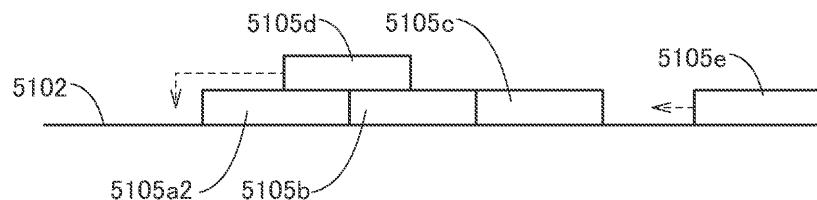
(A)



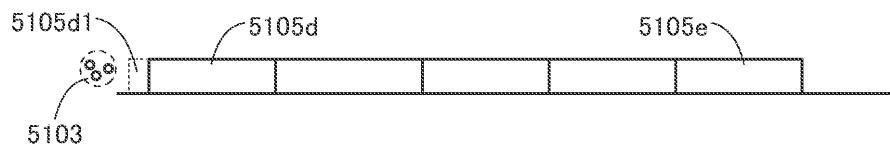
(B)



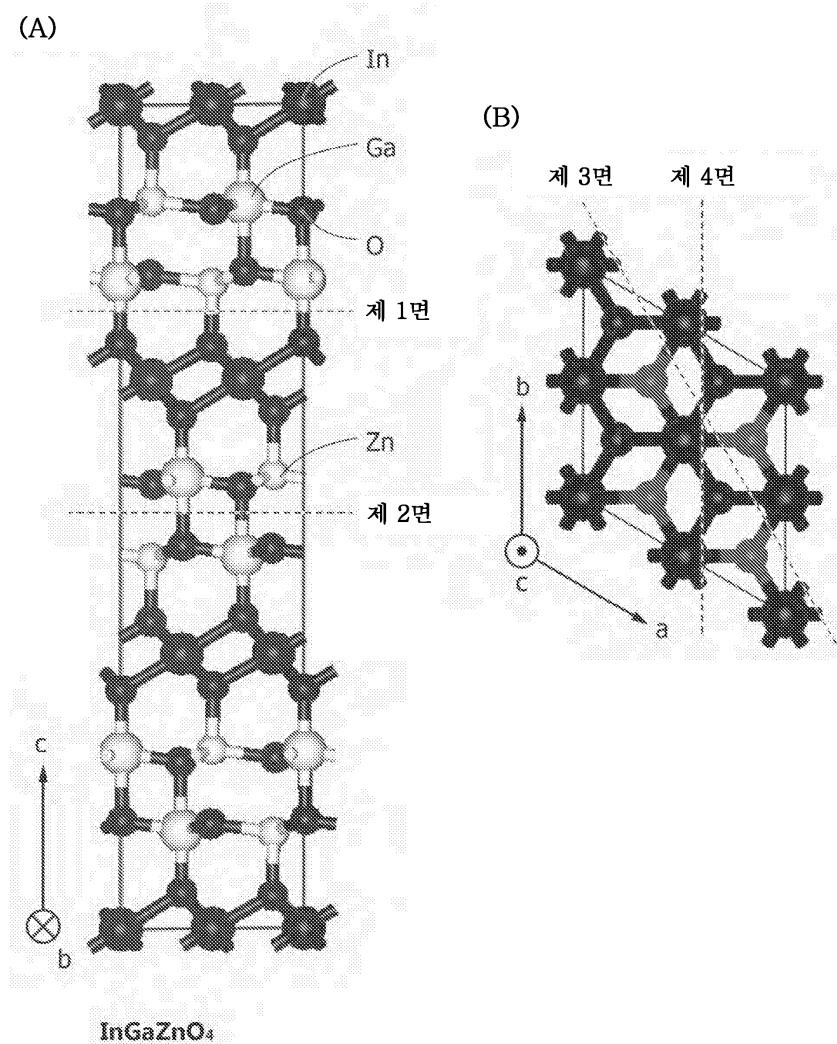
(C)



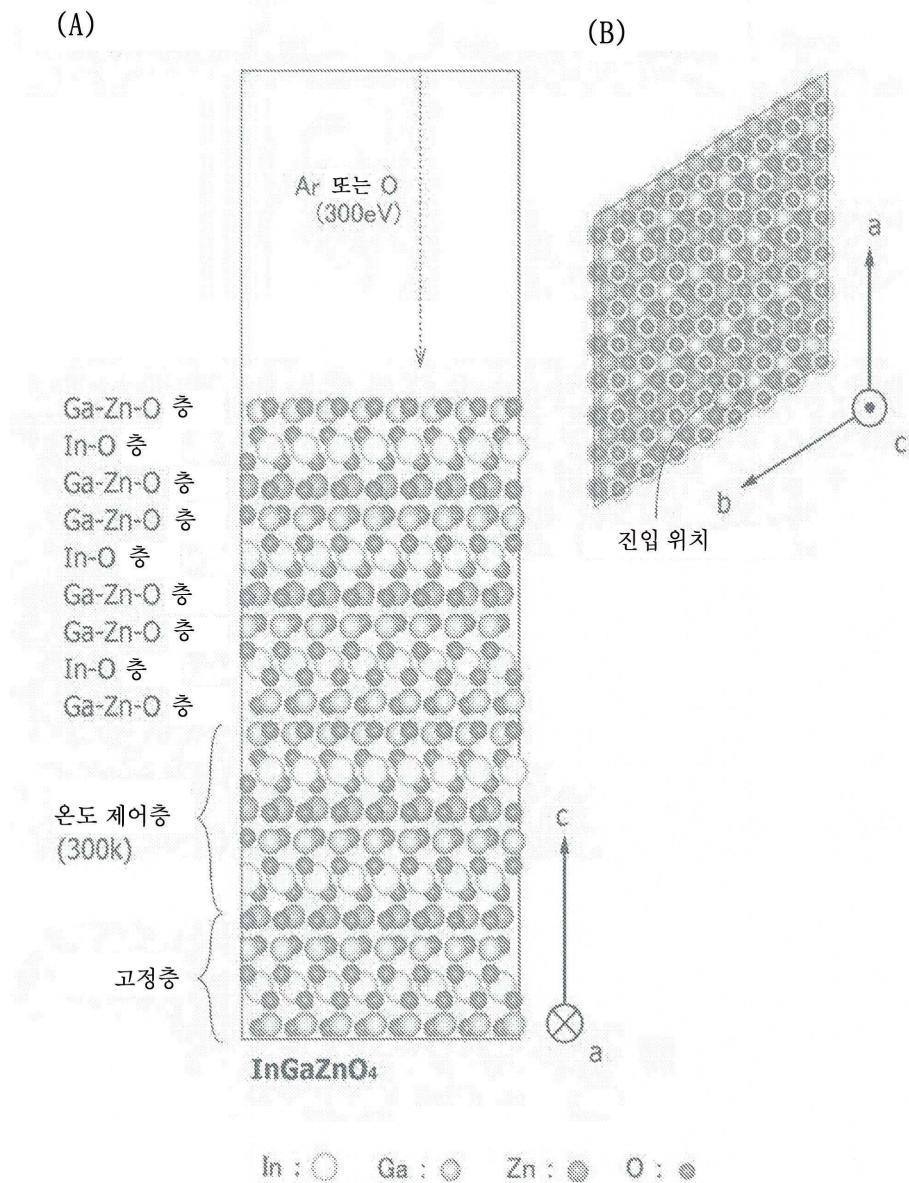
(D)



도면45

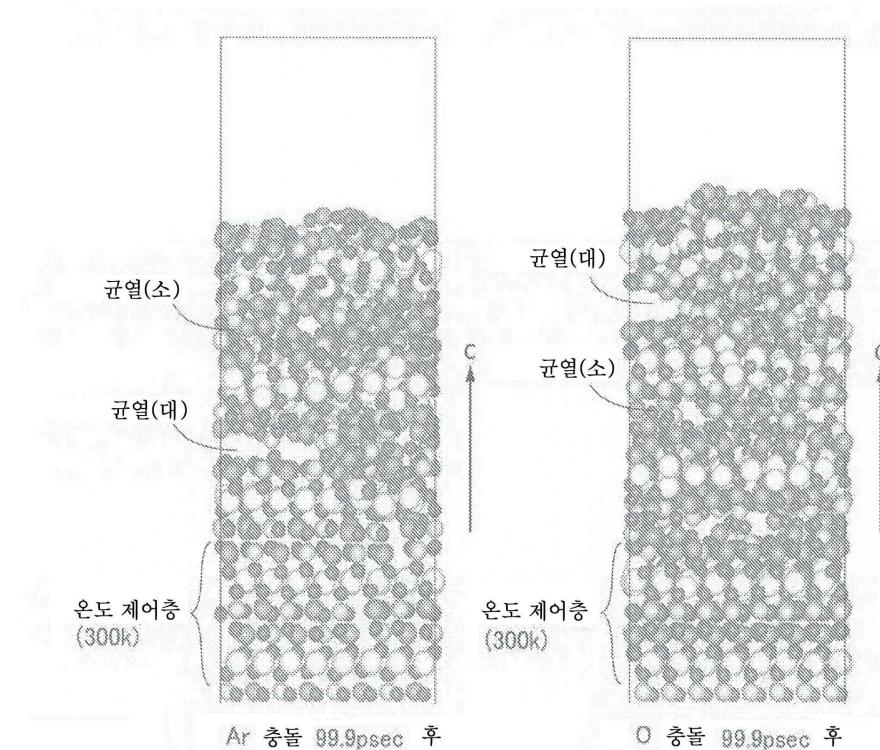


도면46

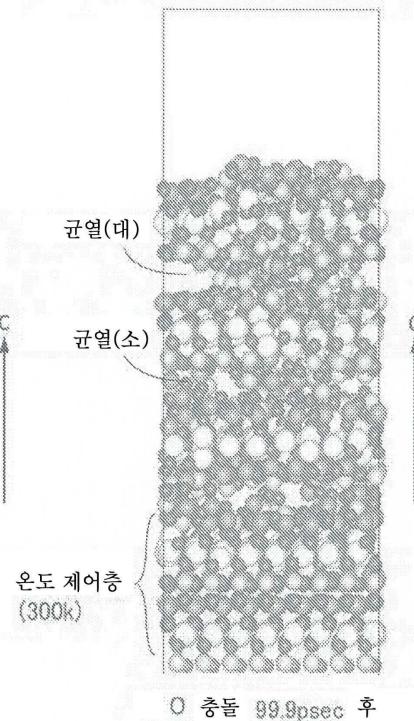


도면47

(A)

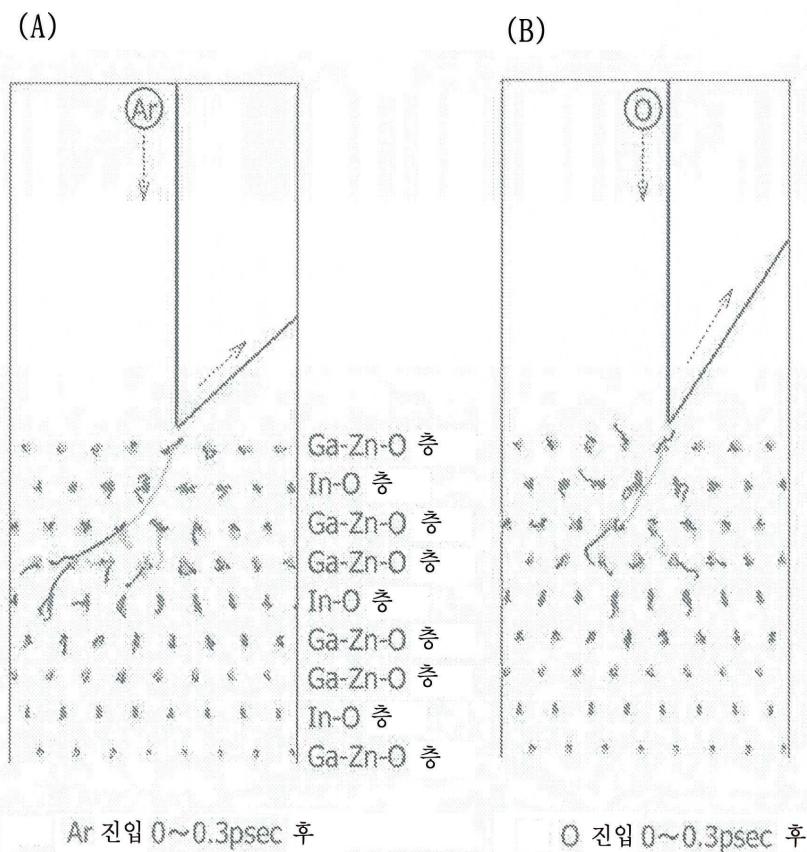


(B)



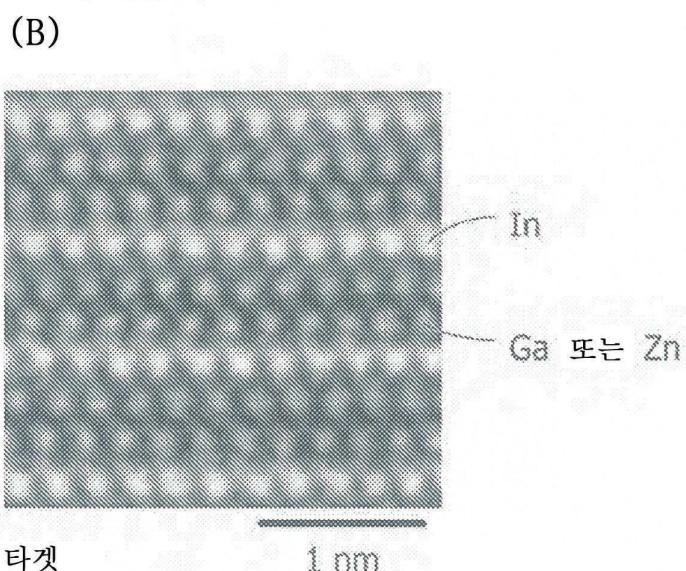
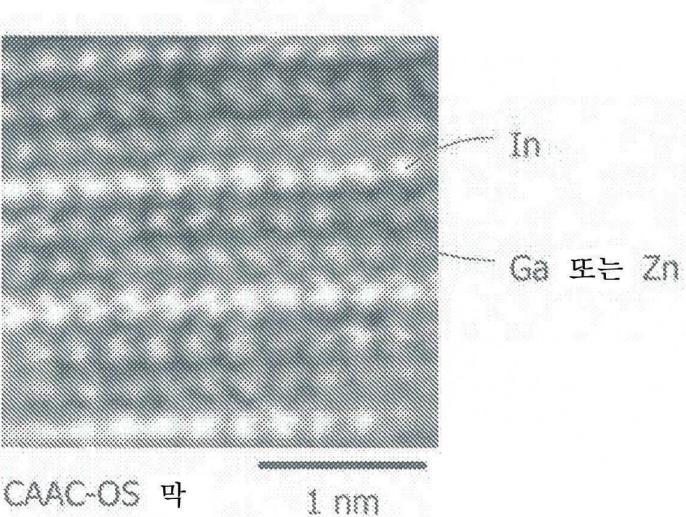
In : ○ Ga : ○ Zn : ● O : ●

도면48

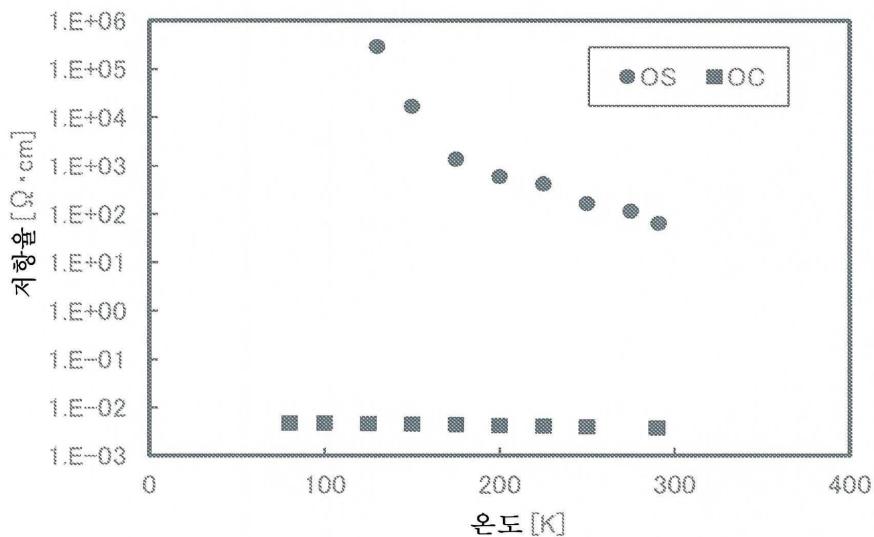


도면49

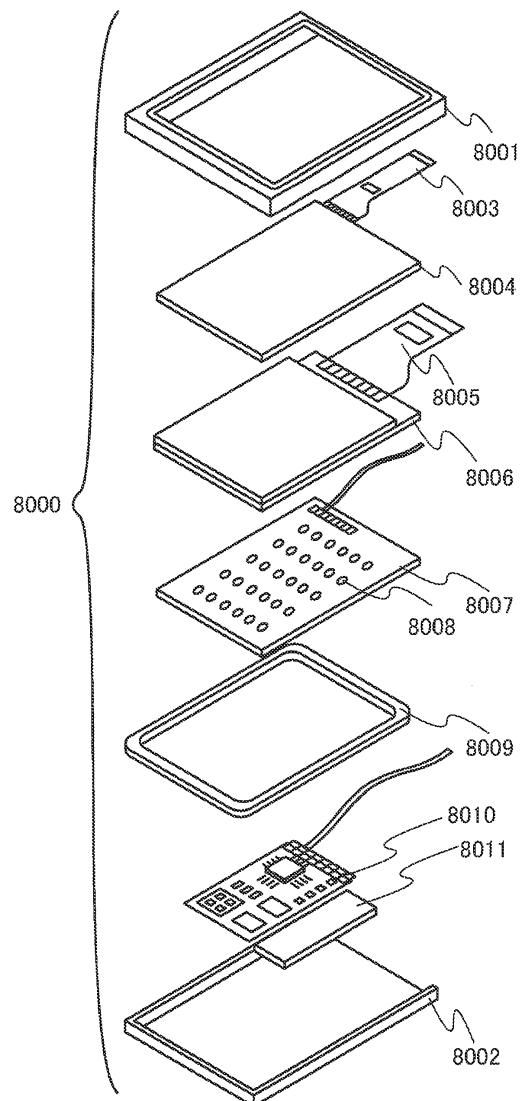
도면 49 (A) (B)



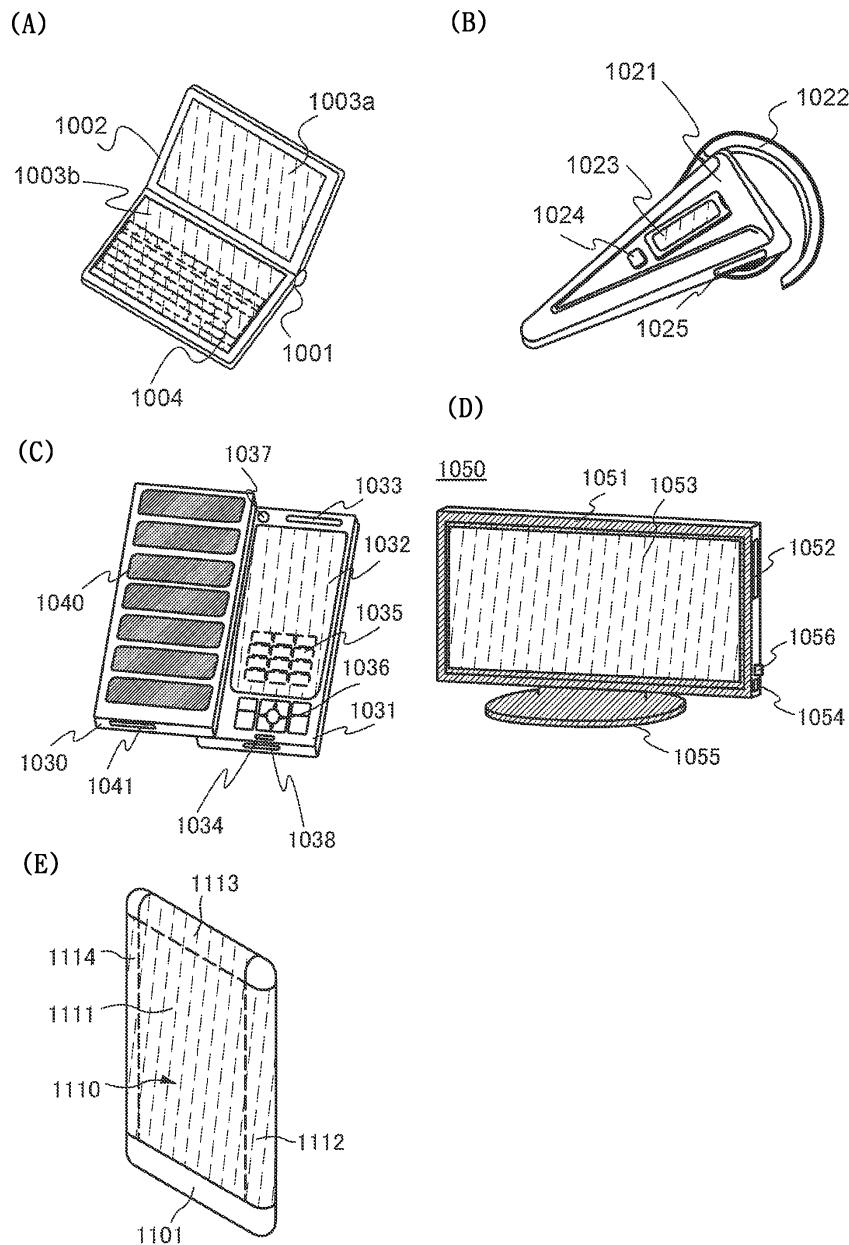
도면50



도면51

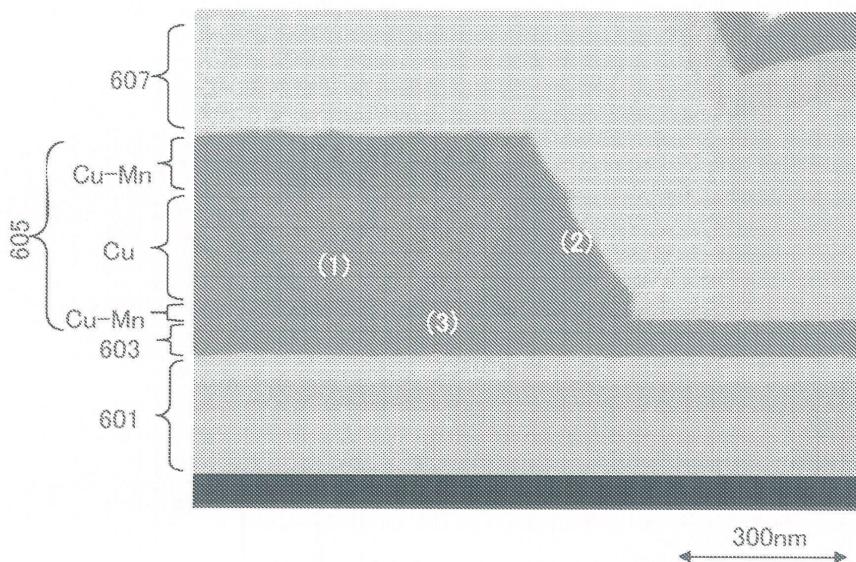


도면52



도면53

(A)



(B)

