



(12)发明专利申请

(10)申请公布号 CN 110232041 A

(43)申请公布日 2019. 09. 13

(21)申请号 201910411651.2

(22)申请日 2019.05.17

(71)申请人 无锡泰泓信息科技有限公司

地址 214000 江苏省无锡市新吴区震泽路
18号软件园巨蟹座A栋601室

(72)发明人 王海洋 陈浩宇

(74)专利代理机构 苏州市中南伟业知识产权代
理事务所(普通合伙) 32257

代理人 徐洋洋

(51)Int.Cl.

G06F 15/78(2006.01)

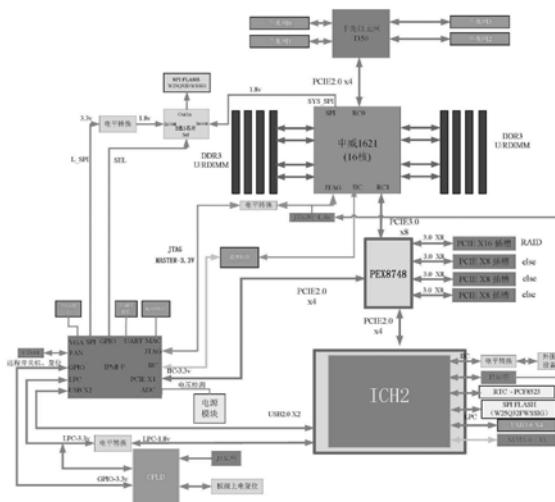
权利要求书2页 说明书4页 附图2页

(54)发明名称

一种基于申威芯片的国产服务器主板的实现方法

(57)摘要

本发明公开一种基于申威芯片的国产服务器主板的实现方法,包括申威1621处理器、安全I/O模块、IPMI卡、千兆以太网芯片I350、PEX 8748芯片、CPLD模块;所述安全I/O模块使用了其中的PCIe模块,USB模块,SATA模块,RTC模块,JTAG模块,IIC模块,SPI模块,串口模块,这些子模块分别与其对应电路相连,完成对应功能;所述IPMI卡为系统监控,通过连接器接入底板,与PEX 8748、CPLD相连接;所述千兆以太网芯片I350与申威1621芯片相连;所述PEX8748芯片与IPMI卡、CPLD、申威1621芯片相连;所述CPLD模块与全板多个电源转换芯片和IPMI卡相连接。本发明增加了IPMI卡,可以实现远程启动、控制,稳定性好;接口种类多,资源丰富,兼容性强;新型国产CPU安全性高。



1. 一种基于申威芯片的国产服务器主板的实现方法,其特征在于:具体包括申威1621处理器、安全I/O模块ICH2、IPMI卡、千兆以太网芯片I350、PEX 8748芯片和CPLD模块;

所述申威1621处理器集成了八组DDR3存储控制器接口和两路PCIE接口;

所述申威1621处理器包含两组PCI-E接口,两组所述PCI-E接口分别为PCIE2.0 X4和PCIE3.0 X8,所述PCIE2.0 X4信号外接千兆以太网I350,所述PCIE3.0 X8接口接PEX 8748芯片;

所述申威1621处理器包括IIC和SPI信号,所述IIC和所述IPMI卡连接,实现处理器温度监控,所述SPI信号与SPI FLASH连接,所述SPI FLASH另一端与所述IPMI卡连接,实现远程启动;

所述千兆以太网I350芯片通过所述PCIE2.0 X4信号与申威1621芯片连接;

所述PEX 8748芯片包含48路、12个PCIE3.0接口的PCIE桥芯片;所述PEX 8748芯片与所述IPMI卡、所述CPLD、所述申威1621处理器相连接;

PEX 8748芯片通过所述PCIE3.0 X8信号与申威1621芯片连接,所述PCIE2.0 X4拥有两路,一路所述PCIE2.0 X4信号与所述安全I/O模块ICH2连接,另一路所述PCIE2.0 X4信号与IPMI卡连接;

所述IPMI卡包含两路USB2.0、一路LPC和安全I/O模块ICH2;所述IPMI卡通过连接器接入底板,与所述PEX 8748以及所述CPLD相连接,所述IPMI卡为监控系统;

所述安全I/O模块ICH2包括JTAG接口、RTC信号、四个USB3.0座、三个SATA3.0座,所述安全I/O模块使用了其中的PCIe模块,USB模块,SATA模块,RTC模块,JTAG模块,IIC模块,SPI模块,串口模块,上述中的子模块分别与其对应的电路进行相连,完成对应的功能。

所述CPLD模块通过GPIO与所述IPMI卡连接,所述CPLD模块外接JTAG座和板级上电复位;

所述CPLD模块与全板多个电源转换芯片和所述IPMI卡相连接。

2. 如权利要求1所述的一种基于申威芯片的国产服务器主板的实现方法,其特征在于:所述千兆以太网I350芯片转出了四路所述千兆以太网,四路所述千兆以太网通过两个RJ45座RMG47A-BC35-FE0-0R,实现引出作用:

所述千兆以太网I350芯片的参考时钟使用25MHz晶体,且晶体要求精度+/-100ppm。

3. 如权利要求1所述的一种基于申威芯片的国产服务器主板的实现方法,其特征在于:所述PEX 8748芯片起到了为所述申威1621芯片、所述安全I/O模块ICH2和所述IPMI卡串联通信以及扩展PCIE插槽的作用。

4. 如权利要求1所述的一种基于申威芯片的国产服务器主板的实现方法,其特征在于:所述IPMI卡通过SODIMM插槽与服务器主板连接。

5. 如权利要求1所述的一种基于申威芯片的国产服务器主板的实现方法,其特征在于:所述IPMI卡通过两路所述USB2.0和一路LPC与所述安全I/O模块ICH2连接;

所述IPMI卡通过所述GPIO与所述CPLD模块连接;

所述IPMI卡通过一路所述PCIE2.0 X4信号与所述PEX 8748芯片连接;

所述IPMI卡通过所述SPI信号与所述SPI FLASH连接;

所述IPMI卡通过所述JTAG接口与所述IIC信号和所述申威1621芯片连接;

所述IPMI通过卡相底板引出VGA接口、UART接口、RJ45接口和FAN*8信号。

6. 如权利要求1所述的一种基于申威芯片的国产服务器主板的实现方法,其特征在于:
所述安全I/O模块ICH2通过所述LPC信号与所述SPI FLASH连接;
所述通过全I/O模块ICH2通过PCIE2.0 X4与PEX 8748芯片连接。

一种基于申威芯片的国产服务器主板的实现方法

技术领域

[0001] 本发明属于一种服务器主板技术领域,具体为一种基于申威芯片的国产服务器主板的实现方法。

背景技术

[0002] 在网络与信息安全上升为国家战略的背景下,对于服务器类产品安全性能要求也越来越高;然而,现有服务器自主可控性差、可靠性差、性价比低;难以实现硬件级防护,抵御APT攻击能力弱,根本无法满足当今对于网络与信息安全的需要。让市场对于一款拥有国产CPU的,安全可控的,稳定性强的服务器的需求快速升温。基于国产CPU研发的服务器已成为各家服务器研发厂商的重点。

发明内容

[0003] 本发明的目的在于:为了解决上述提出的问题,提供一种基于申威芯片的国产服务器主板的实现方法。

[0004] 本发明采用的技术方案如下:

[0005] 一种基于申威芯片的国产服务器主板的实现方法具体包括申威1621处理器、安全I/O模块ICH2、IPMI卡、千兆以太网芯片I350、PEX 8748芯片、CPLD 模块;

[0006] 所述申威1621处理器集成了八组DDR3存储控制器接口和两路PCIE接口;

[0007] 所述申威1621处理器包含两组PCI-E接口,两组所述PCI-E接口分别为 PCIE2.0 X4和PCIE3.0 X8,所述PCIE2.0 X4信号外接千兆以太网I350,所述 PCIE3.0 X8接口接PEX 8748芯片;

[0008] 所述申威1621处理器包括IIC和SPI信号,所述IIC和所述IPMI卡连接,实现处理器温度监控,所述SPI信号与SPI FLASH连接,所述SPI FLASH另一端与所述IPMI卡连接,实现远程启动;

[0009] 所述千兆以太网I350芯片通过所述PCIE2.0 X4信号与申威1621芯片连接;

[0010] 所述PEX 8748芯片包含48路、12个PCIE3.0接口的PCIE桥芯片;所述 PEX 8748芯片与所述IPMI卡、所述CPLD、所述申威1621处理器相连接;

[0011] PEX 8748芯片通过所述PCIE3.0 X8信号与申威1621芯片连接,所述PCIE2.0 X4拥有两路,一路所述PCIE2.0 X4信号与所述安全I/O模块ICH2连接,另一路所述PCIE2.0 X4信号与IPMI卡连接;

[0012] 所述IPMI卡包含两路USB2.0、一路LPC和安全I/O模块ICH2;所述IPMI 卡通过连接器接入底板,与所述PEX 8748以及所述CPLD相连接,所述IPMI卡为监控系统;

[0013] 所述安全I/O模块ICH2包括JTAG接口、RTC信号、四个USB3.0座、三个 SATA3.0座,所述安全I/O模块使用了其中的PCIe模块,USB模块,SATA模块, RTC模块,JTAG模块,IIC模块,SPI模块,串口模块,上述中的子模块分别与其对应的电路进行相连,完成对应的功能。

[0014] 所述CPLD模块通过GPIO与所述IPMI卡连接,所述CPLD模块外接JTAG座和板级上电

复位；

[0015] 所述CPLD模块与全板多个电源转换芯片和所述IPMI卡相连接。

[0016] 其中,所述千兆以太网I350芯片转出了四路所述千兆以太网,四路所述千兆以太网通过两个RJ45座RMG47A-BC35-FE0-0R,实现引出；

[0017] 所述千兆以太网I350芯片的参考时钟使用25MHz晶体,且晶体要求精度 $\pm 100\text{ppm}$ 。

[0018] 其中,所述PEX 8748芯片起到了为所述申威1621芯片、所述安全I/O模块ICH2和所述IPMI卡串联通信以及扩展PCIE插槽的作用。

[0019] 其中,所述IPMI卡通过SODIMM插槽与服务器主板连接。

[0020] 其中,所述IPMI卡通过两路所述USB2.0和一路LPC与所述安全I/O模块 ICH2连接；

[0021] 所述IPMI卡通过所述GPIO与所述CPLD模块连接；

[0022] 所述IPMI卡通过一路所述PCIE2.0 X4信号与所述PEX 8748芯片连接；

[0023] 所述IPMI卡通过所述SPI信号与所述SPI FLASH连接；

[0024] 所述IPMI卡通过所述JTAG接口与所述IIC信号和所述申威1621芯片连接；

[0025] 所述IPMI通过卡相底板引出VGA接口、UART接口、RJ45接口、FAN*8信号。

[0026] 其中,所述安全I/O模块ICH2通过所述LPC信号与所述SPI FLASH连接；

[0027] 所述通过全I/O模块ICH2通过PCIE2.0 X4与PEX 8748芯片连接。

[0028] 综上所述,由于采用了上述技术方案,本发明的有益效果是：

[0029] 本发明提出的基于申威1621芯片的国产服务器主板中使用八个DDR3的卡槽,使服务器的内存容量大大增加,与传统服务器主板相比,本发明增加了IPMI 卡,可以实现远程开机,整板控制,提高稳定性；

[0030] 同时也增加了USB、RJ45千兆网口、SATA3.0口的接口数量,直接增加了国产服务器主板可接的外围设备的数量；

[0031] 使用CPLD控制上电时序,上电时序更加稳定,本发明采用我国完全自主设计的申威1621处理器,软硬件设计完全自主可控,主要应用于大量的数据处理,安全性高,同时本发明接口多且兼容性强,可满足多个行业的需求。

附图说明

[0032] 图1为本发明基于申威1621芯片的国产服务器主板；

[0033] 图2为IPMI卡在服务器中的连接关系示意图；

[0034] 图3为I350系统图。

具体实施方式

[0035] 为了使本发明的目的、技术方案及优点更加清楚明白,以下结合附图及实施例,对本发明进行进一步详细说明。应当理解,此处所描述的具体实施例仅用以解释本发明,并不用于限定本发明。

[0036] 参照图1-3,一种基于申威芯片的国产服务器主板的实现方法具体包括申威 1621处理器、安全I/O模块ICH2、IPMI卡、千兆以太网芯片I350、PEX 8748 芯片、CPLD模块,申威1621处理器集成了八个DDR3存储控制器接口和两路PCI-E 接口,DDR3存储控制器接口通过

240pin内存插槽外接DDR3内存条和两路PCI-E 接口,申威1621处理器包含两组PCI-E接口,两组PCI-E接口分别为PCIE2.0 X4 和PCIE3.0 X8,PCIE2.0 X4信号外接千兆以太网I350,PCIE3.0 X8接口接PEX 8748芯片,PCIE0提供PCIE X4链路连接千兆以太网芯片I350;PCIE1提供PCIE X8链路连接PEX8748,IIC和IPMI卡连接,实现处理器温度监控,SPI信号与SPI FLASH连接,SPI FLASH另一端与IPMI卡连接,实现远程启动;SPI接口与IPMI 卡的SPI通过2选1芯片与FLASH连接,申威1621处理器包括IIC和SPI信号,申威1621 CPU内部集成了8个DDR3存储控制器,对应64+8位数据宽度的 DDR3接口,分别连到8个DDR3 ECC内存条,传输率为1066~1866Mbps,存储器带宽为68.224~119.424GB/s,支持ECC校验;每路存储器接口支持最多4个Rank,不支持X4的存储器颗粒。

[0037] 千兆以太网I350芯片通过PCIE2.0 X4信号与申威1621芯片连接;

[0038] PEX 8748芯片包含48路、12个PCIE3.0接口的PCIE桥芯片,PEX 8748为 PCI-E Switch桥片,PEX 8748芯片通过两路PCIE2.0 X4分别与IPMI卡和安全 I/O模块ICH2连接,另外PEX 8748芯片引出一路PCIE X16插槽和三路PCIE X8 插槽;

[0039] PEX 8748芯片通过PCIE3.0 X8信号与申威1621芯片连接,PCIE2.0 X4拥有两路,一路PCIE2.0 X4信号与安全I/O模块ICH2连接,另一路PCIE2.0 X4 信号与IPMI卡连接;

[0040] IPMI卡包含两路USB2.0、一路LPC和安全I/O模块ICH2;

[0041] 安全I/O模块ICH2包括JTAG接口、RTC信号、四个USB3.0座、三个SATA3.0 座;

[0042] CPLD模块通过GPIO与IPMI卡连接,将IPMI卡作为主系统的显卡使用,信号通过PCIE X4链路输入ICH2再传送给AST2400芯片,实现视频显示,CPLD模块外接JTAG座和板级上电复位,千兆以太网I350芯片转出了四路千兆以太网,四路千兆以太网通过两个RJ45座RMG47A-BC35-FE0-0R,实现引出,千兆以太网 I350芯片的参考时钟使用25MHz晶体,且晶体要求精度+/-100ppm,申威1621 的200MHz差分参考时钟由时钟晶体提供,PEX 8748芯片起到了为申威1621芯片、安全I/O模块ICH2和IPMI卡串联通信以及扩展PCIE插槽的作用,IPMI卡通过SODIMM插槽与服务器主板连接,IPMI卡通过两路USB2.0和一路LPC与安全I/O模块ICH2连接,ICH2芯片的RTC模块采用外接芯片PCF8523挂接在IIC 接口上实现,实现Rtc效果,将IPMI卡作为主系统的显卡使用,信号通过PCIE X4链路输入ICH2再传送给AST2400芯片;

[0043] IPMI卡通过GPIO与CPLD模块连接;

[0044] IPMI卡通过一路PCIE2.0 X4信号与PEX 8748芯片连接;

[0045] IPMI卡通过SPI信号与SPI FLASH连接;

[0046] IPMI卡通过JTAG接口与IIC信号和申威1621芯片连接,服务器IIC总线上所使用的设备有很多,包括:CPU(master)、AST2400(master)、ICH2(master)、时钟芯片、千兆以太网芯片I350、8组内存条8、5组插槽,RTC,ICH2的维护采用BMC的JTAG进行连接,同时采用十针插座引出,可用于ICH2的维护和SPI flash的烧写,IIC为ICH2套片自身出三路IIC master总线,分别为 IIC0/IIC1/IIC2

[0047] IPMI通过卡相底板引出VGA接口、UART接口、RJ45接口、8组FAN信号,安全I/O模块ICH2通过LPC信号与SPI FLASH连接;

[0048] 通过全I/O模块ICH2通过PCIE2.0 X4与PEX 8748芯片连接。

[0049] 实施例1:一种基于申威芯片的国产服务器主板的实现方法具体包括申威 1621处

理器、安全I/O模块ICH2、IPMI卡、千兆以太网芯片I350、PEX 8748 芯片、CPLD模块, PEX 8748芯片是一款包含48路、12个PCIE3.0接口的PCIE 桥芯片。PEX 8748芯片的每个PCIE接口可以配置成X1,X2,X4,X8,X16模式。PEX 8748芯片在系统中起到了为申威1621处理器、安全I/O模块ICH2、IPMI卡串联通信的作用,并扩展出了一路PCIE X16插槽和三路PCIE X8插槽。

[0050] IPMI卡为全板启动、控制板卡,该板卡可以实现远程启动、上电时序监控, CPU温度监控等功能,IPMI芯片独立于服务器系统之外运行,可更好实现远程启动和服务器运行状况的监控,并可以使用远程控制台监控,大大减小了大规模服务器集群的管理难度。

[0051] 实施例二:一种基于申威芯片的国产服务器主板的实现方法具体包括申威 1621处理器、安全I/O模块ICH2、IPMI卡、千兆以太网芯片I350、PEX 8748 芯片、CPLD模块,千兆以太网芯片I350芯片是一款设计用来做为独立ASIC多以太网方案应用的芯片,可以支持NIC,TCP/IP网络切换,支持ICCSI,FCOE 和其他协议站功能。使用一个串口EEPROM保存配置及相关固件。芯片的参考时钟使用25MHz晶体,要求精度 $\pm 100\text{ppm}$;

[0052] 千兆以太网芯片I350芯片转出了四路千兆以太网,极大的丰富了服务器的接口资源。

[0053] 实施例三:一种基于申威芯片的国产服务器主板的实现方法具体包括申威 1621处理器、安全I/O模块ICH2、IPMI卡、千兆以太网芯片I350、PEX 8748 芯片、CPLD模块,CPLD模块使用的是MachX002系列的LCMX02-2000HC-4TG-100I 芯片,该系列CPLD的主要优点是高达256Kbit的用户闪存和240Kbit sysMEMTM 嵌入式块RAM,高达334个可热插拔的IO,可防止额外漏电,通过JTAG、SPI和 I2C和Wishbone进行编程,TransFR功能支持现场设计升级,无需中断设备运行, 可编程sysIOTM缓冲器支持LVCMOS、LVTTL、PCI、LVDS、LVDS、MLVDS、RSDS、LVPECL、SSTL、HSTL等接口;

[0054] CPLD模块的使用使得服务器的上电时序能够得到很好的控制,保障了服务器的稳定性。

[0055] 实施例四:一种基于申威芯片的国产服务器主板的实现方法具体包括申威 1621处理器、安全I/O模块ICH2、IPMI卡、千兆以太网芯片I350、PEX 8748 芯片、CPLD模块,安全I/O模块ICH2,为第二代I/O控制中心ICH2,ICH2的功能可划分为13个子模块:分别为PCIe模块,视频模块,USB模块,SATA模块,RTC模块,JTAG模块,IIC模块,SPI模块,串口模块。其中ICH2的GMAC 模块、视频模块、音频模块;

[0056] 其中音频模块在基于申威1621芯片的国产服务器主板中为现有技术,不进行絮叨。

[0057] 实施例五:一种基于申威芯片的国产服务器主板的实现方法具体包括申威 1621处理器、安全I/O模块ICH2、IPMI卡、千兆以太网芯片I350、PEX 8748 芯片、CPLD模块,申威1621处理器为64位字长的高性能通用处理器,采用多核架构和片上系统(SoC: System on Chip)技术,单芯片集成了16个对称的新一代申威Core3A核心,还集成了32MB的共享三级Cache、八路DDR3存储控制器接口、两路PCI-E接口、一路维护接口和一路测试接口,申威1621处理器为主板的核心处理和控制单元。

[0058] 以上仅为本发明的较佳实施例而已,并不用以限制本发明,凡在本发明的精神和原则之内所作的任何修改、等同替换和改进等,均应包含在本发明的保护范围之内。

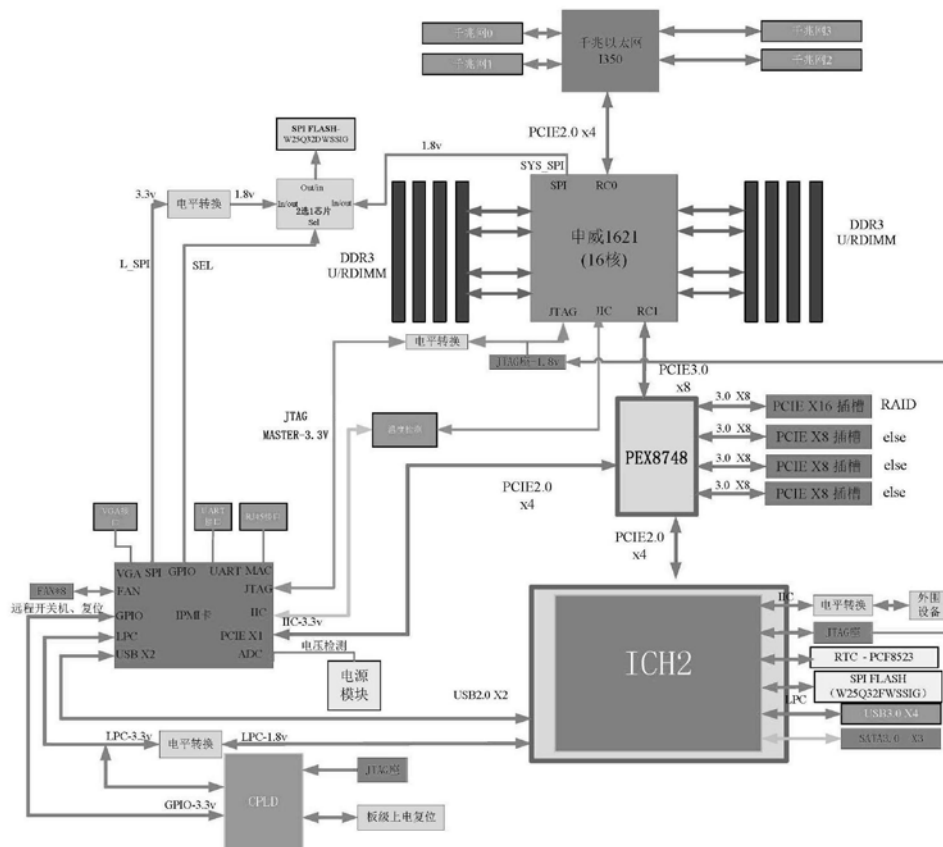


图1

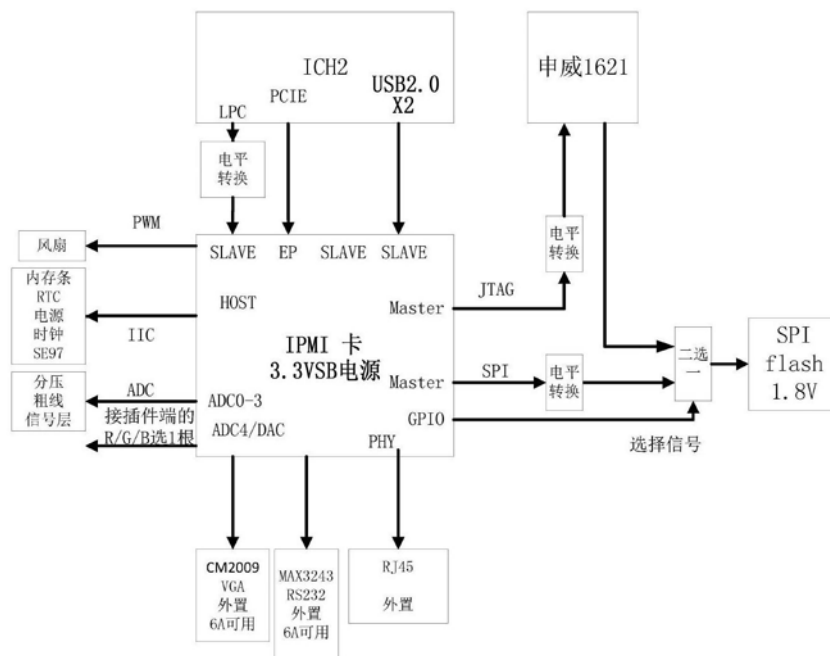


图2

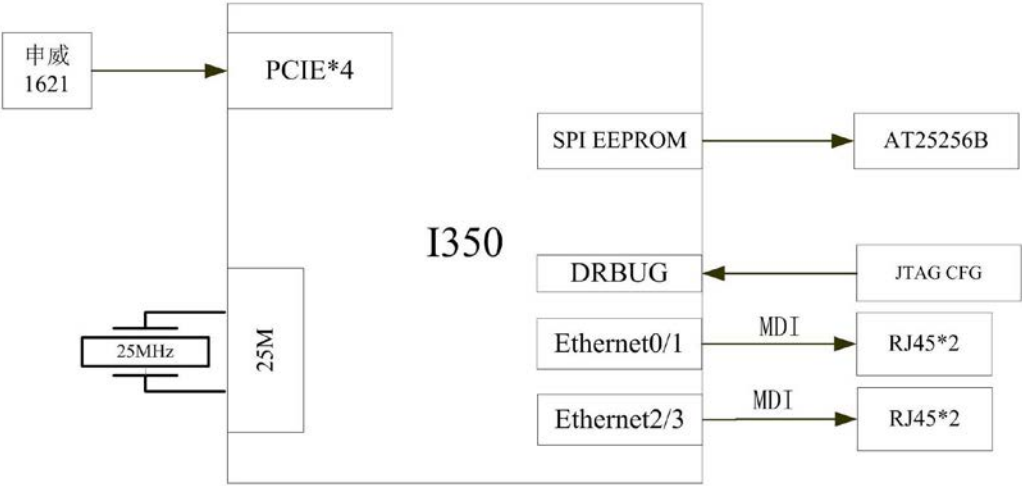


图3