

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 4 区分
 【発行日】平成 17 年 1 月 13 日 (2005.1.13)

【公開番号】特開 2000-30456 (P2000-30456A)
 【公開日】平成 12 年 1 月 28 日 (2000.1.28)
 【出願番号】特願 平 10-198590
 【国際特許分類第 7 版】

G 1 1 C 11/409

G 1 1 C 11/407

【F I】

G 1 1 C 11/34 3 5 4 Q

G 1 1 C 11/34 3 6 2 S

【手続補正書】

【提出日】平成 16 年 2 月 18 日 (2004.2.18)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

供給されるクロックに同期して内部の回路が動作するメモリデバイスにおいて、
 データを記憶するメモリセル領域と、
 前記クロックに同期して供給される信号を入力する入力バッファと、
リード状態において、キャスレイテンシに対応する遅延時間後に、前記クロックに同期して前記メモリ領域からの読み出しデータを出力するデータ出力回路と、
前記リード状態にかかわらず前記クロックを前記入力バッファに供給し、前記リード状態において、前記キャスレイテンシに対応する遅延時間後に、前記クロックを前記データ出力回路に供給するクロック供給回路とを有することを特徴とするメモリデバイス。

【請求項 2】

請求項 1 において、

前記クロック供給回路は、前記リード状態にかかわらず、前記クロックを読み出し内部回路に供給し、当該読み出し内部回路は、前記クロックに同期して前記メモリセル領域内のデータを読み出すことを特徴とするメモリデバイス。

【請求項 3】

請求項 1 において、

前記クロック供給回路は、前記設定されたキャスレイテンシに対応する遅延時間よりも前の所定期間においても、前記データ出力回路へ前記クロックを供給することを特徴とするメモリデバイス。

【請求項 4】

供給されるクロックに同期して内部の回路が動作するメモリデバイスにおいて、データを記憶するメモリセル領域と、

前記クロックに同期して供給される信号を入力する入力バッファと、

リード状態において、バーストレングスに対応する遅延時間後に無効化されるクロックに同期して前記メモリ領域からの読み出しデータを出力するデータ出力回路と、

前記リード状態にかかわらず前記クロックを前記入力バッファに供給し、前記リード状態において前記バーストレングスに対応する遅延時間後に無効化されるクロックを前記データ出力回路に供給するクロック供給回路とを有することを特徴とするメモリデバイス。

【請求項 5】

供給されるクロックに同期して内部の回路が動作するメモリデバイスにおいて、
データを記憶するメモリセル領域と、
前記クロックに同期して供給される信号を入力する入力バッファと、
リード状態において、キャスレイテンシに対応する時間後バーストレンジに対応する時間までの期間に前記クロックに同期して前記メモリ領域からの読み出しデータを出力するデータ出力回路と、
前記リード状態にかかわらず前記クロックを前記入力バッファに供給し、前記リード状態において、前記キャスレイテンシに対応する時間後バーストレンジに対応する時間までの期間に前記クロックを前記データ出力回路に供給するクロック供給回路とを有することを特徴とするメモリデバイス。

【請求項 6】

請求項 5 において、
前記クロック供給回路は、前記リード状態にかかわらず、前記クロックを読み出し内部回路に供給し、当該読み出し内部回路は、前記クロックに同期して前記メモリセル領域内のデータを読み出すことを特徴とするメモリデバイス。

【請求項 7】

請求項 5 において、
前記クロック供給回路は、前記設定されたキャスレイテンシに対応する遅延時間よりも前の所定期間においても、前記データ出力回路へ前記クロックを供給することを特徴とするメモリデバイス。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正の内容】

【0011】

上記の目的を達成する為に、本発明は、供給されるクロックに同期して内部の回路が動作するメモリデバイスにおいて、
データを記憶するメモリセル領域と、
前記クロックに同期して供給される信号を入力する入力バッファと、
リード状態において、キャスレイテンシに対応する遅延時間後に、前記クロックに同期して前記メモリ領域からの読み出しデータを出力するデータ出力回路と、
前記リード状態にかかわらず前記クロックを前記入力バッファに供給し、前記リード状態において、前記キャスレイテンシに対応する遅延時間後に、前記クロックを前記データ出力回路に供給するクロック供給回路とを有することを特徴とする。