

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：P312671P

※ 申請日期：P3-P3

※IPC 分類：

H01L 27/04

一、發明名稱：(中文/英文)

於一半導體裝置之形成時用作垂直定向電容器之支撐

SUPPORT FOR VERTICALLY-ORIENTED CAPACITORS DURING
THE FORMATION OF A SEMICONDUCTOR DEVICE

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商麥克隆科技公司
MICRON TECHNOLOGY, INC.

代表人：(中文/英文)

麥克 L 林契
LYNCH, MICHAEL L.

住居所或營業所地址：(中文/英文)

美國愛達荷州鮑西市南菲德洛路8000號
8000 SOUTH FEDERAL WAY BOISE, IDAHO 83716 U. S. A.

國 籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 1 人)

姓 名：(中文/英文)

H 蒙特高瑪利 曼寧
MANNING, H. MONTGOMERY

國 籍：(中文/英文)

美國 U.S.A.

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2003年09月04日；10/656,732

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於半導體製造之領域，更特定言之，係關於一種用於形成一具有用作其電容器底板之側向支撐之雙面電容器的方法。

【先前技術】

在製造包含記憶體元件(諸如，動態隨機存取記憶體(DRAM)、靜態隨機存取記憶體(SRAM)及若干微處理器)之半導體之過程中，通常形成諸如容器式電容器與架式電容器之電容器。已為吾人熟知的是，藉由增加可儲存電荷之表面面積，容器式與架式電容器比平面電容器允許儲存更多電荷。

圖1-7描繪一用於自多晶矽形成複數個容器式電容器之習知方法。一架式電容器之形成類似於此，但是底板是一固體插塞，且單元介電層與頂板及底板之外部等形，藉此形成一單面垂直定向之電容器。圖1描繪一包含具有存在於晶圓12中之複數個摻雜源極/汲極區域14之一半導體晶圓12之半導體晶圓基板組件10。圖1進一步描繪包含閘極氧化層18、經摻雜之多晶矽控制閘極20、增加控制閘極20之導性的矽化物22(如矽化鎢)及一通常自氮化矽製造之覆蓋層24之電晶體16。形成氮化矽隔片26以將控制閘極20及矽化物22與該容器式電容器將要電耦合至其中之多晶矽襯墊28絕緣。淺槽隔離(STI，場氧化層)30減少了不恰當的鄰近控制閘極之間的電交感。形成一蝕刻止層31，接著形成一

厚層沈積氧化層32(如，硼磷矽酸鹽玻璃(BPSG))以向後來形成之電容器部件提供一基礎介電層。一圖案化光阻層34界定待形成之容器式電容器之位置。圖1之結構可進一步包括位於BPSG層下方之一個或多個位元(數位)線或多種其它為了解說簡單起見而沒有描繪之結構元件或差異。

圖1之結構經受一各向異性蝕刻，該各向異性蝕刻移除BPSG層之曝露部分以曝露蝕刻止層31並形成一圖案化BPSG層，其向電容器提供一具有凹槽之基礎介電層。移除該蝕刻止層之曝露部分。在蝕刻蝕刻止層31之後，曝露多晶矽襯墊28與覆蓋層24之可能的一部分，結果形成一類似於圖2之結構。根據此項技術中已知之方法，剝離剩餘之光阻層34，並移除蝕刻過程中形成之任何聚合體(未描繪)以提供圖3之結構。

如圖4所述，形成一與沈積氧化物層等形之毯覆性傳導層40(如，多晶矽或另一材料)，其向該完成的電容器提供一電容器儲存節點。形成一厚毯覆性填充材料42(如，光阻層)以填充由多晶矽40提供之容器。接著，圖4之結構經受一平面化處理，諸如一化學平面化、一機械平面化或一化學機械平面化(CMP)步驟。該處理移除部分光阻層42、多晶矽40及通常一部分BPSG 32，結果形成圖5之結構。

接著，使用一多晶矽選擇性蝕刻(意即，一種蝕刻最小量或較佳地不蝕刻多晶矽之蝕刻)部分地蝕刻BPSG 32，結果形成圖6之結構。就此處理中之此點而言，該等多晶矽儲存節點(電容器底板)40僅受到最小之支撐。圖6中之底板40中

的每一個包含一界定一凹槽之第一區域60與一界定該凹槽之一開口的第二區域62，此第一與第二區域是連續的，一個連著一個。換言之，圖6之底板40界定一容器，其具有一界定該容器之內部之開口的輪緣62。區域60、62形成該底板之垂直定向側面，且該等側面經由一水平定向底板64而電耦合。

接著，根據此項技術中已知方法，形成一單元介電層70(如，一層高品質之單元氮化物)、一多晶矽容器式電容器頂板72及一平面氧化物層(如BPSG 74)以得到圖7之結構。因為電容器單元介電層70與電容器頂板72順沿各個容器式電容器底板40之內部與外部之大部分的周線，所以此形成一“雙面”電容器。在形成圖7之結構之後，根據此項技術中之已知方法，繼續進行晶圓處理。

在圖6之結構中可以看到，習知處理移除支撐電容器底板40之氧化層32。執行對此氧化層的移除以允許在底板之兩面上形成單元介電層與電容器頂板，以形成一雙面電容器。圖6之結構易受損且易受缺陷的影響，諸如底板之傾斜(由例如在蝕刻圖5之BPSG 32以得到圖6之處理過程中引起的)、顛覆或提昇。然而，需要形成一雙面電容器來增加單元電容，其使得單元高度降低以低於一單面電容器。因為其設定待遵循之接點位準之深度，所以需要限制該單元電容器之垂直尺寸。舉例而言，當前的蝕刻工具技術能夠將接點蝕刻至一大約3.0微米(μm)至大約3.5 μm 之深度。若電容器高度導致該接點深度超過3.0 μm 至3.5 μm 之限度，則

需要額外的屏蔽層。做到此點之一方法為：在形成電容器之前形成與擴散區域相連之接點之一部分，接著在形成電容器之後形成剩餘之部分。此處理複雜而顯著地增加了裝置成本。

在習知處理中發生之另一問題間接地源自能夠得到圖6之結構的圖5之BPSG層32之蝕刻。在此蝕刻處理中，在該裝置邊緣(未描繪)上之BPSG亦得到蝕刻，其形成在該邊緣(其中沒有單元電容器)與該陣列(其中該等單元電容器之頂部在BPSG 32之頂部的原始位準)之間的氧化層中之一臺階。在形成該單元介電層與頂板之後，必須用氧化層填充該邊緣部分，接著將其平面化。填充與平面化之需要導致了額外的處理步驟，其進一步增加了成本。

將描述一種用於形成一減少或消除上述問題中一個或多個的雙面電容器(諸如一容器式電容器或一架式電容器)之方法及一源自其中之結構。

【發明內容】

本發明之實施例提供一新方法，在其它優勢中，其減少與半導體裝置之製造有關之問題，尤其減少源自在一支撐層形成之前的未受支撐之電容器頂板之不穩定之問題。

本發明之多種實施例提供用於一例如一如容器式電容器或架式電容器之儲存電容器的垂直定向結構之側向支撐。

自下列詳細描述並結合所附申請專利範圍與隨附其中之圖式，熟悉此項技術者將明瞭其它優點。

【實施方式】

應將術語"晶圓"理解為一種基於半導體之材料，其包括：矽、絕緣物上矽(SOI)或藍寶石(silicon-on-sapphire)上矽(SOS)技術，摻雜與不摻雜之半導體，由一基礎半導體底座支撐之矽磊晶層及其它半導體結構。此外，當在下列描述中引用一"晶圓"時，可能已使用先前之處理步驟來形成該基礎半導體結構或基座之中或之上的區域或接面。另外，當在下列描述中引用"基板組件"時，視處理之特定階段而定，該基板組件可包括一具有包括介電與導體之層之晶圓及諸如形成於其上之電晶體的部件。此外，該半導體無需基於矽，而是可基於矽鍺、絕緣物上矽、藍寶石上矽、鍺或砷化鎵，等。另外，在本文之討論及申請專利範圍中，對於兩層使用之術語"在……上"、一個在另一個"上"意味著該等層之間至少存在一些接點，而"在……上方"則意味著該等層接近，但可能會存在一個或多個額外插入層，使得可能存在接點但其並非必須的。"在……上"與"在……上方"均不意味著任何本文中使用的定向性。

在圖8-20中，描繪一種於一半導體形成時使用之發明性方法之第一實施例及多種發明性處理中結構。圖8描繪一包含一半導體晶圓基板組件10之結構，該半導體晶圓基板組件10包含一半導體晶圓12、在該晶圓中之傳導性摻雜區域14、包含閘極氧化層18、一字元線20、加強該字元線之傳導性之矽22、一介電電晶體覆蓋層24、介電隔片26及傳導性接觸焊墊28之電晶體。接觸焊墊28減少了在蝕刻一重疊介電層時必須移除之介電層的量。

在形成晶圓基板組件10之部件後，形成一毯覆性蝕刻止層31。蝕刻止層31可包含一層氮化矽、碳化矽($\text{Si}\cdot\text{C}$)、氧化鋁(Al_2O_3)或另一厚度在大約50埃($\text{\AA}$)與大約1,000($\text{\AA}$)之間的材料。接著，在蝕刻止層31上形成一基礎介電層84，諸如硼磷矽酸鹽玻璃(BPSG)、磷矽酸鹽玻璃(PSG)、紗線上介電層(spun-on dielectric)(SOD)或未摻雜矽玻璃(USG)。在基礎介電層84上形成一毯覆性支撐層86與一毯覆性犧牲層88。支撐層86與犧牲層88之特性包括層88與84對於層86選擇性之可蝕刻性(意即，蝕刻層88與84而不移除層86或移除很少)。層86可包含一厚度在大約200 $\text{\AA}$ 與大約1200 $\text{\AA}$ 之間的第二氮化矽層，而層88包含一厚度在大約300 $\text{\AA}$ 與大約600 $\text{\AA}$ 之間(較佳為大約400 $\text{\AA}$)之二氧化矽層，例如使用BPSG或原矽酸四乙酯(TEOS)處理。接著，形成一其中具有使接觸焊墊28曝露之蝕刻得以進行的開口之圖案化蝕刻光罩90。

在形成光罩層90之後，蝕刻圖8之結構以移除犧牲層88、支撐層86、基礎介電層84及蝕刻止層31之曝露部分，使得接觸焊墊28與覆蓋層24之可能的一部分得以曝露，結果形成一類似於圖9之結構。可在曝露蝕刻止層31之前，首先使用一單獨蝕刻移除二氧化矽犧牲層88、氮化矽支撐層86之曝露部分而在基礎介電層84中定時停止。接著，改變化學性質，使得移除剩餘之基礎介電層84而在蝕刻止層31上停止。接著，視情況而定，改變蝕刻並執行一段時間以充分移除曝露接點焊墊28之蝕刻止層31的曝露部分而不過多地

蝕刻覆蓋層 24 或隔片 26。亦可將蝕刻止層 31 留在原處。

在形成圖 9 之結構之後，移除光阻層 90 及蝕刻處理中形成之任何聚合體(未描繪)或其它污染物，結果形成圖 10 之結構。

接著，如圖 11 所述，形成一毯覆性電容器底板層 110(如，氮化鈦)。在該容器中形成一保護層 112(如，光阻層)以阻止污染物在隨後之處理中沈積入由底板形成之容器內部。在形成底板層 110 與保護層 112 之後，將該結構平面化(如，使用化學機械平面化(CMP))，結果形成圖 12 之結構。

在形成圖 12 之結構之後，選擇性地蝕刻犧牲層 88 以曝露在下方之支撐層 86，接著移除保護層 112。舉例而言，使用一包含氫氟酸(HF)之濕式蝕刻，可選擇性蝕刻氮化矽支撐層 86 與氮化鈦底板層 110，而移除二氧化矽之犧牲層 88。類似地，藉由在大約 150°C 與大約 300°C 之間的溫度將該材料灰化，且接著將該灰末進行濕式蝕刻(如，使用氫氟酸(HF)移除該光阻層灰末)來移除光阻層之保護層 112。若對底板 110 之材料進行選擇性蝕刻，則可在移除保護層 112 之前或可在移除保護層 112 之後執行犧牲層 88 之蝕刻。若在移除保護層 112 之後執行層 88 之蝕刻，則蝕刻劑會滲透底板層 110 中之任何針孔或其它空隙而開始蝕刻氧化層 84。此沒有害處，然而因為將在隨後處理中移除層 84，所以不能提供進一步的關鍵功能。移除保護層 112 與犧牲層 88 結果會形成圖 13 之結構。

接著，在圖 13 之結構之表面上形成光罩隔片層 140，結果形成圖 14 之結構。選擇用作此層之材料必須能夠承受支撐

層 86 之蝕刻，且亦必須對支撐層 86 與底板 110 之材料進行選擇性蝕刻。藉由一氮支撐層與氮化鈦底板，多晶矽將會充分發揮功能。形成的光罩隔片層具有一厚度，其足以將自身填充並衝擊 (impinge on) 進窄區域 142 中且等形地形成於寬區域 144 中。藉由當前技術，窄區域 142 可具有一在大約 200Å 與大約 600Å 之間的寬度，寬區域 144 可具有一在大約 600Å 與大約 1,200Å 之間的寬度。取決於犧牲層 88 之厚度的電容器底板 110 之曝露部分 146 的高度在大約 300Å 與大約 600Å 之間。為形成圖 14 之結構，形成在其寬平表面量測時具有一在大約 200Å 與大約 500Å 之間的目標厚度之等形多晶矽層 140。圖 14 描繪了層 140 完全填充底板之凹槽，但視底板中之開口之尺寸而定，此種情況可能不會出現。然而，在下文描述之層 140 之隨後的隔片蝕刻處理中，會形成足夠的材料以阻止對板 110 之底部的任何損害。

接著，在光罩隔片層 140 上執行一各向異性隔片蝕刻，結果會形成圖 15 之結構。此蝕刻移除了光罩隔片層 140 之材料而對支撐層 86 與底板 110 之材料進行選擇性蝕刻。蝕刻層 140 之後，隔片 150 仍留在寬區域 144 中，而層 152 仍然橋接由鄰近底板 110 形成之窄區域 142。

在形成隔片 150 之後，使用隔片 150 與層 140 之另外剩餘部分 152 作為一光罩來蝕刻支撐層 86，結果形成圖 16 之結構。圖 16 為沿圖 17 之 1-1 線所取之俯視圖，而圖 17 描繪一部分容器式電容器底板 110 與光罩隔片層 140 之剩餘部分 150、152 之陣列。除了圖 17 中所描繪的布局以外，在本發明中可使

用多種電容器布局。因為光罩層之圖案界定了支撐層86，所以支撐層86之組態類似於圖17之光罩隔片層之組態。具有此光罩之支撐層86之蝕刻移除了支撐層86之材料，而對底板110之材料具有選擇性。亦可在相同操作中蝕刻隔片150與支撐層86，但更可能在一處理中蝕刻隔片150而在另一獨立蝕刻中蝕刻支撐層86。在蝕刻支撐層86之過程中，亦可移除多晶矽層140與隔片150之一部分，只要此等兩部件仍然允許BPSG 84之曝露部分在寬區域144中而支撐層86之保護層在窄區域142中。

可在此時移除光罩隔片層之剩餘部分140、150與152來形成圖18之結構，或，其可留在原處。若移除多晶矽隔片，則可使用一包含四甲基氫氧化銨(TMAH)之濕式蝕刻移除該等多晶矽隔片，而對氮化矽支撐層86與氮化鈦底板110進行選擇性蝕刻。

圖19描繪移除多晶矽部件140、150與152之後與蝕刻基礎介電層84之後得到的結構。移除基礎介電層而對支撐層86、底板110與蝕刻止層31進行選擇性蝕刻。一種移除二氧化矽而對氮化矽與氮化鈦進行選擇性時刻之蝕刻包含氫氟酸(HF)之濕式蝕刻，其結果形成圖19之結構。蝕刻劑完全移除了圖17中描繪的曝露之基礎介電層84，且移除了環繞在各個電容器底板110的所有介電層84。

如圖19所描繪的，支撐結構86在移除基礎介電層84之後支撐電容器。移除基礎介電層是必需的，其允許形成一雙面電容器。此等支撐結構向各個底板提供一介電套環，各

個套環與鄰近套環相連使得該支撐層形成一支持所有電容器底板之矩陣。該支撐層之配置可由圖17確定，其描繪光罩層150、152之圖案，其亦描繪經蝕刻之支撐層86之圖案。如圖19所描繪的，支撐層86之頂部表面及底部表面與其它層並不接觸。然而，介電層84之一部分仍留在(尤其是)支撐層86與底板110之接觸點，對其進行完全清理更加困難。在任何情況下，即使此介電層84之一部分仍然接觸層86之底面，支撐層86之頂部與底部表面仍然大致不與任何其它層進行接觸。可以想像，對於一些電容器配置與處理而言，套環可能不如圖17所描繪的以360°環繞電容器底板。此外，由套環支撐之底板或其它部件可能不如圖17所描繪的呈圓形，而可能呈橢圓形、卵形、正方形、矩形等形狀。

若仍未移除隔片層140之剩餘部分150、152，則此時必需移除以防止電容器底板之間發生短路。

最後，根據此項技術中已知的方法，形成一電容器單元介電層200、一電容器頂板202及一介電層204來形成圖20之結構。根據此項技術中已知的方法，繼續進行晶圓處理。

該整體結構可比習知結構具有經改良之電容，此係由於可移除全部基礎介電層，此允許沿比習知結構更多的底板來形成頂板。舉例而言，參照圖6，在單元介電層與頂板之形成過程中，基礎介電層32之一部分必須留在原處以支撐電容器。然而根據本發明之一實施例，如圖19所描繪的，因為支撐層86仍支持底板，所以全部基礎介電層均可移除。

為阻止邊緣之蝕刻，可在蝕刻犧牲介電層之前，在蝕刻

光罩隔片層之前，或在蝕刻支撐層之前形成一光罩層。其將防止裝置邊緣上方之BPSG被蝕刻，且其將形成其中不存在儲存單元電容器之邊緣與其中儲存單元電容器之頂部在層88之頂部的初始水平之陣列之間的氧化層中之一臺階。若不保護該邊緣，則在形成單元介電層200與頂板202之後必須使用氧化物(其接著被平面化)來回填該邊緣。

在形成圖16之隔片152之後，可在支撐層86上執行一選擇性蝕刻以增加144處開口之寬度。此較大的開口可允許更加容易地移除基礎介電層，且可提供用於形成單元介電層200與頂板202之經改良之條件。

可用一類似於圖21與22所描繪之容器式電容器之形成方式來形成一架式電容器。如圖21所描繪的，形成底板層110以完全填充由犧牲層88、支撐層86與基礎介電層84界定的凹槽。因此，底板層110會比圖11之結構中所描繪的底板層厚得多。在此架式電容器實施例中無需保護層112，此係由於底板層110完全填充了凹槽。在形成圖21之結構後，將底板層110與犧牲層88之可能的一部分平面化，以自犧牲層88之水平表面移除層110藉此獲得如圖22所描繪之架式電容器底板110。

在另一實施例中，可形成一單一材料層，而非形成圖12之犧牲層88與支撐層86兩者。該單一層可為一由支撐層之材料製成之較厚的層，如氮化矽，且與層86與88組合之厚度相同。將在該層上執行一定時蝕刻以形成圖13之結構。此處理不像使用兩個獨立層時具有可控性，因此對大多數

處理流程而言並非較佳的，但是對一些處理而言可能具有優點。根據其它實施例，接著繼續進行處理，例如形成光罩隔片層140與其它隨後之步驟。

根據上述實施例，在處理電容器之陣列時，尤其在蝕刻圖18之結構的基礎介電層以形成圖19之結構時，必須保護晶粒之邊緣區域。圖23為一俯視圖，其描繪形成圖8之圖案化光阻層90之前的四個陣列230與一半導體晶粒234之邊緣232。一典型記憶體晶粒可能會包含大量陣列。

圖24描繪形成圖案化光阻層90之後的圖23之結構。光阻層90具有開口240，其允許蝕刻圖8之結構的犧牲層88、支撐層86及基礎介電層84以形成圖9結構。圖24並未按照比例繪製，且將形成比所描繪的更多的用於電容器之開口240。光阻層90其中亦具有在陣列周圍形成一"溝壕"之開口242，其在移除基礎介電層84以形成圖19之結構時保護邊緣232。在形成電容器底板110時，將向此溝壕填滿材料，且因此無需額外的處理來形成並填充該溝壕。對當前處理而言，該溝壕之寬度在大約200Å與大約600Å之間。在藉由套環對基礎介電層進行蝕刻時，會形成一光阻層以覆蓋並保護該邊緣，但曝露該陣列。因此，在移除曝露該電容器底板之側壁的基礎介電層時，光阻層與該溝壕中之層保護介電層(如該邊緣中之BPSG)不受蝕刻。

如圖25所描繪的，一根據本發明形成之半導體裝置250可與其它裝置(如，一印刷電路板254之微處理器252)一起附著於如一電腦主板，或作為用於個人電腦、微型電腦或主

框架(mainframe)256之內存模板之一部分上。圖25亦展示了裝置250在其它包含一外殼236之電子裝置中之用途，該等電子裝置例如包含一微處理器252且與電信、汽車工業、半導體測試與製造設備、消費型電子設備或實質上任一種消費型或工業型電子設備相關之裝置。

本文所描述的處理與結構可用於製造大量的包含一電容器(如，一容器式電容器或一架式電容器)的不同結構。舉例而言，圖26為一諸如一具有記憶體陣列之動態隨機儲存記憶體的記憶體裝置之簡化方塊圖，該記憶體陣列具有一可使用本發明之一實施例形成之容器式電容器。熟悉此項技術者將瞭解此裝置之一般操作。圖26描繪一耦合至一記憶體裝置262之微處理器260，且進一步描繪一記憶體積體電路之下列基礎部分：控制電路264；列266與行268位址緩衝器；列270與行272解碼器；感應放大器274；記憶體陣列276；及資料輸入/輸出278。

儘管已參照說明性實施例描述了本發明，但是該描述並無意限制本發明。熟悉此項技術者參照此描述將明瞭該等說明性實施例之各種修改以及本發明之其它實施例。因此，希望所附申請專利範圍將涵蓋任何屬於本發明之真正範圍內的修改或實施例。

【圖式簡單說明】

圖1-7為描繪用於形成一雙面容器式電容器結構之習知方法之截面圖；

圖8-16與18-20為截面圖，且圖17為俯視圖，其描繪用於

形成一雙面容器式電容器結構之本發明方法之實施例；

圖 21 與 22 為描繪用於形成一架式電容器之本發明之一實施例之截面圖；

圖 23 為本發明作為在一動態隨機儲存記憶體中之一記憶體陣列之例示性用途的方塊圖；

圖 24 為本發明在一電子裝置中之用途之等角繪圖；

圖 25 為可根據本發明例示性態樣形成之例示性半導體裝置的圖示；及

圖 26 為可根據本發明例示性態樣形成之記憶體系統的方塊圖。

應強調的是：本文之圖式並非準確比例，而是示意圖。該等圖式之意圖並非描繪取決於由熟習此項技術者對本文之信息的細查而判定之本發明的詳細參數、材料、特定用途或結構細節。

【主要元件符號說明】

10	半導體晶圓基板組件
12	晶圓
14	摻雜源極/汲極區域
16	電晶體
18	閘極氧化層
20	控制閘極
22	矽化物
24	覆蓋層
26	氮化矽隔片

28	多晶矽焊墊
30	淺槽隔離(STI，場氧化物)
31	蝕刻止層
32	沈積氧化層
34	圖案化光阻層
40	毯覆性傳導層
42	填充材料
60	第一區域
62	第二區域
64	水平定向底板
70	單元介電層
72	電容器頂板
74	硼磷矽酸鹽玻璃
84	基礎介電層
86	毯覆性支撐層
88	毯覆性犧牲層
90	圖案化蝕刻光罩/圖案化光阻層
110	毯覆性電容器底板層
112	保護層
140	等形多晶矽層
142	窄區域
144	寬區域
146	曝露部分
150	隔片

152	等形多晶矽層之剩餘部分
200	單元介電層
202	電容器頂板
204	介電層
230	陣列
232	邊緣
234	半導體晶粒
236	外殼
240	開口
242	開口
250	半導體裝置
252	微處理器
254	印刷電路
256	主框架
260	微處理器
262	記憶體裝置
264	控制電路
266	列位址緩衝器
268	行位址緩衝器
270	列解碼器
272	行解碼器
274	感應放大器
276	記憶體陣列
278	資料輸入/輸出

五、中文發明摘要：

本發明揭示一種用於形成一用於一半導體裝置之雙面電容器之方法，其包括於晶圓處理過程中形成一支撐電容器底板之介電結構。此結構特別適用於在移除基礎介電層以曝露該等底板之外層來形成一雙面電容器之過程中支撐該等底板。此支撐結構於形成一單元介電層、一電容器頂板及一最終支撐電介質時進一步支撐該等底板。亦描述了一發明性結構。

六、英文發明摘要：

七、指定代表圖：

(一)本案指定代表圖為：第 (13) 圖。

(二)本代表圖之元件符號簡單說明：

10	半導體晶圓基板組件
12	晶圓
14	摻雜源極/汲極區域
16	電晶體
18	閘極氧化層
20	控制閘極
22	矽化物
24	覆蓋層
26	氮化矽隔片
28	多晶矽焊墊
30	淺槽隔離(STI，場氧化物)
31	蝕刻止層
84	基礎介電層
86	毯覆性支撐層
110	毯覆性電容器底板層

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

十、申請專利範圍：

1. 一種用於形成一半導體裝置之方法，其包含：

在一基礎介電層中形成複數個容器式電容器底板；

圍繞該等電容器底板中的每一個形成一支撐套環，該支撐套環其中具有曝露該基礎介電層之複數個開口；及

經由該套環中之該等開口來蝕刻該基礎介電層，以曝露該等複數個容器式電容器底板之側壁，其中在蝕刻該基礎介電層之後，該支撐套環支撐該等容器式電容器底板中的每一個。

2. 如請求項1之方法，其進一步包含在該等複數個容器式電容器底板之該等側壁上及該支撐套環上形成一單元介電層。

3. 如請求項2之方法，其進一步包含在該單元介電層上及該支撐套環上方形成一電容器頂板。

4. 如請求項1之方法，其進一步包含在經由該套環中之該等開口蝕刻該基礎介電層時，大體上移除該基礎介電層之全部，使得該套環接觸該等複數個電容器底板而大致不與任何其它層接觸。

5. 如請求項1之方法，其進一步包含：

在該基礎介電層之一水平表面上形成一毯覆性層，該毯覆性層由一選自由二氧化矽、硼磷矽酸鹽玻璃及原矽酸四乙酯組成之群的材料製成；及

蝕刻該毯覆性層以形成該支撐套環。

6. 如請求項1之方法，其進一步包含：

在形成該等容器式電容器底板之前形成一毯覆性支撐套環層；

蝕刻該基礎介電層與該毯覆性套環層以在其中形成複數個開口；

在該基礎介電層中與該毯覆性套環層中之各個開口中形成複數個容器式電容器底板中的一個；

僅部分地蝕刻該套環層以曝露各個容器式電容器底板之一上側壁；及

在僅部分地蝕刻該套環層以曝露各個容器式電容器底板之該上側壁之後，經由該套環中之該等開口執行該基礎介電層之蝕刻。

7. 如請求項1之方法，其進一步包含：

在形成該等容器式電容器底板之前形成一毯覆性支撐套環層；

在該毯覆性套環層上形成一毯覆性犧牲層；

蝕刻該毯覆性犧牲層、該毯覆性套環層及該基礎介電層以在其中形成複數個開口；

在該毯覆性犧牲層中、該毯覆性套環層中及該基礎介電層中之各個開口中形成複數個容器式電容器底板中的一個；

蝕刻該犧牲層以曝露各個容器式電容器底板之一上側壁且以曝露該套環層；及

在蝕刻該犧牲層之後，經由該套環中之該等開口執行該基礎介電層之蝕刻。

8. 如請求項1之方法，其進一步包含：

在於該基礎介電層中形成複數個容器式電容器底板之前，蝕刻該基礎介電層以在其中形成界定該等容器式電容器底板之複數個開口，且在其中形成界定複數個溝壕之複數個開口，其中各個溝壕環繞一半導體晶粒之各個陣列；

在該等界定該等容器式電容器底板之複數個開口中與在該等界定複數個溝壕之開口中形成一容器式電容器底板層；及

在經由該套環中之該等開口蝕刻該基礎介電層時，使用在該等界定複數個溝壕之開口中之該容器式電容器底板層作為一蝕刻止層以保護該半導體晶粒之一邊緣。

9. 一種用於形成一半導體裝置之方法，其包含：

在一半導體晶圓基板組件上方形成一圖案化基礎介電層；

在該圖案化基礎介電層上方形成一支撐層；

在該支撐層上方形成一犧牲層；

移除該犧牲層、該支撐層及該圖案化基礎介電層之一部分以形成一由該犧牲層、該支撐層及該圖案化基礎介電層界定之凹槽；

在該凹槽中形成一電容器底板，該底板接觸該犧牲層、該支撐層及該圖案化基礎介電層；

在形成該電容器底板之後，移除該犧牲層以留出該底板之一部分自該支撐層突出；

沿該底板之該突出部分形成光罩隔片；

使用該等光罩隔片作為一光罩來蝕刻該支撐層以在該支撐層中形成開口；及

經由該支撐層中之該等開口來蝕刻該基礎介電層，

其中在經由該支撐層中之該等開口來蝕刻該基礎介電層之後，保留該支撐層之至少一部分。

10. 如請求項9之方法，其進一步包含：

形成至少第一、第二及第三電容器底板，使得該第一與該第二電容器底板之間之一第一距離在截面上大於該第二與該第三電容器底板之間之一第二距離；

移除該犧牲層以留出該第一、該第二及該第三底板之一部分自該支撐層突出；

在該第一及該第二電容器底板之間與在該第二及該第三電容器底板之間形成一光罩隔片層，使得該光罩隔片層在該第一及該第二電容器底板之間與在該第二及該第三電容器底板之間橋接；及

在該光罩隔片層上執行一各向異性蝕刻，以形成沿該等底板之該等突出部分之光罩隔片，使得在該各向異性蝕刻之後，該光罩隔片層在該第一與該第二電容器底板之間在截面上不再橋接，而在該第二與該第三電容器底板之間在截面上橋接。

11. 如請求項9之方法，其進一步包含形成與由該犧牲層、該支撐層及該圖案化基礎介電層界定之該凹槽等形之電容器底板，使得該電容器底板其中具有一凹槽。

12. 如請求項9之方法，其進一步包含：

形成一電容器底板層，以完全填充該由該犧牲層、該支撐層及該圖案化基礎介電層界定之凹槽並疊蓋該犧牲層之一水平表面；及

平面化該電容器底板與該犧牲層，以自該犧牲層之水平表面中移除該電容器底板層並形成該電容器底板。

13. 一種處理中半導體裝置，其包含：

複數個容器式電容器底板，其中各個板包含一底部及第一與第二截面垂直定向之側面，各個側面具有一高度且其高度之大部分不受支撐；

一具有一底部表面及一頂部表面之支撐層，其中該支撐層接觸該等複數個底板之各個容器式電容器底板，且其中該支撐層之該頂部表面及該底部表面大致不與任何其它層接觸。

14. 如請求項13之處理中半導體裝置，其中該支撐層為一選自由二氧化矽、硼磷矽酸鹽玻璃與原矽酸四乙酯組成之群的材料。

15. 如請求項13之處理中半導體裝置，其中該等複數個容器式電容器底板包含第一、第二及第三容器式電容器底板，且該處理中半導體裝置進一步包含：

在截面上隔開一第一距離之該第一與該第二電容器底板；

在截面上隔開一比該第一距離小的第二距離之該第二與該第三電容器底板；及

在截面上在該第二與該第三電容器底板之間橋接而不在該第一與該第二電容器底板之間橋接之該支撐層。

16. 如請求項13之處理中半導體裝置，其進一步包含：

一陣列區域，其包含複數個容器式電容器底板及一邊緣區域；及

一在該邊緣區域與該陣列區域之間的溝壕，其具有一朝向該邊緣區域之第一側面與一朝向該陣列區域之第二側面，其中該第二側面曝露而該第一側面未曝露。

17. 一種半導體裝置，其包含：

一向上延伸之容器狀底部電極，其中該底部電極具有一內部表面、一外部表面、一頂部區域及一底部區域；

一側向支撐結構，其自該底部電極之該外部表面之一頂部區域水平延伸；

一介電層，其覆蓋該內部與該外部表面之一實質性區域；及

一頂部電極，其在該介電層之至少一部分上方，以允許該頂部電極與該內部及該外部表面兩者之一實質性區域之間的電容式耦合。

18. 如請求項17之半導體裝置，其中該側向支撐結構包含氮化矽。

19. 如請求項17之半導體裝置，其中該側向支撐結構包含一環繞該底部電極之環行圈。

20. 如請求項19之半導體裝置，其中該底部電極為一第一電極且該半導體裝置進一步包含該環行圈側向支撐結構，

其實體上耦合至一與該第一底部電極側向隔離並向上延伸之第二容器狀底部電極。

21. 一種電容器記憶體單元對，其包含：

第一與第二向上延伸之垂直定向底部電極，其中該等底部基板各個具有一外部表面、一頂部區域及一底部表面，且該第一與該第二底部電極側向間隔開；

一側向支撐結構，其自該第一底部電極之該外部表面之一頂部區域水平延伸至該第二底部電極之該外部表面之該頂部區域；

一介電層，其覆蓋該第一與該第二底部電極之該等外部表面之大部分；及

一共同頂部電極，其在該介電層之至少一部分上方以允許該頂部電極與該第一及該第二底部電極兩者之該等外部表面之大部分之間的電容式耦合。

22. 如請求項21之電容器記憶體單元對，其中：

該第一及該第二向底部電極各個界定一具有一內部表面之容器；

該介電層覆蓋該第一及該第二底部電極之該等內部表面之大部分；及

在該介電層之至少一部分之上方的該共同頂部電極允許該頂部電極與該第一及該第二底部電極之該等內部表面之大部分之間的電容式耦合。

十一、圖式：

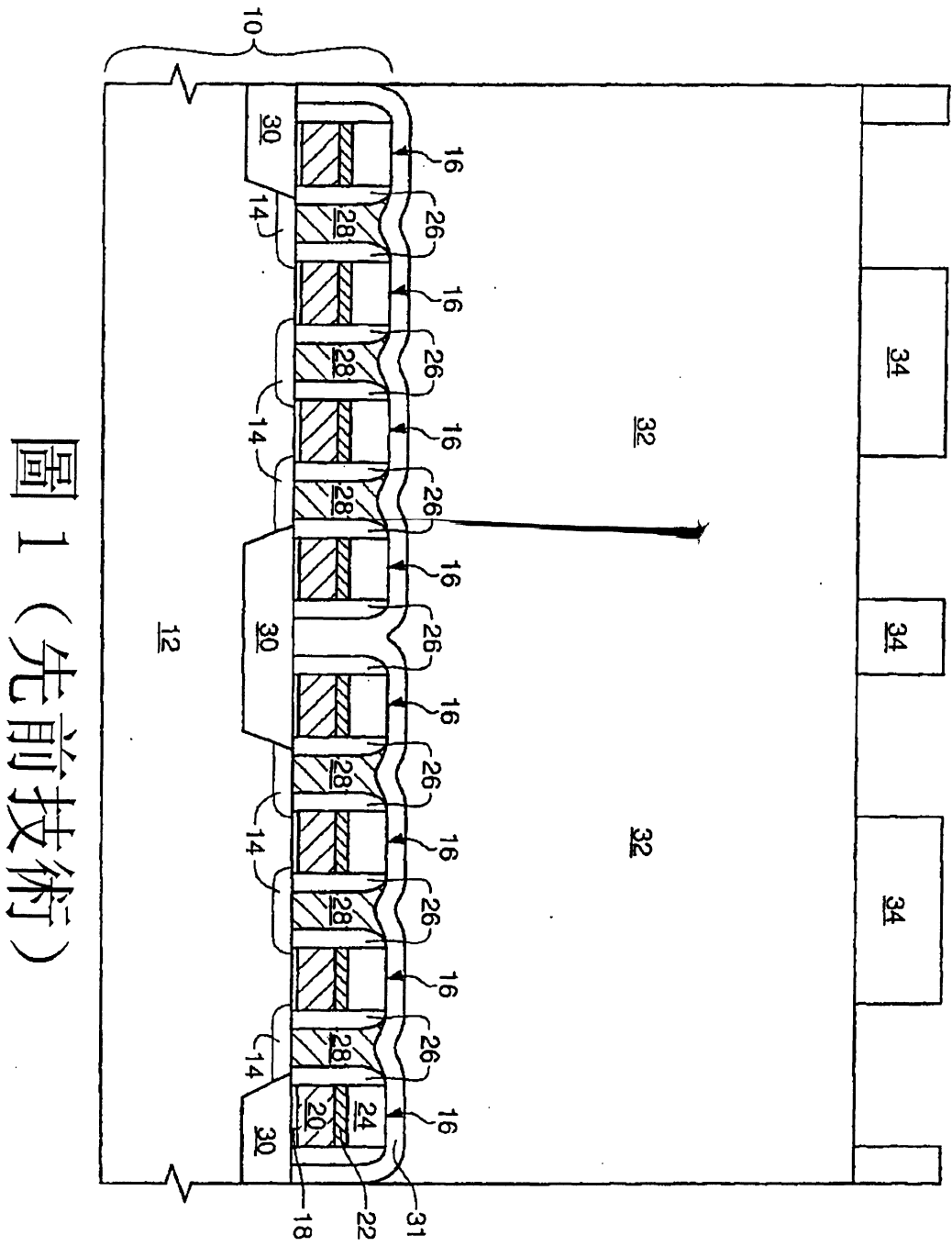


圖 1 (先前技術)

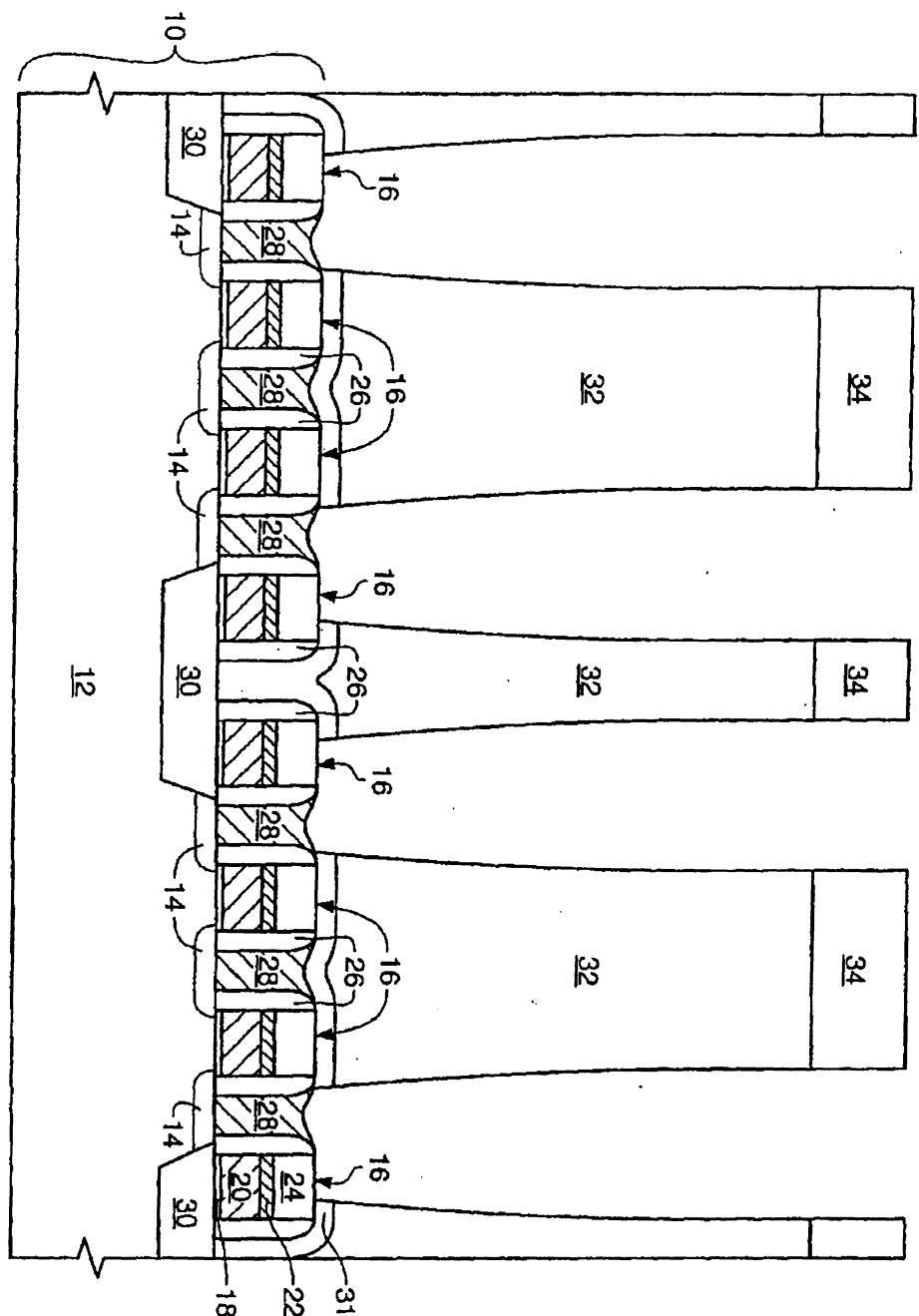


圖 2 (先前技術)

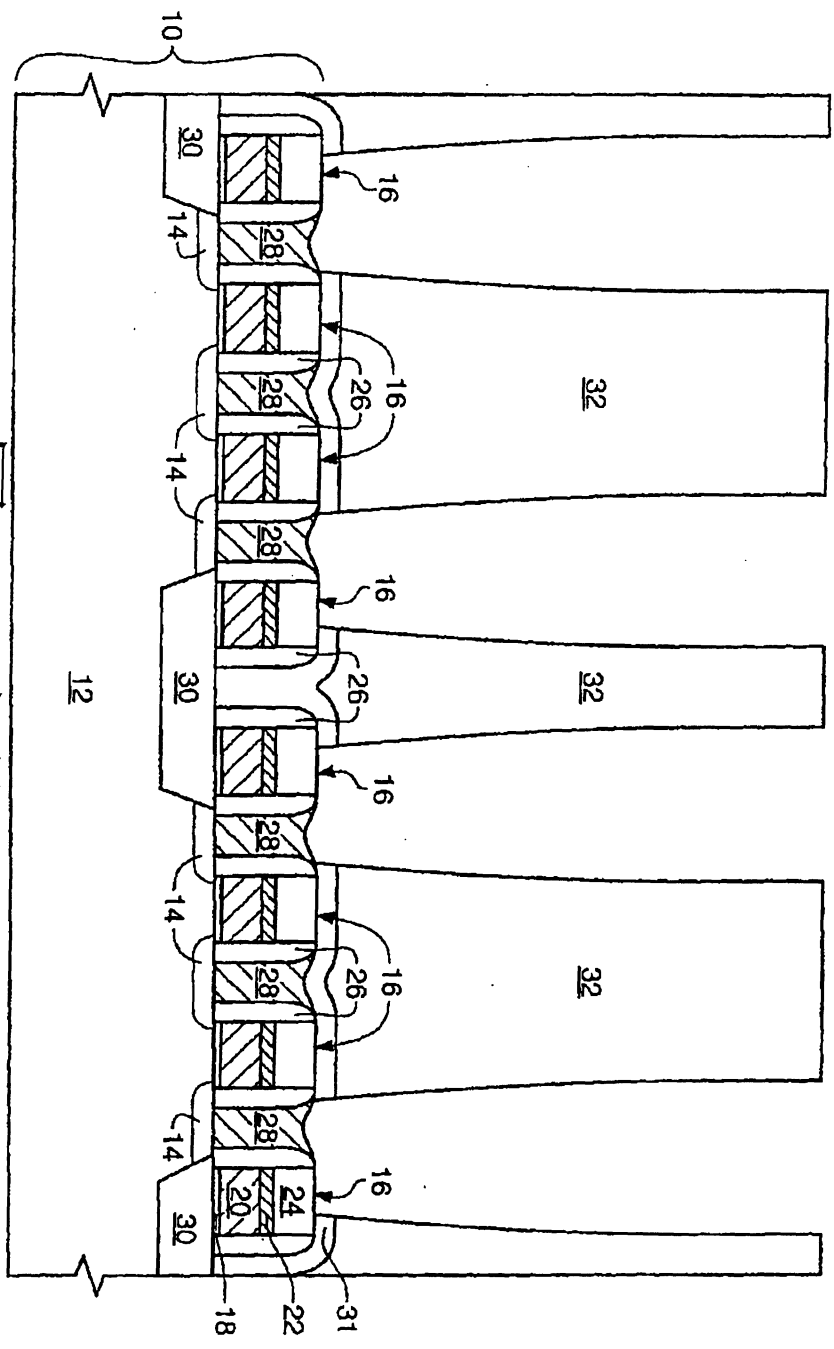
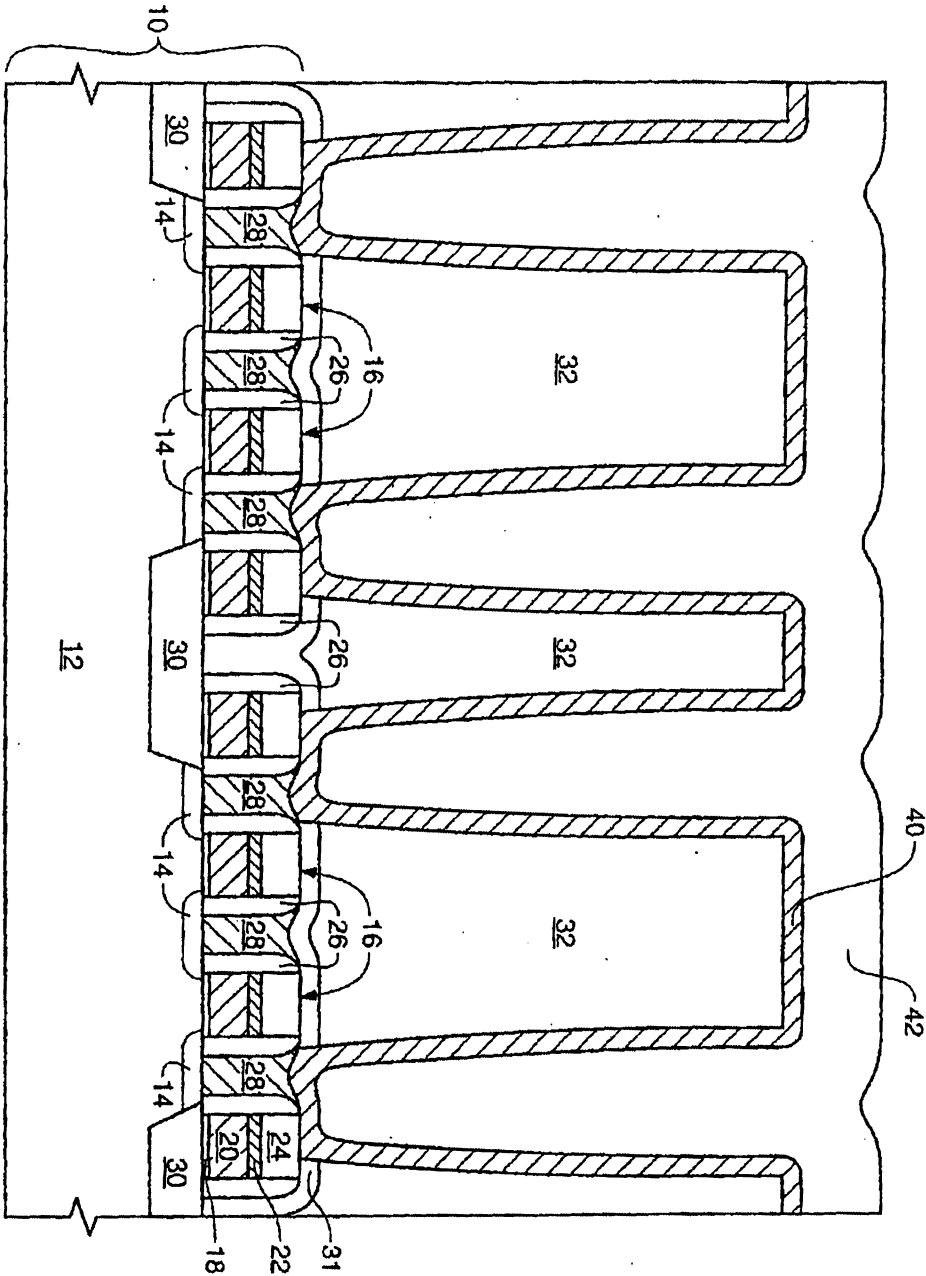
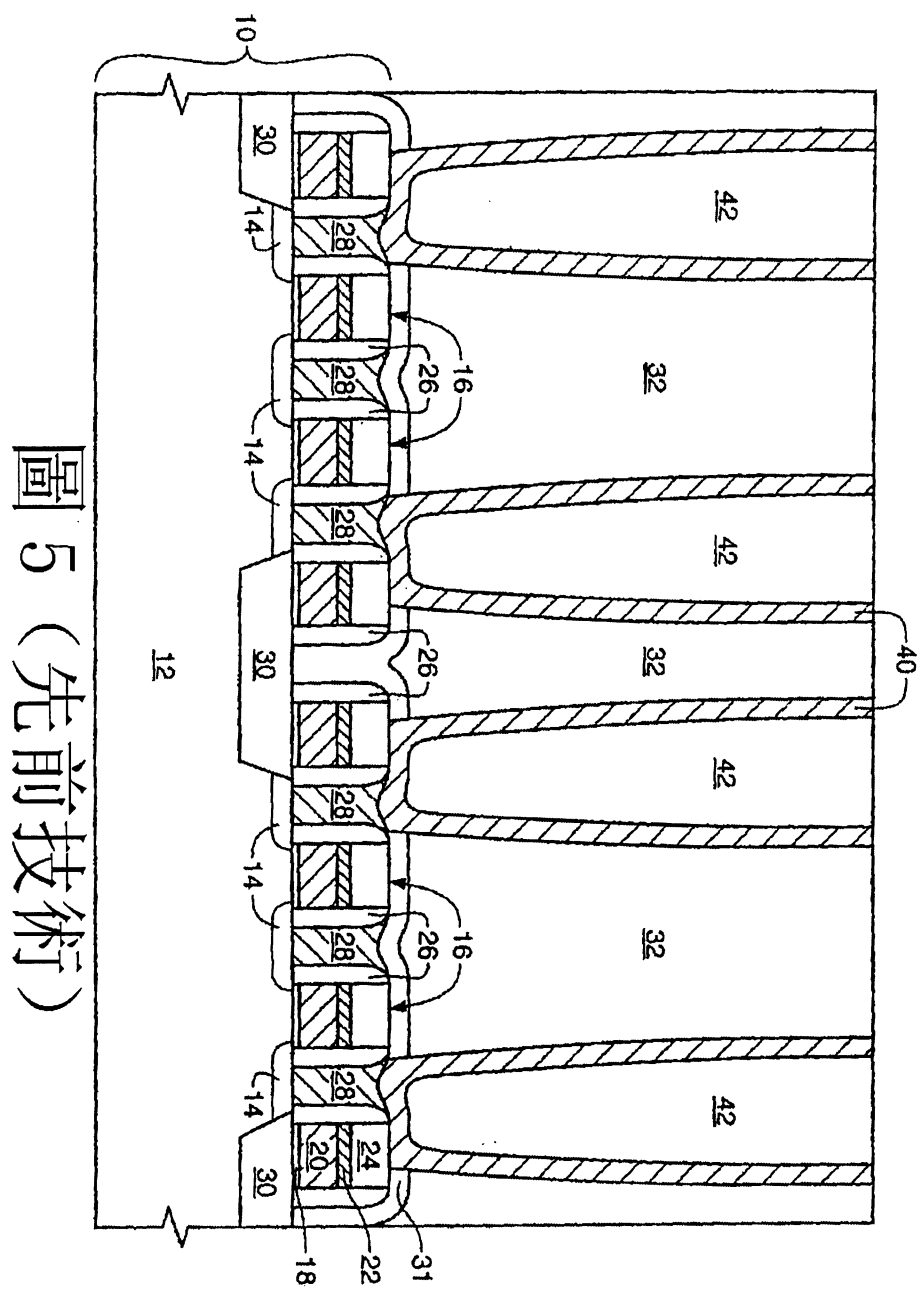


圖 3 (先前技術)

圖 4 (先前技術)





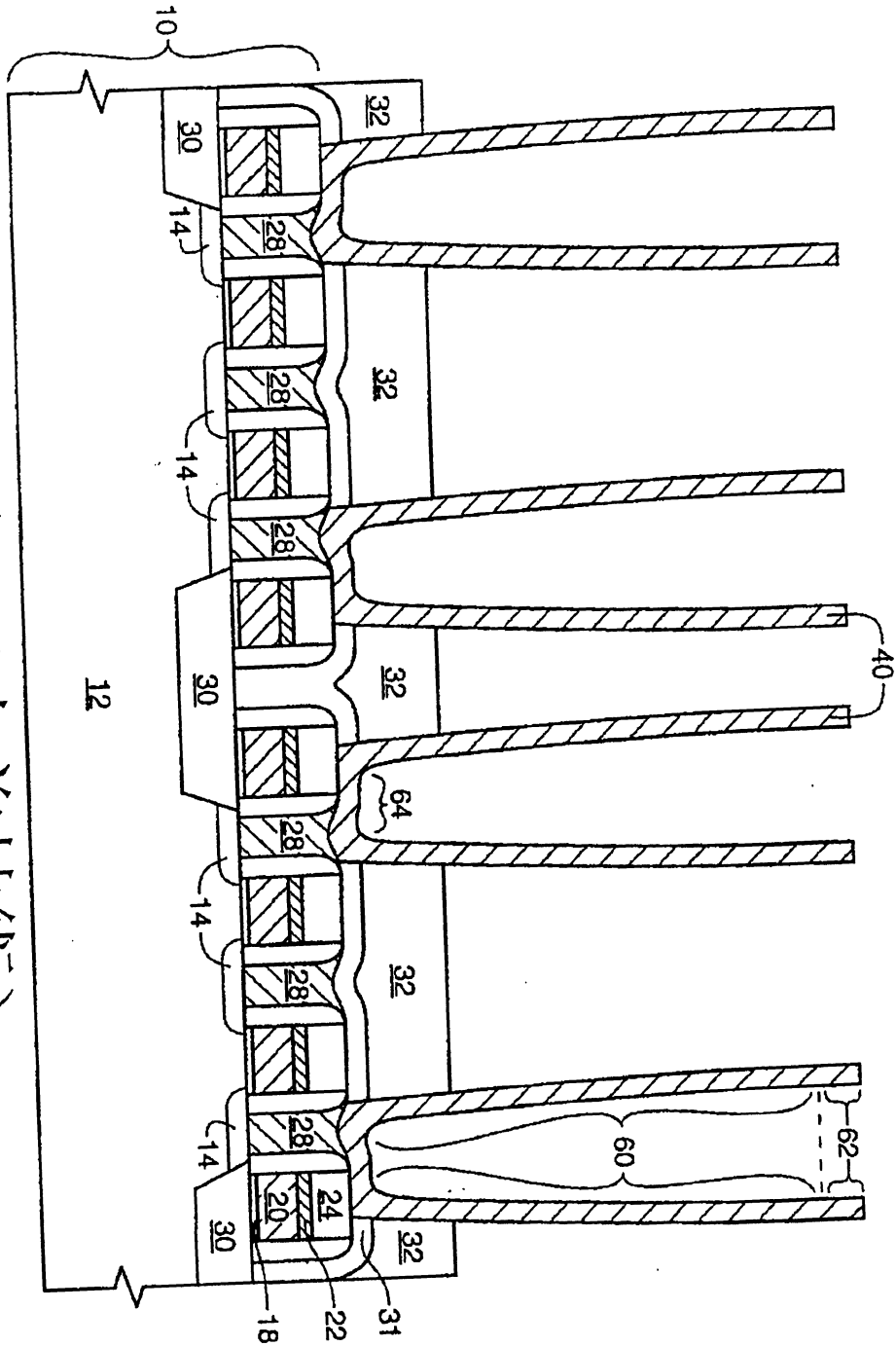


圖 6 (先前技術)

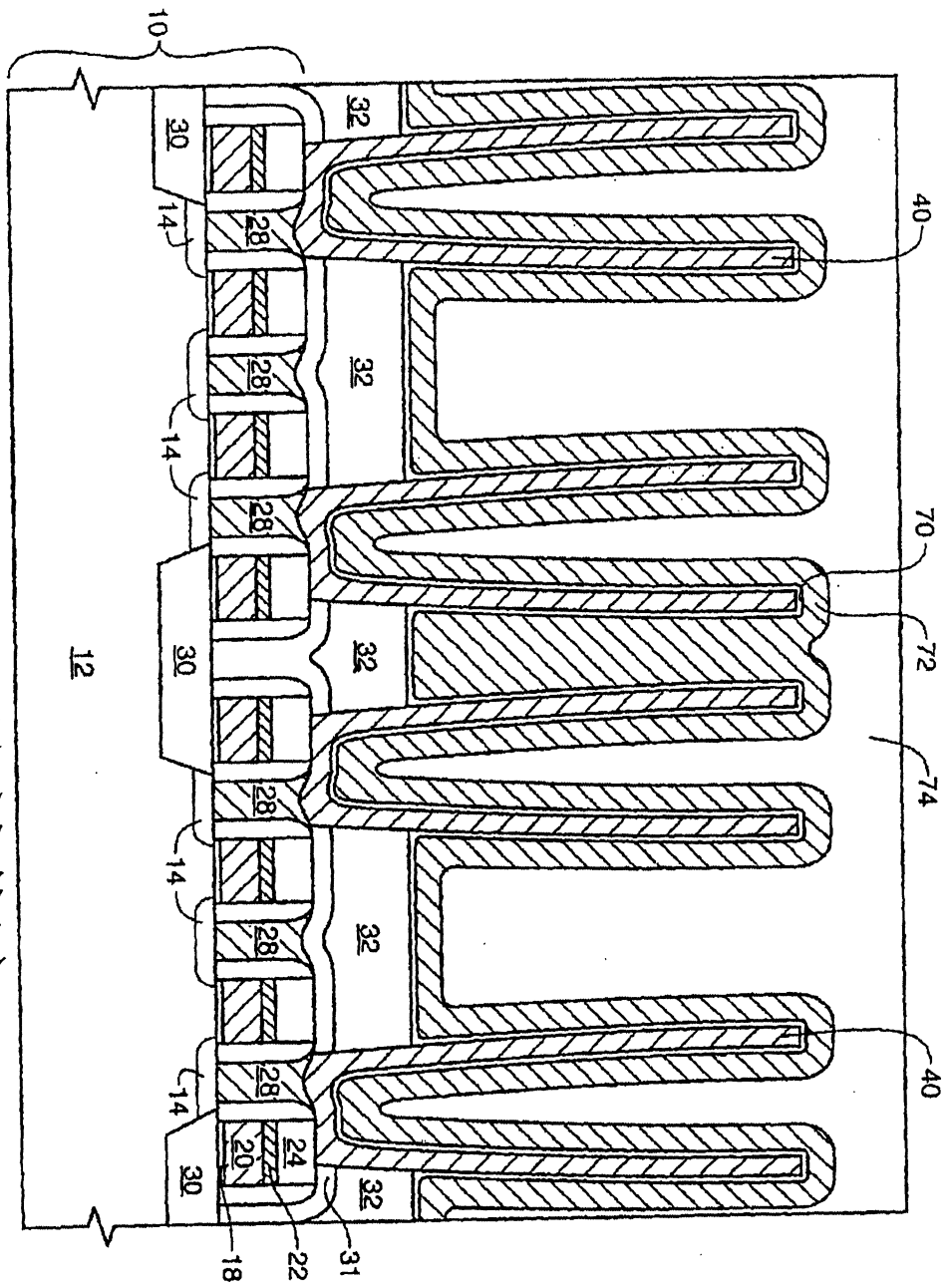


圖 7 (先前技術)

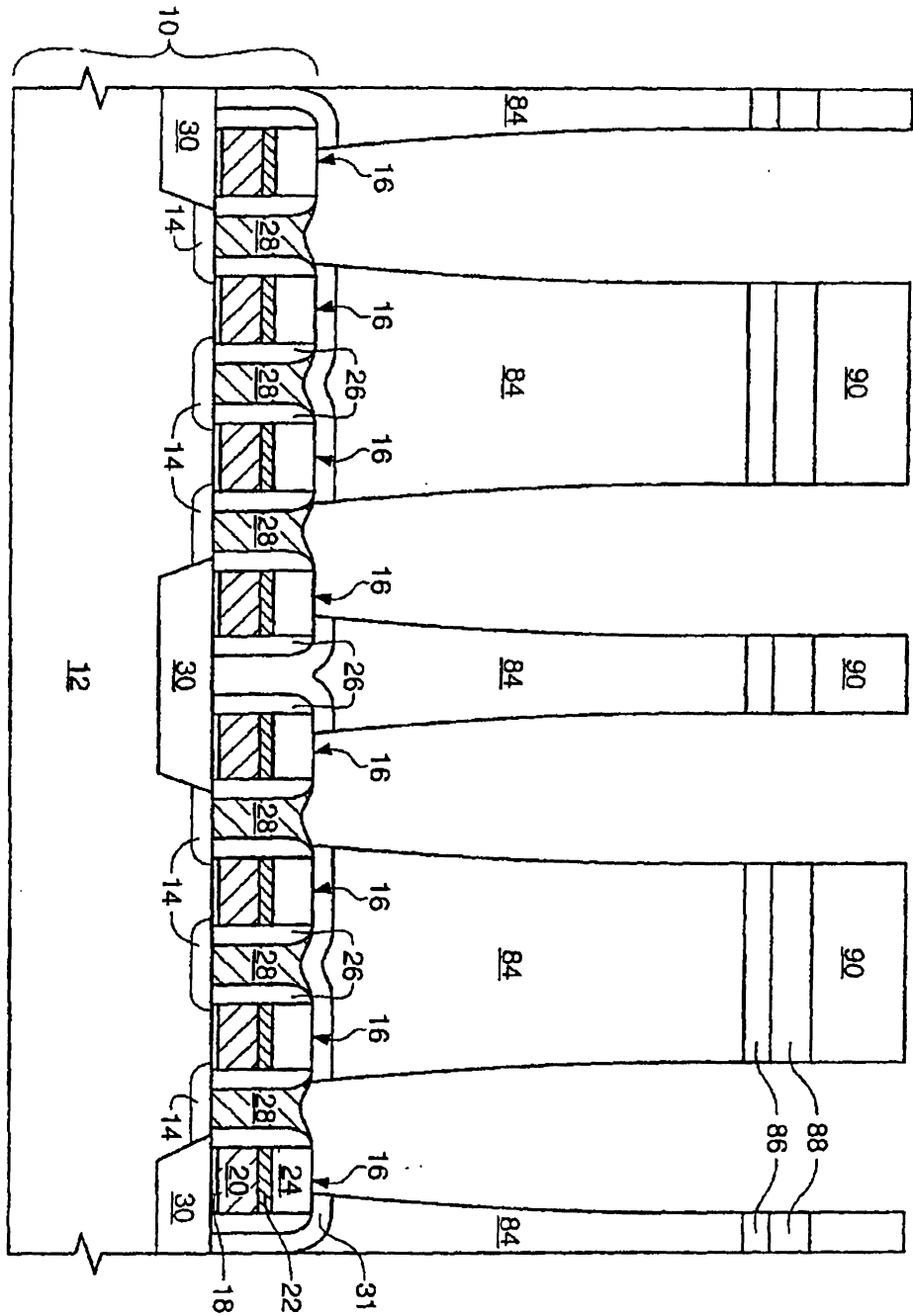


圖 9

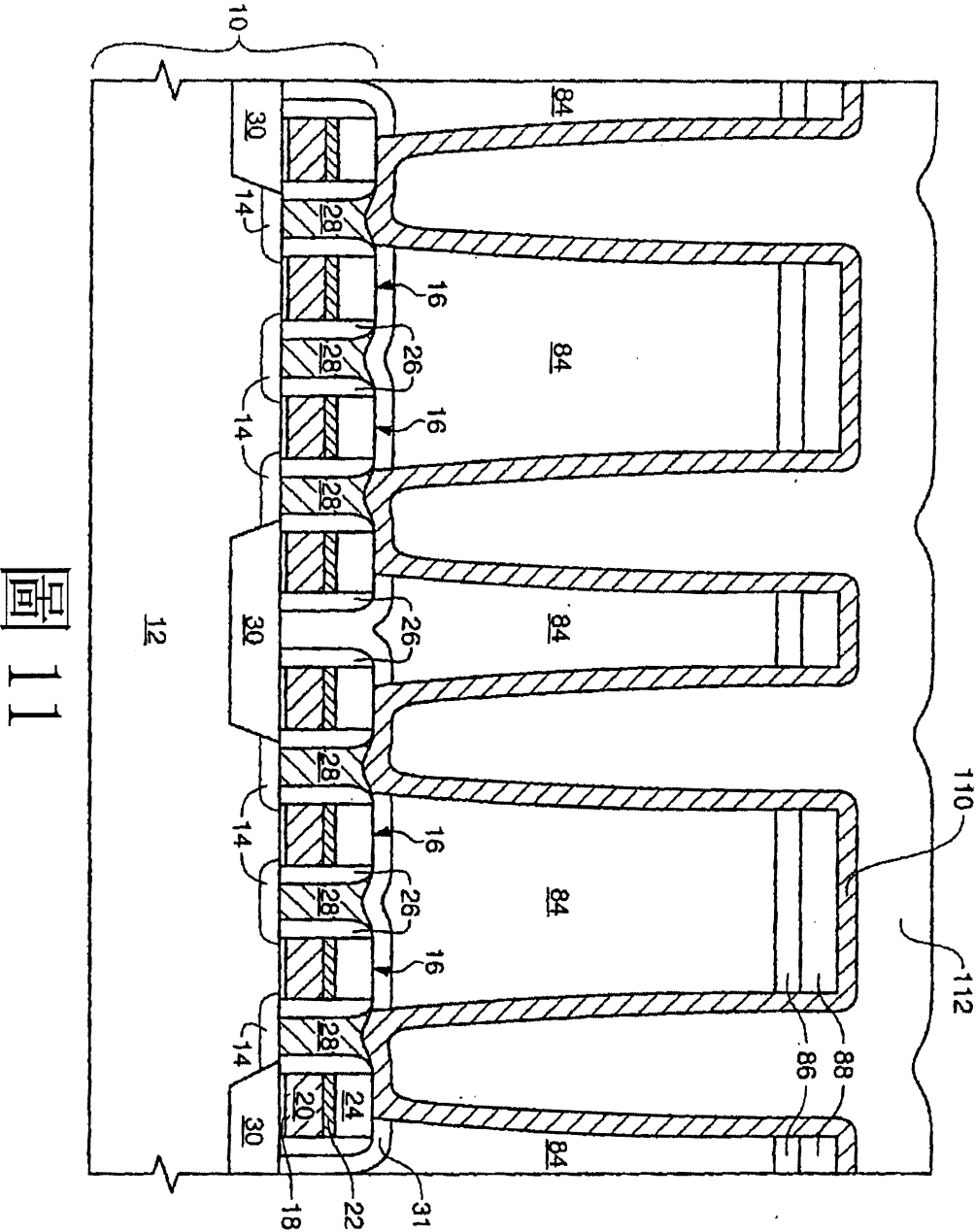


圖 11

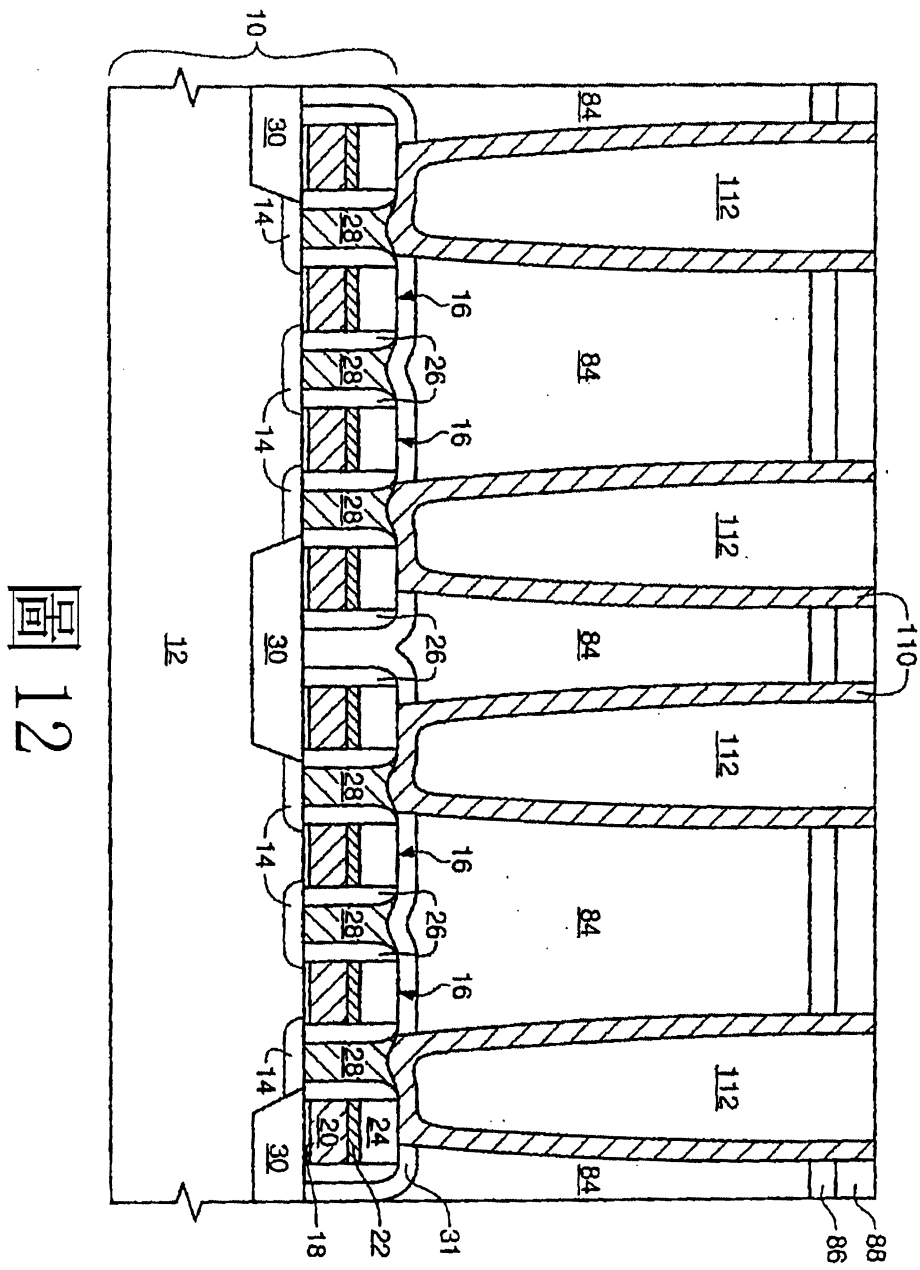
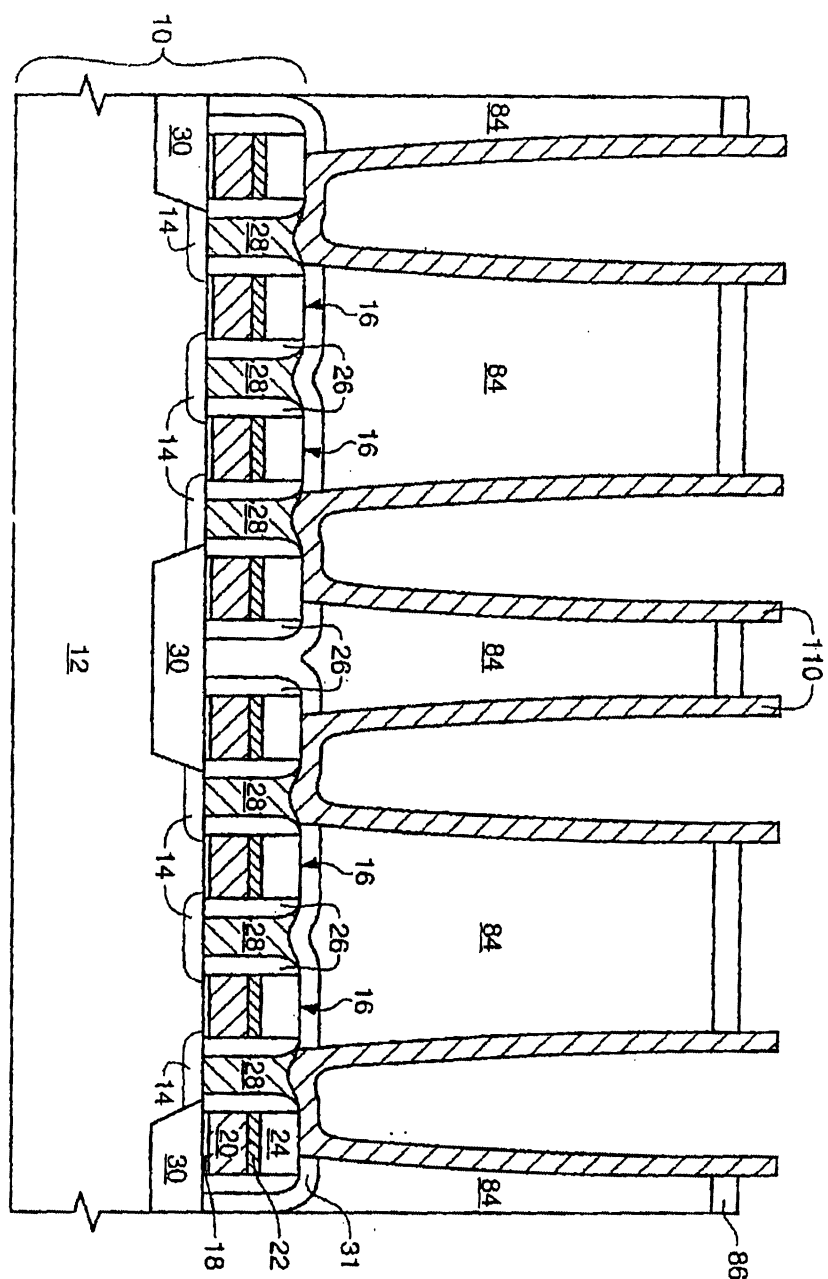


圖 12



13

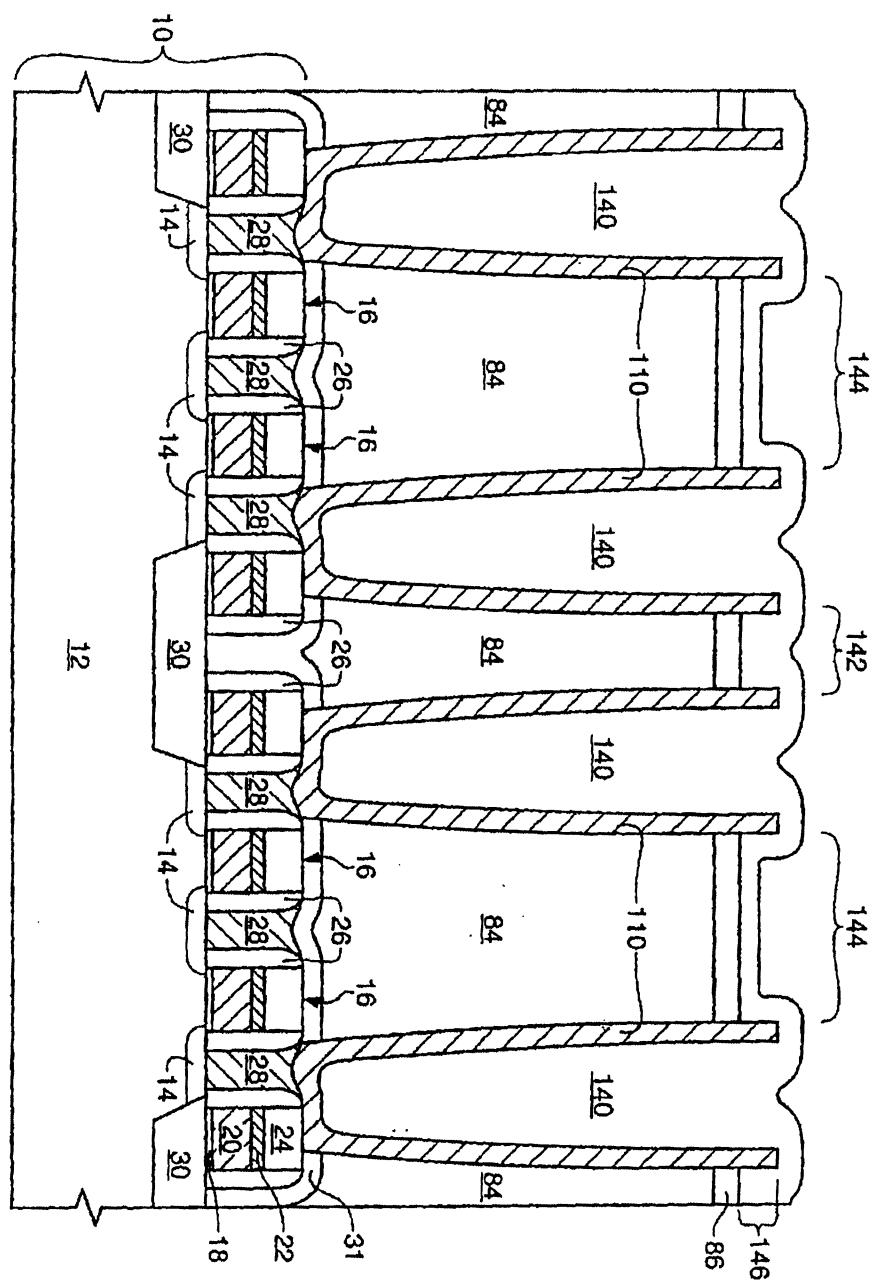


圖 14

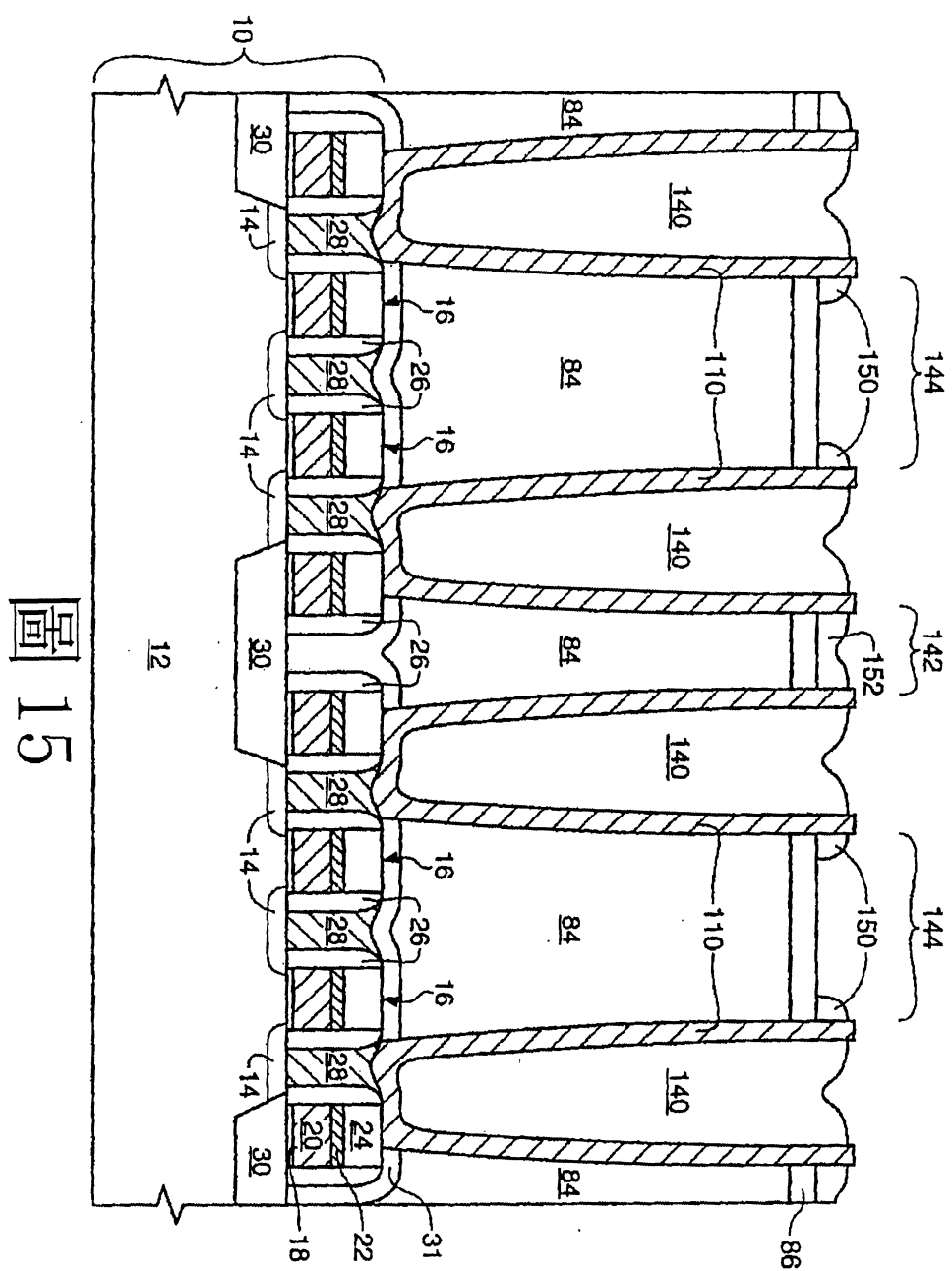


圖 15

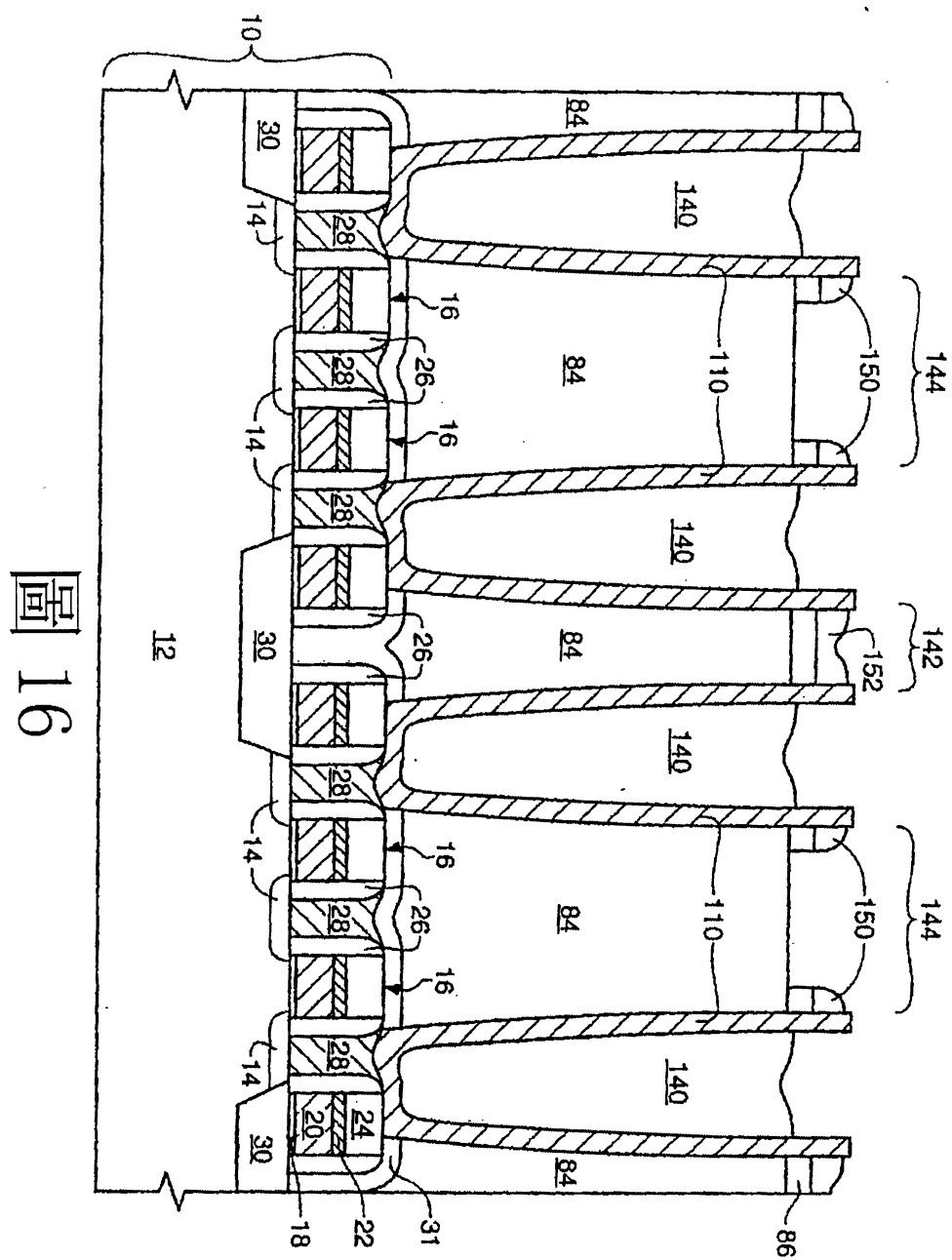


圖 16

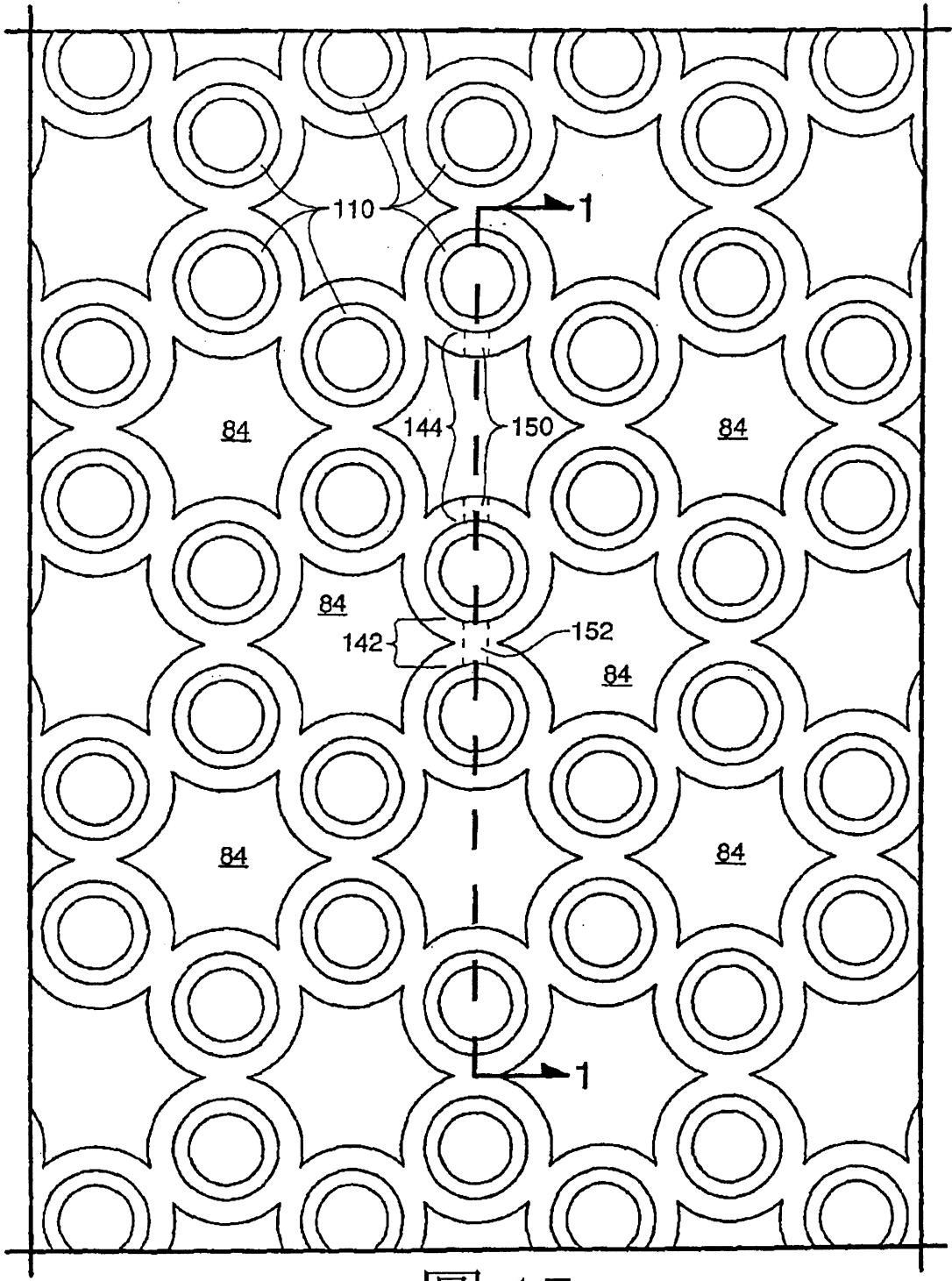


圖 17

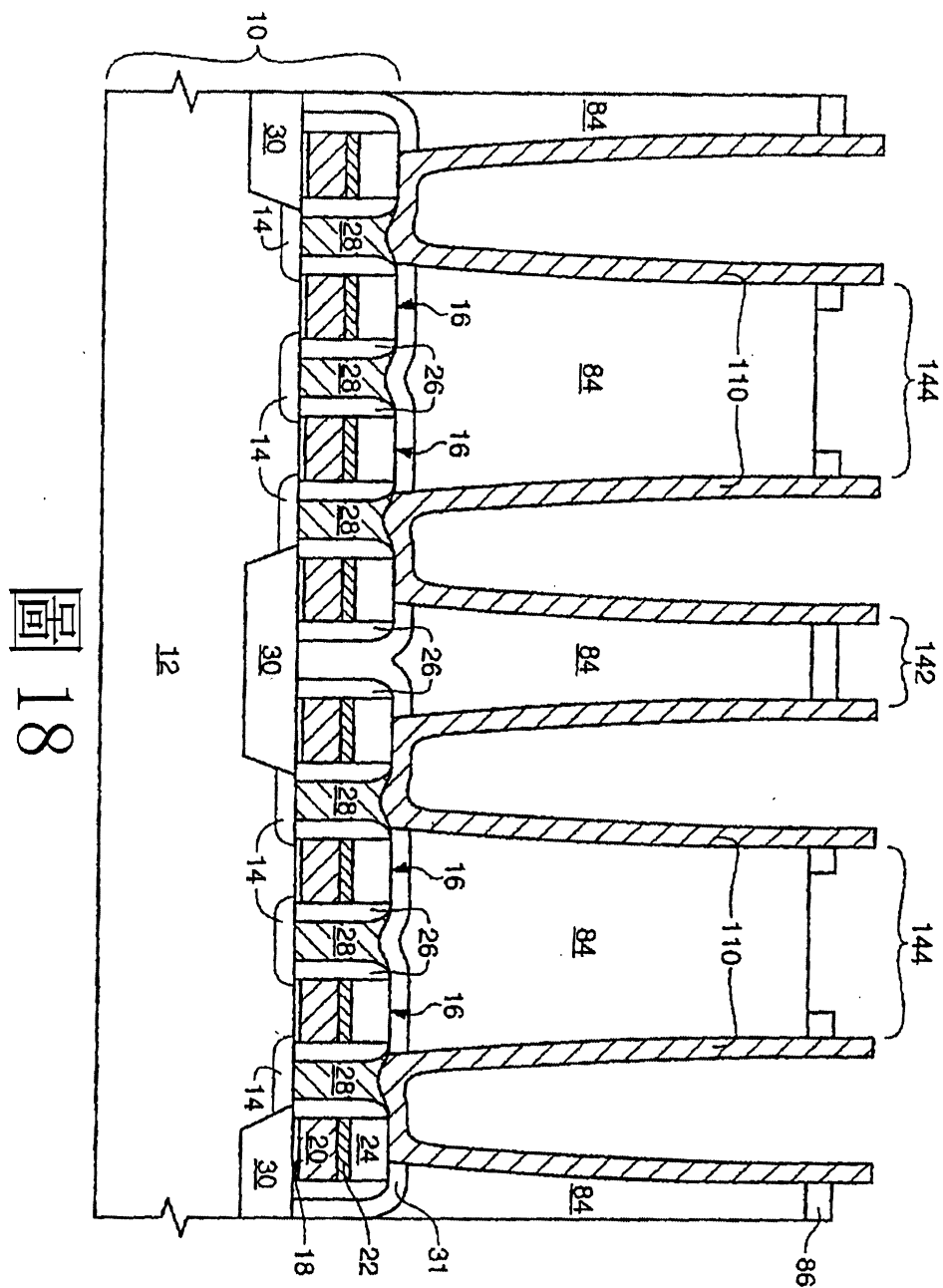


圖 18

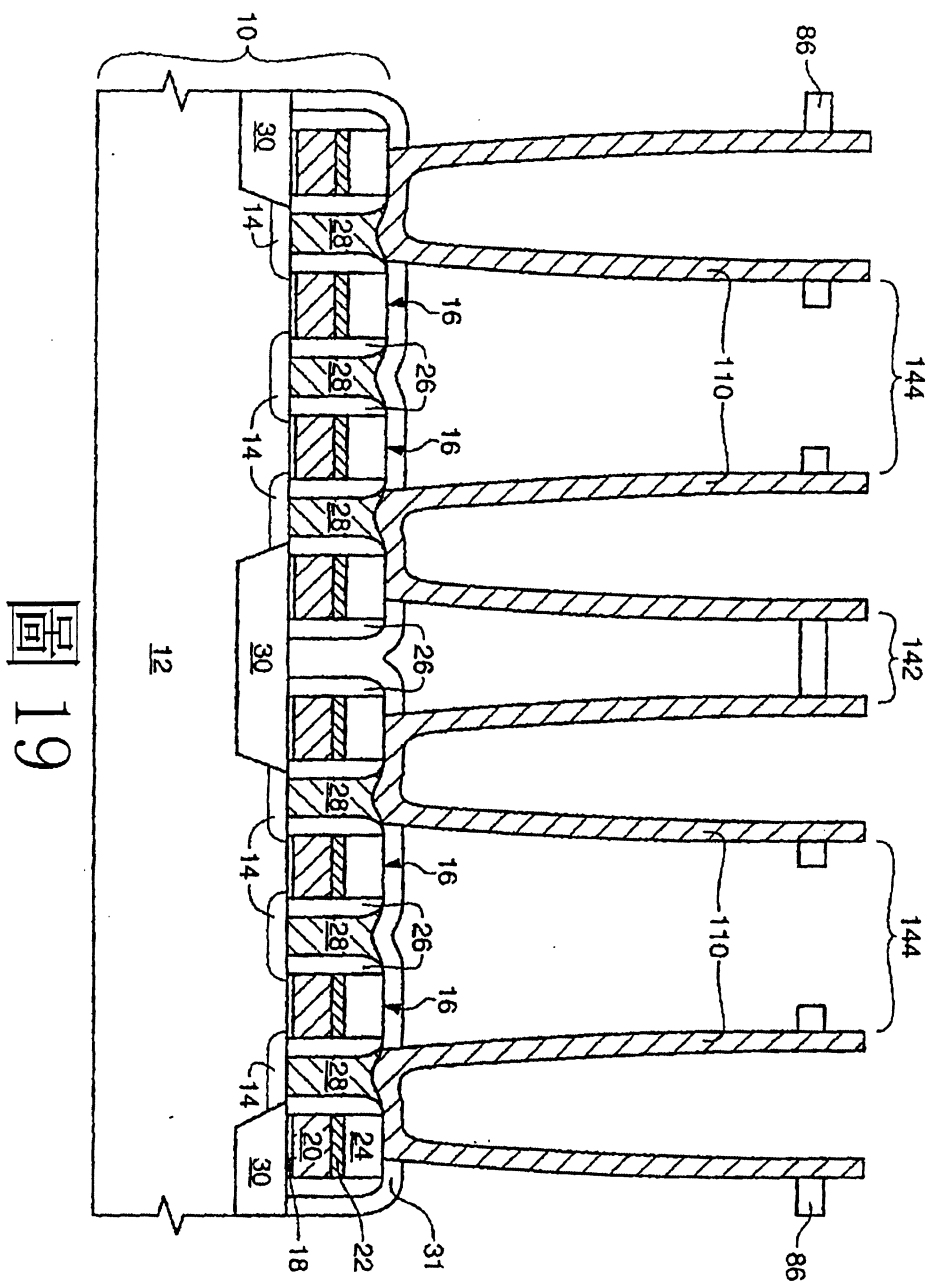


圖 19

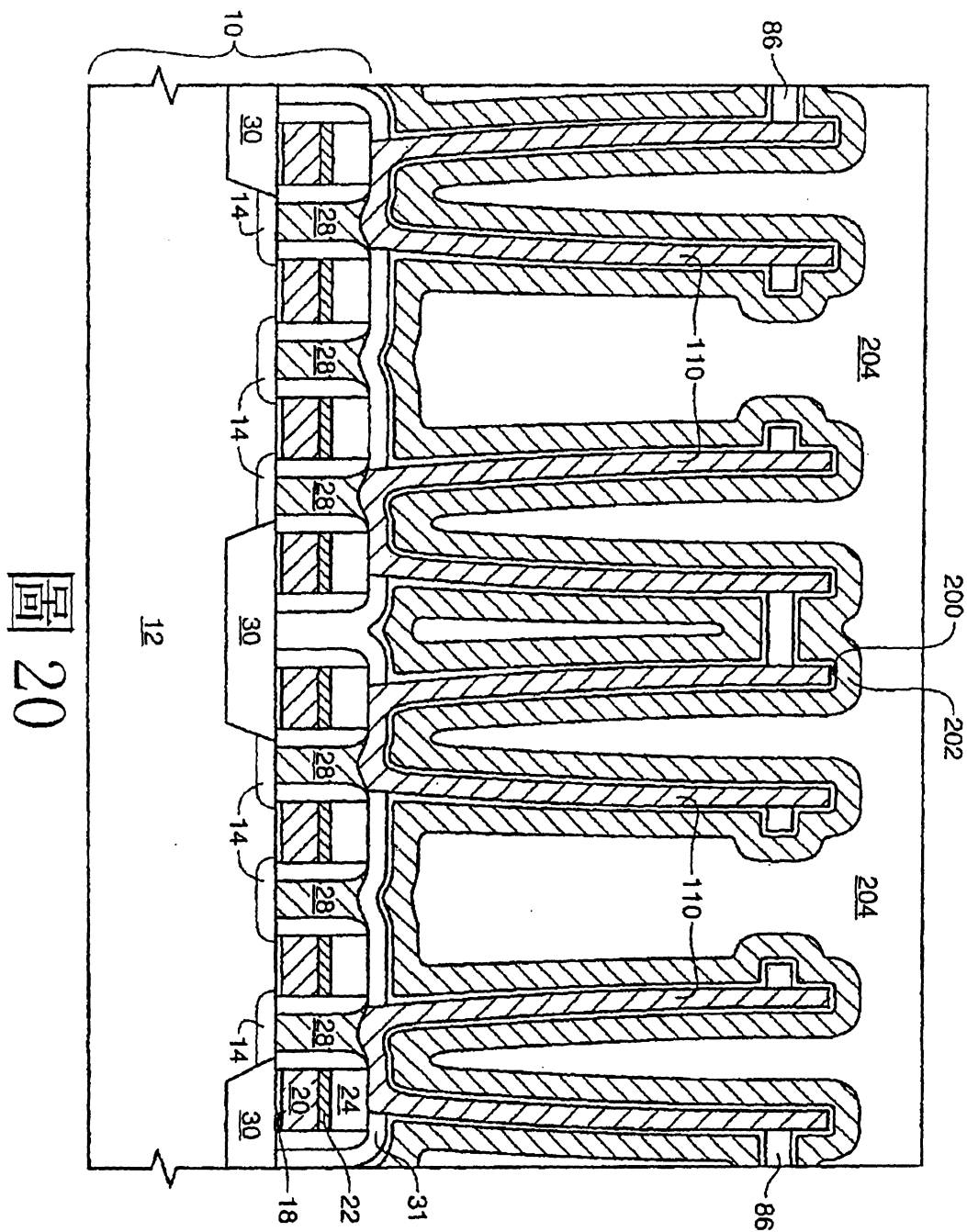
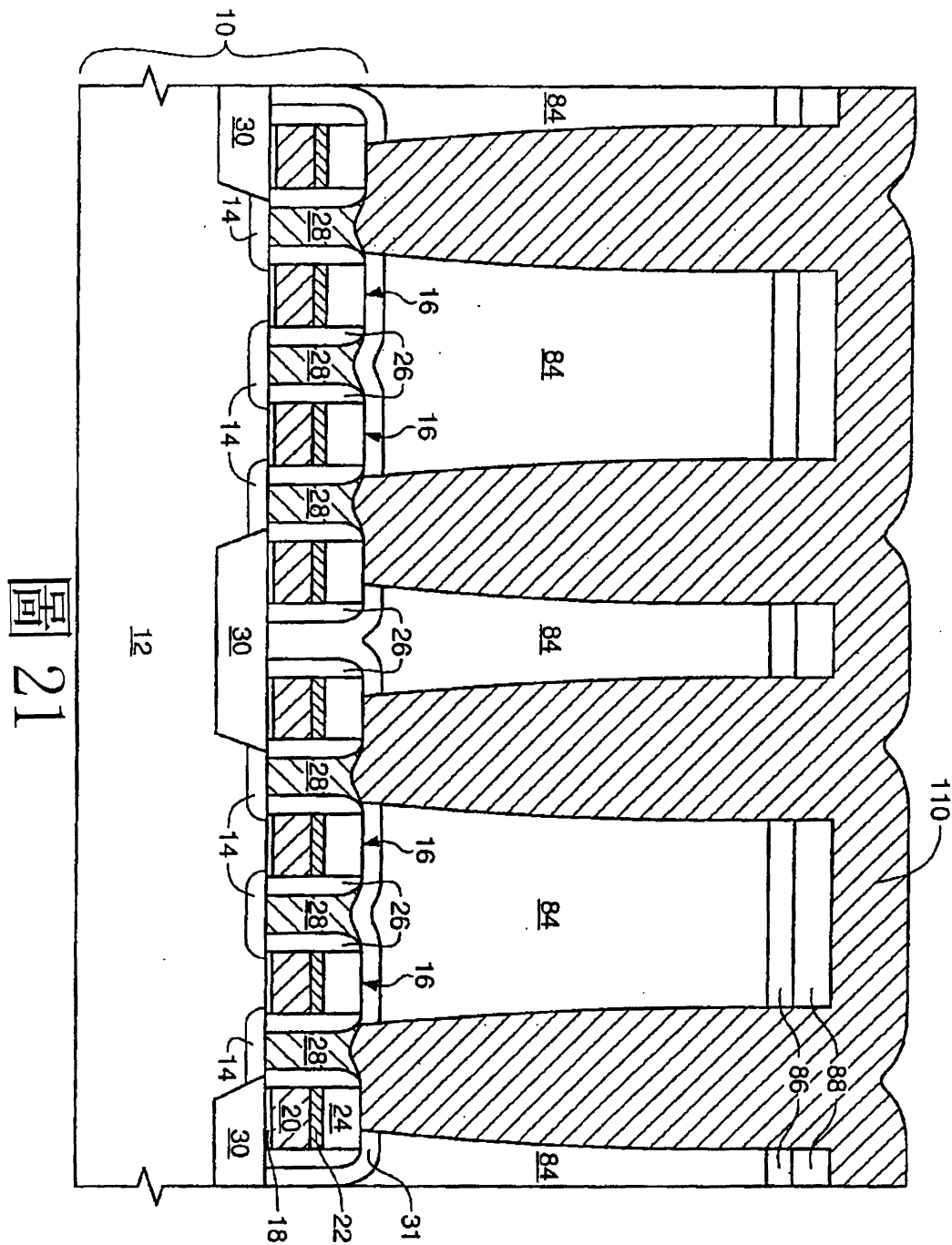


圖 20



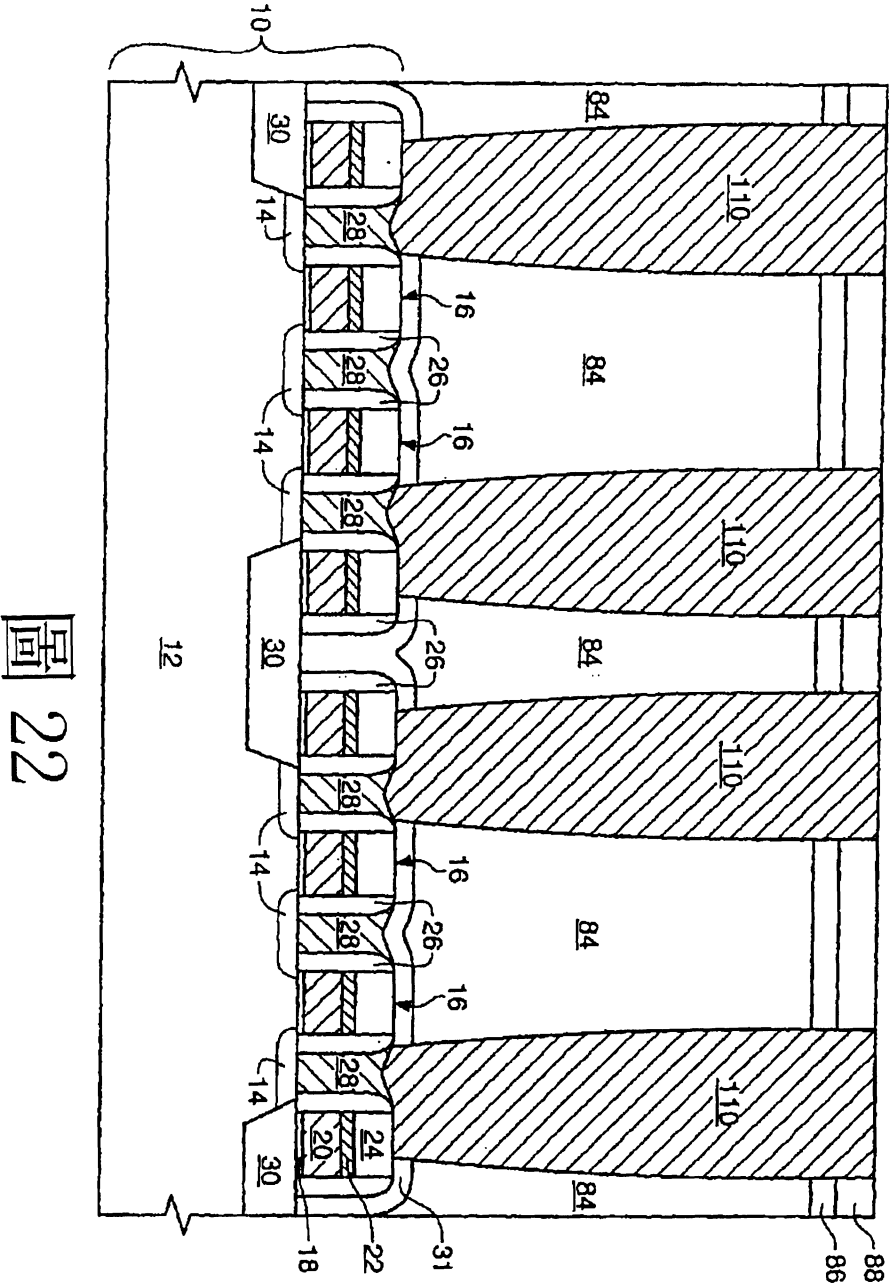


圖 22

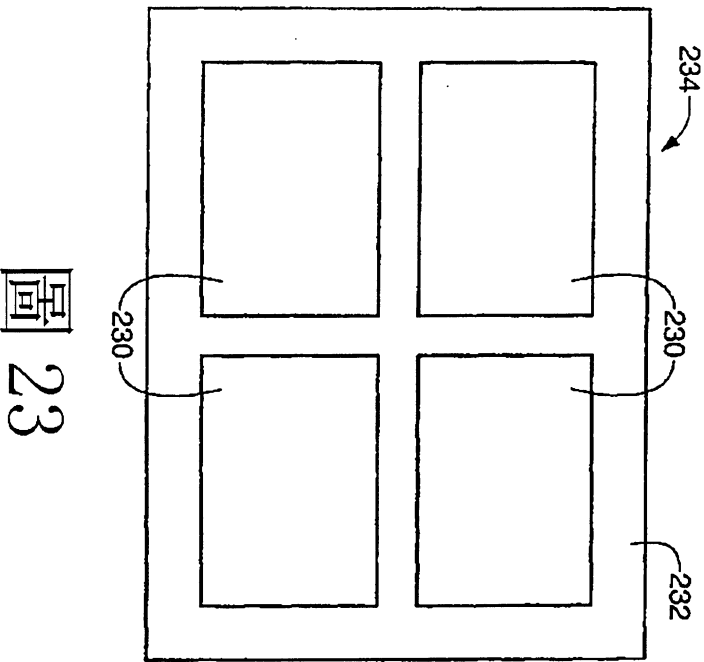


圖 23

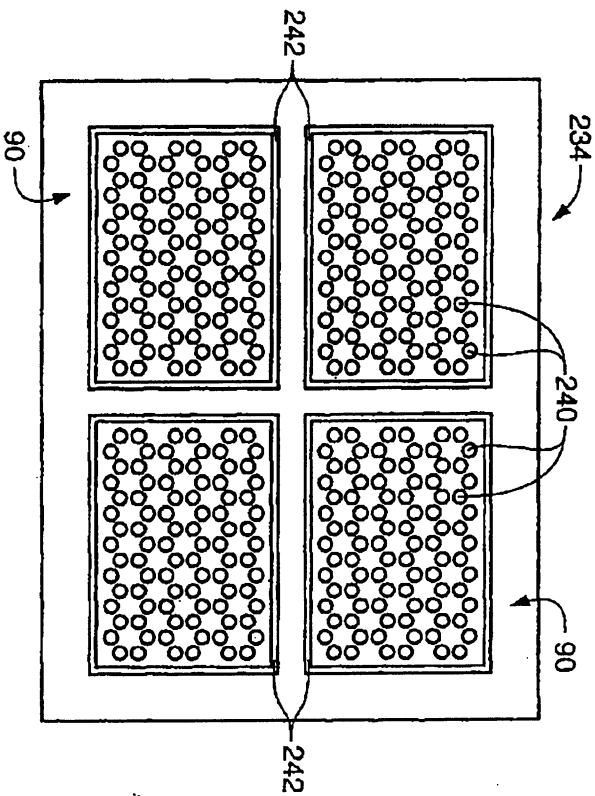


圖 24

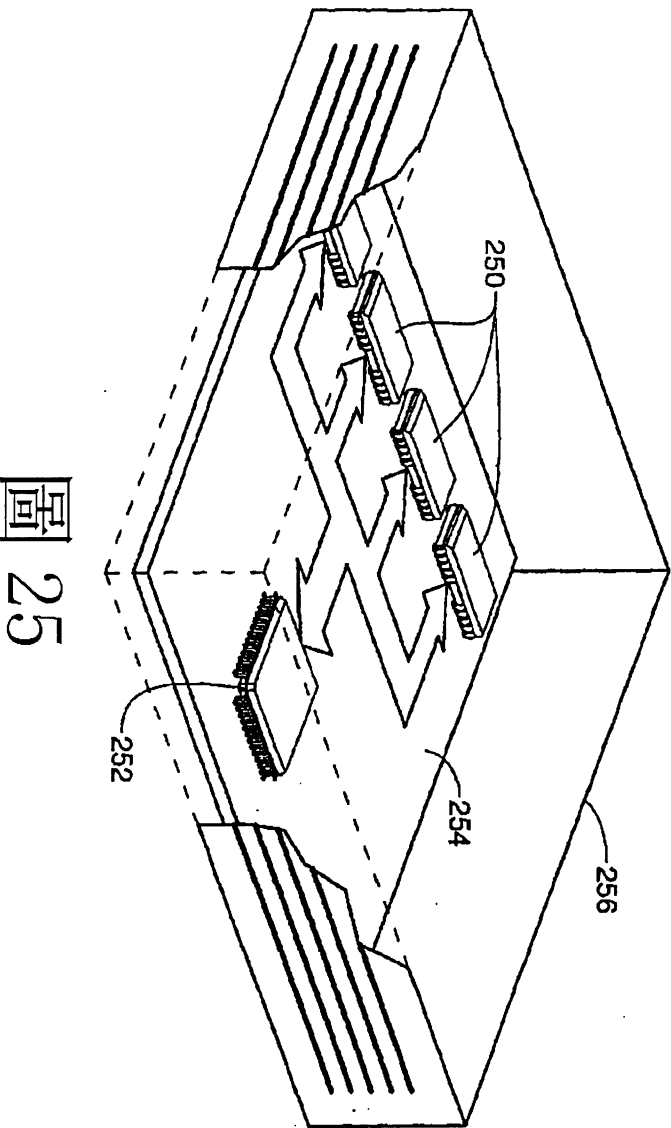


圖 25

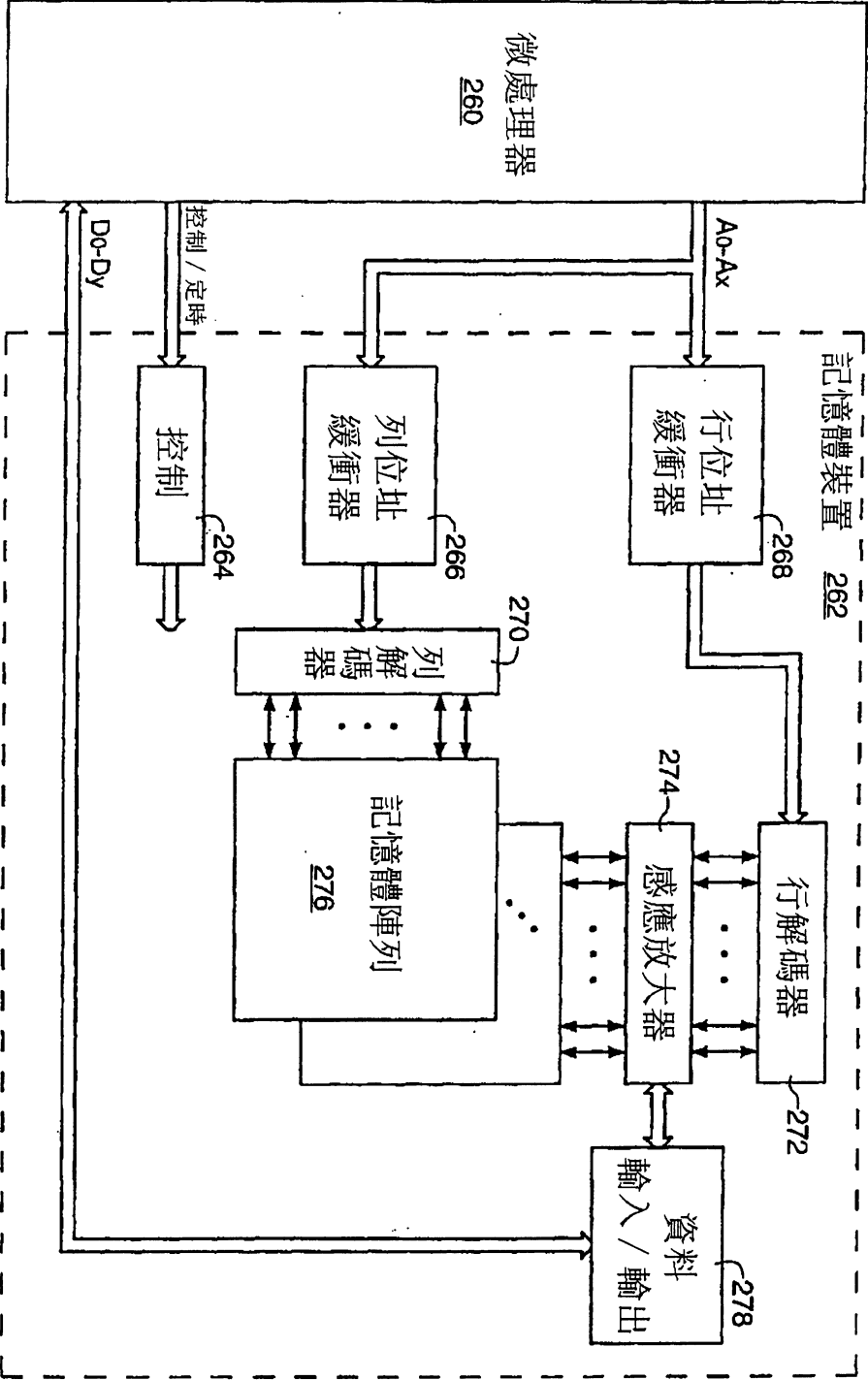


圖 26