



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년09월22일
(11) 등록번호 10-2158552
(24) 등록일자 2020년09월16일

- (51) 국제특허분류(Int. Cl.)
G11C 16/26 (2006.01) G11C 16/04 (2006.01)
G11C 16/10 (2006.01) G11C 16/30 (2006.01)
- (52) CPC특허분류
G11C 16/26 (2013.01)
G11C 16/0483 (2013.01)
- (21) 출원번호 10-2020-7008484
- (22) 출원일자(국제) 2018년09월24일
심사청구일자 2020년03월27일
- (85) 번역문제출일자 2020년03월24일
- (65) 공개번호 10-2020-0036943
- (43) 공개일자 2020년04월07일
- (86) 국제출원번호 PCT/US2018/052379
- (87) 국제공개번호 WO 2019/125568
국제공개일자 2019년06월27일
- (30) 우선권주장
15/849,019 2017년12월20일 미국(US)
- (56) 선행기술조사문헌
KR1020140107000 A*
US9761320 B1
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
샌디스크 테크놀로지스 엘엘씨
미국 75001 텍사스주 애디슨 스위트 1050더블유
스펙트럼 드라이브 5080
- (72) 발명자
루 칭-후양
미국 95119 캘리포니아주 산 호세 그레이트 오크
스 파크웨이 5601 웨스턴 디지털 테크놀로지스,
인코포레이티드 내
디엡 빈
미국 95119 캘리포니아주 산 호세 그레이트 오크
스 파크웨이 5601 웨스턴 디지털 테크놀로지스,
인코포레이티드 내
- (74) 대리인
양영준, 김연송, 백만기

전체 청구항 수 : 총 17 항

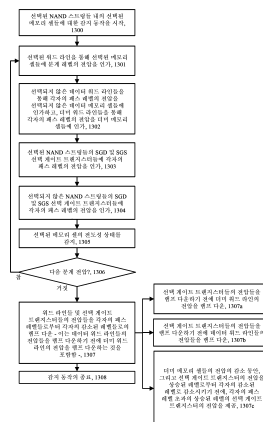
심사관 : 한선경

(54) 발명의 명칭 선택 게이트 트랜지스터 다운시프트를 억제하기 위한 판독 중의 더미 워드 라인 전압의 조기 램프 다운

(57) 요약

메모리 디바이스의 선택 게이트 트랜지스터의 임계 전압에서의 다운시프트(downshift)를 감소시키기 위한 기법들이 제공된다. NAND 스트링에서의 전계에 기인하여, 정공들은 전하 트래핑 층에서 더미 메모리 셀로부터 선택 게이트 트랜지스터로 이동하고 트랜지스터 내의 전자들과 결합하여, 임계 전압을 감소시킬 수 있다. 하나의 접근(뒷면에 계속)

대표도 - 도13a



법에서, 전계는, 선택 게이트 트랜지스터들의 전압을 램프 다운하기 전에, 더미 메모리 셀들의 전압을 램프 다운함으로써 감지 동작의 종료 시에 감소된다. 선택된 메모리 셀들의 전압의 램프 다운은 더미 메모리 셀들의 전압을 램프 다운한 후에, 그리고 선택 게이트 트랜지스터들의 전압을 램프 다운하기 전에 발생할 수 있다. 추가적인 옵션은 선택 게이트 트랜지스터들이 램프 다운되기 전에 선택 게이트 트랜지스터들의 전압을 상승시키는 것을 수반한다.

(52) CPC특허분류

G11C 16/10 (2013.01)

G11C 16/30 (2013.01)

명세서

청구범위

청구항 1

장치로서,

선택 게이트 트랜지스터 및 복수의 메모리 셀들을 포함하는 NAND 스트링 - 상기 복수의 메모리 셀들은 상기 선택 게이트 트랜지스터에 인접한 더미 메모리 셀 및 데이터 메모리 셀들을 포함함 -; 및

제어 회로를 포함하고, 상기 제어 회로는, 상기 NAND 스트링의 선택된 데이터 메모리 셀을 감지하기 위해, 상기 선택된 데이터 메모리 셀에 분계(demarcation) 레벨의 전압을 인가하고, 상기 NAND 스트링의 선택되지 않은 데이터 메모리 셀들에 각자의 패스 레벨의 전압을 인가하고, 상기 더미 메모리 셀에 각자의 패스 레벨의 전압을 인가하고, 후속적으로, 상기 선택되지 않은 데이터 메모리 셀들의 상기 전압의 상기 각자의 패스 레벨로부터 각자의 감소된 레벨로의 감소 전에, 상기 더미 메모리 셀의 상기 전압을 상기 각자의 패스 레벨로부터 각자의 감소된 레벨로 감소시키도록 구성되고,

상기 더미 메모리 셀의 상기 각자의 감소된 레벨은 상기 선택되지 않은 데이터 메모리 셀들의 상기 각자의 감소된 레벨보다 더 낮은, 장치.

청구항 2

삭제

청구항 3

제1항에 있어서,

상기 더미 메모리 셀의 상기 각자의 감소된 레벨은 음의(negative) 전압이고;

상기 선택되지 않은 데이터 메모리 셀들의 상기 각자의 감소된 레벨은 음이 아닌(non-negative) 전압인, 장치.

청구항 4

제1항에 있어서,

상기 더미 메모리 셀의 상기 각자의 감소된 레벨은 0 V이고;

상기 선택되지 않은 데이터 메모리 셀들의 상기 각자의 감소된 레벨은 양의(positive) 전압인, 장치.

청구항 5

제1항에 있어서,

온도를 감지하도록 구성된 회로를 더 포함하며, 상기 더미 메모리 셀의 상기 전압의 상기 감소와 상기 선택되지 않은 데이터 메모리 셀들의 상기 전압의 상기 감소 사이의 지연은 상기 온도가 더 큰 경우에 더 큰, 장치.

청구항 6

제1항에 있어서,

상기 제어 회로는, 상기 선택된 데이터 메모리 셀을 감지하기 위해, 상기 선택 게이트 트랜지스터에 각자의 패스 레벨의 전압을 인가하고, 상기 선택되지 않은 데이터 메모리 셀의 상기 전압의 상기 감소 전에, 상기 선택 게이트 트랜지스터의 상기 전압을 상기 각자의 패스 레벨 미만의 각자의 감소된 레벨로 감소시키도록 구성되는, 장치.

청구항 7

제6항에 있어서,

상기 선택 게이트 트랜지스터의 상기 전압의 상기 감소는 상기 더미 메모리 셀의 상기 전압의 상기 감소와 동시에 발생하는, 장치.

청구항 8

제1항에 있어서,

상기 제어 회로는, 상기 선택된 데이터 메모리 셀을 감지하기 위해, 상기 선택 게이트 트랜지스터에 각자의 패스 레벨의 전압을 인가하고, 상기 더미 메모리 셀의 상기 전압의 상기 감소 후에, 상기 선택 게이트 트랜지스터의 상기 전압을 상기 각자의 패스 레벨 미만의 각자의 감소된 레벨로 감소시키도록 구성되는, 장치.

청구항 9

제8항에 있어서,

상기 제어 회로는, 상기 더미 메모리 셀들의 상기 전압의 상기 감소 동안, 그리고 상기 선택 게이트 트랜지스터의 상기 전압의 상승된 레벨로부터 상기 각자의 감소된 레벨로의 감소 전에, 상기 각자의 패스 레벨 초과인 상승된 레벨의 상기 선택 게이트 트랜지스터의 상기 전압을 제공하도록 구성되는, 장치.

청구항 10

제8항에 있어서,

상기 선택 게이트 트랜지스터의 상기 전압의 상기 감소는 상기 선택되지 않은 데이터 메모리 셀들의 상기 전압의 상기 감소와 동시에 발생하는, 장치.

청구항 11

제8항에 있어서,

상기 선택 게이트 트랜지스터의 상기 전압의 상기 감소는 상기 선택되지 않은 데이터 메모리 셀들의 상기 전압의 상기 감소 후에 있는, 장치.

청구항 12

제1항에 있어서,

상기 감지는 판독 동작 또는 검증 동작을 포함하는, 장치.

청구항 13

제1항에 있어서,

상기 NAND 스트링은 드레인 단 및 소스 단을 갖고;

상기 더미 메모리 셀 및 상기 선택 게이트 트랜지스터는 상기 드레인 단에 있고;

상기 제어 회로는, 상기 선택된 데이터 메모리 셀이 상기 NAND 스트링의 상기 드레인 단에서 예지 데이터 메모리 셀인 경우에, 상기 선택된 데이터 메모리 셀이 상기 NAND 스트링의 상기 드레인 단에서 상기 예지 데이터 메모리 셀이 아닌 경우보다 상기 더미 메모리 셀의 상기 각자의 패스 레벨을 더 크게 만들도록 구성되는, 장치.

청구항 14

방법으로서,

NAND 스트링의 선택된 데이터 메모리 셀을 감지하는 단계 - 상기 NAND 스트링은 선택 게이트 트랜지스터 및 복수의 메모리 셀들을 포함하고, 상기 복수의 메모리 셀들은 상기 선택 게이트 트랜지스터에 인접한 더미 메모리 셀 및 데이터 메모리 셀들을 포함하고, 상기 감지하는 단계는 상기 선택된 데이터 메모리 셀에 분계 레벨의 전압을 인가하는 단계, 상기 NAND 스트링의 선택되지 않은 데이터 메모리 셀들에 각자의 패스 레벨의 전압을 인가하는 단계, 상기 더미 메모리 셀에 각자의 패스 레벨의 전압을 인가하는 단계를 포함함 -; 및

상기 감지하는 단계 후에, 상기 선택되지 않은 데이터 메모리 셀들의 상기 전압의 상기 각자의 패스 레벨로부터 각자의 감소된 레벨로의 감소 전에, 상기 더미 메모리 셀의 상기 전압을 상기 각자의 패스 레벨로부터 각자의

감소된 레벨로 감소시키는 단계를 포함하고,

상기 더미 메모리 셀의 상기 각자의 감소된 레벨은 상기 선택되지 않은 데이터 메모리 셀들의 상기 각자의 감소된 레벨보다 더 낮은, 방법.

청구항 15

삭제

청구항 16

제14항에 있어서,

상기 감지하는 단계 동안, 상기 선택 게이트 트랜지스터에 각자의 패스 레벨의 전압을 인가하는 단계; 및

상기 감지하는 단계 후에, 상기 더미 메모리 셀의 상기 전압의 감소 후에, 상기 선택 게이트 트랜지스터의 상기 전압을 상기 각자의 패스 레벨 미만의 각자의 감소된 레벨로 감소시키는 단계를 더 포함하는, 방법.

청구항 17

제16항에 있어서,

상기 더미 메모리 셀의 상기 전압의 감소 동안, 그리고 상기 선택 게이트 트랜지스터의 상기 전압을 상승된 레벨로부터 상기 각자의 감소된 레벨로 감소시키기 전에, 상기 각자의 패스 레벨 초과 상승된 레벨의 상기 선택 게이트 트랜지스터의 상기 전압을 제공하는 단계를 더 포함하는, 방법.

청구항 18

장치로서,

연결된 메모리 셀들의 세트의 선택되지 않은 데이터 메모리 셀들에 각자의 패스 레벨의 전압을 인가하기 위한 수단;

연결된 메모리 셀들의 상기 세트의 더미 메모리 셀에 전압을 인가하기 위한 수단; 및

상기 선택되지 않은 데이터 메모리 셀들의 상기 전압의 상기 각자의 패스 레벨로부터 각자의 감소된 레벨로의 감소 전에, 상기 더미 메모리 셀의 상기 전압을 상기 각자의 패스 레벨로부터 각자의 감소된 레벨로 감소시키기 위한 수단을 포함하고,

상기 더미 메모리 셀의 상기 각자의 감소된 레벨은 상기 선택되지 않은 데이터 메모리 셀들의 상기 각자의 감소된 레벨보다 더 낮은, 장치.

청구항 19

삭제

청구항 20

제18항에 있어서,

연결된 메모리 셀들의 상기 세트에 연결된 선택 게이트 트랜지스터; 및

상기 선택 게이트 트랜지스터에 각자의 패스 레벨의 전압을 인가하기 위한 수단; 및

상기 더미 메모리 셀의 상기 전압의 감소 후에, 상기 선택 게이트 트랜지스터의 상기 전압을 상기 각자의 패스 레벨 미만의 각자의 감소된 레벨로 감소시키기 위한 수단을 더 포함하는, 장치.

발명의 설명

기술 분야

배경 기술

- [0001] 본 기술은 메모리 디바이스들의 동작에 관한 것이다.
- [0002] 반도체 메모리 디바이스들은 다양한 전자 디바이스들에 사용하기 위해 더욱 대중화되었다. 예를 들어, 비휘발성 반도체 메모리는 셀룰러 전화기들, 디지털 카메라들, 개인 휴대 정보 단말기들, 모바일 컴퓨팅 디바이스들, 비-모바일 컴퓨팅 디바이스들 및 다른 디바이스들에 사용된다.
- [0003] 플로팅 게이트(floating gate) 또는 전하 트래핑(charge-trapping) 재료와 같은 전하-저장 재료가 이러한 메모리 디바이스들 내에서 데이터 상태를 표현하는 전하를 저장하기 위해 사용될 수 있다. 전하 트래핑 재료는 3차원(3D) 적층 메모리 구조에 수직으로, 또는 2차원(2D) 메모리 구조에 수평으로 배열될 수 있다. 3D 메모리 구조의 일례는 교호하는 전도성 및 유전체 층들의 스택을 포함하는 BiCS(Bit Cost Scalable) 아키텍처이다.
- [0004] 메모리 디바이스는 예를 들어 NAND 스트링들에 배열될 수 있는 메모리 셀들을 포함하며, 선택 게이트 트랜지스터들이 NAND 스트링의 단부들에 제공되어 NAND 스트링의 채널을 소스 라인 또는 비트 라인에 선택적으로 연결한다. 그러나, 그러한 메모리 디바이스들을 동작시키는 데 있어서 다양한 과제들이 제시된다.

도면의 간단한 설명

- [0005] 도 1a는 상이한 평면들에 배열된 메모리 셀들을 포함하는 예시적인 메모리 디바이스의 블록도이다.
- 도 1b는 도 1a의 온도 감지 회로(115)의 일례를 도시한다.
- 도 2는 도 1의 감지 블록(51)의 일 실시예를 도시하는 블록도이다.
- 도 3은 도 1의 감지 블록(51)의 다른 예시적인 블록도를 도시한다.
- 도 4는 메모리 셀들의 블록들에 전압들을 제공하기 위한 예시적인 회로를 도시한다.
- 도 5는 도 1의 메모리 구조(126)의 예시적인 3D 구성의 블록들의 세트를 포함하는 메모리 디바이스(500)의 사시도이다.
- 도 6a는 도 5의 블록들 중 하나의 일부분의 예시적인 단면도를 도시한다.
- 도 6b는 도 6a의 메모리 홀(memory hole)들의 그의 높이를 따른 폭의 예시적인 변화를 도시한다.
- 도 6c는 도 6a의 스택의 영역(622)의 확대도를 도시한다.
- 도 7은 도 6a에 따른 3D 구성에서 서브-블록들 내의 NAND 스트링들의 예시적인 도면을 도시한다.
- 도 8은 도 7에 따른 스택 내의 제어 게이트 층들을 도시한다.
- 도 9는 예시적인 프로그램 동작에서 일련의 프로그램 루프들에 사용되는 전압 신호를 도시한다.
- 도 10a는 프로그램 동작 후의 메모리 셀들의 세트들의 예시적인 V_{th} 분포를 도시한다.
- 도 10b는 선택 게이트 트랜지스터들의 V_{th} 분포를 도시한 것으로, 소거, 프로그램, 관독 및 지연의 반복된 사이클들 이후 분포가 다운시프트(downshift)되는 방식을 도시한다.
- 도 10c는 SGD 트랜지스터들의 수 대 V_{th} 의 플롯을 도시한 것으로, 2개의 상이한 워드 라인들이 반복되는 소거, 프로그램 및 관독 사이클들에서 감지 동작을 거칠 경우, 감지 동작 후에 더미 워드 라인 전압에 대한 허용된 램프 다운(ramp down) 시간이 상대적으로 짧다.
- 도 10d는 SGD 트랜지스터들의 수 대 V_{th} 의 플롯을 도시한 것으로, 2개의 상이한 워드 라인들이 반복된 소거, 프로그램 및 관독 사이클들에서 감지 동작을 거칠 경우, 감지 동작 후에 더미 워드 라인 전압에 대한 허용된 램프 다운 시간이 상대적으로 길다.
- 도 10e는 프로그램-소거 사이클들의 수 및 더미 워드 라인 전압 드라이버로부터의 NAND 스트링의 거리의 함수로서, SGD 트랜지스터들에 대한 V_{th} 분포의 하부 꼬리부분(tail)을 도시한다.
- 도 11은 선택 게이트 트랜지스터들을 향한 정공(hole)들의 이동을 도시하는, 도 7의 NAND 스트링(700n)의 플롯을 도시한다.
- 도 12a는 워드 라인 전압의 커플링 업(coupling up)을 도시하는, 프로그램 동작에서의 예시적인 파형들의 플롯

을 도시한다.

도 12b는 도 12a에 대응하는 채널 전압(Vch)의 플롯을 도시한다.

도 12c는 워드 라인 전압의 커플링 업을 도시하는, 관독 동작에서의 예시적인 파형들의 플롯을 도시한다.

도 12d는 도 12c에 대응하는 채널 전압(Vch)의 플롯을 도시한다.

도 13a는 예시적인 감지 프로세스의 흐름도를 도시한다.

도 13b는 도 13a의 감지 프로세스를 사용할 수 있는 예시적인 관독 동작의 흐름도를 도시한다.

도 13c는 도 13a의 감지 프로세스를 사용할 수 있는 예시적인 프로그램 동작의 흐름도를 도시한다.

도 14a는 감지 프로세스에서 선택된 워드 라인에 대한 예시적인 전압 신호를 도시한다.

도 14b는 감지 프로세스에서 선택되지 않은 워드 라인들에 대한 예시적인 전압 신호를 도시한다.

도 14c는 감지 프로세스에서 선택되지 않은 선택 게이트 트랜지스터들에 대한 예시적인 전압 신호를 도시한다.

도 14d는 감지 프로세스에서 선택된 NAND 스트링의 비트 라인에 대한 예시적인 전압 신호를 도시한다.

도 14e는 감지 프로세스에서 소스 라인에 대한 예시적인 전압 신호를 도시한다.

도 14f는 도 14g 내지 도 14i와 관련하여 참조하기 위한, 감지 프로세스에서 선택된 워드 라인에 대한 도 14a의 예시적인 전압 신호(1400a)를 반복한다.

도 14g는 감지 프로세스에서 더미 워드 라인에 대한 예시적인 전압 신호를 도시한 것으로, t9에서의 각자의 패스 전압으로부터의 전압 신호의 램프 다운이 t10에서의 선택된 워드 라인의 전압 신호의 램프 다운 전에 발생한다.

도 14h는 선택된 NAND 스트링의 선택 게이트 트랜지스터에 대한 예시적인 전압 신호를 도시한 것으로, 각자의 패스 전압으로부터의 전압 신호의 램프 다운이 t9에서 발생한다.

도 14i는 선택된 NAND 스트링의 선택 게이트 트랜지스터에 대한 예시적인 전압 신호를 도시한 것으로, 각자의 패스 전압으로부터의 전압 신호의 램프 다운이 t10에서 발생한다.

도 14j는 선택된 NAND 스트링의 선택 게이트 트랜지스터에 대한 예시적인 전압 신호를 도시한 것으로, 전압 신호는 t8에서 각자의 패스 전압으로부터 상승된 레벨로 증가되고, 이어서 t10에서 상승된 레벨로부터 램프 다운된다.

도 14k는 선택된 NAND 스트링의 선택 게이트 트랜지스터에 대한 예시적인 전압 신호를 도시한 것으로, 각자의 패스 전압으로부터의 전압 신호의 램프 다운이 t11에서 발생한다.

도 14l은 선택된 NAND 스트링의 선택 게이트 트랜지스터에 대한 예시적인 전압 신호를 도시한 것으로, 전압 신호는 t8에서 각자의 패스 전압으로부터 상승된 레벨로 증가되고, 이어서 t11에서 상승된 레벨로부터 램프 다운된다.

도 15는 더미 워드 라인 전압의 램프 다운과 선택 게이트 트랜지스터 전압 대 온도의 램프 다운 사이의 지연의 플롯을 도시한다.

발명을 실시하기 위한 구체적인 내용

[0006] 메모리 디바이스의 선택 게이트 트랜지스터의 임계 전압에서의 다운시프트를 감소시키기 위한 장치들 및 기법들이 설명된다.

[0007] 일부 메모리 디바이스들에서, 메모리 셀들은 블록 또는 서브-블록 내의 NAND 스트링들에서와 같이 서로 연결된다. 각각의 NAND 스트링은 비트 라인에 연결되는 NAND 스트링의 드레인-단 상의 하나 이상의 드레인-단 선택 게이트 트랜지스터들(SGD 트랜지스터들로 지칭됨)과, 소스 라인에 연결되는 NAND 스트링 또는 다른 메모리 스트링의 소스-단 상의 하나 이상의 소스-단 선택 게이트 트랜지스터들(SGS 트랜지스터들로 지칭됨) 사이에 직렬로 연결되는 다수의 메모리 셀들을 포함한다. 또한, 메모리 셀들에는 제어 게이트로서의 역할을 하는 공통 제어 게이트 라인(예를 들어, 워드 라인)이 배열될 수 있다. 워드 라인들의 세트는 블록의 소스-측으로부터 블록의 드레인-측으로 연장된다. 메모리 셀들은 다른 유형들의 스트링들에 연결될 수 있고, 또한 다른 방식들로도 연

결될 수 있다.

- [0008] 3D 메모리 구조에서, 메모리 셀들은 스택 내의 수직 메모리 스트링들에 배열될 수 있으며, 스택은 교번하는 전도성 층 및 유전체 층을 포함한다. 전도성 층들은 메모리 셀들에 연결되는 워드 라인들로서 역할을 한다. 각각의 메모리 스트링은 워드 라인들과 교차하여 메모리 셀들을 형성하는 필라의 형상을 가질 수 있다.
- [0009] 메모리 셀들은 사용자 데이터를 저장하는 데 적격(eligible)일 수 있는 데이터 메모리 셀들, 및 사용자 데이터를 저장하는 데 부적격(ineligible)일 수 있는 더미 또는 비-데이터 메모리 셀들을 포함할 수 있다. 더미 워드 라인이 더미 메모리 셀에 연결된다. 하나 이상의 더미 메모리 셀들이 메모리 셀들의 스트링의 드레인 단 및/또는 소스 단에 제공되어 채널 전압 구배에서 점진적인 전이를 제공할 수 있다.
- [0010] 프로그램 동작 동안, 메모리 셀들은 워드 라인 프로그래밍 순서에 따라 프로그래밍된다. 예를 들어, 프로그래밍은 블록의 소스-측에서 워드 라인에서 시작하여 블록의 드레인-측에서 워드 라인으로 진행할 수 있다. 하나의 접근법에서, 각각의 워드 라인은 다음 워드 라인을 프로그래밍하기 전에 완전히 프로그래밍된다. 예를 들어, 제1 워드 라인(WL0)은 프로그래밍이 완료될 때까지 하나 이상의 프로그래밍 패스(pass)들을 사용하여 프로그래밍된다. 다음으로, 제2 워드 라인(WL1)은 프로그래밍이 완료될 때까지 하나 이상의 프로그래밍 패스들을 사용하여 프로그래밍되는 등이다. 프로그래밍 패스는 도 9에 도시된 것과 같은 일련의 프로그램 루프들 또는 프로그램 검증 반복들을 포함할 수 있다. 각각의 프로그램 루프는 프로그램 전압 및 뒤이어 하나 이상의 검증 전압들을 포함한다. 검증 전압들은 메모리 셀들이 할당된 데이터 상태로의 프로그래밍을 완료했는지 여부를 결정하는 테스트들을 검증하는 데 사용된다. 소정 메모리 셀에 대해 프로그래밍이 완료되면, 그것은 후속 프로그램 루프들에서 프로그래밍이 다른 메모리 셀들에 대해 이어지는 동안 추가 프로그래밍으로부터 록아웃(lock out)될 수 있다.
- [0011] 메모리 셀들은 또한 서브-블록 프로그래밍 순서에 따라 프로그래밍될 수 있으며, 워드 라인에 연결된 메모리 셀들은 하나의 서브-블록, 이어서 다음 서브-블록 등에 프로그래밍된다.
- [0012] 각각의 메모리 셀은 프로그램 커맨드에서 데이터를 기록함에 따른 할당된 데이터 상태와 연관될 수 있다. 메모리 셀은 그의 할당된 데이터 상태에 기초하여 소거 상태로 유지되거나 프로그래밍된 데이터 상태로 프로그래밍될 것이다. 예를 들어, 셀당 1-비트 메모리 디바이스에서, 소거 상태 및 프로그램된 상태를 포함하는 2개의 데이터 상태들이 있다. 셀당 2-비트 메모리 디바이스에는 소거 상태 및 A, B 및 C 데이터 상태들로 지칭되는 3개의 더 높은 데이터 상태들을 포함하는 4개의 데이터 상태들이 있다. 셀당 3-비트 메모리 디바이스에는 소거 상태 및 A, B, C, D, E, F 및 G 데이터 상태들로 지칭되는 7개의 더 높은 데이터 상태들을 포함하는 8개의 데이터 상태들이 있다(도 10a 참조). 셀당 4-비트 메모리 디바이스에는 소거 상태 및 15개의 더 높은 데이터 상태들을 포함하는 16개의 데이터 상태들이 있다. 데이터 상태들은 S0 내지 S15 데이터 상태들로 지칭될 수 있으며, S0은 소거 상태이다.
- [0013] 메모리 셀들이 프로그래밍된 후에, 데이터는 관독 동작에서 재관독(read back)될 수 있다. 관독 동작은 워드 라인에 일련의 관독 전압들을 인가하는 것을 수반할 수 있으며, 이때 감지 회로부는 워드 라인에 연결된 셀들이 전도성 상태에 있는지 또는 비-전도성 상태에 있는지 결정한다. 셀이 비-전도성 상태에 있는 경우, 메모리 셀의 V_{th} 는 관독 전압을 초과한다. 관독 전압들은 인접한 데이터 상태들의 임계 전압(V_{th}) 레벨들 사이에 있을 것으로 예상되는 레벨들로 설정된다. 관독 동작 동안, 선택되지 않은 워드 라인들의 전압들은 선택된 메모리 셀들의 감지와 간섭하는 것을 피하기 위해, 선택되지 않은 메모리 셀들을 강한 전도성 상태로 놓을 만큼 충분히 높은 관독 패스 레벨로 램프 업된다.
- [0014] NAND 스트링에서의 적절한 프로그래밍, 소거 동작 및 관독 동작을 보장하기 위해, SGD 트랜지스터들의 V_{th} 는 특정 범위 내에 있어야 한다. 그러나, V_{th} 는 시간 경과에 따라 감소할 수 있는 것으로 관찰되었다. 도 10b를 참조한다. 구체적으로, 전하 트래핑 영역이 SGD 트랜지스터와 더미 메모리 셀 사이의 NAND 스트링에서 연장될 때, 정공들은 더미 메모리 셀로부터 SGD 트랜지스터로 이동하고 SGD 트랜지스터 내의 전자들과 결합하여 V_{th} 를 감소시킬 수 있다. 이러한 이동은 더미 메모리 셀과 SGD 트랜지스터 사이의 전계에 기인하여 발생한다. 전계는 더미 워드 라인의 전압이 완전히 램프 다운되지 않을 때 더 높다. 이는 램프 다운을 위해 할당된 불충분한 시간 및 더미 워드 라인 전압의 상대적으로 높은 레벨로 인해 발생할 수 있다. 한 가지 가능한 해결책은 램프 다운을 위해 더 많은 시간을 할당하는 것이지만, 이는 원하지 않는 시간 페널티를 초래한다. 다른 가능한 해결책은 더미 메모리 셀을 더 얇은 깊이로 소거하여 그의 V_{th} 가 더 높아지게 하는 것이다. 그러나, 이것은 소거 검증 테스트 동안, 스트링 내의 감소된 전류로 인해 데이터 메모리 셀들의 소거 깊이들을 변경시킬 수 있다. 다른 가능한 해결책은 블록이 소거된 후에 더미 메모리 셀에 대한 별개의 프로그램 동작을 수행하는 것이다.

그러나, 이는 추가 시간을 필요로 한다.

- [0015] 본 명세서에서 제공되는 기법들은 전술된 문제들 및 다른 문제들을 해결한다. 하나의 접근법에서, 전압들이 각자의 패스 레벨로부터 각자의 감소된 레벨로 램프 다운될 때, 더미 메모리 셀과 선택 게이트 트랜지스터 사이의 전계는 감지 동작의 끝에서 감소된다. 이는 선택 게이트 트랜지스터들의 전압의 램프 다운 전에 더미 메모리 셀들의 전압의 램프 다운을 수행함으로써 달성될 수 있다. 이는 감지 동작에서 임의의 시간 페널티를 피하거나 최소화하면서 행해질 수 있다. 하나의 옵션은, 더미 메모리 셀들의 전압을 램프 다운한 후에, 그리고 선택된 메모리 셀들의 전압을 램프 다운하기 전에, 선택된 메모리 셀들의 전압을 램프 다운하는 것을 수반한다. 추가 옵션은 선택 게이트 트랜지스터들의 전압을 램프 다운하기 전에 상승시키는 것을 수반한다. 이 기법들은 SGD 트랜지스터 및 SGS 트랜지스터 둘 모두에 적용가능하다.
- [0016] 이들 및 다른 특징들이 아래에서 추가로 논의된다.
- [0017] 도 1a는 상이한 평면들에 배열된 메모리 셀들을 포함하는 예시적인 메모리 디바이스의 블록도이다. 비휘발성 저장 시스템과 같은 메모리 디바이스(100)는 하나 이상의 메모리 다이(108)를 포함할 수 있다. 메모리 다이(108)는 메모리 셀들의 어레이, 제어 회로부(110) 및 판독/기록 회로들(128)과 같은 메모리 셀들의 메모리 구조(126)를 포함한다. 메모리 구조(126)는 로우 디코더(row decoder)(124)를 통해 워드 라인들에 의해 그리고 컬럼 디코더(column decoder)(132)를 통해 비트 라인들에 의해 어드레싱가능(addressable)하다. 메모리 구조(126)는 이웃 평면들(P0 및 P1)과 같은 다수의 평면들을 포함할 수 있다. 각각의 평면은 메모리 셀들의 하나 이상의 블록들을 포함할 수 있다. 예를 들어, P0은 블록들(B0a 내지 B0d)을 포함하고, P1은 블록들(B1a 내지 B1d)을 포함한다.
- [0018] 판독/기록 회로들(128)은 다수의 감지 블록들(51, 52, ... 53(감지 회로부)을 포함하고, 메모리 셀들의 페이지가 병렬로 판독 또는 프로그래밍되게 한다. 전형적으로 제어기(122)가 하나 이상의 메모리 다이(108)와 동일한 메모리 디바이스(100)(예를 들어, 착탈가능 저장 카드) 내에 포함된다. 제어기는 메모리 다이와 별개일 수 있다. 커맨드 및 데이터가 데이터 버스(120)를 통하여 호스트(140)와 제어기(122) 사이에서 전달되고, 라인들(118)을 통하여 제어기와 하나 이상의 메모리 다이(108) 사이에서 전달된다.
- [0019] 메모리 구조는 2D 또는 3D일 수 있다. 메모리 구조는 3D 어레이를 비롯해 메모리 셀들의 하나 이상의 어레이를 포함할 수 있다. 메모리 구조는 다수의 메모리 레벨들이, 개재된 기판들 없이, 웨이퍼와 같은 단일 기판 위에 형성되는(그리고 그 내에는 형성되지 않는) 모놀리식 3D 메모리 구조를 포함할 수 있다. 메모리 구조는 실리콘 기판 위에 활성 영역이 배치된 메모리 셀들의 어레이들의 하나 이상의 물리적 레벨에 모놀리식으로 형성되는 임의의 유형의 비휘발성 메모리를 포함할 수 있다. 메모리 구조는, 연관된 회로부가 기판 위에 있든 기판 내에 있든, 메모리 셀들의 동작과 연관된 회로부를 갖는 비휘발성 메모리 디바이스 내에 있을 수 있다.
- [0020] 제어 회로부(110)는 판독/기록 회로부들(128)과 협력하여 메모리 구조(126)에 대한 메모리 동작들을 수행하고, 상태 기계(112), 온-칩 어드레스 디코더(114), 전력 제어 모듈(116) 및 온도 감지 회로(115)를 포함한다(또한 도 1b 참조). 상태 기계(112)는 메모리 동작들의 칩-레벨 제어를 제공한다. 저장 영역(113)이, 예를 들어 동작 파라미터들 및 소프트웨어/코드를 위해 제공될 수 있다. 일 실시예에서, 상태 기계는 소프트웨어에 의해 프로그래밍가능하다. 다른 실시예들에서, 상태 기계는 소프트웨어를 사용하지 않고, 완전히 하드웨어(예를 들어, 전기 회로들)로 구현된다.
- [0021] 온-칩 어드레스 디코더(114)는 호스트 또는 메모리 제어기에 의해 사용되는 것 사이의 어드레스 인터페이스를 디코더들(124, 132)에 의해 사용되는 하드웨어 어드레스에 제공한다. 전력 제어 모듈(116)은 메모리 동작들 동안 워드 라인들, 선택 게이트 라인들, 비트 라인들, 및 소스 라인들에 공급되는 전력 및 전압들을 제어한다. 이는 데이터 및 더미 워드 라인들, SGS 및 SGD 트랜지스터들 및 소스 라인들을 위한 드라이버들을 포함할 수 있다. 도 4를 또한 참조한다. 감지 블록들은, 하나의 접근법에서, 비트 라인 드라이버들을 포함할 수 있다.
- [0022] 일부 구현들에서, 컴포넌트들 중 일부가 조합될 수 있다. 다양한 설계들에서, 컴포넌트들 중 메모리 구조(126) 이외의 하나 이상의 컴포넌트들은(단독으로 또는 조합하여) 본 명세서에 기술된 프로세스들의 단계들을 비롯하여 본 명세서에 기술된 기법들을 수행하도록 구성된 적어도 하나의 제어 회로로 고려될 수 있다. 예를 들어, 제어 회로는 제어 회로부(110), 상태 기계(112), 디코더들(114, 132), 전력 제어 모듈(116), 감지 블록들(51, 52, ..., 53), 판독/기록 회로들(128), 제어기(122) 등 중에서 임의의 하나 또는 이들의 조합을 포함할 수 있다.
- [0023] 오프-칩 제어기(122)(일 실시예에서 전기 회로임)는 프로세서(122c), ROM(122a) 및 RAM(122b)과 같은 저장 디바이스들(메모리) 및 에러-교정 코드(ECC) 엔진(245)을 포함할 수 있다. ECC 엔진은 다수의 판독 오차들을 정정

할 수 있다.

- [0024] 메모리 인터페이스(122d)가 또한 제공될 수 있다. ROM, RAM 및 프로세서와 통신 상태에 있는 메모리 인터페이스는 제어기와 메모리 다이 사이에 전기적 인터페이스를 제공하는 전기 회로이다. 예를 들어, 메모리 인터페이스는 신호들의 포맷 또는 타이밍을 변경시킬 수 있고, 버퍼를 제공할 수 있고, 서지(surge)들로부터 격리될 수 있고, I/O를 래치(latch)할 수 있고, 동일 수 있다. 프로세서는 메모리 인터페이스(122d)를 통하여 제어 회로부(110)(또는 메모리 다이의 임의의 다른 컴포넌트)로 커맨드들을 송출할 수 있다.
- [0025] 저장 디바이스들은 명령어들의 세트와 같은 코드를 포함하며, 프로세서는 본 명세서에서 설명되는 기능을 제공하기 위하여 명령어들의 세트를 실행하도록 동작가능하다. 대안으로, 또는 추가로, 프로세서는 하나 이상의 워드 라인들의 메모리 셀들의 예약된 영역과 같은 메모리 구조의 저장 디바이스(126a)로부터의 코드에 액세스할 수 있다.
- [0026] 예를 들어, 코드는 예컨대 프로그래밍, 판독, 및 소거 동작들을 위해 메모리 구조에 액세스하기 위해 제어기에 의해 사용될 수 있다. 코드는 부트 코드 및 제어 코드(예를 들어, 명령어들의 세트)를 포함할 수 있다. 부트 코드는 부팅 또는 시동(startup) 프로세스 동안 제어기를 초기화하고 제어기가 메모리 구조에 액세스할 수 있게 하는 소프트웨어이다. 코드는 하나 이상의 메모리 구조들을 제어하기 위해 제어기에 의해 사용될 수 있다. 전원이 켜질 때, 프로세서(122c)는 실행을 위해 ROM(122a) 또는 저장 디바이스(126a)로부터 부트 코드를 페치(fetch)하고, 부트 코드는 시스템 컴포넌트들을 초기화하고 제어 코드를 RAM(122b)에 로딩한다. 일단 제어 코드가 RAM에 로딩되면, 이는 제어 프로세서에 의해 실행된다. 제어 코드는 메모리의 제어 및 할당, 명령어들의 프로세싱의 우선 순위화, 및 입력 및 출력 포트들의 제어와 같은 기본 태스크들을 수행하는 드라이버들을 포함한다.
- [0027] 일반적으로, 제어 코드는 아래에서 추가로 논의되는 흐름도들의 단계들을 포함하는 본 명세서에 기술된 기능들을 수행하기 위한 명령어들을 포함할 수 있고, 아래에서 추가로 논의되는 것들을 포함하는 전압 파형들을 제공할 수 있다. 제어 회로는 본 명세서에 기술된 기능들을 수행하기 위해 명령어들을 실행하도록 구성될 수 있다.
- [0028] 일 실시예에서, 호스트는 하나 이상의 프로세서들, 본 명세서에 기술된 방법들을 수행하도록 하나 이상의 프로세서들을 프로그래밍하기 위한 프로세서 판독 가능 코드(예를 들어, 소프트웨어)를 저장하는 하나 이상의 프로세서 판독 가능 저장 디바이스(RAM, ROM, 플래시 메모리, 하드 디스크 드라이브, 솔리드 스테이트 메모리)들을 포함하는 컴퓨팅 디바이스(예를 들어, 랩톱, 데스크톱, 스마트폰, 태블릿, 디지털 카메라)이다. 호스트는 또한 하나 이상의 프로세서들과 통신하는 추가적인 시스템 메모리, 하나 이상의 입력/출력 인터페이스들 및/또는 하나 이상의 입력/출력 디바이스들을 포함할 수 있다.
- [0029] NAND 플래시 메모리에 더하여 다른 유형들의 비휘발성 메모리가 또한 사용될 수 있다.
- [0030] 반도체 메모리 디바이스들은 "DRAM"(dynamic random access memory) 또는 "SRAM"(static random access memory) 디바이스들과 같은 휘발성 메모리 디바이스들, "ReRAM"(resistive random access memory), "EEPROM"(electrically erasable programmable read only memory), 플래시 메모리(이는 또한 EEPROM의 서브세트로 간주될 수 있음), "FRAM"(ferroelectric random access memory), 및 "MRAM"(magnetoresistive random access memory)과 같은 비휘발성 메모리 디바이스들, 및 정보를 저장할 수 있는 다른 반도체 요소들을 포함한다. 메모리 디바이스의 각각의 유형은 상이한 구성들을 가질 수 있다. 예를 들어, 플래시 메모리 디바이스들은 NAND 또는 NOR 구성으로 구성될 수 있다.
- [0031] 메모리 디바이스들은 수동 요소 및/또는 능동 요소로부터, 임의의 조합으로 형성될 수 있다. 비제한적인 예로서, 수동 반도체 메모리 요소들은, 일부 실시예들에서 안티-퓨즈(anti-fuse) 또는 상 변화 재료와 같은 저항률 스위칭 저장 요소, 및 옵션적으로 다이오드 또는 트랜지스터와 같은 스티어링 요소(steering element)를 포함하는, ReRAM 디바이스 요소들을 포함한다. 또한, 비제한적 예로서, 능동 반도체 메모리 요소들은 EEPROM 및 플래시 메모리 디바이스 요소들을 포함하는데, 이는 일부 실시예들에서 플로팅 게이트, 전도성 나노입자들, 또는 전하 저장 유전체 재료와 같은, 전하 저장 영역을 포함하는 요소들을 포함한다.
- [0032] 다수의 메모리 요소들은 그들이 직렬로 연결되도록 또는 각각의 요소가 개별적으로 액세스가능하도록 구성될 수 있다. 비제한적인 예로서, NAND 구성의 플래시 메모리 디바이스들(NAND 메모리)은 전형적으로 직렬로 연결된 메모리 요소들을 포함한다. NAND 스트링은 메모리 셀들 및 선택 게이트 트랜지스터들을 포함하는 직렬로 연결된 트랜지스터들의 세트의 일레이다.
- [0033] NAND 메모리 어레이는 어레이가 메모리의 다수의 스트링들로 이루어지도록 구성될 수 있으며, 여기서 하나의 스

트링이 다수의 메모리 요소들 - 다수의 메모리 요소들은 단일 비트 라인을 공유하고 그룹으로서 액세스됨 -로 이루어진다. 대안으로, 메모리 요소들은 각각의 요소가 개별적으로 액세스가능하도록 구성될 수 있다 - 예를 들어, NOR 메모리 어레이. NAND 및 NOR 메모리 구성들은 예시들로서, 메모리 요소들은 달리 구성될 수 있다.

[0034] 기관 내에 그리고/또는 기관 위에 위치한 반도체 메모리 요소들은 2D 메모리 구조 또는 3D 메모리 구조와 같이, 2차원 또는 3차원으로 배열될 수 있다. 2D 메모리 구조에서, 반도체 메모리 요소들은 단일 평면 또는 단일 메모리 디바이스 레벨로 배열된다. 전형적으로, 2D 메모리 구조에서, 메모리 요소들은, 메모리 요소들을 지지하는 기관의 주 표면에 실질적으로 평행하게 연장되는 평면(예를 들어, x-y 방향 평면) 내에 배열된다. 기관은 메모리 요소들의 층이 상부에 또는 내부에 형성되는 웨이퍼일 수 있거나, 또는 그것은 메모리 요소들이 형성된 후에 메모리 요소들에 부착되는 캐리어 기관일 수 있다. 비제한적인 예로서, 기관은 실리콘과 같은 반도체를 포함할 수 있다.

[0035] 메모리 요소들은, 복수의 로우들 및/또는 컬럼들에서와 같이, 순서화된 어레이에서의 단일 메모리 디바이스 레벨로 배열될 수 있다. 그러나, 메모리 요소들은 비정규(non-regular) 또는 비직교 구성들로 배열될 수 있다. 메모리 요소들은 각각 비트 라인들 및 워드 라인들과 같은 2개 이상의 전극들 또는 접촉 라인들을 가질 수 있다.

[0036] 3D 메모리 어레이는 메모리 요소들이 다수의 평면들 또는 다수의 메모리 디바이스 레벨들을 점유하도록 배열되며, 그에 의해 3차원(즉, x, y 및 z 방향들 - 여기서, z 방향은 기관의 주 표면에 실질적으로 수직이고, x 및 y 방향들은 기관의 주 표면에 실질적으로 평행함 -)의 구조를 형성한다.

[0037] 비제한적인 예로서, 3D 메모리 구조가 다수의 2D 메모리 디바이스 레벨들의 스택으로서 수직으로 배열될 수 있다. 다른 비제한적인 예로서, 3D 메모리 어레이는 각각의 컬럼이 다수의 메모리 요소들을 갖는 다수의 수직 컬럼들(예를 들어, 기관의 주 표면에 실질적으로 수직으로, 즉, y 방향으로 연장된 컬럼들)로서 배열될 수 있다. 컬럼들은 2D 구성으로, 예를 들어, x-y 평면 내에 배열될 수 있어서, 요소들이 다수의 수직으로 적층된 메모리 평면들 상에 있는, 메모리 요소들의 3D 배열을 생성할 수 있다. 3차원의 메모리 요소들의 다른 구성들이 또한 3D 메모리 어레이를 구성할 수 있다.

[0038] 비제한적인 예로서, 3D NAND 메모리 어레이에서, 메모리 요소들은 함께 커플링되어, 단일 수평(예를 들어, x-y) 메모리 디바이스 레벨 내의 NAND 스트링을 형성할 수 있다. 대안으로, 메모리 요소들은 함께 커플링되어, 다수의 수평 메모리 디바이스 레벨들을 가로질러 가는 수직 NAND 스트링을 형성할 수 있다. 일부 NAND 스트링들이 단일 메모리 레벨 내의 메모리 요소들을 포함하는 한편 다른 스트링들은 다수의 메모리 레벨들을 통하여 걸쳐 있는 메모리 요소들을 포함하는 다른 3D 구성들이 구상될 수 있다. 3D 메모리 어레이들은 또한 NOR 구성으로 그리고 ReRAM 구성으로 설계될 수 있다.

[0039] 전형적으로, 모놀리식 3D 메모리 어레이에서, 하나 이상의 메모리 디바이스 레벨들이 단일 기관 위에 형성된다. 옵션적으로, 모놀리식 3D 메모리 어레이는 또한, 적어도 부분적으로 단일 기관 내에 하나 이상의 메모리 층들을 가질 수 있다. 비제한적인 예로서, 기관은 실리콘과 같은 반도체를 포함할 수 있다. 모놀리식 3D 어레이에서, 어레이의 각각의 메모리 디바이스 레벨을 구성하는 층들은 전형적으로 어레이의 하부 메모리 디바이스 레벨들의 층들 상에 형성된다. 그러나, 모놀리식 3D 메모리 어레이의 인접한 메모리 디바이스 레벨들의 층들은 공유될 수 있거나 메모리 디바이스 레벨들 사이에 개재하는 층들을 가질 수 있다.

[0040] 2D 어레이들은 별도로 형성되고 이어서 함께 패키징되어 다수의 메모리 층들을 갖는 비-모놀리식 메모리 디바이스를 형성할 수 있다. 예를 들어, 비-모놀리식 적층된 메모리들은, 별개의 기관들 상에 메모리 레벨들을 형성하고 이어서 메모리 레벨들을 서로 적층함으로써 구성될 수 있다. 기관들은 적층 이전에 메모리 디바이스 레벨들로부터 박화(thinned)되거나 제거될 수 있지만, 메모리 디바이스 레벨들은 초기에 별개의 기관들 위에 형성되기 때문에, 생성된 메모리 어레이들은 모놀리식 3D 메모리 어레이들이 아니다. 또한, 다수의 2D 메모리 어레이들 또는 3D 메모리 어레이들(모놀리식 또는 비-모놀리식)이 별개의 칩들 상에 형성되고 이어서 함께 패키징되어 스택형 칩 메모리 디바이스를 형성할 수 있다.

[0041] 전형적으로, 메모리 요소들의 동작을 위해 그리고 메모리 요소들과의 통신을 위해 연관된 회로부가 요구된다. 비제한적인 예로서, 메모리 디바이스들은 프로그래밍 및 판독과 같은 기능들을 달성하기 위해 메모리 요소들을 제어하고 구동하는 데 사용되는 회로부를 가질 수 있다. 이러한 연관된 회로부는 메모리 요소들과 동일한 기관 상에 그리고/또는 별개의 기관 상에 있을 수 있다. 예를 들어, 메모리 판독-기록 동작들을 위한 제어기는 별개의 제어기 칩 상에 그리고/또는 메모리 요소들과 동일한 기관 상에 위치될 수 있다.

- [0042] 당업자는 본 기술이 설명된 2D 및 3D의 예시적인 구조들로 제한되는 것이 아니라 본 명세서에 기술된 바와 같은 그리고 당업자에 의해 이해되는 바와 같은 본 기술의 사상 및 범위 내의 모든 관련된 메모리 구조들을 포함한다는 것을 인식할 것이다.
- [0043] 도 1b는 도 1a의 온도 감지 회로(115)의 일례를 도시한다. 온도 감지 회로는 예를 들어, 도 15에 나타난 바와 같이 지연을 설정하기 위해 온도를 결정하는 데 사용될 수 있다.
- [0044] 회로는 pMOSFET들(131a, 131b, 134), 양극성 트랜지스터들(133a, 133b) 및 저항기들(R1, R2, R3)을 포함한다. I1, I2 및 I3은 전류들을 나타낸다. Voutput은 아날로그-디지털(ADC) 변환기(129)에 제공되는 온도 기반 출력 전압이다. Vbg는 온도 종속(temperature-independent) 전압이다. 전압 레벨 생성 회로(135)는 Vbg를 사용하여 다수의 전압 레벨들을 설정한다. 예를 들어, 기준 전압은 저항 분할기 회로에 의해 여러 레벨들로 분할될 수 있다.
- [0045] ADC는 Voutput을 전압 레벨들과 비교하고 전압 레벨들 중에서 최근접 매칭을 선택하여, 대응하는 디지털 값(VTemp)을 프로세서로 출력한다. 이는 메모리 디바이스의 온도를 나타내는 데이터이다. ROM 퓨즈들(123)은 하나의 접근법에서 매칭 전압 레벨을 온도에 상관시키는 데이터를 저장한다. 프로세서는 이어서 온도를 사용하여 메모리 디바이스 내의 온도 기반 파라미터들을 설정한다.
- [0046] Vbg는 트랜지스터(131b)에 걸친 베이스-이미터 전압(Vbe) 및 저항(R2)에 걸친 전압 강하를 추가함으로써 얻어진다. 양극성 트랜지스터(133a)는 트랜지스터(133b)보다 (인자 N 만큼) 더 큰 면적을 갖는다. PMOS 트랜지스터들(131a, 131b)은 크기가 동일하고 전류 미러 구성으로 배열되어 전류들(I1, I2)이 실질적으로 동일하다. $Vbg = Vbe + R2 \times I2$ 이고 $I1 = Ve / R1$ 이므로, $I2 = Ve / R1$ 이다. 결과적으로, $Vbg = Vbe + R2 \times kT \ln(N) / R1 \times q$ 이며, 여기서, T는 온도이고, k는 볼츠만 상수(Boltzmann's constant)이고, q는 전하의 단위이다. 트랜지스터(134)의 소스는 공급 전압(Vdd)에 연결되고, 트랜지스터의 드레인과 저항기(R3) 사이의 노드는 출력 전압(Voutput)이다. 트랜지스터(134)의 게이트는 트랜지스터들(131a, 131b)의 게이트들과 동일한 단자에 연결되고, 트랜지스터(134)를 통하는 전류는 트랜지스터들(131a, 131b)을 통하는 전류를 그대로 반영한다(mirror).
- [0047] 도 2는 도 1의 감지 블록(51)의 일 실시예를 도시하는 블록도이다. 개별 감지 블록(51)은 감지 모듈들(180) 또는 감지 증폭기들로 지칭되는 하나 이상의 코어 부분들, 및 관리 회로(190)로 지칭되는 공통 부분으로 분할된다. 일 실시예에서, 각각의 비트 라인에 대한 별개의 감지 모듈(180) 및 다수의, 예를 들어 4개 또는 8개의 감지 모듈들(180)의 세트에 대한 하나의 공통 관리 회로(190)가 있을 것이다. 그룹 내의 감지 모듈들의 각각은 데이터 버스(172)를 통해 연관된 관리 회로와 통신한다. 따라서, 저장 요소들의 세트의 감지 모듈들과 통신하는 하나 이상의 관리 회로들이 있다.
- [0048] 감지 모듈(180)은 연결된 비트 라인 내의 전도 전류가 미리 결정된 임계 레벨 초과인지 또는 미만인지 결정함으로써 감지를 수행하는 감지 회로부(170)를 포함한다. 감지 모듈(180)은 또한 연결된 비트 라인 상에 전압 조건을 설정하는 데 사용되는 비트 라인 래치(182)를 포함한다. 예를 들어, 비트 라인 래치(182)에 래칭된 미리 결정된 상태는 연결된 비트 라인이 프로그램 금지(program inhibit)를 나타내는 상태(예를 들어, 1.5 내지 3 V)로 풀링되게 할 것이다. 예로서, 플래그=0은 프로그래밍을 금지할 수 있는 한편, 플래그=1은 프로그래밍을 금지하지 않는다.
- [0049] 관리 회로(190)는 프로세서(192), 데이터 래치들(194 내지 197)의 4개의 예시적인 세트들 및 데이터 래치들(194)의 세트와 데이터 버스(120) 사이에 커플링된 I/O 인터페이스(196)를 포함한다. 데이터 래치들의 하나의 세트가 각각의 감지 모듈에 대해 제공될 수 있고, LDL 및 UDL에 의해 식별된 데이터 래치들이 각각의 세트에 대해 제공될 수 있다. 일부 경우들에서, 추가적인 데이터 래치들이 사용될 수 있다. LDL은 데이터의 하위 페이지에 대한 비트를 저장하고, UDL은 데이터의 상위 페이지에 대한 비트를 저장한다. 이것은 저장 요소 메모리 디바이스당 4-레벨 또는 2-비트 내에 있다. 비트 라인당 하나의 추가적인 데이터 래치가 저장 요소당 각각의 추가적인 데이터 비트에 대해 제공될 수 있다.
- [0050] 프로세서(192)는, 예를 들어, 감지된 저장 요소에 저장된 데이터를 결정하고 결정된 데이터를 데이터 래치들의 세트에 저장하는 것과 같은 계산들을 수행한다. 데이터 래치들(194 내지 197)의 각각의 세트는 판독 동작 동안 프로세서(192)에 의해 결정된 데이터 비트들을 저장하고, 프로그램 동작 동안, 데이터 버스(120)로부터 임포트(import)된, 메모리 내에 프로그래밍되도록 의도된 기록 데이터를 표현하는 데이터 비트들을 저장하는 데 사용된다. I/O 인터페이스(196)는 데이터 래치들(194 내지 197)과 데이터 버스(120) 사이에 인터페이스를 제공한다.

- [0051] 판독 동안, 시스템의 동작은 어드레싱된 저장 요소에 대한 상이한 제어 게이트 전압들의 공급을 제어하는 상태 기계(112)의 제어 하에 있다. 감지 모듈(180)이 메모리에 의해 지원되는 다양한 메모리 상태들에 대응하는 다양한 미리정의된 제어 게이트 전압들을 단계적으로 진행함에 따라, 감지 모듈(180)은 이들 전압들 중 하나에서 트립(trip)될 수 있고, 대응하는 출력이 버스(172)를 통해 감지 모듈(180)로부터 프로세서(192)로 제공될 것이다. 그 시점에서, 프로세서(192)는 감지 모듈의 트립 이벤트(들) 및 입력 라인들(193)을 통해 상태 기계로부터의 인가된 제어 게이트 전압에 대한 정보를 고려하여 결과적인 메모리 상태를 결정한다. 프로세서(192)는 이어서 메모리 상태에 대한 이전 인코딩을 계산하고, 생성된 데이터 비트들을 데이터 래치들(194 내지 197) 내로 저장한다. 관리 회로(190)의 다른 실시예에서, 비트 라인 래치(182)는, 감지 모듈(180)의 출력을 래칭하기 위한 래치로서, 그리고 또한 전송된 바와 같은 비트 라인 래치로서의 이중 기능(double duty)을 담당(serve)한다.
- [0052] 일부 구현예들은 다수의 프로세서들(192)을 포함할 수 있다. 일 실시예에서, 각각의 프로세서(192)는 출력 라인(도시되지 않음)을 포함할 것이므로, 출력 라인들의 각각이 함께 OR-연결(wired-OR)된다. 일부 실시예들에서, 출력 라인들은 OR-연결 라인에 연결되기 전에 반전된다. 이러한 구성은 프로그램 검증 프로세스 동안 프로그래밍 프로세스가 완료된 때에 대한 빠른 결정을 가능하게 하는데, 그 이유는 OR-연결을 수신하는 상태 기계가 프로그래밍되고 있는 모든 비트들이 원하는 레벨에 도달한 때를 결정할 수 있기 때문이다. 예를 들어, 각각의 비트가 그의 원하는 레벨에 도달했을 때, 그 비트에 대한 로직 0이 OR-연결 라인으로 전송될 것이다 (또는 데이터 1이 반전됨). 모든 비트들이 데이터 0(또는 반전된 데이터 1)을 출력하는 경우, 상태 기계는 프로그래밍 프로세스를 종료해야 할 것을 알게 된다. 각각의 프로세서가 8개의 감지 모듈들과 통신하기 때문에, 상태 기계는 OR-연결 라인을 8회 판독할 필요가 있거나, 또는 상태 기계가 OR-연결 라인을 한번만 판독할 필요가 있도록 연관된 비트 라인들의 결과들을 누적하기 위해 로직이 프로세서(192)에 추가된다. 유사하게, 로직 레벨들을 정확하게 선택함으로써, 글로벌 상태 기계는 제1 비트가 그의 상태를 변경한 때를 검출하고 그에 따라 알고리즘들을 변경할 수 있다.
- [0053] 프로그램 또는 검증 동작들 동안, 프로그래밍될 데이터(기록 데이터)는 데이터 버스(120)로부터의 데이터 래치들(194 내지 197)의 세트 내에, LDL 래치 및 UDL 래치 내에, 저장 요소 당 2-비트 구현으로 저장된다. 저장 요소 당 3-비트 구현에서는, 추가적인 데이터 래치가 사용될 수 있다. 프로그램 동작은, 상태 기계의 제어 하에서, 어드레싱된 저장 요소들의 제어 게이트들에 인가되는 일련의 프로그래밍 전압 펄스들을 포함한다. 각각의 프로그램 전압에 뒤이어, 저장 요소가 원하는 메모리 상태로 프로그래밍되었는지를 결정하기 위해 재판독(검증)이 따른다. 일부 경우들에서, 프로세서(192)는 원하는 메모리 상태에 대해 재판독된 메모리 상태를 모니터링한다. 2개가 일치하는 경우, 프로세서(192)는 비트 라인이 프로그램 금지를 나타내는 상태로 풀릴도록 비트 라인 래치(182)를 설정한다. 이것은, 프로그램 펄스들이 그의 제어 게이트 상에 나타날 경우에도 비트 라인에 커플링된 저장 요소가 추가 프로그래밍되는 것을 금지한다. 다른 실시예들에서, 프로세서는 초기에 비트 라인 래치(182)를 로딩하고, 감지 회로부는 그것을 검증 프로세스 동안 금지 값으로 설정한다.
- [0054] 데이터 래치들(194 내지 197)의 각각의 세트는 각각의 감지 모듈에 대한 데이터 래치들의 스택으로서 구현될 수 있다. 일 실시예에서, 감지 모듈(180) 당 3개의 데이터 래치들이 있다. 일부 구현예들에서, 데이터 래치들은 그들에 저장된 병렬 데이터가 데이터 버스(120)에 대한 직렬 데이터로 변환되도록, 그리고 그 반대로 변환되도록 시프트 레지스터로서 구현된다. 저장 요소들의 판독/기록 블록에 대응하는 모든 데이터 래치들은 함께 링크되어 블록 시프트 레지스터를 형성하여 데이터의 블록이 직렬 전달에 의해 입력 또는 출력될 수 있게 할 수 있다. 특히, 판독/기록 모듈들의 뱅크는, 그의 데이터 래치들의 세트의 각각이 마치 전체 판독/기록 블록에 대한 시프트 레지스터의 일부인 것처럼 순서대로 데이터 버스 내부로 또는 데이터 버스 외부로 데이터를 시프트하도록 구성된다.
- [0055] 데이터 래치들은 연관된 저장 요소가 프로그램 동작들에서 소정의 이정표들(mileposts)에 도달했을 때를 식별한다. 예를 들어, 래치들은 저장 요소의 Vth가 특정 검증 레벨 미만임을 식별할 수 있다. 데이터 래치들은 현재 저장 요소가 데이터의 페이지로부터 하나 이상의 비트들을 저장하는지 여부를 나타낸다. 예를 들어, LDL 래치들은 데이터의 하위 페이지를 저장하는 데 사용될 수 있다. LDL 래치는 하위 페이지 비트가 연관된 저장 요소에 저장될 때 (예를 들어, 0에서 1로) 플립된다. UDL 래치는 상부 페이지 비트가 연관된 저장 요소에 저장될 때 플립된다. 이는 연관된 저장 요소가 프로그래밍을 완료할 때, 예를 들어 연관된 저장 요소의 Vth가 VvA, VvB 또는 VvC와 같은 목표 검증 레벨을 초과할 때 발생한다.
- [0056] 도 3은 도 1의 감지 블록(51)의 다른 예시적인 블록도를 도시한다. 컬럼 제어 회로부는 다수의 감지 블록들을 포함할 수 있으며, 여기서 각각의 감지 블록은 각자의 비트 라인들을 통해 다수의 메모리 셀들에 대한 감지, 예를 들어, 판독, 프로그램 검증 또는 소거 검증 동작들을 수행한다. 하나의 접근법에서, 감지 블록은 감지 증폭

기들로도 지칭되는 다수의 감지 회로들을 포함한다. 각각의 감지 회로는 데이터 래치들 및 캐시들과 연관된다. 예를 들어, 예시적인 감지 회로들(350a, 351a, 352a, 353a)은 각각 캐시들(350c, 351c, 352c, 353c)과 연관된다.

[0057] 하나의 접근법에서, 비트 라인들의 상이한 서브세트들이 상이한 각자의 감지 블록들을 사용하여 감지될 수 있다. 이는 감지 회로들과 연관된 프로세싱 부하가 각각의 감지 블록 내의 각자의 프로세서에 의해 분할되고 취급될 수 있게 한다. 예를 들어, 감지 회로 제어기(360)는 감지 회로들 및 래치들의 세트, 예를 들어 이들 16개의 감지 회로들 및 래치들과 통신할 수 있다. 감지 회로 제어기는 사전 충전 전압을 설정하기 위한 전압을 각각의 감지 회로에 제공하는 사전 충전 회로(361)를 포함할 수 있다. 감지 회로 제어기는 또한 메모리(362) 및 프로세서(363)를 포함할 수 있다.

[0058] 도 4는 메모리 셀들의 블록들에 전압들을 제공하기 위한 예시적인 회로를 도시한다. 이 예에서, 로우 디코더(401)는 블록들(410)의 세트 내의 각각의 블록의 워드 라인들 및 선택 게이트들에 전압들을 제공한다. 블록들은 평면 내에 있을 수 있고 블록들(BLK_0 내지 BLK_7)을 포함한다. 로우 디코더는 로우 디코더에 블록들을 연결하는 패스 게이트들(422)에 제어 신호를 제공한다. 전형적으로, 프로그램 또는 판독 동작들은 한 번에 하나의 선택된 블록 상에서, 그리고 블록의 하나의 선택된 서브-블록 상에서 수행된다. 선택된 블록 또는 서브-블록 상에서 소거 동작이 수행될 수 있다. 로우 디코더는 글로벌 제어 라인들(402)을 로컬 제어 라인들(403)에 연결할 수 있다. 제어 라인들은 전도성 경로들을 표현한다. 전압 소스들(420)로부터 글로벌 제어 라인들 상에 전압들이 제공된다. 전압 소스들은 글로벌 제어 라인들에 연결되는 스위치들(421)에 전압을 제공할 수 있다. 패스 트랜지스터들 또는 전달 트랜지스터들로도 지칭되는 패스 게이트들(424)은 전압 소스들(420)로부터 스위치들(421)로 전압을 통과시키도록 제어된다.

[0059] 전압 소스들(420)은 예를 들어, 워드 라인(WL)들, SGS 제어 게이트들 및 SGD 제어 게이트들에 전압들을 제공할 수 있다. 전압 소스들은 프로그램 또는 판독 동작 동안 선택된 워드 라인 상에 전압을 제공하는 선택된 워드 라인(WL) 드라이버(447), 선택되지 않은 데이터 워드 라인들에 대한 드라이버(447a), 및 더미 워드 라인들 상에 전압들을 제공하는 더미 워드 라인 드라이버(447b)를 포함할 수 있다.

[0060] 전압 소스들은 또한 각각의 서브-블록에 대한 별개의 SGS 드라이버 및 SGD 드라이버를 포함할 수 있다. 예를 들어, SGS 드라이버들(445, 445a, 445b, 445c), 및 SGD 드라이버들(446, 446a, 446b, 446c)은 도 7 및 도 8에서와 같이 SB0, SB1, SB2 및 SB3에 대해 각각 제공될 수 있다. 다른 옵션에서, 하나의 SGS 드라이버가 블록 내의 상이한 서브-블록들에 공통이다.

[0061] 로우 디코더를 포함하는 다양한 컴포넌트들은 상태 기계(112) 또는 제어기(122)와 같은 제어기로부터 커맨드들을 수신하여 본 명세서에 기술된 기능들을 수행할 수 있다.

[0062] 소스 라인 전압 소스(430)는 제어 라인들(432)을 통해 기판 내의 소스 라인들/확산 영역에 전압(Vs1)을 제공한다. 하나의 접근법에서, 소스 확산 영역(433)은 블록들에 공통이다. 비트 라인들(442)의 세트가 또한 블록들에 의해 공유된다. 비트 라인 전압 소스(440)는 비트 라인들에 전압들을 제공한다.

[0063] 도 5는 도 1a의 메모리 구조(126)의 예시적인 3D 구성의 블록들의 세트를 포함하는 메모리 디바이스(500)의 사시도이다. 기판 상에는, 메모리 셀들(저장 요소들)의 예시적인 블록들(BLK0, BLK1, BLK2, BLK3), 및 블록들에 의한 사용을 위한 회로부를 갖는 주변 영역들이 있다. 주변 영역(504)은 각각의 블록의 에지를 따라서 이어지는 한편, 주변 영역(505)은 블록들의 세트의 단부에 있다. SGS 트랜지스터들의 전압 드라이버에 대한 패스 게이트들은 하나의 접근법에서 이 주변 영역(505)에 위치될 수 있다. 이 경우에, 블록들(BLK0, BLK1, BLK2, BLK3)은 패스 게이트들로부터 점진적으로 더 원거리들에 있다. 회로부는 블록들의 제어 게이트 층들, 비트 라인들 및 소스 라인들에 연결될 수 있는 전압 드라이버들을 포함할 수 있다. 하나의 접근법에서, 블록들 내의 공통 높이에서의 제어 게이트 층들이 공통적으로 구동된다. 기판(501)은 또한, 블록들 아래의 회로부 및 회로부의 신호들을 반송하기 위한 전도성 경로들로 패턴화되는 하나 이상의 하부 금속 층들을 지지할 수 있다. 블록들은 메모리 디바이스의 중간 영역(502)에 형성된다. 메모리 디바이스의 상부 영역(503)에는, 하나 이상의 상부 금속 층이 회로부의 신호들을 반송하기 위한 전도성 통로들로 패턴화된다. 각각의 블록은 메모리 셀들의 적층된 영역을 포함하며, 여기서 스택의 교번하는 레벨들은 워드 라인들을 표현한다. 하나의 가능한 접근법에서, 각각의 블록은 대향하는 계층형(tiered) 측면들을 가지며, 이로부터 수직 접점들이 상부 금속 층으로 상향으로 연장되어 전도성 경로들에 대한 연결부들을 형성한다. 일례로서 4개의 블록들이 도시되어 있지만, 2개 이상의 블록들이 사용되어, x-방향 및/또는 y-방향으로 연장될 수 있다.

- [0064] 하나의 가능한 접근법에서, 블록들은 평면 내에 있고, x-방향에서의 평면의 길이는 워드 라인들로의 신호 경로들이 하나 이상의 상부 금속 층들로 연장되는 방향(워드 라인 또는 SGD 라인 방향)을 표현하고, y-방향에서의 평면의 폭은 비트 라인들로의 신호 경로들이 하나 이상의 상부 금속 층들로 연장되는 방향(비트 라인 방향)을 표현한다. z-방향은 메모리 디바이스의 높이를 표현한다. 블록들은 또한 다수의 평면들 내에 배열될 수 있다.
- [0065] 도 6a는 도 5의 블록들 중 하나의 일부분의 예시적인 단면도를 도시한다. 블록은 교번하는 전도성 층들 및 유전체 층들의 스택(610)을 포함한다. 이 예에서, 전도성 층들은 2개의 SGD 층들, 하나의 SGS 층, 2개의 소스-측 더미 워드 라인 층들(또는 워드 라인들)(WLDS1, WLDS0), 2개의 드레인-측 더미 워드 라인 층들(WLDD1, WLDD0), 및 11개의 데이터 워드 라인 층들(또는 데이터 워드 라인들)(WLL0 내지 WLL10)을 포함한다. WLL0은 소스-측 데이터 워드 라인이고, WLDS1은 소스-측 데이터 워드 라인에 인접한 더미 워드 라인 층이다. WLDS0은 WLDS1에 인접한 다른 더미 워드 라인 층이다. WLL10은 드레인-측 데이터 워드 라인이고, WLDD1은 드레인-측 데이터 워드 라인에 인접한 더미 워드 라인 층이다. WLDD0은 WLDD1에 인접한 다른 더미 워드 라인 층이다. 유전체 층들은 DL1 내지 DL19로 라벨링된다. 또한, NAND 스트링들(NS1, NS2)을 포함하는 스택의 영역들이 도시되어 있다. 각각의 NAND 스트링은 메모리 홀(618 또는 619)을 포함하고, 이 메모리 홀은 워드 라인들에 인접한 메모리 셀들을 형성하는 재료들로 충전된다. 스택의 영역(622)이 도 6c에 더 상세히 도시되어 있다.
- [0066] 스택은 기관(611)을 포함한다. 하나의 접근법에서, 소스 라인(SL)의 일부분은 블록 내의 메모리 셀들의 각각의 스트링의 소스 단과 접촉하는, 기관 내의 n-형 소스 확산층(611a)을 포함한다. 소거 동작에서 소거 전압이 이러한 층에 인가될 수 있다. 하나의 가능한 구현에서, n-형 소스 확산층(611a)은 p-형 웰 영역(611b)에 형성되고, 이는 이어서 n-형 웰 영역(611c)에 형성되고, 이는 이어서 p-형 반도체 기관(611d) 내에 형성된다. n-형 소스 확산층은, 하나의 접근법에서, 평면 내의 블록들 모두에 의해 공유될 수 있다.
- [0067] NS1은 스택(616)의 저부(616b)에서는 소스-단(613)을 그리고 스택의 상단(616a)에서는 드레인-단(615)을 갖는다. 금속 충전 슬릿들(617, 620)이 스택을 가로질러서 상호연결부들로서 주기적으로 제공될 수 있고, 이들은 스택을 관통하여 연장되어, 예컨대 소스 라인을 스택 위의 라인에 연결시킨다. 슬릿들은 워드 라인들의 형성 동안 사용될 수 있고, 후속으로, 금속으로 충전될 수 있다. 비트 라인(BL0)의 일부분이 또한 도시되어 있다. 전도성 비아(621)가 드레인-단(615)을 BL0에 연결시킨다.
- [0068] 하나의 접근법에서, 메모리 셀들의 블록은 교번하는 제어 게이트 층들 및 유전체 층들의 스택을 포함하고, 메모리 셀들은 스택 내의 수직으로 연장되는 메모리 홀들에 배열된다.
- [0069] 하나의 접근법에서, 각각의 블록은, 수직 상호연결부들이 SGS, WL 및 SGD 층들을 포함하는 각각의 층에 연결되고 전압 드라이버들에 대한 수평 경로들로 상향으로 연장되는 테라스형(terraced) 에지를 포함한다.
- [0070] 도 6b는 도 6a의 메모리 홀들의 그 높이를 따른 폭의 예시적인 변화를 도시한다. 메모리 홀들을 생성하는 데 사용되는 에칭 프로세스 및 매우 높은 종횡비로 인해, 메모리 홀의 단면 폭, 예를 들어 직경은 그의 높이를 따라 변화할 수 있다. 전형적으로, 직경은 메모리 홀의 상부로부터 하부까지 점진적으로 더 작아진다. 일부 경우에, 도시된 바와 같이 홀의 상부에서 약간의 좁아짐이 일어나, 직경이 메모리 홀의 상부로부터 하부로 점진적으로 더 작아지기 전에 약간 더 넓어진다.
- [0071] 메모리 홀의 폭의 불균일성 및 메모리 홀에 형성되는 수직 필러(pillar)의 대응하는 폭으로 인해, 메모리 셀들의 프로그래밍 및 소거 속도는 메모리 홀을 따른 그들의 위치에 기초하여, 예를 들어 스택 내의 그들의 높이에 기초하여 변화할 수 있다. 더 작은 직경의 메모리 홀에 의해, 터널링 층을 가로지르는 전계는 보다 더 강해져서, 프로그래밍 및 소거 속도가 더 높아진다.
- [0072] 이 경우에, 메모리 셀들은 메모리 디바이스 내의 수직-연장 메모리 홀들을 따라 배열되고, 수직-연장 메모리 홀들의 폭은 메모리 디바이스의 높이를 따라 변화한다. 또한, 본 실시예는 워드 라인 층들 및 선택 게이트 층들을 포함하는 층들의 스택을 통해 에칭함으로써 메모리 홀이 생성됨을 보여준다. 일 변형예에서, 워드 라인 층들은 SGD 층들이 퇴적되고 후속하여 개별적으로 에칭되기 전에 에칭된다. 다른 변형예에서, 워드 라인 층들의 한 세트가 퇴적되고 에칭되고, 이어서 워드 라인 층들의 다른 세트가 퇴적되고 에칭된다. 메모리 홀 직경은 이러한 상이한 변형예들에 도시된 것과 상이할 수 있다.
- [0073] 도 6c는 도 6a의 스택의 영역(622)의 확대도를 도시한다. 메모리 셀들은 워드 라인 층과 메모리 홀의 교차부에 스택의 상이한 레벨들에서 형성된다. 이 예에서, SGD 트랜지스터들(680, 681)은 더미 메모리 셀들(682, 683) 및 데이터 메모리 셀(MC) 위에 제공된다. 다수의 층들이, 예를 들어 원자층 퇴적을 이용하여, 메모리 홀(630)의 측벽(SW)을 따라서 그리고/또는 각각의 워드 라인 층 내에 퇴적될 수 있다. 예를 들어, 재료들에 의해 메모리

리 홀 내에 형성되는 각각의 필러(699) 또는 컬럼은 차단 산화물 층(663), 질화규소(Si3N4) 또는 다른 질화물과 같은 전하 트래핑 층(664) 또는 필름, 터널링 층(665), 채널(660)(예를 들어, 폴리실리콘을 포함함), 및 유전체 코어(666)를 포함할 수 있다. 워드 라인 층은 금속 배리어(661), 및 제어 게이트로서 텅스텐과 같은 전도성 금속(662)을 포함할 수 있다. 예를 들어, 제어 게이트들(690 내지 694)이 제공된다. 이 예에서, 금속을 제외한 층들 모두가 메모리 홀 내에 제공된다. 다른 접근법들에서, 층들 중 일부는 제어 게이트 층 내에 있을 수 있다. 추가 필러들이 상이한 메모리 홀들 내에 유사하게 형성된다. 필러는 NAND 스트링의 컬럼형(columnar) 활성 영역(AA)을 형성할 수 있다.

- [0074] 각각의 NAND 스트링은 하나 이상의 소스-단 선택 게이트 트랜지스터들로부터 하나 이상의 드레인-단 선택 게이트 트랜지스터들로 연속적으로 연장되는 채널을 포함한다.
- [0075] 메모리 셀이 프로그래밍될 때, 전자들은 메모리 셀과 연관된 전하 트래핑 층의 일부에 저장된다. 이들 전자들은 채널로부터 전하 트래핑 층 내로 그리고 터널링 층을 통해 유입된다. 메모리 셀의 Vth는 저장된 전하의 양에 비례하여 증가된다. 소거 동작 동안, 전자들은 채널로 복귀한다.
- [0076] 메모리 홀들 각각은 차단 산화물 층, 전하 트래핑 층, 터널링 층 및 채널 층을 포함하는 복수의 환형 층들로 층전될 수 있다. 메모리 홀들 각각의 코어 영역은 바디(body) 재료로 충전되고, 복수의 환형 층들은 메모리 홀들 각각에서 코어 영역과 워드 라인 사이에 있다.
- [0077] NAND 스트링은 채널의 길이가 기판 상에 형성되지 않기 때문에 플로팅 바디 채널을 갖는 것으로 간주될 수 있다. 또한, NAND 스트링은 복수의 워드 라인 층들에 의해 스택에서 서로의 위에 제공되고, 유전체 층들에 의해 서로로부터 분리된다.
- [0078] 전하 트래핑 층(664) 내의 정공들의 이동은 도 11과 관련하여 추가로 논의된다.
- [0079] 도 7은 도 6a에 따른 3D 구성에서 서브-블록들 내의 NAND 스트링들의 예시적인 도면을 도시한다. NAND 스트링은 직렬 연결된 메모리 셀들과 같은 연결된 메모리 셀들의 세트의 일레이이다. 각각의 서브-블록은 다수의 NAND 스트링들을 포함하며, 하나의 예시적인 NAND 스트링이 도시된다. 예를 들어, SB0, SB1, SB2 및 SB3은 각각 예시적인 NAND 스트링들(700n, 710n, 720n, 730n)을 포함한다. NAND 스트링들은 도 6a에 따른 데이터 워드 라인들, 더미 워드 라인들, 및 선택 게이트 라인들을 갖는다. 각각의 서브-블록은 x 방향으로 연장되고 공통 SGD 라인을 갖는 NAND 스트링들의 세트를 포함한다. 간략함을 위해, 서브-블록 당 단 하나의 NAND 스트링만이 도 7에 도시된다. 블록의 프로그래밍은 워드 라인 프로그래밍 순서에 기초하여 발생할 수 있다. 더욱이, 하나의 옵션은 워드 라인의 상이한 부분들 내에 있고 상이한 서브-블록들 내에 있는 메모리 셀들을 다음 워드 라인의 메모리 셀들을 프로그래밍하기 전에, 한번에 서브-블록 하나씩으로 하여 프로그래밍하는 것이다. 다른 옵션은 다음 서브-블록의 메모리 셀들을 프로그래밍하기 전에, 한 번에 워드 라인 하나씩으로 하여, 하나의 서브-블록 내의 메모리 셀들 모두를 프로그래밍한다. 워드 라인 프로그래밍 순서는, 예를 들어, 소스-단 워드 라인인 WL0에서 시작하여 드레인-단 워드 라인인 WLL10에서 종료될 수 있다.
- [0080] NAND 스트링들(700n, 710n, 720n, 730n)은 각각 채널들(660(도 6c), 710a, 720a, 730a)을 갖는다.
- [0081] 추가적으로, NAND 스트링(700n)은 SGS 트랜지스터(701), 소스-측 더미 메모리 셀들(702, 703), 데이터 메모리 셀들(704, 705, 706, 707, 708, 709, 710, 711, 712, 713, 714), 드레인-측 더미 메모리 셀들(715, 716), 및 SGD 트랜지스터들(717, 718)을 포함한다.
- [0082] 메모리 셀(714)은 NAND 스트링의 드레인 단에서의 에지 데이터 메모리 셀의 예이고, 메모리 셀(704)은 NAND 스트링의 소스 단에서의 에지 데이터 메모리 셀의 예이다.
- [0083] NAND 스트링(710n)은 SGS 트랜지스터(721), 소스-측 더미 메모리 셀들(722, 723), 데이터 메모리 셀들(724, 725, 726, 727, 728, 729, 730, 731, 732, 733, 734), 드레인-측 더미 메모리 셀들(735, 736), 및 SGD 트랜지스터들(737, 738)을 포함한다.
- [0084] NAND 스트링(720n)은 SGS 트랜지스터(741), 소스-측 더미 메모리 셀들(742, 743), 데이터 메모리 셀들(744, 745, 746, 747, 748, 749, 750, 751, 752, 753, 754), 드레인-측 더미 메모리 셀들(755, 756), 및 SGD 트랜지스터들(757, 758)을 포함한다.
- [0085] NAND 스트링(730n)은 SGS 트랜지스터(761), 소스-측 더미 메모리 셀들(762, 763), 데이터 메모리 셀들(764, 765, 766, 767, 768, 769, 770, 771, 772, 773, 774), 드레인-측 더미 메모리 셀들(775, 776), 및 SGD 트랜지

스터들(777, 778)을 포함한다.

- [0086] 하나 이상의 SGD 트랜지스터들이 각각의 NAND 스트링의 드레인-단에 제공되고, 하나 이상의 SGS 트랜지스터들이 각각의 NAND 스트링의 소스 단에 제공된다. SB0, SB1, SB2 및 SB3 내의 SGD 트랜지스터들은 하나의 접근법에서 별개의 제어 라인들((SGD0(0) 및 SGD1(0), SGD0(1) 및 SGD1(1), SGD0(2) 및 SGD1(2), SGD0(3) 및 SGD1(3))에 의해 각각 구동될 수 있다. 다른 접근법에서, 서브-블록 내의 모든 SGD 트랜지스터들이 연결되고 공통적으로 구동된다. SB0, SB1, SB2 및 SB3 내의 SGS 트랜지스터들은 각각 제어 라인들(SGS(0), SGS(1), SGS(2), SGS(3))에 의해 구동될 수 있다.
- [0087] 도 8은 도 7에 따른 스택 내의 제어 게이트 층들을 도시한다. 제어 게이트 층들은 더미 워드 라인 층들(WLDS0, WLDS1, WLDD0, WLDD1), 및 상이한 서브-블록들(SB0 내지 SB3) 사이에서 공유되는 데이터 워드 라인 층들(WLLO 내지 WLL10)을 포함한다. 제어 게이트 층들은 각각의 서브-블록에 대한 별개의 SGS 제어 게이트 층, 예를 들어 SGS(0) 내지 SGS(3), 및 각각의 서브-블록에 대한 별개의 SGD 제어 게이트 층들을 포함한다. 예를 들어, SB0은 SGD0(0) 및 SGD1(0)을 포함하고, SB1은 SGD0(1) 및 SGD1(1)을 포함하고, SB2는 SGD0(2) 및 SGD1(2)를 포함하고, SB3은 SGD0(3) 및 SGD1(3)을 포함한다. 또한, 4개의 예시적인 메모리 홀들이 각각의 서브-블록에 도시되어 있다. SGD 트랜지스터들(718, 718a, 718b, 718c)이 SGD0(0)에 도시되어 있고, SGD 트랜지스터(717)가 SGD1(0)에 도시되어 있고, 더미 메모리 셀(716)이 WLDD0에 도시되어 있다.
- [0088] 추가적으로, 도 4로부터의 더미 워드 라인 드라이버(447b)가 도시된다. 각각의 서브-블록에 대해, 더미 메모리 셀들은 드라이버와는 상이한 거리들에 위치된다. 거리가 증가함에 따라, 도 10e와 관련하여 추가로 논의되는 바와 같이, RC 지연들로 인해 전압이 램프 다운되는 데 더 긴 시간이 필요하다.
- [0089] 도 9는 예시적인 프로그램 동작에서 일련의 프로그램 루프들에 사용되는 전압 신호를 도시한다. 수평축은 1 내지 22 범위의 프로그램 루프 번호를 나타내고, 수직축은 전압을 나타낸다. 프로그램 동작 동안, 각각의 평면 내의 선택된 블록 내의 선택된 워드 라인에 대해 프로그램 루프들이 수행된다. 프로그램 루프는 선택된 워드 라인에 프로그램 전압 또는 펄스가 인가되는 프로그램 부분, 및 뒤이어 연관된 메모리 셀들에 대해 하나 이상의 검증 테스트들이 수행되는 동안 검증 신호가 선택된 워드 라인에 인가되는 검증 부분을 포함한다. 소거 상태를 제외하면, 각각의 할당된 상태는 프로그램 동작에서 상태에 대한 검증 테스트에서 사용되는 검증 전압을 갖는다.
- [0090] 전압 신호(900)는 프로그래밍을 위해 선택된 워드 라인에 인가되는, 초기 프로그램 전압(901)을 포함하는 일련의 프로그램 전압들을 포함한다. 이 예에서, 전압 신호는 고정 또는 가변 스텝 크기를 사용하여 프로그래밍 패스의 하나 이상의 프로그램 루프들에서 진폭을 단계적으로 증가시키는 프로그램 전압들을 포함한다. 이것은 증분식 스텝 펄스 프로그래밍(incremental step pulse programming)으로 지칭되며, 여기서 프로그램 전압은 초기 레벨 V_{pgm_int} 에서 시작하고(프로그램 전압(901) 참조), 예를 들어, 프로그램 동작이 완료될 때까지 각각의 연속적인 프로그램 루프마다 한 스텝씩 증가한다. 선택된 메모리 셀들의 임계 전압들이 할당된 데이터 상태들의 검증 전압들에 도달할 때 성공적 완료가 발생한다.
- [0091] 프로그램 동작은 단일 프로그래밍 패스 또는 다중 프로그래밍 패스들을 포함할 수 있으며, 각각의 패스는 예를 들어, 증분 스텝 펄스 프로그래밍을 사용한다.
- [0092] 예시적인 검증 신호(902)를 포함하는 각각의 프로그램 루프에서의 검증 신호는 프로그램 루프에 대해 검증되고 있는 할당된 데이터 상태들에 기초하여, 하나 이상의 검증 전압들을 포함할 수 있다. 검증 테스트들은 프로그램 동작들이 진행됨에 따라 하위의 할당된 데이터 상태들, 이어서 중간범위의 할당된 데이터 상태들, 및 이어서 상위의 할당된 데이터 상태들을 포괄할 수 있다. 예시적인 검증 신호들은 3개의 검증 전압들을 단순화하여 도시한다. 검증 신호들의 더 상세한 예들이 도 12a 및 도 14a에 제공된다.
- [0093] 모든 메모리 셀들은 초기에, 예를 들어, 프로그램 동작의 시작 시 소거 상태에 있을 수 있다. 프로그램 동작이 완료된 후에, 이상적으로는 도 10a의 것과 유사한 V_{th} 분포가 달성되고, 데이터는 V_{th} 분포들 사이에 있는 판독 전압들을 사용하여 메모리 셀들로부터 판독될 수 있다. 동시에, 패스 전압으로도 지칭되는 판독 패스 전압 $V_{read\ pass}$ (예를 들어, 8 내지 10 V)가 나머지 워드 라인들에 인가된다. 주어진 메모리 셀의 V_{th} 가 판독 기준 전압들 중 하나 이상 초과인지 또는 미만인지를 테스트함으로써, 시스템은 메모리 셀에 의해 표현되는 데이터 상태를 결정할 수 있다. 이들 전압들은 상이한 데이터 상태들의 V_{th} 범위들 사이에서 경계를 구분(demarcate)하기 때문에 분계 전압들이다.
- [0094] 더욱이, 프로그래밍되거나 판독되는 데이터는 페이지들로 배열될 수 있다. 예를 들어, 4개의 데이터 상태들,

또는 셀당 2개의 비트들을 이용하여, 데이터의 2개 페이지들이 저장될 수 있다. ER, A, B 및 C 상태들에 대한 비트들의 예시적인 인코딩은 상위 페이지(UP) 비트/하위 페이지(LP) 비트의 포맷으로 각각 11, 10, 00 및 01이다. 하위 페이지 판독은 VrA 및 VrC를 사용할 수 있고, 상위 페이지 판독은 VrB를 사용할 수 있다.

[0095] 8개의 데이터 상태들, 또는 셀당 3개의 비트들을 이용하여, 데이터의 3개 페이지들이 저장될 수 있다. 도 10을 또한 참조한다. A, B, C, D, E, F 및 G 상태들에 대한 비트들의 예시적인 인코딩은 각각 111, 110, 100, 000, 010, 011, 001 및 101이다. 하위 페이지의 데이터는 VrA 및 VrE의 판독 전압들을 사용하여 메모리 셀들을 판독함으로써 결정될 수 있다. 중간 페이지의 데이터는 VrB, VrD 및 VrF의 판독 전압들을 사용하여 메모리 셀들을 판독함으로써 결정될 수 있다. 상부 페이지의 데이터는 VrC 및 VrG의 판독 전압들을 사용하여 메모리 셀들을 판독함으로써 결정될 수 있다.

[0096] 도 10a는 프로그램 동작 후의 메모리 셀들의 세트들의 예시적인 Vth 분포를 도시한다. 수직축은 메모리 셀들의 수를 대수 스케일(logarithmic scale)로 도시하고, 수평축은 메모리 셀들의 Vth를 선형 스케일로 도시한다. 예로서, 8개의 데이터 상태들이 사용된다. 하나의 접근법에서, 프로그램 동작의 시작 시에, 메모리 셀들은 모두 초기에 Vth 분포(1000)에 의해 표현되는 바와 같은 소거 상태에 있다. 프로그램 동작이 성공적으로 완료된 후에, Er 상태로 할당된 메모리 셀들은 Vth 분포(1008)에 의해 표현된다. Vth 분포는 일반적으로 발생하는 일정 양의 프로그램 교란으로 인해 업시프트(upshift)된다.

[0097] 각각 VvA, VvB, VvC, VvD, VvE, VvF 및 VvG의 검증 전압들을 사용하여 A, B, C, D, E, F 및 G 상태들로 프로그래밍되는 메모리 셀들은 각각 Vth 분포들(1001, 1002, 1003, 1004, 1005, 1006, 1007)에 의해 표현된다. 판독 동작에서 메모리 셀들의 상태들을 판독하기 위해 판독 전압들(VrA, VrB, VrC, VrD, VrE, VrF, VrG)이 사용될 수 있다. 이러한 검증 전압들 및 판독 전압들은 선택된 워드 라인 전압의 제어 게이트 판독 레벨들의 예들이다.

[0098] 도 10b는 선택 게이트 트랜지스터들의 Vth 분포를 도시한 것으로, 소거, 프로그램, 판독 및 지연의 반복된 사이클들 이후 분포가 다운시프트되는 방식을 도시한다. 수직축은 SGD 트랜지스터들의 수를 대수 스케일로 도시하고, 수평축은 Vth를 도시한다. 분포들의 피크는 예를 들어, 약 Vth=1 V일 수 있다. 일반적으로, Vth 분포는 시간 경과에 따라 하부 테일에서 더 낮게 시프트된다. 플롯(1010)은 프레스시(fresh) 메모리 디바이스에서의 SGD 트랜지스터들의 세트의 Vth 분포를 표현하고, 플롯(1011)은 소거, 프로그램 데이터 메모리 셀들, 판독 및 지연의 사이클들 후에 나타나는 다운시프트를 갖는 Vth 분포를 표현한다.

[0099] 일반적으로, 프로그래밍 후에 그리고 후속 소거 전에 더 큰 지연이 존재할 때 SGD 트랜지스터들에 대한 더 큰 Vth 다운시프트가 나타난다. 이는 도 12a 내지 도 12d와 관련하여 설명된 바와 같이 프로그래밍이 워드 라인의 커플링 업을 야기하기 때문이며, 이러한 커플링 업은 전계를 생성하며, 이는 전계가 존재하는 한 선택 게이트 트랜지스터들을 향해 정공들을 이동시킬 수 있다. 또한, 도 10e와 관련하여 논의된 바와 같이, 프로그래밍-소거 사이클들의 수가 더 클 때 더 큰 Vth 다운시프트가 나타난다. SGD 트랜지스터의 Vth에서의 다운시프트가 너무 커지면, 채널을 컷오프하는 것이 불가능할 것이고, 데이터 메모리 셀들의 심각한 프로그램 교란이 발생할 것이다. 예를 들어, 이러한 교란은, 선택된 서브-블록의 프로그래밍 동안 - 이때 SGD 트랜지스터들은 패스 전압에 의해 부스트될 수 있도록 채널을 컷오프하는 데 사용됨 - 선택되지 않은 서브-블록들에서 발생할 수 있다.

[0100] 도 10c는 SGD 트랜지스터들의 수 대 Vth의 플롯을 도시한 것으로, 2개의 상이한 워드 라인들이 반복되는 소거, 프로그램 및 판독 사이클들에서 감지 동작을 거칠 경우, 감지 동작 후에 더미 워드 라인 전압에 대한 허용된 램프 다운 시간이 상대적으로 짧다. 처음에 언급된 바와 같이, 선택 게이트 트랜지스터들의 Vth의 다운시프트는 NAND 스트링 내의 더미 메모리 셀로부터 인접한 선택 게이트 트랜지스터로의 정공들의 이동에 의해 야기되고, 이러한 이동은 더미 메모리 셀과 인접한 선택 게이트 트랜지스터 사이의 전계의 함수이다. 또한, 전계는 더미 메모리 셀의 제어 게이트에서의 전압이 더 크고 선택 게이트 트랜지스터의 제어 게이트에서의 전압이 더 작을 때 더 크다.

[0101] 플롯(1020)은 도 7의 예에 따른, WLL10인 드레인-측 에지 데이터 워드 라인에 대한 사이클들을 수행하는 경우를 표현한다. 플롯(1021)은 도 7의 예에서 WLL9인 드레인-측 에지 데이터 워드 라인 옆의 워드 라인에 대한 사이클들을 수행하는 경우를 표현한다. 추가적으로, 감지 프로세스들(예를 들어, 판독 및 검증)이 WLL10에 대해 수행될 때, 선택되지 않은 데이터 워드 라인들(WLL0 내지 WLL9) 및 더미 워드 라인들(WLDD0, WLDD1)은 예를 들어, 8 V의 패스 전압으로 설정된 것으로 가정한다. 이 레벨은 선택되지 않은 워드 라인들 및 더미 워드 라인들의 메모리 셀들이 WLL10의 메모리 셀들에 대해 감지가 이루어지도록 강한 전도성인 것을 보장할 만큼 충분히 높다. 선택되지 않은 메모리 셀들은 예를 들어, 5 V 높이로 프로그래밍될 수 있다.

- [0102] 감지 프로세스들이 WLL9에 대해 수행될 때, 선택되지 않은 데이터 워드 라인들(WL0 내지 WLL8, 및 WLL10)은 8 V의 패스 전압으로 설정되는 한편, WLDD0 및 WLDD1은 5 내지 6 V와 같은 더 낮은 레벨로 설정된다. 이 레벨은, 더미 메모리 셀들이 전형적으로 1 V와 같은 더 낮은 V_{th} 로 프로그래밍되기 때문에, 더미 워드 라인들의 메모리 셀들이 강한 전도성인 것을 보장할 만큼 충분히 높다. 예지 데이터 워드 라인이 선택된 워드 라인, 예를 들어 WL0 또는 WLL10인 경우, 인접한 더미 워드 라인들(예를 들어, 소스-측 예지 워드 라인(WL0)의 경우에는 WLDS1 및 WLDS0, 드레인-측 예지 워드 라인(WLL10)의 경우에는 WLDD1 및 WLDD0)은 워드 라인 전압들이 램프 다운될 때 발생할 수 있는 채널 구배를 피하기 위해 공칭 레벨보다 더 높은 레벨로 설정될 수 있다. 즉, 선택된 워드 라인 전압의 전압 및 인접한 (더미 및 데이터) 워드 라인들의 전압을 동시에 그리고 동일한 레벨로부터 램프 다운하는 것은 선택된 메모리 셀들의 교란을 초래할 수 있는 채널 구배를 방지하도록 돕는다. 공칭 레벨보다 높은 레벨은, 예를 들어, 선택되지 않은 데이터 워드 라인들에 대해 사용되는 동일한 패스 전압들일 수 있다.
- [0103] 하나의 옵션으로, 제어 회로는, 선택된 데이터 메모리 셀이 NAND 스트링의 드레인 단에서의 예지 데이터 메모리 셀인 경우(예를 들어, 도 7의 NAND 스트링(700n) 내의 메모리 셀들(704 또는 714)), 선택된 데이터 메모리 셀이 NAND 스트링의 드레인 단에서의 예지 데이터 메모리 셀이 아닌 경우(예를 들어, 도 7의 NAND 스트링(700n) 내의 메모리 셀들(705 내지 713))보다, 더미 메모리 셀의 각각의 패스 레벨을 더 크게 만들도록 구성된다.
- [0104] 하나의 옵션에서, NAND 스트링들의 소스-측 및/또는 드레인-측에 2개의 더미 워드 라인들이 있는 경우, 인접한 더미 워드 라인에 대해 더 높은 패스 전압이 사용될 수 있다(예를 들어, WL0이 선택되는 경우에 WLDS1, WLL10이 선택되는 경우에 WLDD1). 공칭 더미 워드 라인 패스 전압은 나머지 더미 워드 라인들에 대해 사용될 수 있다(예를 들어, WL0이 선택되는 경우에 WLDS0, 및 드레인-측 예지 워드 라인(WLL10)이 선택되는 경우에 WLDD0).
- [0105] 이러한 예에서 짧은 램프 다운 시간으로 인해, 선택되지 않은 데이터 워드 라인들 및 더미 워드 라인들은 감지 프로세스의 종료 시 $V_{ss}(0 V)$ 와 같은 감소된 레벨로 램프 다운하기에 충분한 시간을 갖지 않을 수 있다. 도 12a 내지 도 12d와 관련하여 기술된 바와 같이, 추가적인 인자로서, 감지 후에 발생할 수 있는 워드 라인 커플링 업이 있다. 이들 인자들에 의해, 감지 프로세스가 완료된 후의 더미 워드 라인들의 전압은 상대적으로 높을 것이고, 이는 상대적으로 큰 전계 및 선택 게이트 트랜지스터들을 향한 정공들의 더 큰 이동을 초래할 것이다. 이는 더 큰 V_{th} 다운시프트를 초래한다. 감지 동안 더 높은 더미 워드 라인 전압으로 인해, 전계는 플롯(1021)의 경우보다 플롯(1020)의 경우에 더 높다.
- [0106] 따라서, 도 10c는 더미 메모리 셀들과 선택 게이트 트랜지스터들 사이의 전계의 존재가 본 명세서에서 논의되는 바와 같은 정공 이동의 이론에 기초하여 선택 게이트 트랜지스터들의 V_{th} 에서의 다운시프트로 이어진다는 것을 입증한다.
- [0107] 도 10d는 SGD 트랜지스터들의 수 대 V_{th} 의 플롯을 도시한 것으로, 2개의 상이한 워드 라인들이 반복된 소거, 프로그램 및 관독 사이클들에서 감지 동작을 거칠 경우, 감지 동작 후에 더미 워드 라인 전압에 대한 허용된 램프 다운 시간이 상대적으로 길다. 플롯(1030)은 도 7의 예에서 WLL10인 드레인-측 예지 데이터 워드 라인에 대한 사이클들을 수행하는 경우를 표현한다. 플롯(1031)은 도 7의 예에서 WLL9인 드레인-측 예지 데이터 워드 라인 옆의 데이터 워드 라인에 대한 사이클들을 수행하는 경우를 표현한다. 도 10c에 따른 플롯들(1030, 1031)의 예들에서, 각각 8 V 또는 5 V가 더미 메모리 셀들에 인가된다. 동일한 V_{th} 스케일인 도 10c에 비해, 선택 게이트 트랜지스터들의 V_{th} 에서의 다운시프트는 상당히 더 작다. 이는 이제 더미 워드 라인들이 감지 프로세스의 종료 시 V_{ss} 와 같은 감소된 레벨로 램프 다운하기에, 예를 들어 감소하기에 충분한 시간을 갖기 때문이다. 워드 라인 커플링 업에도 불구하고, 더미 워드 라인과 인접한 선택 게이트 워드 라인 사이의 전계는 도 10c에서보다 작을 것이다.
- [0108] 또한, 플롯들(1030, 1031) 사이의 차이는 도 10c의 플롯들(1020, 1021) 사이의 차이보다 작다.
- [0109] 도 10e는 프로그램-소거 사이클들의 수 및 더미 워드 라인 전압 드라이버로부터의 NAND 스트링의 거리의 함수로서, SGD 트랜지스터들에 대한 V_{th} 분포의 하부 꼬리부분을 도시한다. 거리는 또한 도 8에 도시되어 있다. 거리의 함수로서인 더 큰 RC 지연으로 인해, 전압 드라이버로부터 더 멀리 있는 더미 메모리 셀들의 전압들은 전압 드라이버로부터 더 가까이 있는 메모리 셀들의 전압들보다 램프 다운하는 데 더 오래 걸릴 것이다. 워드 라인 커플링 업에 의해, 원거리 더미 메모리 셀들의 전압들은 근거리 더미 메모리 셀들의 전압들보다 더 높은 시작 전압으로부터 커플링 업될 것이고, 따라서 더 높은 커플링 업 레벨(도 12a 및 도 12c에서 $V_{w1_coupled_up}$ 및 $V_{w1_coupled_up+\delta}$ 참조)에 도달할 것이다. 이는 이어서 각각의 NAND 스트링 내의 더미 메모리 셀과 인접한 선택 게이트 트랜지스터 사이의 큰 전계, 정공들의 대응하는 더 큰 이동, 및 선택 게이트 트랜지스터를 위한 하

부 테일의 대응하는 더 큰 V_{th} 다운시프트를 초래한다.

- [0110] 플롯(1040)은 10,000 사이클의 소거, 프로그램 및 판독을 갖는 저 사이클형(less cycled) 디바이스의 경우를 표현하고, 플롯(1041)은 50,000 사이클의 소거, 프로그램 및 판독을 갖는 고 사이클형(more cycled) 디바이스의 경우를 표현한다. 플롯들은, 드라이버로부터의 거리가 더 클 때 그리고 소거, 프로그램, 및 판독 사이클들의 수가 더 클 때 선택 게이트 트랜지스터들의 V_{th} 다운시프트가 더 크다는 것을 보여준다.
- [0111] 도 11은 선택 게이트 트랜지스터들을 향한 정공들의 이동을 도시하는, 도 7의 NAND 스트링(700n)의 플롯을 도시한다. NAND 스트링은 도 6c 및 도 7과 관련하여 논의된 선택 게이트 트랜지스터들, 데이터 및 더미 메모리 셀들 및 채널(660)을 포함한다. 간결함을 위해 도 7의 WLL 대신에 표기 WL이 사용된다. NAND 스트링은 도 6c의 차단 산화물 층(663), 전하 트래핑 층(664), 터널링 층(665) 및 유전체 코어(666)를 더 포함한다.
- [0112] 소거 동작 동안, 채널의 전압은 15 V와 같은 양의(positive) 레벨로 증가되는 한편, 워드 라인 전압들은 0 내지 1 V로 유지되어 메모리 셀들에 대한 양의 채널-대-제어 게이트 전압을 생성한다. 채널의 전압은 예를 들어, 기판을 통해 NAND 스트링의 소스 단에 소거 전압을 인가함으로써 증가될 수 있다. 이는 전자들이 전하 트래핑 층으로부터 채널 내로 유입되는 동안, 채널 내 정공들(+ 부호들로 표현됨)이 전하 트래핑 층 내로 주입되게 한다. 화살표들(1120, 1121)은 각각 WLDS0 및 WL0의 전하 트래핑 층 영역들 내로 주입되고 있는 정공들을 표현한다.
- [0113] 채널 내의 정공들 및 전자들의 일부 재결합이 또한 있을 수 있다. 시간이 지남에 따라, 정공들은 전하 트래핑 층 내에 축적될 수 있다. 화살표들(1100, 1101)로 표시된 양의 전계가 예컨대 본 명세서에 기술된 바와 같은 감지 프로세스의 종료 시에 생성될 때, 더미 메모리 셀들의 채널 영역 내의 정공들 중 일부는 선택 게이트 트랜지스터들의 채널 영역을 향해 이동할 수 있다. NAND 스트링의 드레인 단에서의 주요 관심사는 WL0으로부터 SGD1(0)로의 정공 이동(화살표(1111))이고, NAND 스트링의 소스 단에서는 WLDS0으로부터 SGS(0)로의 정공 이동(화살표(1110))이다. 본질적으로, 메모리 셀에 인접한 선택 게이트 트랜지스터는, 그것이 더미 메모리 셀이든 아니든 데이터 메모리 셀이든 간에, 메모리 셀로부터의 정공 이동 및 대응하는 V_{th} 다운시프트에 가장 민감하다. 이 예에서, 다수의 SGD 트랜지스터들에 의해, SGD 트랜지스터(718)는 메모리 셀에 인접하지 않기 때문에 정공 이동에 덜 민감하다.
- [0114] 도 12a는 워드 라인 전압의 커플링 업을 도시하는, 프로그램 동작에서의 예시적인 파형들의 플롯을 도시한다. 커플링 업은, 예를 들어 프로그램 또는 판독 동작의 일부로서 발생하는 감지 동작 후에 데이터 및 더미 워드 라인들에 대해 발생할 수 있다. 커플링 업은 예를 들어, 최대 약 5 V일 수 있다. 더미 워드 라인 전압의 커플링 업은 전계를 초래하며, 이는 정공들이 선택 게이트 트랜지스터들을 향해 이동하게 하고, 선택 게이트 트랜지스터들 근처의 전하 트랩 영역에서의 전하 손실을 야기한다. 이러한 전하 손실이 V_{th} 다운시프트로서 나타난다. 커플링 업은 워드 라인 전압들이 플로팅하는 동안 발생한다. 도 12a 및 도 12b는 프로그램 동작 후에 발생하는 커플링 업을 기술하고, 도 12c 및 도 12d는 판독 동작 후에 발생하는 커플링 업을 기술한다.
- [0115] 도시된 기간은 하나의 프로그램 검증 반복 또는 루프를 표현한다. 수평축은 시간을 나타내고, 수직축은 워드 라인 전압(V_{w1})을 나타낸다. t_0 에서 t_4 까지 프로그램 전압(1200)이 선택된 워드 라인에 인가되고 V_{pgm} 의 크기에 도달한다. 프로그램 전압은 원하지 않는 커플링 효과들을 가질 수 있는 단일의 큰 전이를 회피하기 위해 V_{pass} 와 같은 중간 레벨에서 일시적으로 일시정지할 수 있다. t_0 에서 t_{19} 까지 패스 전압(1205)이 선택되지 않은 워드 라인들에 인가되고 V_{pass} 의 크기에 도달하며, 이는 선택된 워드 라인의 메모리 셀들에 대해 감지(예를 들어, 검증) 동작들이 발생할 수 있도록 전도성 상태의 메모리 셀들을 제공하도록 충분히 높다. 패스 전압은 증가 부분, 예를 들어 V_{pass} 에서의 고정 진폭 부분, 및 감소 부분을 포함한다. 옵션적으로, 패스 전압은 t_0 까지는 V_{pass} 에 도달하도록 프로그램 전압에 비해 더 빨리 증가될 수 있다.
- [0116] 선택된 워드 라인에 검증 전압(1210)이 인가된다. 이 예에서, 7개의 검증 전압들 모두가 차례로 인가된다. 이 예에서, 8-레벨 메모리 디바이스가 사용된다. V_{vA} , V_{vB} , V_{vC} , V_{vD} , V_{vE} , V_{vF} 및 V_{vG} 의 검증 전압들이 각각 t_8 , t_9 , t_{10} , t_{11} , t_{12} , t_{13} 및 t_{14} 에서 인가된다. 감지 회로들은 각각의 검증 전압 동안 활성화될 수 있다. t_{15} 에서 t_{16} 까지 파형은 V_{vG} 로부터 0 V까지, 또는 다른 정상 상태 레벨까지 감소한다.
- [0117] 더미 워드 라인들을 포함하는 선택되지 않은 워드 라인들에 대해, V_{pass} 의 감소는 메모리 셀들로 하여금 전도성 상태에서부터 비-전도성 상태로 전이하게 할 것이다. 특히, V_{pass} 가 컷오프 레벨 V_{cutoff} (t_{18} 에서 점선) 미만으로 떨어지면, 메모리 셀의 채널은 컷오프가 되는데, 예를 들어, 메모리 셀은 비-전도성이 된다. 셀이 비-전도성이 되는 경우, 그것은 제어 게이트가 하나의 플레이트이고 채널이 다른 플레이트인 커패시터로서 작용한다. 셀은 $V_{cg} < V_{cutoff}$ 또는 $V_{cg} < (V_{th} + V_{s1})$ 일 때 비-전도성이 되며, 여기서 V_{cg} 는 메모리 셀의 제어 게이트 전압(워

드 라인 전압)이고, V_{th} 는 메모리 셀의 임계 전압이며, V_{s1} 은 소스 라인 전압이고, 이는 따라서 대략적으로 메모리 셀의 소스 단자에서의 전압이다. 최상위 프로그래밍된 상태, 예를 들어 G 상태의 셀에 대해, V_{th} 는 V_{vG} 만큼 낮을 수 있고 도 10a의 V_{th} 분포(1007)의 G 상태의 상부 테일에서의 V_{th} 만큼 높을 수 있다. 따라서, V_{cutoff} 는 $V_{vG}+V_{s1}$ 만큼 낮거나 또는 G 상태 상부 테일+ V_{s1} 의 V_{th} 만큼 높을 수 있다. 패스 전압(1205)이 V_{cutoff} 로부터 0 V로 감소함에 따라, 도 12b에서 플롯(1215)에 의해 표현되는 바와 같이, 채널이 유사한 양만큼 용량적으로 커플링 다운된다(capacitively coupled down).

[0118] 채널이 컷오프되는 동안의 전압 스윙은 V_{s1} 이 더 클 때 더 클 것이다. 그러나, $V_{ch}=V_{s1}$ 이기 때문에, V_{ch} 의 최소 다운커플링된 레벨은 본질적으로 V_{s1} 에 독립적일 것이다. 예를 들어, $V_{s1}=1$ V인 워드 라인 전압에서의 6 V 스윙(swing)(예를 들어, $V_{cutoff}=6$ V)은, $V_{s1}=0$ V인 워드 라인 전압에서의 5 V 스윙(예를 들어, $V_{cutoff}=5$ V)과 거의 동일한 최소 다운커플링 레벨 V_{ch} 를 초래할 것이다.

[0119] 플롯(1212)은 t_{19} 에서 t_{20} 까지의 워드 라인 전압들의 커플링 업의 일례를 표현한다. 커플링 업이 상대적으로 신속하게 발생하는 것으로 도시되지만, 이는 축척대로 작성되지 않은 것이다. 실제로, 예를 들어 t_5 에서 t_{19} 까지, 검증 동작은 약 100 마이크로초를 소비할 수 있는 한편, 워드 라인의 커플링 업은 10 밀리초와 같이, 밀리초 범위 내에서 상당히 더 길 수 있다. 이 예는 워드 라인 전압이 예를 들어, $V_{ss}=0$ V의 그의 의도된 최소 램프 다운 레벨에 도달했다고 가정한다. V_{w1} 이 후속적으로 커플링 업될 때, 그것은 $V_{w1_coupled_up}$ 의 최대 레벨에 도달한다. 다른 예시적인 플롯(1213)은 워드 라인 전압이 의도된 최소 램프 다운 레벨에 도달하지 않았다고 가정한다. 대신에, 워드 라인 전압은 $V_{ss}+\delta$ 에 도달한다. 이 경우에, V_{w1} 이 후속적으로 커플링 업될 때, 그것은 약 $V_{w1_coupled_up}+\delta$ 의 더 높은 최대 레벨에 도달한다. V_{w1} 은 그것이 완전히 램프 다운될 시간이 불충분할 때 의도된 최소 램프 다운 레벨에 도달하지 않을 수 있다.

[0120] 도 12b는 도 12a에 대응하는 채널 전압(V_{ch})의 플롯을 도시한다. 선택되지 않은 NAND 스트링(현재 프로그램 루프에서 프로그래밍된 셀을 갖지 않는 스트링)에 대한 V_{ch} 는 프로그램 전압 동안, 예를 들어 t_0 에서 t_4 까지 8 V (도시되지 않음)와 같은 레벨로 부스팅될 것이다. 이러한 부스팅은 비-전도성 상태의 선택되지 않은 스트링의 SGD 및 SGS 트랜지스터들을 제공하여 V_{ch} 가 플로팅되게 함으로써 달성된다. V_{ch} 는 V_{pass} 및 V_{pgm} 이 워드 라인들에 인가될 때 용량성 커플링으로 인해 더 높게 커플링된다. 선택된 NAND 스트링(현재 프로그램 루프에서 프로그래밍된 셀을 갖는 스트링)에 대해, V_{ch} 는 전형적으로 프로그램 전압 동안 도시된 바와 같이 접지된다.

[0121] 검증 전압들 동안, V_{ch} 는, 예를 들어 선택된 NAND 스트링에 대해, 초기에 약 1 V일 수 있다. V_{ch} 는 선택된 NAND 스트링들의 채널들에 대한 V_{s1} 과 대략 동일하다. V_{s1} 은 사용되는 감지의 유형에 기초하여 설정된다. 예를 들어 V_{s1} 이 약 1 V인 음의(negative) 감지 및 V_{s1} 이 약 0 V이고 음의 워드 라인 전압이 사용되는 양의 감지가 포함된다. 본 명세서에 기술된 기법들은 V_{s1} 의 레벨 또는 사용된 감지의 유형에 관계없이 적용된다.

[0122] t_{18} 에서 t_{19} 까지 채널은 최소 레벨까지 용량적으로 커플링 다운되고, 이어서, t_{19} 에서 t_{20} 까지, 예를 들어 0 V의 최종 레벨로 복귀하기 시작한다. 워드 라인들의 전압들이 t_{19} 에서 시작하여 플로팅되도록 허용되면, 전압들(플롯(1212))은 V_{ch} 의 증가에 의해 더 높게 용량적으로 커플링된다. 일례에서, 워드 라인들의 전압들은 $V_{w1_coupled_up}$ 의 피크 레벨, 예를 들어 약 5 V로 플로팅된다(플롯(1212)). 예를 들어, V_{cutoff} 는 6 V일 수 있으므로, 예를 들어 채널에 커플링된 워드 라인 전압에서, 예를 들어, 6 V로부터 0 V로의 6V의 변화가 있다. 1 V의 V_{ch} 의 초기 값과 90%의 커플링 비(coupling ratio)를 가질 때, 최소 V_{ch} 는 예를 들어, 약 $1-6 \times 0.9 = -4.4$ V일 수 있다. 따라서, V_{ch} 가 0 V로 복귀함에 따라, 메모리 셀들의 워드 라인, 예를 들어 제어 게이트에 커플링되는 V_{ch} 는 4.4 V 증가한다. 이러한 커플링 업에 90% 커플링 비를 적용함으로써, $V_{w1_coupled_up}$ 은 약 $4.4 \times 0.9 = 4$ V일 수 있다. 워드 라인들의 전압들은 워드 라인 드라이버로부터 워드 라인들을 분리(disconnect)함으로써 플로팅된다.

[0123] 다른 예에서, 워드 라인들의 전압들은 약 $V_{w1_coupled_up}+\delta$ 의 피크 레벨까지 플로팅된다(플롯(1213)). 이러한 더 높은 레벨은 터미 메모리 셀과 인접한 선택 게이트 트랜지스터 사이에 더 큰 전계를 초래할 수 있으며, 이는 선택 게이트 트랜지스터를 향한 정공 이동 및 대응하는 V_{th} 다운시프트로 이어진다. 플롯들(1215, 1216)의 채널 전압은 플롯들(1212, 1213)의 워드 라인 전압들에 각각 대응한다.

[0124] 도 12c는 워드 라인 전압의 커플링 업을 도시하는, 판독 동작에서의 예시적인 파형들의 플롯을 도시한다. 판독 동작은 검증 동작과 유사한데, 둘 모두 감지 동작들이고 둘 모두 워드 라인 전압들의 커플링 업을 제공할 수 있기 때문이다. 수평축은 시간을 나타내고, 수직축은 워드 라인 전압(V_{w1})을 나타낸다. t_0 에서 t_3 까지, t_4 에서 t_8 까지, 그리고 t_9 에서 t_{12} 까지, 패스 전압들(1230, 1231, 1232)은 선택되지 않은 워드 라인들에 각각 인가되며, V_{pass} 의 크기를 갖는다. 패스 전압은 증가 부분, V_{pass} 에서의 부분, 및 감소 부분을 포함한다. 판

독 전압은 도 10a에 따른, 각각 하위, 중간 및 상위 페이지의 각각에 대해, (VrA 및 VrE의 레벨들에서의) 과형(1220), (VrB, VrD 및 VrF의 레벨들에서의) 과형(1221) 및 (VrC 및 VrG의 레벨들에서의) 과형(1222)을 각각 포함한다. 관독 전압들은 선택된 워드 라인에 인가된다. 이 예에서, 8-레벨 메모리 디바이스가 사용된다.

[0125] 선택되지 않은 워드 라인들에 대해, Vpass의 감소는 논의된 바와 같이, 메모리 셀들로 하여금 전도성 상태로부터 비-전도성 상태로 전이하게 할 것이다. t13에서의 점선은 G 상태 셀이 비-전도성이 되는 때를 나타낸다. 패스 전압(1232)이 Vcutoff로부터 0 V로 감소함에 따라, 도 12d에서 플롯(1235)에 의해 표현되는 바와 같이, 채널이 유사한 양만큼 용량적으로 커플링 다운된다. t14 후에 채널 전압이 증가함에 따라, 워드 라인 전압들은 플로팅되고, Vwl_coupled_up으로 더 높게 커플링된다.

[0126] 도 12d는 도 12c에 대응하는 채널 전압(Vch)의 플롯을 도시한다. t13에서 t14까지 채널은 최소 레벨 Vch_min까지 용량적으로 커플링 다운되고, 이어서, t14에서 t15까지, 예를 들어 0 V의 최종 레벨로 복귀하기 시작한다. 워드 라인들의 전압들이 t14에서 시작하여 플로팅되도록 허용되면, 전압들(플롯(1232))은 Vch의 증가에 의해 더 높게 용량적으로 커플링된다(플롯(1235)). 워드 라인들의 전압들은 도 12b와 관련하여 논의된 바와 같이 Vwl_coupled_up의 피크 레벨로 플로팅된다.

[0127] Vwl_coupled_up+delta로 커플링 업하는 경우가 또한 도 12a 및 도 12b와 관련하여 논의된 바와 같이 발생할 수 있다.

[0128] 도 13a는 예시적인 감지 프로세스의 흐름도를 도시한다. 단계(1300)는 선택된 NAND 스트링들 내의 선택된 메모리 셀들에 대한 감지 동작을 시작한다. 이들은 복수의 워드 라인들 중에서 선택된 워드 라인에 연결되고 선택된 영역 또는 서브-블록 내에 있는 메모리 셀들이다. 관독 동작을 위해, 전형적으로, 선택된 워드 라인의 인접 메모리 셀들의 세트가 동시에 감지된다. 검증 동작을 위해, 선택된 워드 라인의 메모리 셀들은 그들이 연관된 NAND 스트링들의 래치들에 의해 나타낸 바와 같은 프로그램 상태를 갖는 경우에 감지된다. 단계(1301)는 선택된 워드 라인을 통해 분계 레벨의 전압을 선택된 메모리 셀들에 인가하는 것을 수반한다. 예를 들어, 8개의 데이터 상태들이 있는 관독 동작에 대해, 전압은 도 10a의 VrA 내지 VrG 중 하나 이상일 수 있다. 8개의 데이터 상태들이 있는 검증 동작에 대해, 전압은 도 10a의 VvA 내지 VvG 중 하나 이상일 수 있다.

[0129] 단계(1302)는 선택되지 않은 데이터 워드 라인들을 통해 각자의 패스 레벨의 전압을 선택되지 않은 데이터 메모리 셀들에 인가하고, 더미 워드 라인들을 통해 각자의 패스 레벨의 전압을 더미 메모리 셀들에 인가하는 것을 수반한다. 패스 전압들은 선택되지 않은 데이터 메모리 셀들 및 더미 메모리 셀들을 이들이 선택된 메모리 셀들의 감지를 방해하지 않도록 전도성 상태로 제공할 만큼 충분히 높다. 논의된 바와 같이, 더미 워드 라인에 대한 패스 전압은 선택된 워드 라인이 예지 워드 라인일 때 더 높을 수 있다. 단계(1303)는 선택된 NAND 스트링들에 대한 SGD 및 SGS 선택 게이트 트랜지스터들에 각자의 패스 레벨의 전압을 인가하는 것을 수반한다. 이것은 감지 회로부에 의해 검출될 수 있는 선택된 NAND 스트링들에서 전류가 흐르게 한다. 데이터 워드 라인들에 대한 각자의 패스 레벨들, 더미 워드 라인들 및 선택 게이트 트랜지스터들은 동일하거나 상이할 수 있다. 추가의 상세 사항을 위해 도 14a 내지 도 14i를 참조한다. 단계(1304)는 선택되지 않은 NAND 스트링들에 대한 SGD 및 SGS 선택 게이트 트랜지스터들에 각자의 패스 레벨의 전압을 인가하는 것을 수반한다.

[0130] 단계(1305)는 예컨대 연관된 NAND 스트링들에서의 전류들을 평가함으로써 감지 회로부를 사용하여 선택된 메모리 셀들의 전도성 상태를 감지하는 것을 수반한다. 단계들(1301 내지 1305)이 동시에 발생할 수 있음에 유의한다. 판정 단계(1306)는 인가할 다음 분계 전압이 있는지 여부를 결정한다. 이러한 판정 단계가 참인 경우, 다음 분계 전압이 단계(1301)에서 인가된다. 이러한 판정 단계가 거짓이면, 단계(1307)는 워드 라인들 및 선택 게이트 트랜지스터들의 전압들을 각자의 패스 레벨들로부터 Vss 또는 Vdd와 같은 각자의 감소된 레벨들로 램프 다운하는 것을 수반한다. 이것은 데이터 워드 라인들의 전압들을 램프 다운하기 전에 더미 워드 라인의 전압을 램프 다운하는 것을 포함할 수 있다. 추가의 상세 사항이 하기에 추가로 제공된다. 단계(1308)는 감지 동작의 종료를 표현한다. 관독 동작(도 13b 참조)에 대해, 제어기는, 예를 들어, 다른 서브-블록 또는 워드 라인에 대한 관독 동작, 또는 프로그램 또는 소거 동작과 같은 일부 다른 태스크를 후속적으로 수행할 수 있거나, 또는 아이들 상태로 진입할 수 있다. 프로그램 동작에 대해, 제어기는 후속적으로 다음 프로그램 검증 반복을 수행하거나 프로그램 동작을 종료할 수 있다.

[0131] 단계(1307)는 단계들(1307a 내지 1307c) 중 하나 이상을 사용하여 구현될 수 있다. 또한 추가의 상세 사항을 위해 도 14a 내지 도 14i를 참조한다. 예를 들어, 단계(1307a)는 선택 게이트 트랜지스터들의 전압들을 램프 다운하기 전에 더미 워드 라인의 전압을 램프 다운하는 것을 수반한다. 도 14g 및 도 14i 내지 도 14i를 참조한다. 단계(1307b)는 선택 게이트 트랜지스터들의 전압들을 램프 다운하기 전에 데이터 워드 라인들의 전압들

을 램프 다운하는 것을 수반한다. 도 14b, 도 14f, 도 14g, 도 14k 및 도 14l을 참조한다. 단계(1307c)는 더미 메모리 셀들의 전압의 감소 동안, 그리고 선택 게이트 트랜지스터의 전압의 상승된 레벨로부터 각자의 감소된 레벨로의 감소 전에, 각자의 패스 레벨(Vsg_pass) 초과와 상승된 레벨(Vsg_el)의 선택 게이트 트랜지스터들의 전압들을 제공하는 것을 수반한다. 도 14g, 도 14j 및 도 14l을 참조한다.

[0132] 도 13b는 도 13a의 감지 프로세스를 사용할 수 있는 예시적인 판독 동작의 흐름도를 도시한다. 판독 동작은, 예를 들어 제어기로부터의 판독 커맨드에 응답하여, 단계(1320)에서 시작한다. 단계(1321)는 판독할 워드 라인 및 서브-블록을 선택한다. 단계(1322)는 초기 분계 전압, 예를 들어 판독 전압을 선택한다. 단계(1323)는, 예를 들어, 도 13a와 관련하여 논의된 바와 같이, 하나 이상의 판독 전압들을 사용하여 감지 동작을 수행하는 것을 수반한다. 판정 단계(1324)는 판독할 다음 워드 라인 또는 서브-블록이 있는지 여부를 결정한다. 판정 단계(1324)가 거짓이면, 단계(1325)는 판독 동작의 종료로 표현한다. 판정 단계(1324)가 참이면, 판독할 다음 워드 라인 또는 서브-블록이 단계(1321)에서 선택된다.

[0133] 도 13c는 도 13a의 감지 프로세스를 사용할 수 있는 예시적인 프로그램 동작의 흐름도를 도시한다. 단계(1330)에서, 프로그램 동작이 시작된다. 단계(1331)는 프로그래밍할 워드 라인 및 서브-블록을 선택한다. 단계(1332)는 기록 데이터에 기초하여 NAND 스트링들에 대한 프로그램 또는 금지 상태를 설정한다. 단계(1333)는 프로그램 전압 Vpgm을 초기화한다. 예를 들어, 프로그래밍을 위해 서브-블록(SB0)이 선택될 수 있고, 그 후에 선택된 워드 라인 층에서의 프로그래밍을 위해 SB1, SB2 및 SB3이 차례로 선택된다. 단계(1334)는 NAND 스트링들에 대한 비트 라인 전압들을 설정한다. 예를 들어, 비트 라인 전압은 프로그램 상태를 갖는 NAND 스트링에 대해 0 V일 수 있고, 금지 상태를 갖는 NAND 스트링에 대해 2 내지 3 V일 수 있다. 영역 내의 각각의 메모리 셀은 메모리 셀이 위치되는 NAND 스트링의 드레인-단을 통해 각자의 비트 라인에 연결될 수 있다. 단계(1335)는 선택된 워드 라인에 프로그램 전압을 인가한다. 도 9를 참조한다.

[0134] 단계(1336)는, 예를 들어, 도 13a와 관련하여 논의된 바와 같이, 하나 이상의 검증 전압들을 사용하여 감지 동작을 수행한다. 단계(1337)는 검증 테스트를 통과하는 셀들에 대한 금지 상태를 설정한다. 판정 단계(1338)는 워드 라인 및 서브-블록에 대한 다음 프로그램 검증 반복이 있는지 여부를 결정한다. 이는 서브-블록 내의 메모리 셀들의 전부 또는 거의 전부가 프로그래밍되었다면 거짓이다. 판정 단계(1338)가 참이면, 단계(1339)는 Vpgm을 증분시키고, 단계(1335)는 다른 프로그램 전압을 인가함으로써 다음 프로그램 검증 반복을 시작한다. 판정 단계(1338)가 거짓이면, 판정 단계(1340)는 프로그래밍할 메모리 셀들의 다음 워드 라인 또는 서브-블록이 있는지 여부를 결정한다. 판정 단계(1340)가 참이면, 단계(1331)는 프로그래밍할 메모리 셀들의 다른 워드 라인 및 서브-블록을 선택한다. 판정 단계(1340)가 거짓이면, 단계(1341)에서 워드 라인/서브-블록에 대한 프로그램 동작이 종료된다.

[0135] 도 14a 내지 도 14l에서, 수평 방향은 시점들(t0 내지 t12)을 갖는 공통 타임 라인을 나타내고, 수직 방향은 전압을 나타낸다.

[0136] 도 14a는 감지 프로세스에서 선택된 워드 라인(WL_sel)에 대한 예시적인 전압 신호를 도시한다. 이 예는 2개의 분계 레벨들 Vcgr1 및 Vcgr2의 전압들을 사용한다. 하나 이상의 분계 레벨들이 사용될 수 있다. 전압 신호는 t0에서 t2까지 Vss 또는 0 V이고, t2에서 t4까지 Vcgr1이고, t4에서 t6까지 Vcgr2이다. 이러한 전압들은 예를 들어, 도 10a에 도시된 바와 같은 판독 또는 검증 전압들일 수 있다. 하나의 옵션(플롯(1400a))에서, 전압은 t10에서 Vpass로부터 Vss 또는 Vdd로 감소되거나 램프 다운되기 전에, t6에서 t10까지 패스 레벨(Vpass)로 증가한다. Vdd는 2 V와 같은 전원 전압일 수 있다. 전압은 t12까지 Vss 또는 Vdd로 유지된다. Vss 및 Vdd는 각자의 감소된 레벨들의 예들이다.

[0137] 전압을 Vpass로 증가시키는 이러한 옵션은, 선택된 워드 라인 및 인접한 선택되지 않은 워드 라인을 동일한 레벨로부터 램프 다운함으로써, 교란을 야기할 수 있는 채널 구배를 피할 수 있다. 2개의 인접한 워드 라인들이 상이한 레벨들로부터 램프 다운되는 경우, 채널 구배가 발생할 수 있다. 다른 옵션에서, 전압은 Vcgr2에서 유지되고(플롯(1400h)), t10에서 Vcgr2로부터 Vss 또는 Vdd로 램프 다운된다.

[0138] 플롯들(1400c, 1400e)은 Vpass로부터 Vdd로의 램프 다운을 도시한다. 플롯들(1400g, 1400f)은 Vpass로부터 Vss로의 램프 다운을 도시한다. 플롯들(1400d, 1400e)은 Vcgr2로부터 Vdd로의 램프 다운을 도시한다. 플롯들(1400b, 1400f)은 Vcgr2로부터 Vss로의 램프 다운을 도시한다.

[0139] 도 14b는 감지 프로세스에서 선택되지 않은 워드 라인(WL_unsel)들에 대한 예시적인 전압 신호를 도시한다. 전압은 t1에서 Vss로부터 Vpass로 증가하고 t10까지 Vpass에서 유지되며 t10에서 Vpass로부터 Vss 또는 Vdd로 램프

프 다운된다. 이 전압은 각각의 NAND 스트링에서의 선택된 메모리 셀들의 감지를 허용하기 위해, 전도성 상태의 선택되지 않은 메모리 셀들을 제공한다. 플롯들(1401b, 1401c)은 Vpass로부터 Vdd로의 램프 다운을 도시한다. 플롯들(1401a, 1401d)은 Vpass로부터 Vss로의 램프 다운을 도시한다. 일 예에서, 더미 메모리 셀의 각각의 감소된 레벨은 음의 전압이고(도 14g의 Vneg, 플롯(1402b) 참조), 선택되지 않은 데이터 메모리 셀들의 각각의 감소된 레벨은 음이 아닌(non-negative) 전압, 예를 들어, Vdd(플롯(1401c)) 또는 Vss(플롯(1401d))이다. 다른 예에서, 더미 메모리 셀의 각각의 감소된 레벨은 0 V이고(도 14g의 플롯(1402a)), 선택되지 않은 데이터 메모리 셀들의 각각의 감소된 레벨은 양의 전압이다(도 14b의 플롯(1401c)).

[0140] Vwl_dummy가 Vss 또는 Vneg인 경우, 더미 메모리 셀의 각각의 감소된 레벨은 선택되지 않은 데이터 메모리 셀들의 각각의 감소된 레벨(예를 들어, Vdd, 플롯(1401c))보다 낮다. 이는 선택 게이트 트랜지스터로부터 더미 메모리 셀을 향한 방향으로 더미 메모리 셀로부터 선택 게이트 트랜지스터로의 정공들의 이동을 억제하는 전계를 제공함으로써 이득을 제공한다.

[0141] 도 14c는 감지 프로세스에서 선택되지 않은 선택 게이트 트랜지스터(SGD/SGS_unsel)들에 대한 예시적인 전압 신호를 도시한다. 이들은 선택되지 않은 NAND 스트링들, 예를 들어, 판독 중이지 않거나 검증 테스트를 받지 않는 NAND 스트링들에서의 선택 게이트 트랜지스터들이다. 하나의 옵션(플롯(1403a))에서, 전압은 t6에서 Vss로부터 Vsg_pass, 예를 들어, 6 V로 증가되고, 이어서 t9에서 Vss로 램프 다운된다. Vsg_pass로의 증가는 선택되지 않은 스트링들의 채널들을 방전시키는 것을 돕는다. 다른 옵션(플롯(1403b))에서, 전압은 Vss에서 유지된다.

[0142] 도 14d는 감지 프로세스에서 선택된 NAND 스트링의 비트 라인(BL)에 대한 예시적인 전압 신호를 도시한다. 선택된 NAND 스트링은 감지를 위해 선택되는 선택된 메모리 셀을 포함한다. 예를 들어, 선택되지 않은 NAND 스트링에 연결되는 선택되지 않은 비트 라인에 대한 전압은 0 V(도시되지 않음)에서 유지될 수 있다. 초기에 정상 상태 전압, 예를 들어, Vss=0 V가 인가되고, t1에서 t6까지 감지 전압 Vbl_sense, 예를 들어 2 내지 3 V가 인가된다. 각각의 분계(판독 또는 검증) 전압을 감지하는 동안, Vbl은 상대적으로 일정하게 유지될 수 있거나, 선택된 NAND 스트링의 감지 동안 감쇠할 수 있다. 비트 라인 감쇠를 갖는 경우가 플롯들(1410a, 1410b)에 의해 도시된다. Vbl이 명시된 트립 레벨 Vbl_trip 미만으로 감쇠하는 경우, 선택된 메모리 스트링은 전도성 상태에 있는 것으로 간주되고, 선택된 메모리 셀의 Vth는 분계 전압 미만이다. Vbl이 Vbl_trip 미만으로 감쇠하는지 여부의 결정은 Vcgr1 및 Vcgr2에 대한 감지를 위해 t3 및 t5에서 각각 이루어진다. Vbl이 Vbl_trip 미만으로 감쇠하지 않는 경우, 선택된 메모리 스트링은 비-전도성 상태에 있는 것으로 간주되고, 선택된 메모리 셀의 Vth는 분계 전압 이상이다. 비트 라인 전압은 t6에서 t9까지 플로팅되고, 이어서 t9에서 Vss로 램프 다운된다.

[0143] 도 14e는 감지 프로세스에서 소스 라인(SL)에 대한 예시적인 전압 신호를 도시한다. 초기에 Vss가 인가되고, t1에서 t6까지 감지 전압(Vsl), 예를 들어, 2 내지 3 V가 인가된다. 소스 라인 전압은 t6에서 t9까지 플로팅되고, 이어서 t9에서 Vss로 램프 다운된다.

[0144] 도 14f 내지 도 14i는 더미 워드 라인 전압의 초기 램프 다운을 위한 3개의 일반적인 제안들을 제공한다. 제1 제안에서, 더미 워드 라인들은 램프 다운되는데, 예를 들어 데이터 워드 라인들 이전에 램프 다운되기 시작한다. 이는 선택 게이트 트랜지스터 전압들이 램프 다운되기 전에 더미 워드 라인 전압들이 완전히 램프 다운되는 것을 보장하도록 돕는다. 이러한 여분의 시간들은 더미 메모리 셀 전압들이, 전압 소스에 대한 그들의 위치로 인해 더 높은 RC 시상수를 가질 때에도 램프 다운되게 한다. 추가적으로, 더미 워드 라인 전압은 데이터 워드 라인들보다 더 낮은 각각의 감소된 레벨로 램프 다운될 수 있다. 이는 커플링 업된 더미 워드 라인 전압(도 12a 및 도 12c의 Vwl_coupled_up)의 최대 레벨 및 생성된 전계를 감소시키도록 돕는다. 이 제안은 시간 페널티를 부과하지 않는다. 예를 들어, 도 14f 및 도 14g를 참조한다.

[0145] 제2 제안은 제1 제안에 기초하지만, 데이터 워드 라인들 및 선택 게이트 트랜지스터들 둘 모두의 전압들은 더미 워드 라인들의 전압의 램프 다운 후에 함께 램프 다운된다. 더미 워드 라인 전압들의 초기 램프 다운은 채널 구배에 의해 야기되는, 파울러-노드하임(Fowler-Nordheim) 유형의 판독 교란을 감소시키도록 도울 수 있다. 예를 들어, 도 14f, 도 14g, 도 14i 및 도 14j를 참조한다.

[0146] 제3 제안은 제2 제안에 기초하지만, 램프 다운 시퀀스가 더미 워드 라인 전압들, 이어서 데이터 워드 라인 전압들, 및 이어서 선택 게이트 트랜지스터 전압들을 수반한다. 이 제안은 커플링 업된 더미 워드 라인 전압을 최소화하도록 돕는다. 예를 들어, 도 14f, 도 14g, 도 14k 및 도 14l을 참조한다.

[0147] 도 14f는 참조로 도 14g 내지 도 14l과 관련하여, 감지 프로세스에서의 선택된 워드 라인(WL_sel)에 대하여 도

14a의 예시적인 전압 신호(1400a)를 반복한다. WL_sel의 전압은 t10에서 램프 다운을 포함한다.

- [0148] 도 14g는 감지 프로세스에서의 더미 워드 라인(WL_dummy)에 대한 예시적인 전압 신호를 도시한 것으로, t9에서의 전압 신호의 각자의 패스 전압으로부터의 램프 다운은 도 14h에 도시된 바와 같이, SGD/SGS_sel의 램프 다운과 동일한 시간에(동시에) 발생한다. 전압 신호는 t0에서 Vss로부터 Vpass로 램프 업하고 t9까지 Vpass에서 유지되며, 이어서 Vss (플롯(1402a)) 또는 음의 전압 Vneg(플롯(1402b))으로 램프 다운된다.
- [0149] t9에서 SGD/SGS_sel의 전압이 램프 다운되는 동안, WL_dummy의 전압이 t10에서 램프 다운될 예정이었다면, t9에서 t10까지 전계가 발생하며, 이는 더미 워드 라인으로부터 선택 게이트 트랜지스터로의 정공들의 이동을 촉진한다. 이 전계는 Vw1_dummy-Vsgd/sgs_sel 또는 Vpass-Vss=Vpass에 기초한다. 예를 들어, 도 11에서 화살표들(1100, 1101)로 표시된 전계들을 참조한다. WL_dummy 및 SGD/SGS_sel, Vw1_dummy-Vsgd/sgs_sel=0에 대해 t9에서 동시에 램프 다운을 제공함으로써, 이는 더미 메모리 셀로부터 선택 게이트 트랜지스터로의 정공들의 이동을 촉진시킬 수 있는, 더미 메모리 셀로부터 인접한 선택 게이트 트랜지스터로 전계를 생성하는 것을 회피한다.
- [0150] 더욱이, WL_dummy를 Vdd 대신에 Vss로 램프 다운하는 것은 또한 더미 메모리 셀로부터 인접한 선택 게이트 트랜지스터로의 전계를 감소시킨다. 예를 들어, Vw1_dummy(Vss)-Vsgd/sgs_sel(Vss)=0에 기초한 전계는 Vw1_dummy(Vdd)-Vsgd/sgs_sel(Vss)에 기초한 전계보다 작다. 대조적으로, WL_sel 및 WL_unsel은 Vpass로부터 Vdd로 램프 다운되어, 교란을 야기할 수 있는, WL_sel 근처의 채널 구배들을 최소화할 수 있다. 따라서, WL_dummy의 전압 신호의 타이밍 및/또는 램프 다운 레벨은 선택 게이트 트랜지스터의 Vth 다운시프트를 감소시키기 위해, 데이터 워드 라인들, 예를 들어 WL_sel 및 WL_unsel의 전압 신호들과 상이할 수 있다.
- [0151] 플롯(1402b)의 옵션에서, Vw1_dummy를 음의 전압으로 램프 다운하는 것은 더미 메모리 셀로부터 인접한 선택 게이트 트랜지스터로의 정공들의 이동을 추가로 억제하는, 선택 게이트 트랜지스터로부터 더미 메모리 셀로의 전계를 제공한다. 이 전계는 Vsgd/sgs_sel(Vss)-Vw1_dummy(Vneg)에 기초한다.
- [0152] 도 14h는 선택된 NAND 스트링(SGD/SGS_sel)의 선택 게이트 트랜지스터에 대한 예시적인 전압 신호를 도시한 것으로, 각자의 패스 전압으로부터의 전압 신호의 램프 다운이 t9에서 발생한다. 논의된 바와 같이, 하나의 옵션에서, 이러한 램프 다운은 도 14g의 플롯(1402b)에서의 WL_dummy의 램프 다운과 동시에 발생한다. 전압 신호는 t1에서 Vss로부터 Vsg_pass로 증가하고, t9까지 Vsg_pass에서 유지되며, 이어서 t9에서 Vss로 램프 다운한다.
- [0153] 도 14i는 선택된 NAND 스트링(SGD/SGS_sel)의 선택 게이트 트랜지스터에 대한 예시적인 전압 신호를 도시한 것으로, 각자의 패스 전압으로부터의 전압 신호의 램프 다운이 t10에서 발생한다. 이 전압 신호는 예를 들어, 도 14g의 플롯(1402a 또는 1402b)과 함께 사용될 수 있다. 전압 신호는 t1에서 Vss로부터 Vsg_pass로 증가하고, t10까지 Vsg_pass에서 유지되며, 이어서 t10에서 Vss로 램프 다운한다. 이 경우에, WL_dummy의 전압이 t9에서 램프 다운할 때, SGD/SGS_sel은 t10까지 Vsg_pass에서 유지된다. t9에서 t10까지의 기간에서, 도 11에서 화살표들(1100, 1101)로 표시된 전계들에 반대로, 선택 게이트 트랜지스터로부터 인접한 더미 워드 라인으로의 전계가 생성된다. 전계는 Vsgd/sgs_sel(Vsg_pass)-Vw1_dummy(Vss)에 기초한다. 이는 더미 메모리 셀로부터 인접한 선택 게이트 트랜지스터로의 정공들의 이동을 방지하도록 돕는다.
- [0154] 이 예에서, 선택된 더미 메모리 셀을 감지하기 위해, 제어 회로는 선택 게이트 트랜지스터에 각자의 패스 레벨(Vsg_pass)의 전압을 인가하고, t9에서 더미 메모리 셀의 전압의 감소 후에, t10에서, 선택 게이트 트랜지스터의 전압을 각자의 패스 레벨 미만의 각자의 감소된 레벨(Vss)로 감소시키도록 구성된다.
- [0155] 도 14j는 선택된 NAND 스트링(SGD/SGS_sel)의 선택 게이트 트랜지스터에 대한 예시적인 전압 신호를 도시한 것으로, 전압 신호는 t8에서 각자의 패스 전압으로부터 상승된 레벨로 증가되고, 이어서 t10에서 상승된 레벨로부터 램프 다운된다. 전압 신호는 t1에서 Vss로부터 Vsg_pass로 증가하고, t8까지 Vsg_pass에서 유지되고, t9에서 Vsg_pass로부터 Vsg_el로 증가하며, 이어서 t10에서 Vsg_el로부터 Vss로 램프 다운한다. Vsg_el은 Vsg_pass, 예를 들어, 5 내지 6 V 보다 더 큰 상승된 레벨, 예를 들어, 7 내지 8 V이다. t9에서 t10까지의 기간에서, 도 11에서 화살표들(1100, 1101)로 표시된 전계들에 반대로, 선택 게이트 트랜지스터로부터 인접한 더미 워드 라인으로의 전계가 생성된다. 전계는 Vsgd/sgs_sel(Vsg_el)-Vw1_dummy(Vss)에 기초한다. 이는 더미 메모리 셀로부터 인접한 선택 게이트 트랜지스터로의 정공들의 이동을 방지하도록 돕는다. 더욱이, WL_dummy가 램프 다운되고 그의 감소된 레벨에 있을 때, SGD/SGS_sel이 Vsg_pass 대신 Vsg_el에 있기 때문에, 전계는 도 14i에서 보다 크다. 따라서, 정공들의 이동을 방지하기 위한 전계가 도 14i에서보다 크다.
- [0156] 이 예에서, 제어 회로는, 더미 메모리 셀들의 전압의 감소 동안(t9-t10), 그리고 선택 게이트 트랜지스터의 전압의 상승된 레벨로부터 각자의 감소된 레벨로의 감소(t10) 전에, 각자의 패스 레벨(Vsg_pass) 초과 상승된

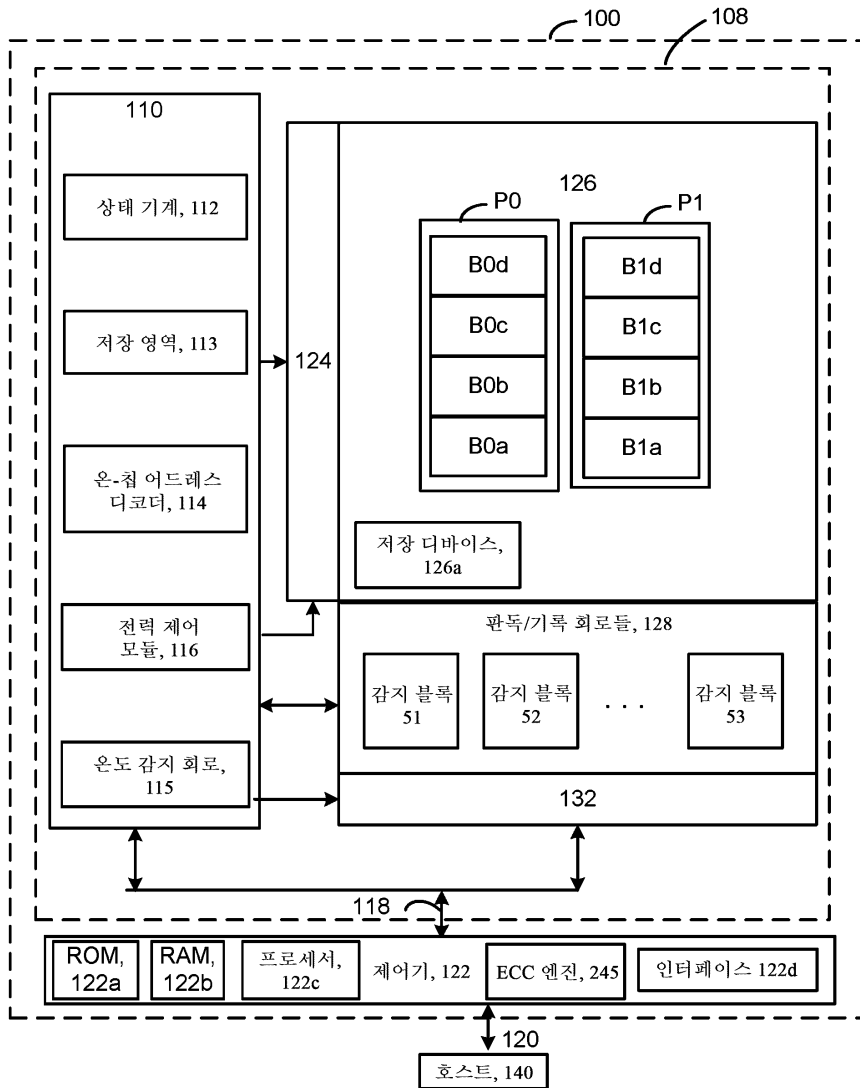
레벨(Vsg_e1)의 선택 게이트 트랜지스터의 전압을 제공하도록 구성된다.

- [0157] 도 14k는 선택된 NAND 스트링(SGD/SGS_sel)의 선택 게이트 트랜지스터에 대한 예시적인 전압 신호를 도시한 것으로, 각자의 패스 전압으로부터의 전압 신호의 램프 다운이 t11에서 발생한다. 전압 신호는 t1에서 Vss로부터 Vsg_pass로 증가하고, t11까지 Vsg_pass에서 유지되고, 이어서 t11에서 Vsg_pass로부터 Vss로 램프 다운한다. 선택 게이트 트랜지스터들의 전압은 데이터 워드 라인들 WL_sel 및 WL_unsel, 및 WL_dummy의 전압들의 램프 다운 이후에 램프 다운한다. 전압 신호의 램프 다운을 지연시키는 것은 도 14i와 관련하여 논의된 바와 유사한 이점들을 갖는다. 램프 다운을 지연시키는 것에 대한 추가의 이점은 Vwl_dummy가 예를 들어, 도 14g의 그의 Vss의 최소 램프 다운된 레벨에 도달하는 것을 보장하기 위해 더 많은 시간을 허용한다는 것이다. 그 결과, 더미 워드 라인에 대한 커플링 업된 전압은 최소화될 것이다. 이는 이어서 더미 워드 라인으로부터 인접한 선택 게이트 트랜지스터로의 전계를 최소화한다. 대조적으로, Vwl_dummy가 Vss+delta의 최소 램프 다운 레벨에 도달하면, 커플링 업된 전압은 Vwl_coupled_up 대신에 약 Vwl_coupled_up+delta일 것이다. 또한, 도 12a 및 도 12b와 관련한 논의를 참조한다.
- [0158] 도 14l은 선택된 NAND 스트링(SGD/SGS_sel)의 선택 게이트 트랜지스터에 대한 예시적인 전압 신호를 도시한 것으로, 전압 신호는 t8에서 각자의 패스 전압으로부터 상승된 레벨로 증가되고, 이어서 t11에서 상승된 레벨로부터 램프 다운된다. 전압 신호는 t1에서 Vss로부터 Vsg_pass로 증가하고, t8까지 Vsg_pass에서 유지되고, t9에서 Vsg_pass로부터 Vsg_e1로 증가하며, 이어서 t11에서 Vsg_e1로부터 Vss로 램프 다운한다. t9에서 t11까지의 기간에서, 도 14j에와 관련하여 논의된 바와 같이, 선택 게이트 트랜지스터로부터 인접한 더미 워드 라인으로의 전계가 생성된다. 이는 더미 메모리 셀로부터 인접한 선택 게이트 트랜지스터로의 정공들의 이동을 방지하도록 돕는다. 더욱이, 전계는 도 14j에서보다 더 긴 기간 동안 존재하므로 그 이득이 더 커지게 된다.
- [0159] 도 15는 더미 워드 라인 전압의 램프 다운과 선택 게이트 트랜지스터 전압 대 온도의 램프 다운 사이의 지연의 플롯을 도시한다. 예를 들어, 도 14g의 t9에서의 더미 메모리 셀의 전압의 감소와, 예를 들어, 도 14b의 t10에서의 선택되지 않은 데이터 메모리 셀들의 전압의 후속적인 감소 사이의 지연은 온도가 더 클 때 더 클 수 있다. 일반적으로, 더 높은 온도는 전압이 램프 다운하는 데 필요한 큰 RC 시상수뿐만 아니라, 전하 트래핑 층들 내의 정공들의 증가된 이동성과 연관된다. 따라서, 전압이 램프 다운하도록 충분한 시간을 여전히 허용하면서 지연을 최소화하기 위한 하나의 접근법은 지연을 온도의 증가 함수로 설정하는 것이다. 이는, 예를 들어, 온도가 더 높을 때 더미 메모리 셀의 전압의 감소를 시작하는 시간을 더 일찍 설정함으로써 구현될 수 있다. 예를 들어, 도 14g의 t9에서의 더미 메모리 셀의 전압의 감소와, 예를 들어 도 14i의 t10 또는 도 14k의 t11에서의 선택 게이트 트랜지스터의 전압의 후속적인 감소 사이의 지연을, 온도의 증가 함수로 설정하는 것이 또한 가능하다.
- [0160] 단순화된 구현을 제공하는 하나의 접근법에서, 지연은 2개의 레벨들 중 하나로 설정된다. 온도가 T1의 분계 온도 미만인 경우 D1의 지연이 설정되고, 온도가 T1 이상일 경우 D2>D1의 지연이 설정된다. 다른 접근법들이 또한 가능하다. 더미 워드 라인의 램프 다운 시간의 시작이 t9에 있다고 가정하면, 선택 게이트 트랜지스터의 램프 다운의 시작, 또는 선택되지 않은 데이터 메모리 셀들의 전압의 감소의 램프 다운 시간의 시작은, 예를 들어, t9+D1 또는 t9+D2이다.
- [0161] 일 구현예에서, 장치는, 선택 게이트 트랜지스터 및 복수의 메모리 셀들을 포함하는 NAND 스트링 - 복수의 메모리 셀들은 선택 게이트 트랜지스터에 인접한 더미 메모리 셀 및 데이터 메모리 셀들을 포함함 -; 및 제어 회로를 포함하고, 제어 회로는, NAND 스트링의 선택된 데이터 메모리 셀을 감지하기 위해, 선택된 데이터 메모리 셀에 분계 레벨의 전압을 인가하고, NAND 스트링의 선택되지 않은 데이터 메모리 셀들에 각자의 패스 레벨의 전압을 인가하고, 더미 메모리 셀에 각자의 패스 레벨의 전압을 인가하고, 후속적으로, 선택되지 않은 데이터 메모리 셀들의 전압의 각자의 패스 레벨로부터 각자의 감소된 레벨로의 감소 전에, 더미 메모리 셀의 전압을 각자의 패스 레벨로부터 각자의 감소된 레벨로 감소시키도록 구성된다.
- [0162] 일 구현예에서, 방법은 NAND 스트링의 선택된 데이터 메모리 셀을 감지하는 단계 - NAND 스트링은 선택 게이트 트랜지스터 및 복수의 메모리 셀들을 포함하고, 복수의 메모리 셀들은 선택 게이트 트랜지스터에 인접한 더미 메모리 셀 및 데이터 메모리 셀들을 포함하고, 감지하는 단계는 선택된 데이터 메모리 셀에 분계 레벨의 전압을 인가하는 단계, NAND 스트링의 선택되지 않은 데이터 메모리 셀들에 각자의 패스 레벨의 전압을 인가하는 단계, 더미 메모리 셀에 각자의 패스 레벨의 전압을 인가하는 단계를 포함함 -; 및 감지하는 단계 후에, 선택되지 않은 데이터 메모리 셀들의 전압의 각자의 패스 레벨로부터 각자의 감소된 레벨로의 감소 전에, 더미 메모리 셀의 전압을 각자의 패스 레벨로부터 각자의 감소된 레벨로 감소시키는 단계를 포함한다.

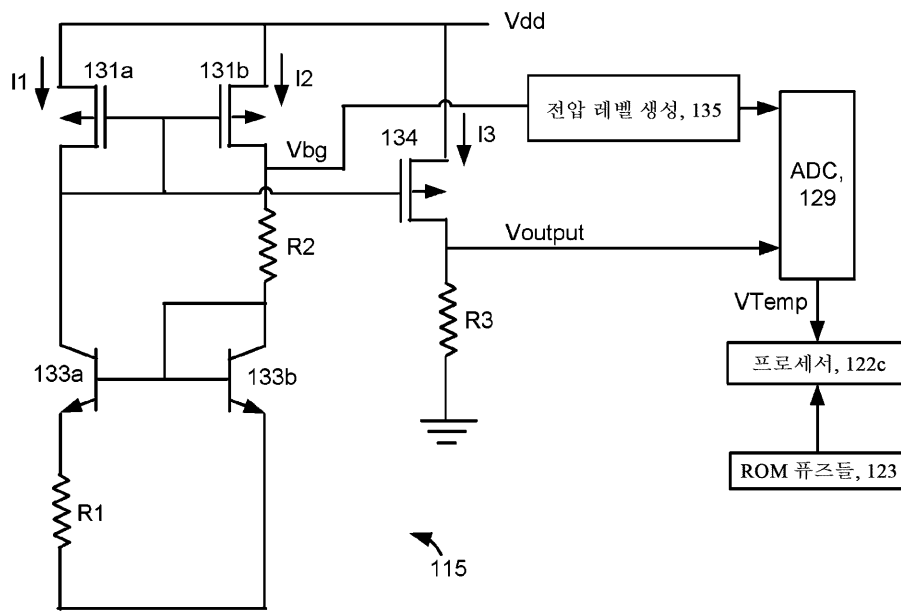
- [0163] 다른 구현예에서, 장치는 연결된 메모리 셀들의 세트의 선택되지 않은 데이터 메모리 셀들에 각자의 패스 레벨의 전압을 인가하기 위한 수단; 연결된 메모리 셀들의 세트의 더미 메모리 셀에 전압을 인가하기 위한 수단; 및 선택되지 않은 데이터 메모리 셀들의 전압의 각자의 패스 레벨로부터 각자의 감소된 레벨로의 감소 전에, 더미 메모리 셀의 전압을 각자의 패스 레벨로부터 각자의 감소된 레벨로 감소시키는 수단을 포함한다.
- [0164] 선택되지 않은 데이터 메모리 셀들에 전압을 인가하기 위한 수단은 도 1a의 전력 제어 모듈(116), 제어 회로부(110) 및 제어기(122), 도 4의 선택되지 않은 데이터 WL 드라이버(447a), 또는 다른 로직 하드웨어, 및/또는 컴퓨터 판독가능 저장 매체 또는 디바이스에 저장된 다른 실행가능 코드를 포함할 수 있다. 다른 실시예들은 유사한 또는 동등한 수단을 포함할 수 있다.
- [0165] 더미 메모리 셀에 전압을 인가하기 위한 수단, 및 더미 메모리 셀의 전압을 감소시키기 위한 수단은 도 1a의 전력 제어 모듈(116), 제어 회로부(110) 및 제어기(122), 도 4의 더미 WL 드라이버(447b), 또는 다른 로직 하드웨어, 및/또는 컴퓨터 판독가능 저장 매체 또는 디바이스에 저장된 다른 실행가능 코드를 포함할 수 있다. 다른 실시예들은 유사한 또는 동등한 수단을 포함할 수 있다.
- [0166] 본 발명의 전술한 상세한 설명은 예시 및 설명의 목적들로 제시되었다. 그것은 본 발명을 개시된 정확한 형태로 제한하거나 망라하도록 의도되지 않는다. 상기의 교시 내용들의 관점에서 많은 수정들 및 변형들이 가능하다. 기술된 실시예들은 본 발명의 원리 및 그의 실제 응용을 가장 잘 설명하기 위해 선택되었고, 이에 의해, 당업자가 다양한 실시예들에서 그리고 고려된 특정 용도에 적합하게 된 바와 같은 다양한 수정예들로 본 발명을 가장 잘 활용할 수 있게 하였다. 본 발명의 범주는 명세서에 첨부된 청구범위에 의해 정의되는 것으로 의도된다.

도면

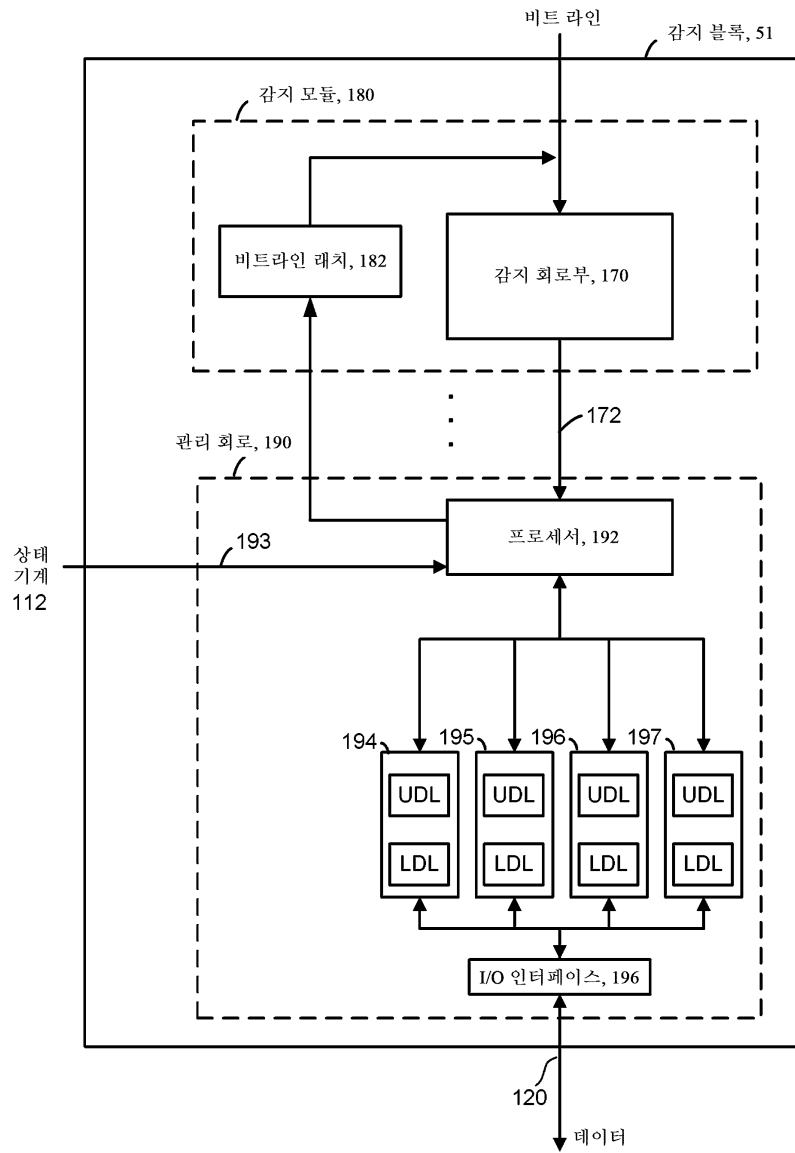
도면1a



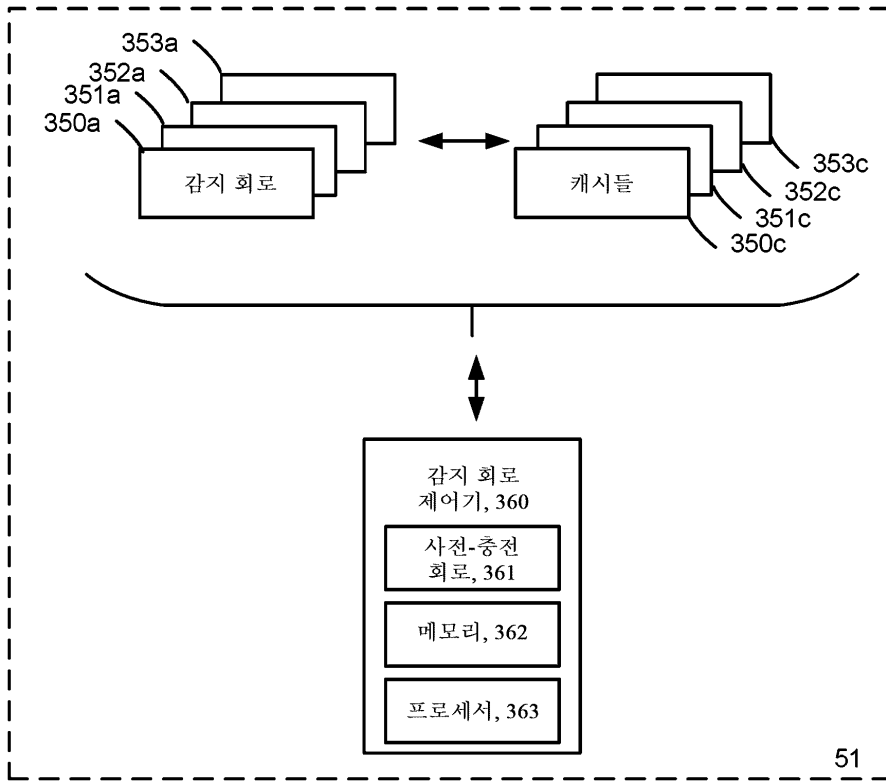
도면1b



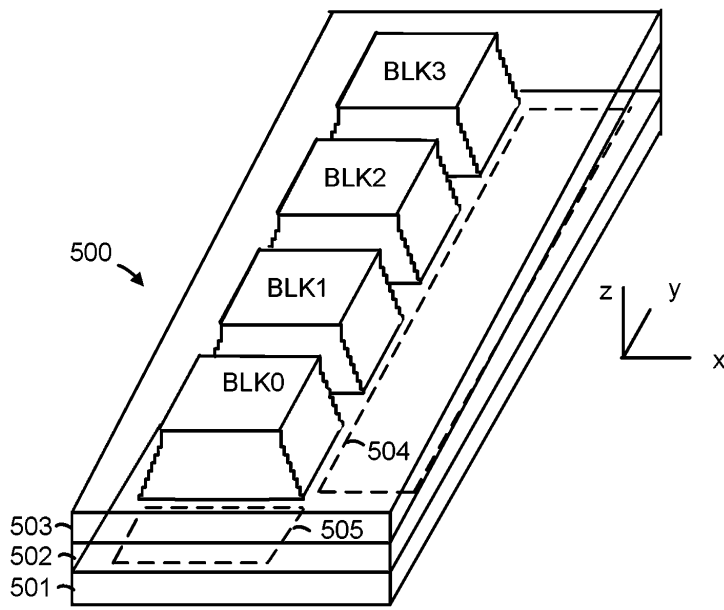
도면2



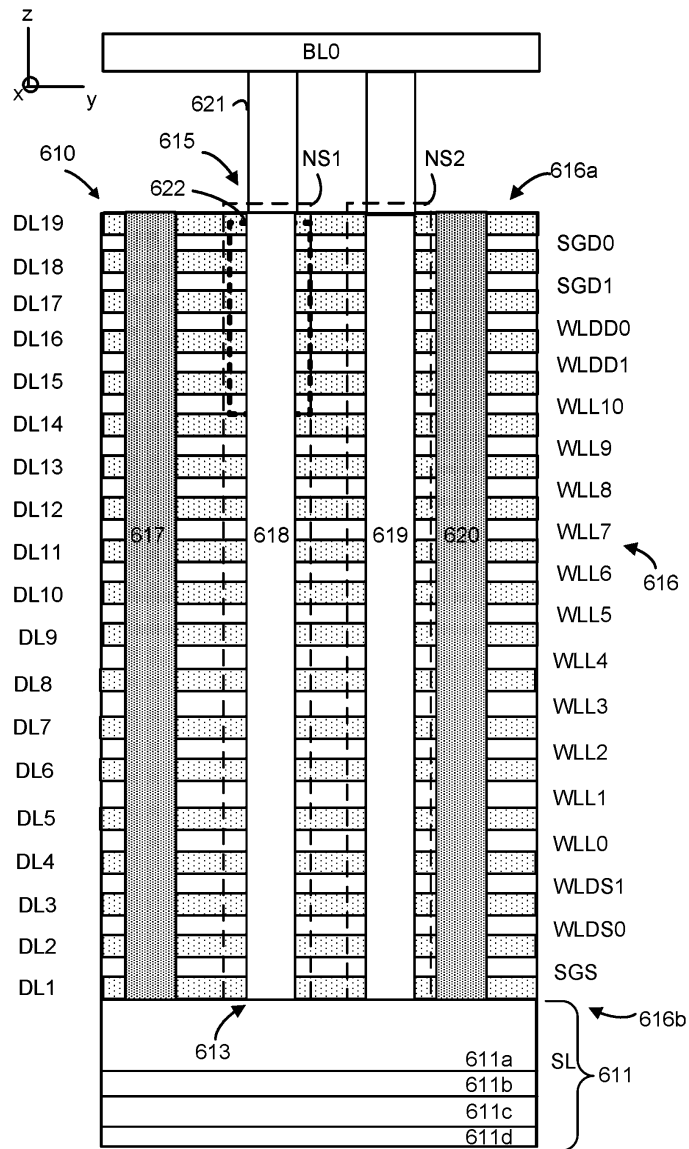
도면3



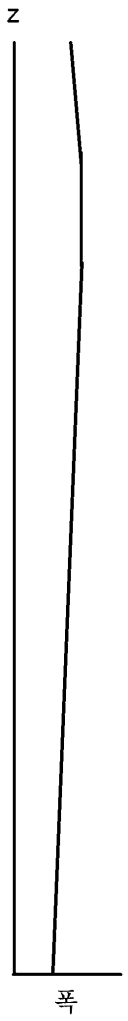
도면5



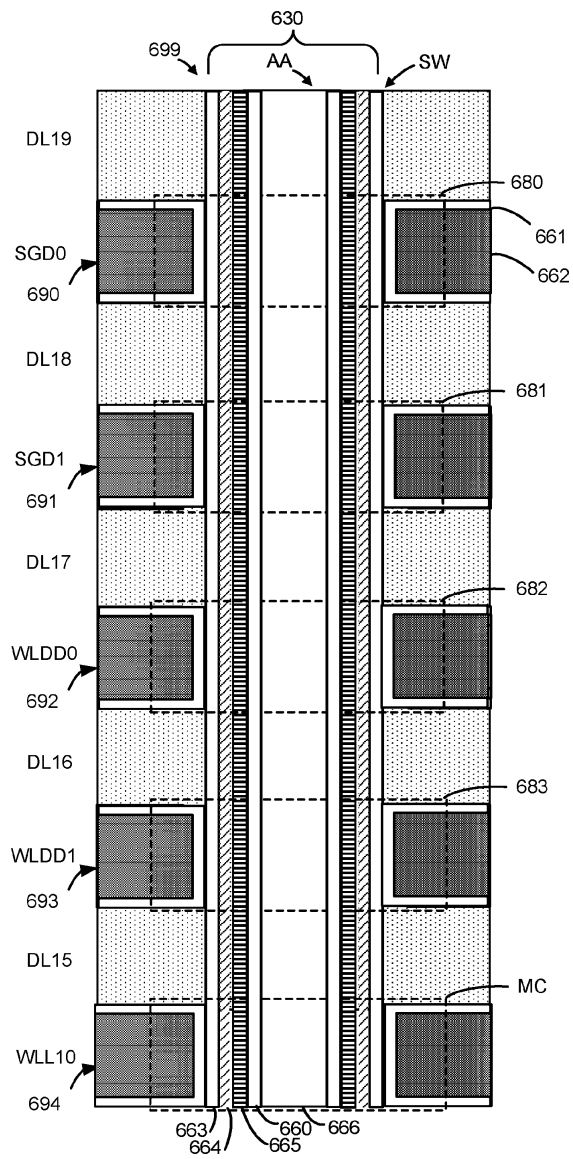
도면6a



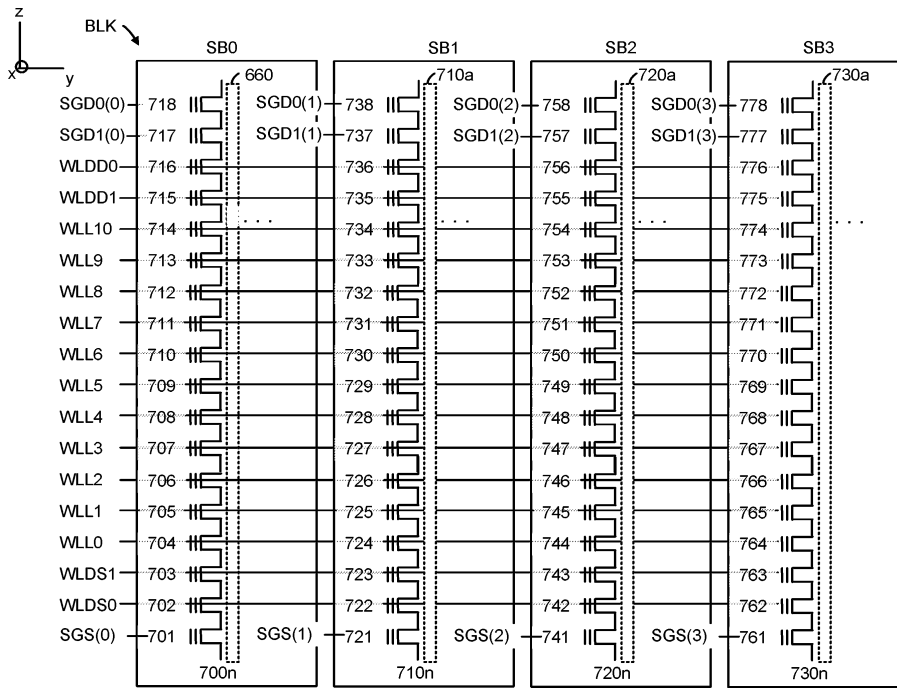
도면6b



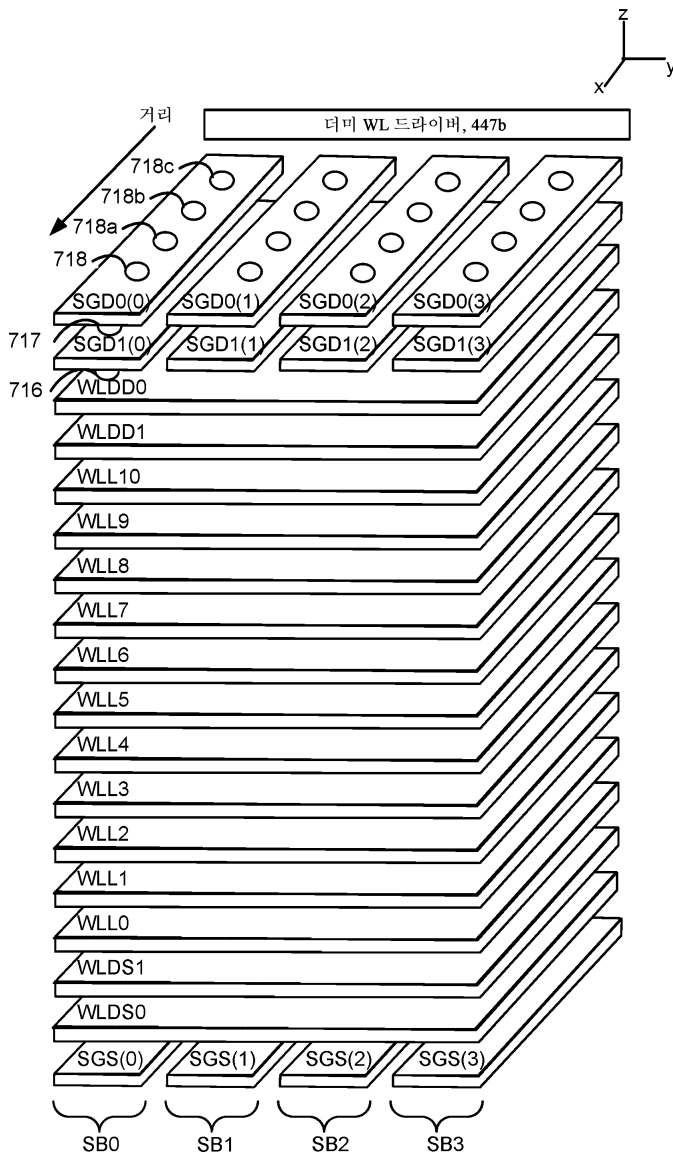
도면6c



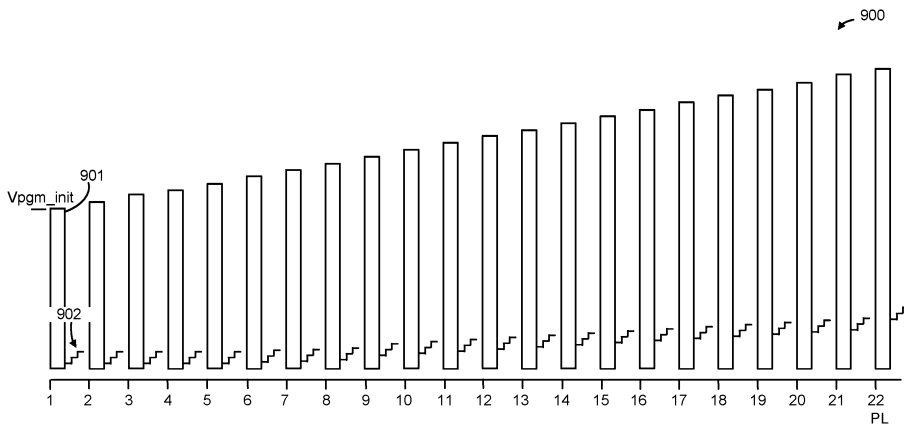
도면7



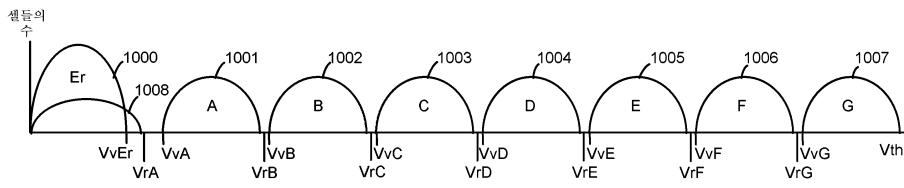
도면8



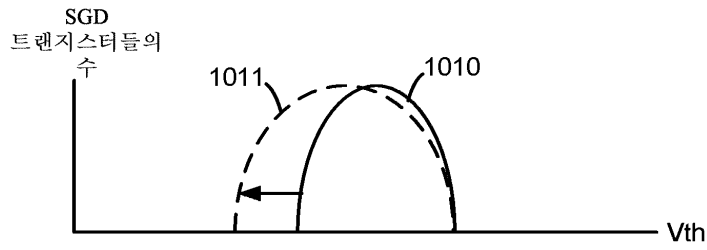
도면9



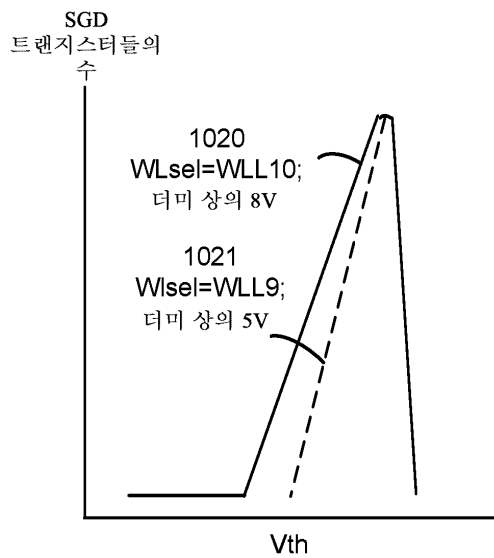
도면10a



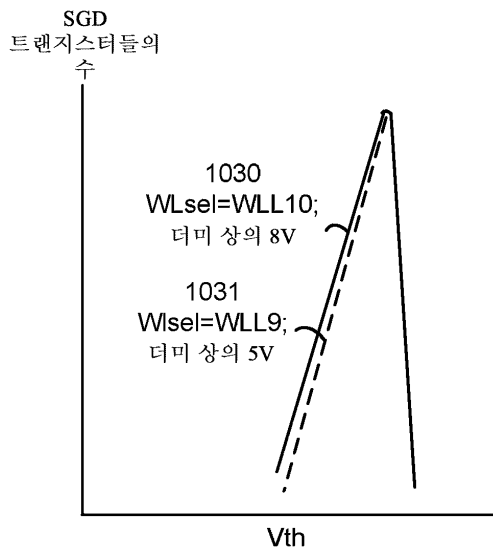
도면10b



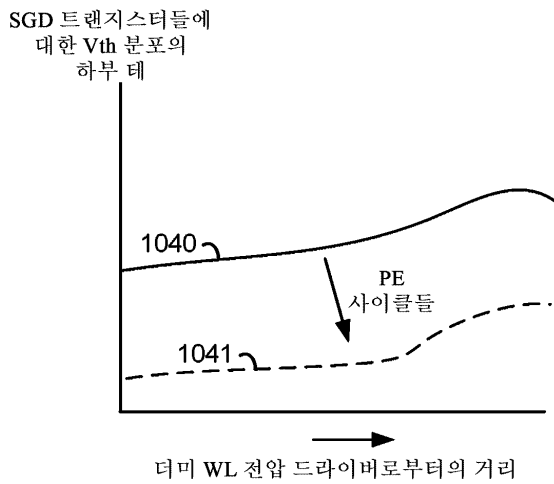
도면10c



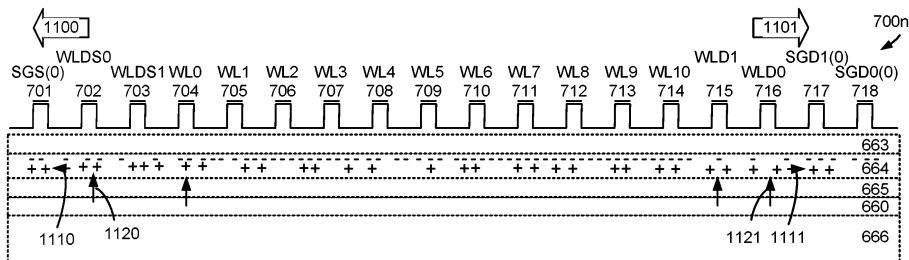
도면10d



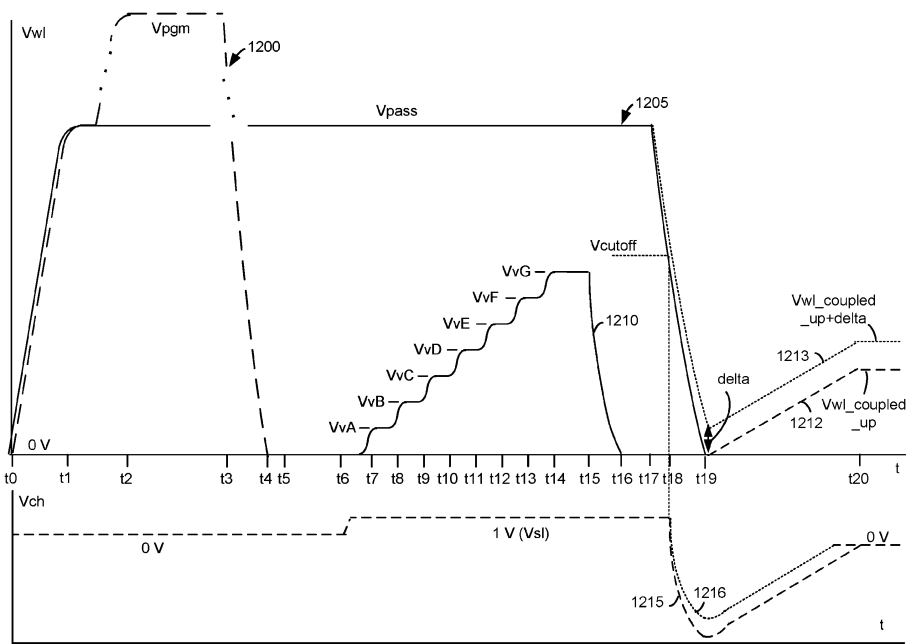
도면10e



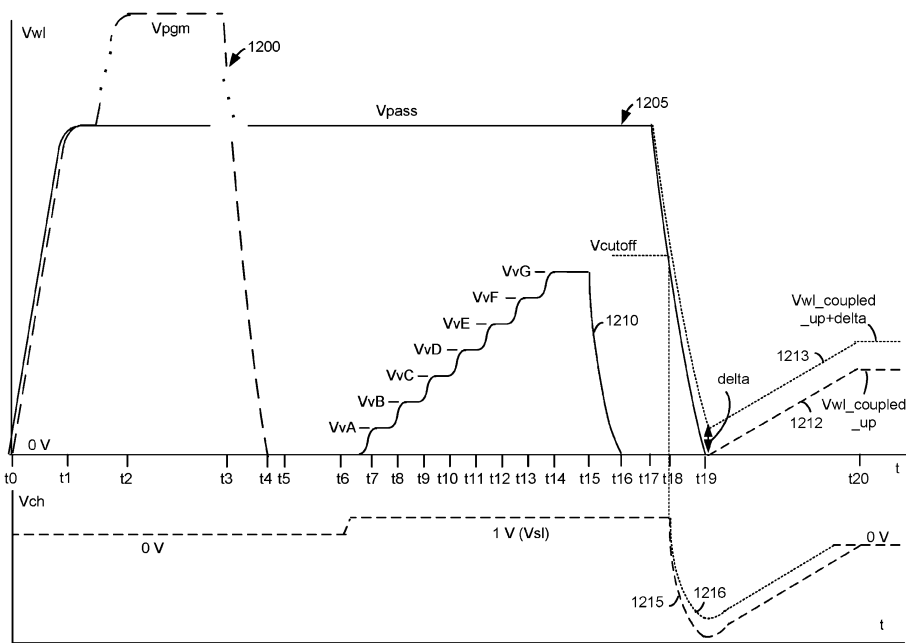
도면11



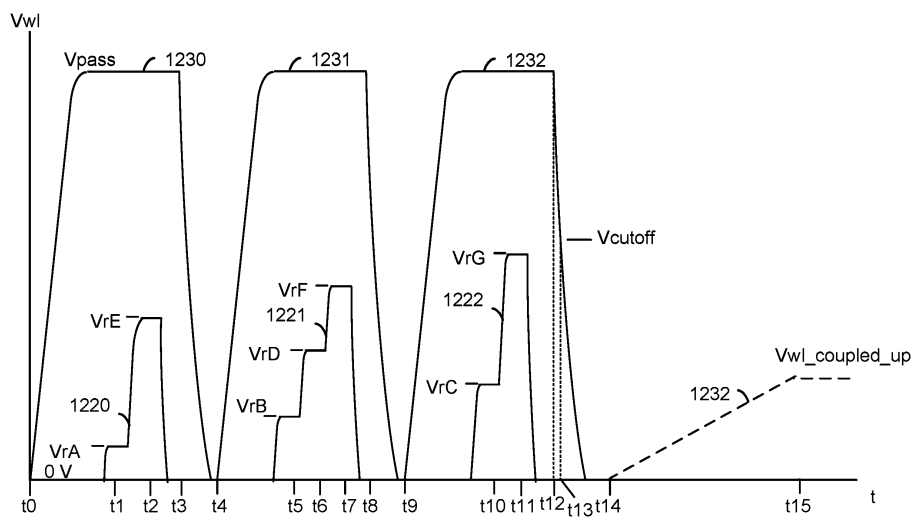
도면12a



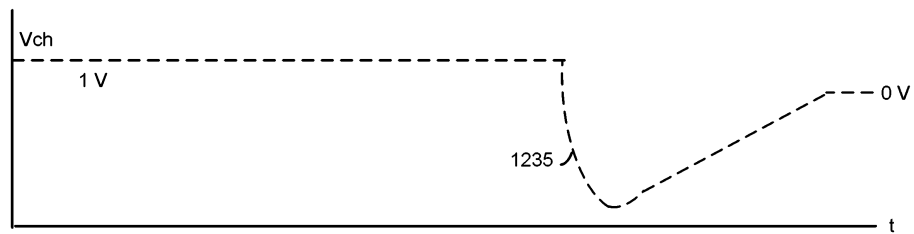
도면12b



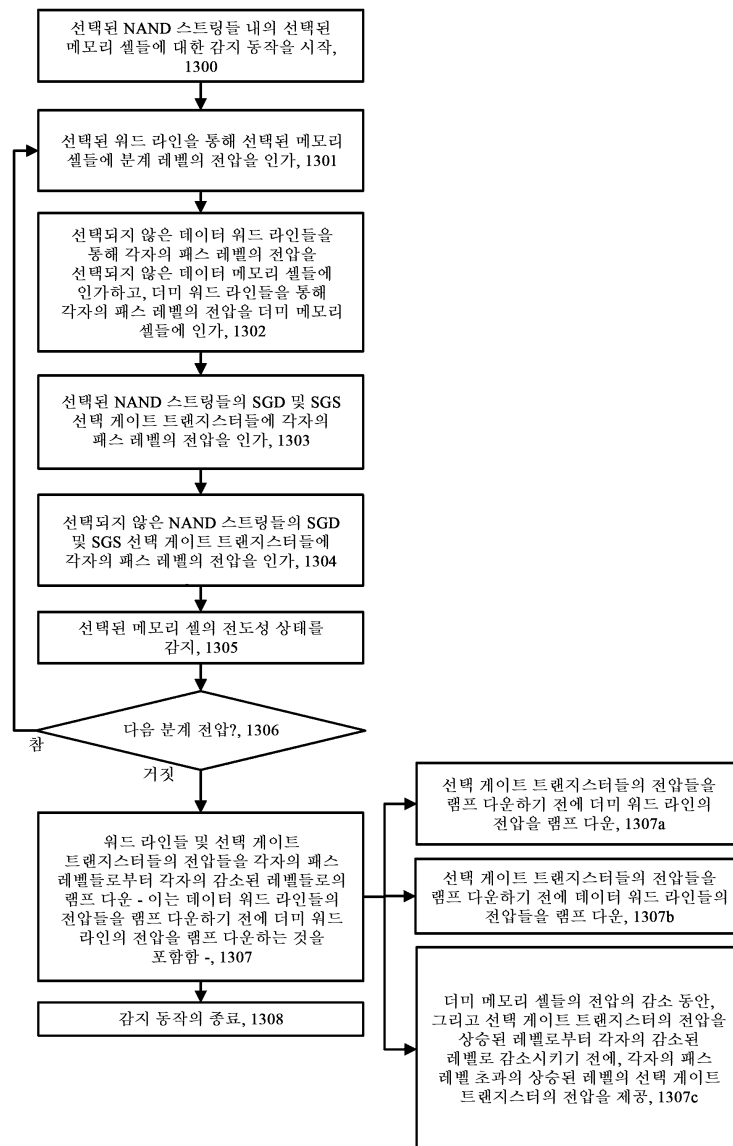
도면12c



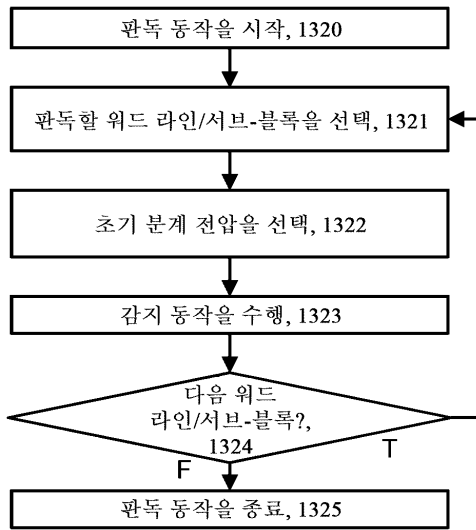
도면12d



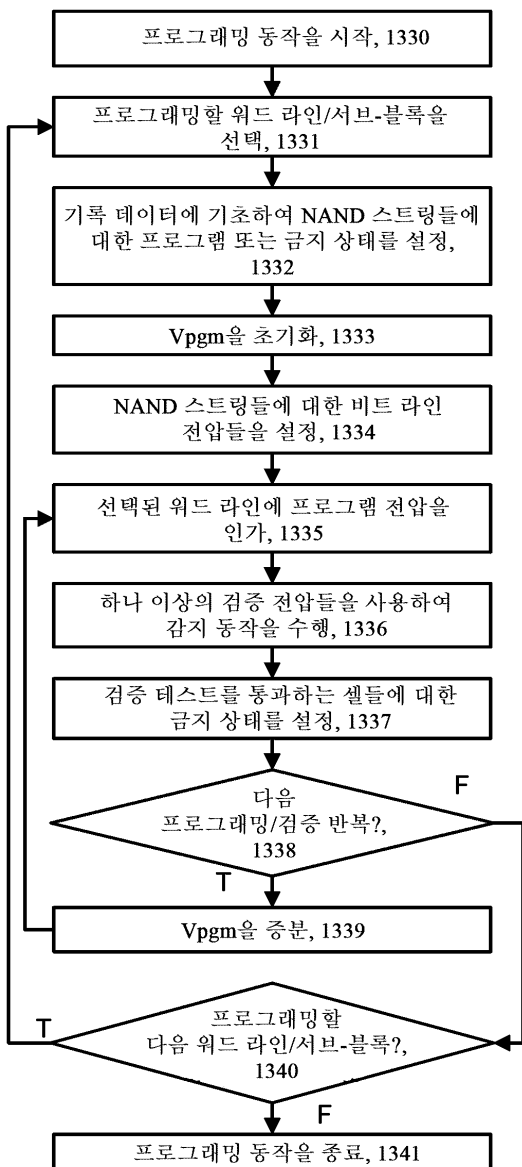
도면13a



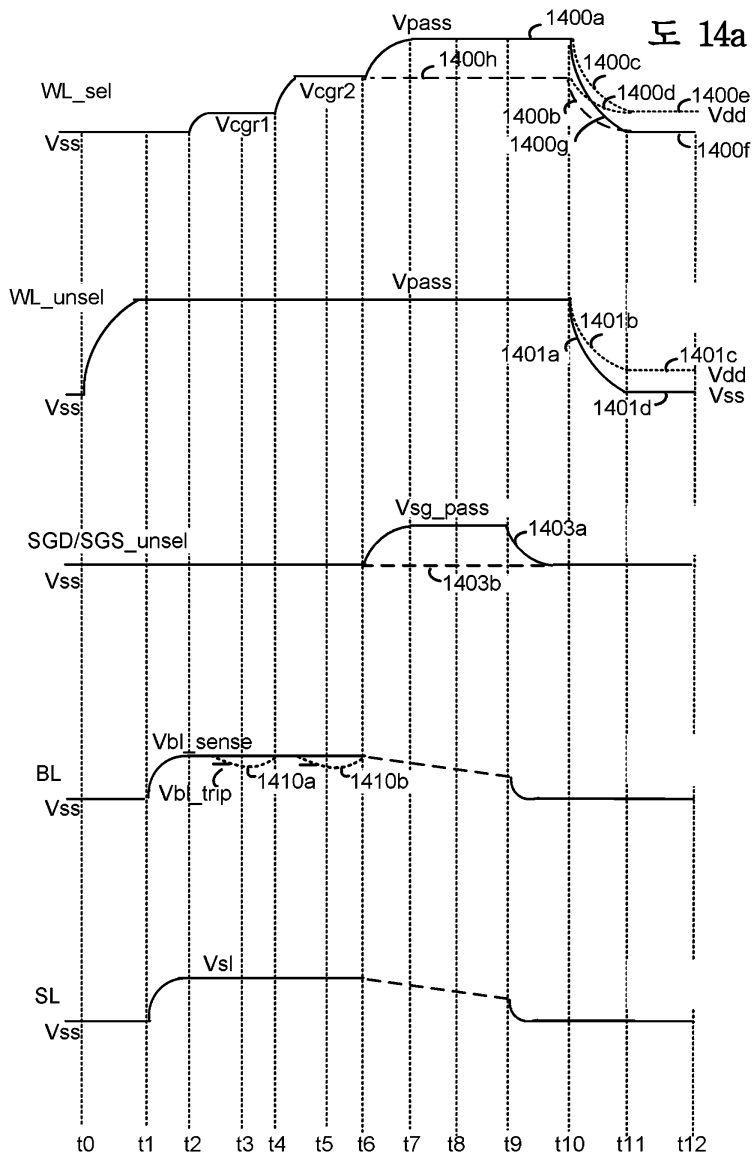
도면13b



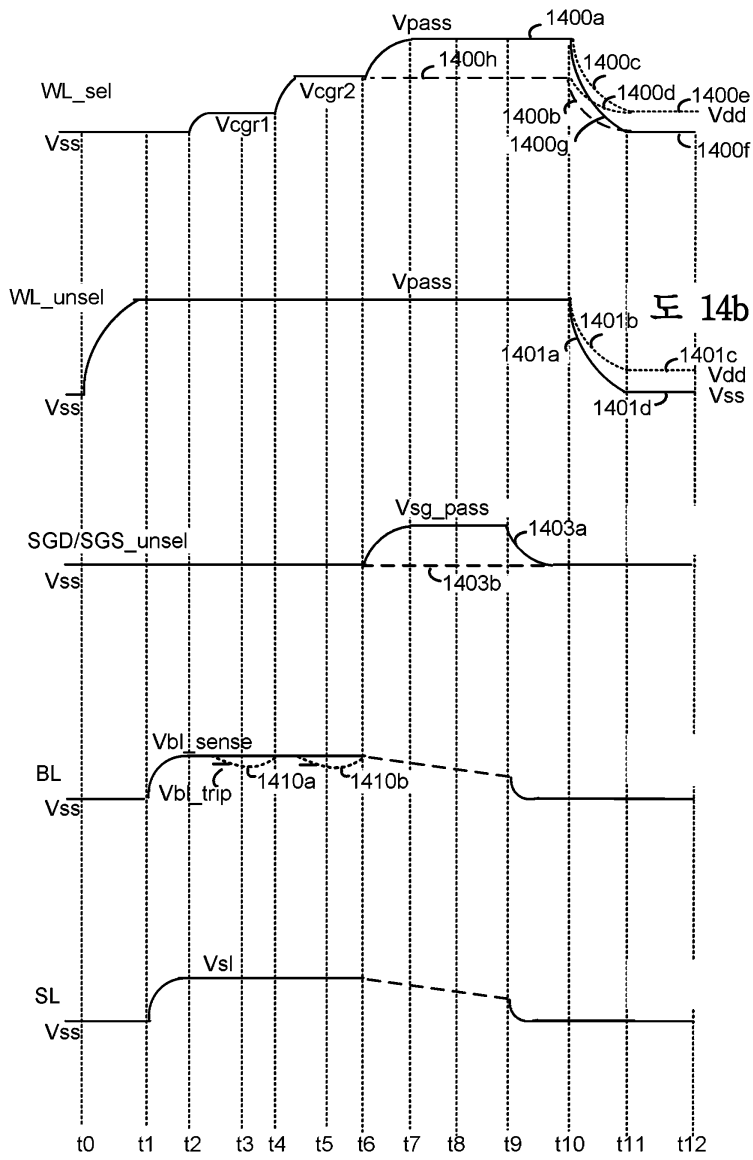
도면13c



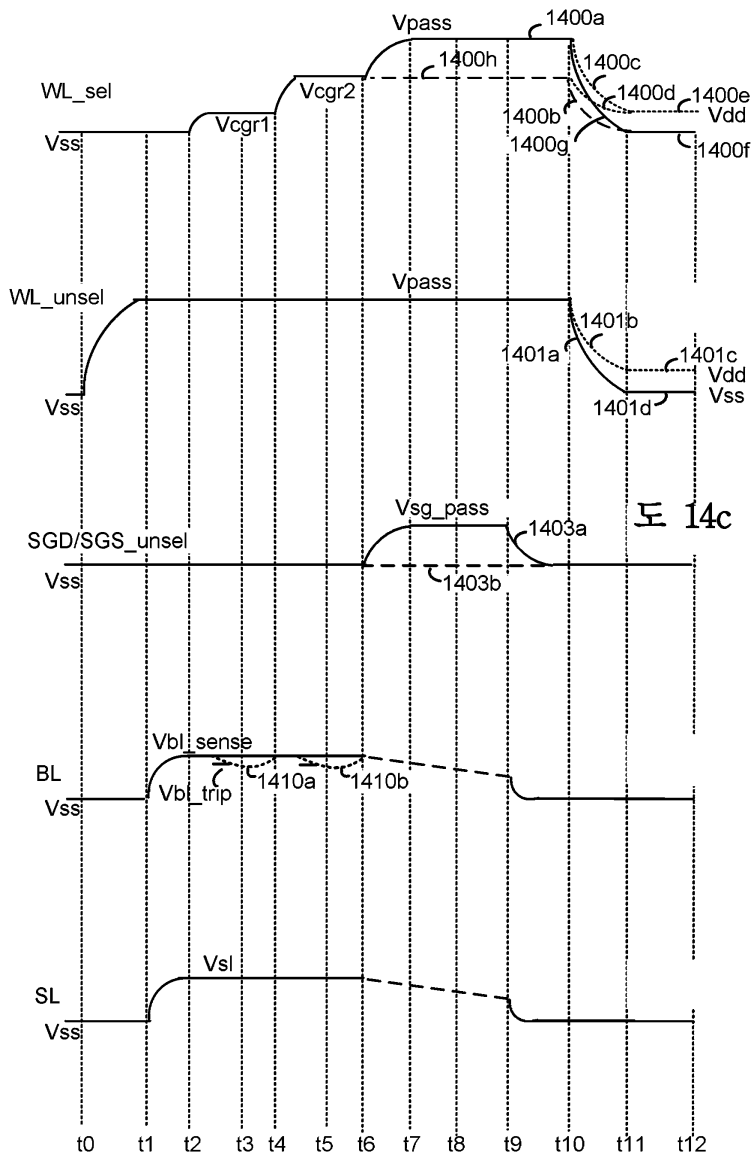
도면14a



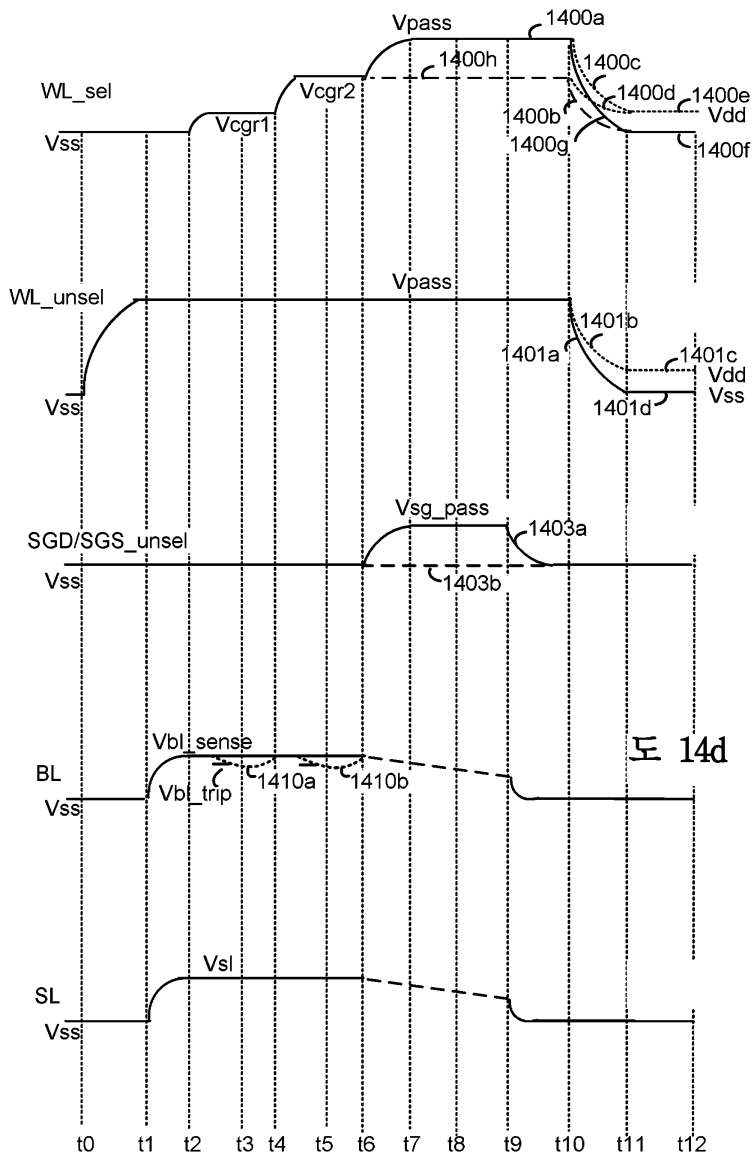
도면14b



도면14c

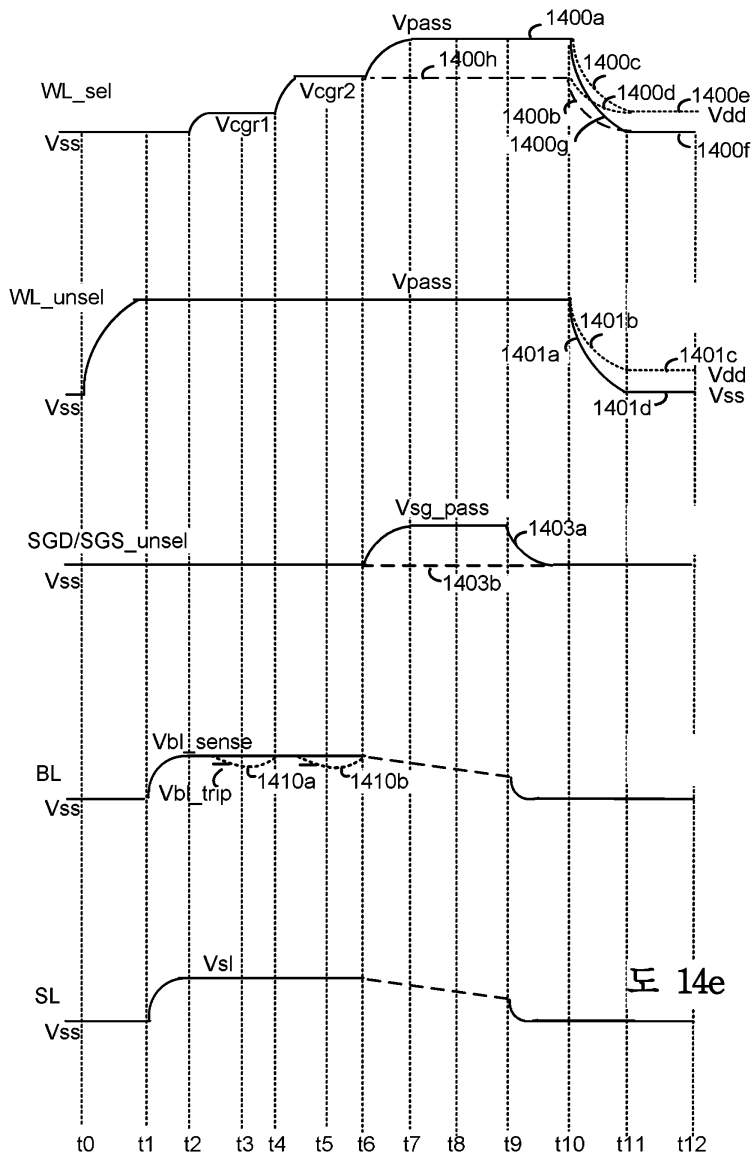


도면14d



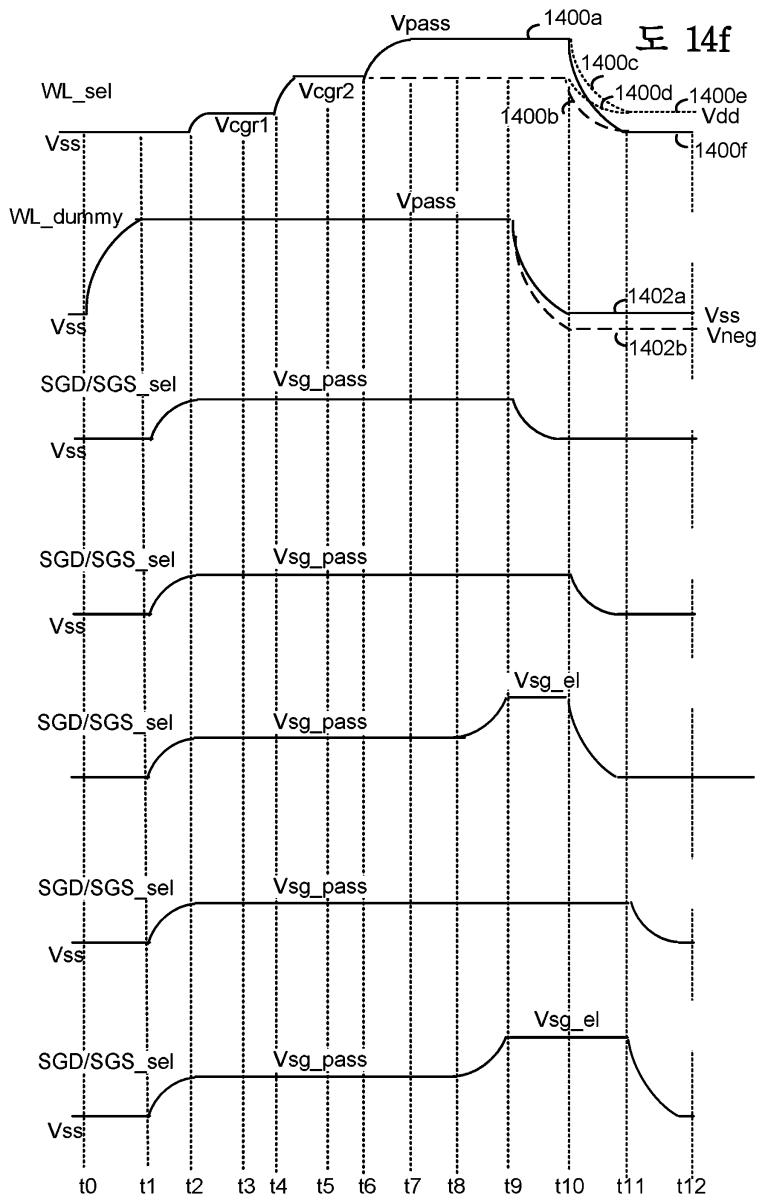
도 14d

도면14e

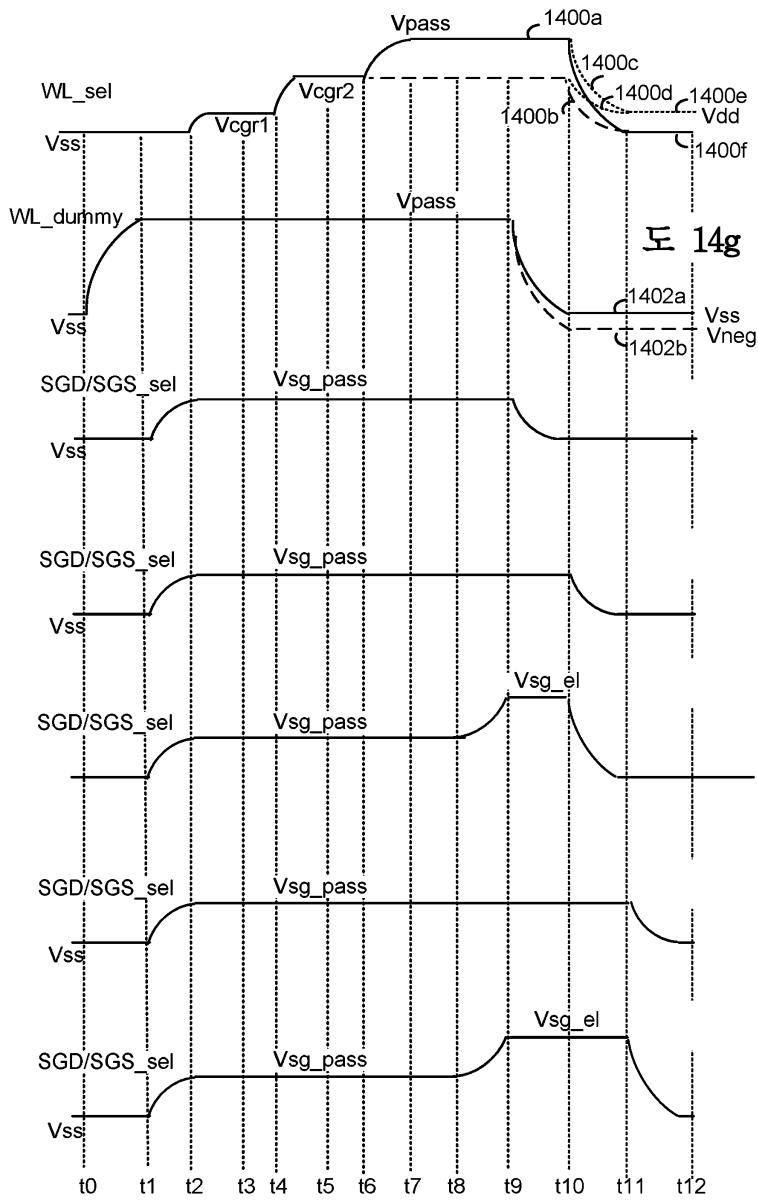


도 14e

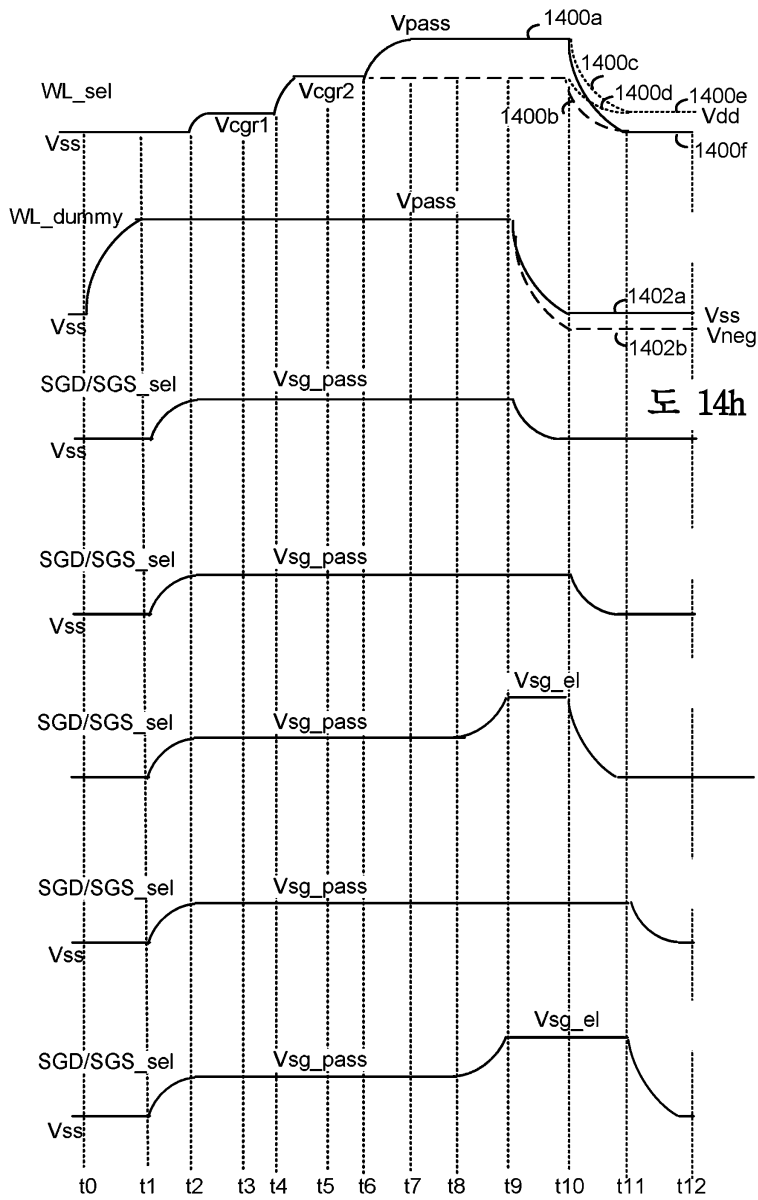
도면14f



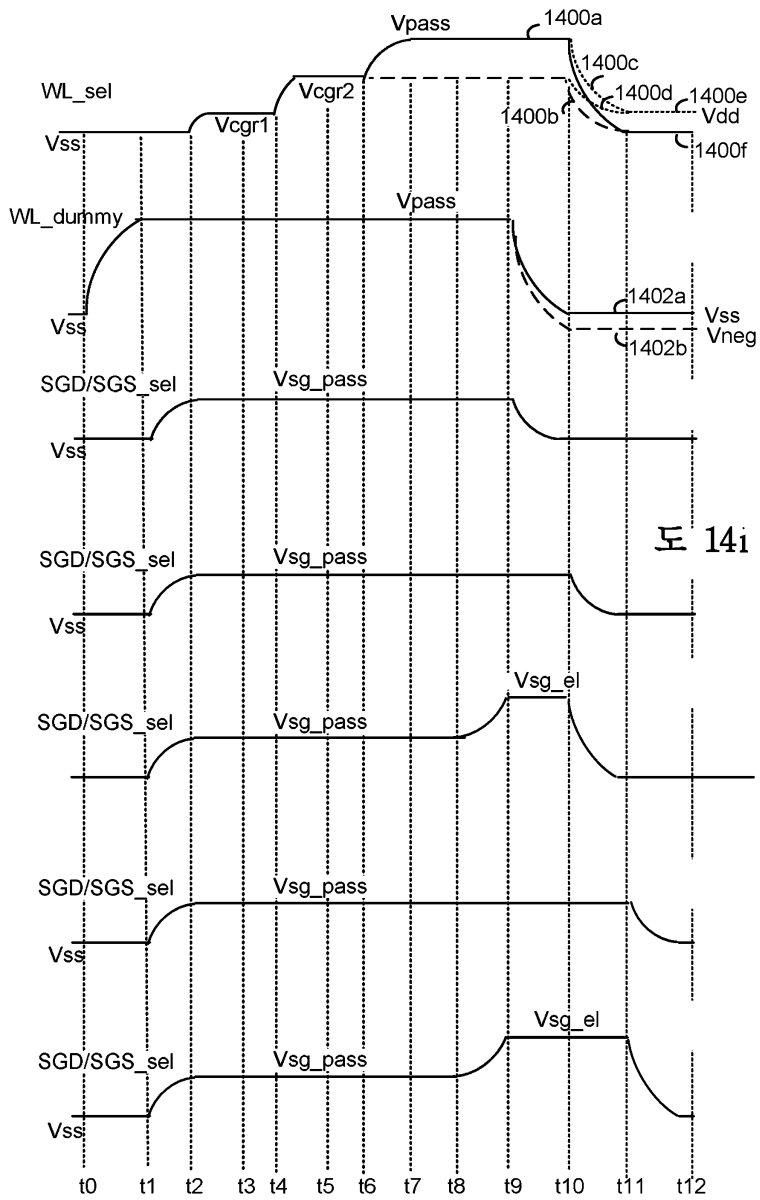
도면14g



도면14h

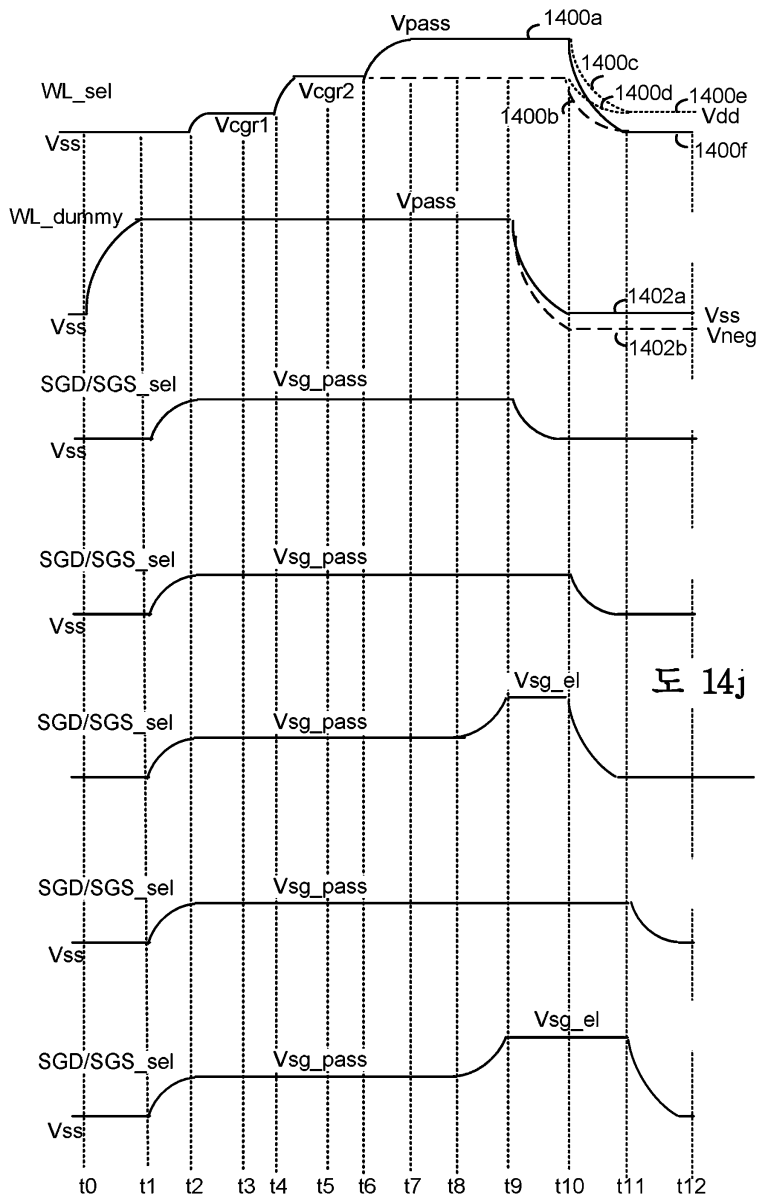


도면14i

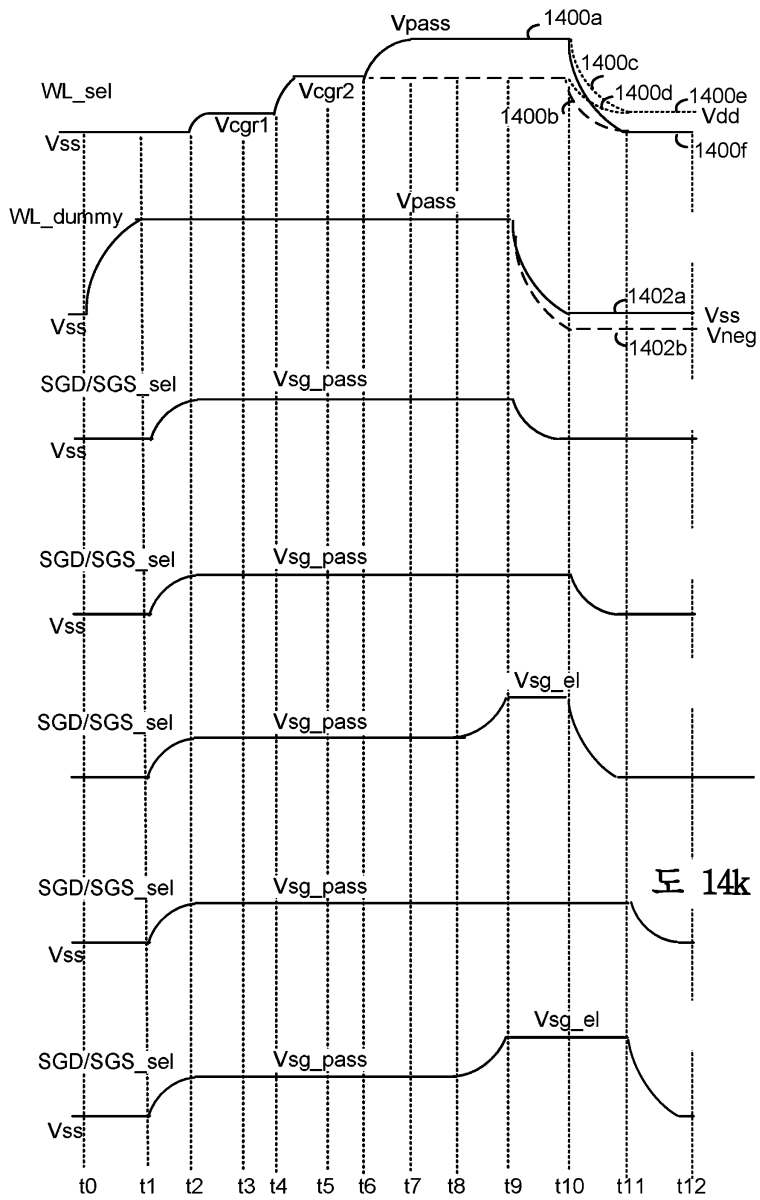


도 14i

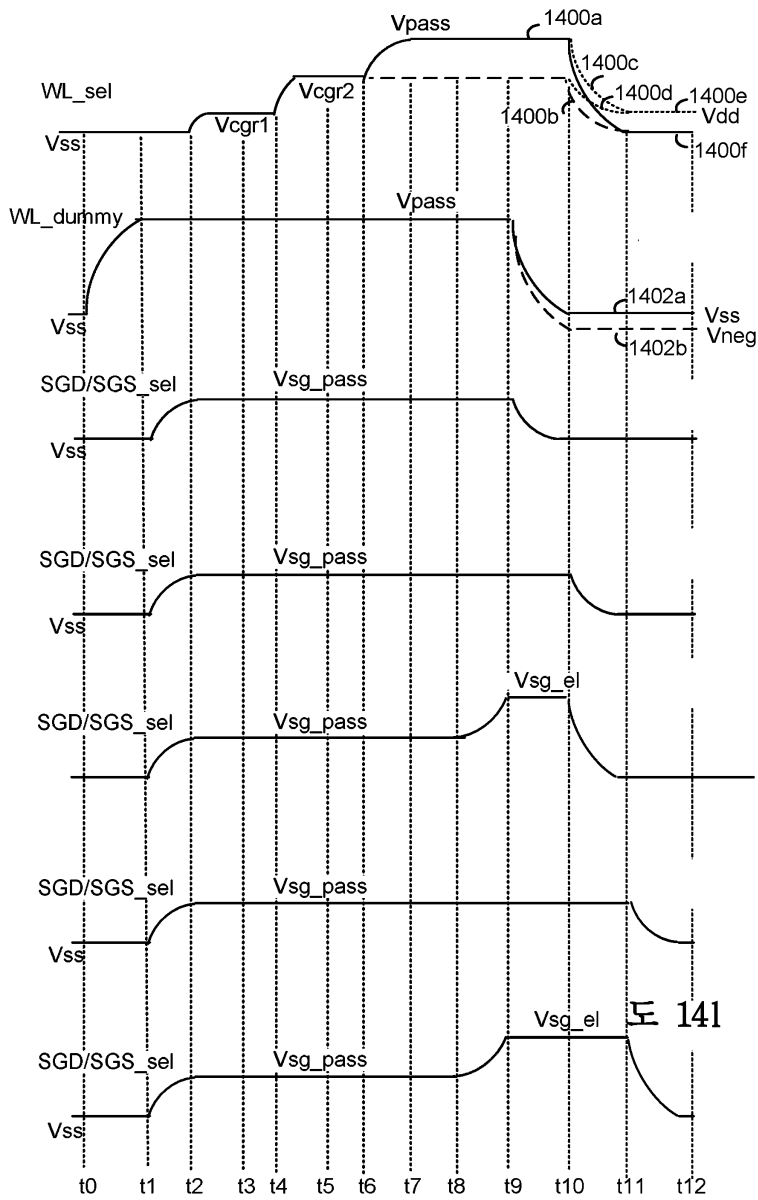
도면14j



도면14k



도면141



도면15

