

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02004/090992

発行日 平成18年7月6日(2006.7.6)

(43) 国際公開日 平成16年10月21日(2004.10.21)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 C	5 F 1 1 O
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 2 O	5 F 1 4 O
	HO 1 L 29/78 6 1 8 E	
	HO 1 L 29/78 6 1 8 B	
	HO 1 L 29/78 6 1 7 K	

審査請求 未請求 予備審査請求 未請求 (全 20 頁) 最終頁に続く

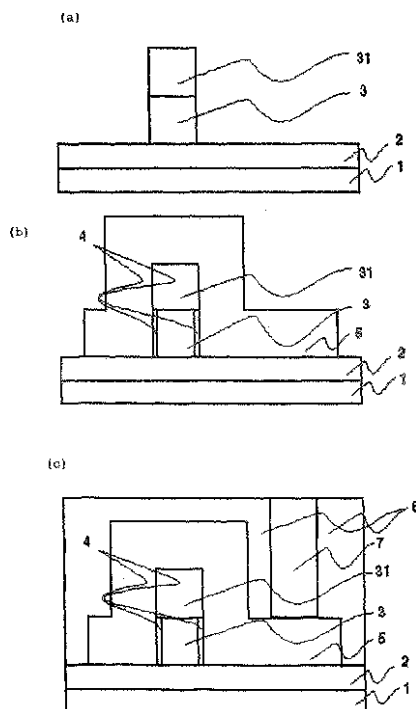
出願番号 特願2005-505331 (P2005-505331)	(71) 出願人 000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(21) 国際出願番号 PCT/JP2004/005145	
(22) 国際出願日 平成16年4月9日(2004.4.9)	
(31) 優先権主張番号 特願2003-105109 (P2003-105109)	(74) 代理人 100123788 弁理士 宮崎 昭夫
(32) 優先日 平成15年4月9日(2003.4.9)	(74) 代理人 100106138 弁理士 石橋 政幸
(33) 優先権主張国 日本国(JP)	(74) 代理人 100127454 弁理士 緒方 雅昭
	(72) 発明者 若林 整 東京都港区芝五丁目7番1号 日本電気株式会社内
	(72) 発明者 山上 滋春 東京都港区芝五丁目7番1号 日本電気株式会社内

最終頁に続く

(54) 【発明の名称】 高移動度シリコンチャンネルを有する縦型M I S F E T半導体装置

(57) 【要約】

半導体基板上の絶縁層より突出した箱形半導体領域の少なくとも側面をチャンネル領域として用いる縦型M I S 型電界効果トランジスタのチャンネル領域に、熱膨張係数差による引張り歪みの導入、または格子緩和シリコン・ゲルマニウムの表面にシリコン膜を形成することで、引張り応力を印加し、チャンネル領域の移動度を向上させる。



【特許請求の範囲】

【請求項 1】

半導体基板平面より突出した箱形半導体領域の少なくとも側面をチャンネル領域として用いる縦型 M I S 型電界効果トランジスタを備えた半導体装置において、

前記箱形半導体領域とその下部に存在する埋め込み絶縁膜との熱膨張係数差、および前記箱形半導体領域と層間絶縁膜との熱膨張係数差の少なくとも一方により、前記箱形半導体領域に引っ張り応力が印加されていることを特徴とする半導体装置。

【請求項 2】

前記箱形半導体領域が箱形シリコン膜であって、チャンネルとして用いる側面が { 1 1 0 } 面であることを特徴とする請求項 1 記載の半導体装置。

10

【請求項 3】

前記箱形半導体領域と層間絶縁膜との熱膨張係数差により、前記箱型シリコン膜に引っ張り応力が印加されていることを特徴とする請求項 1 または 2 記載の半導体装置。

【請求項 4】

前記箱形半導体領域は前記埋め込み絶縁膜の上部に接して設けられており、前記埋め込み絶縁膜との熱膨張係数差により、前記箱形半導体領域に引っ張り応力が印加されていることを特徴とする請求項 1 または 2 記載の半導体装置。

【請求項 5】

半導体基板平面より突出した箱形半導体領域の少なくとも側面をチャンネル領域として用いる縦型 M I S 型電界効果トランジスタを備えた半導体装置において、

20

前記箱形半導体領域は、箱型に形成された格子緩和シリコン・ゲルマニウム膜とその表面に形成され、チャンネル領域として用いられる歪みシリコン膜を有することを特徴とする半導体装置。

【請求項 6】

前記シリコン・ゲルマニウム膜は、前記埋め込み絶縁膜の上に接触して設けられていることを特徴とする請求項 5 記載の半導体装置。

【請求項 7】

前記シリコン・ゲルマニウム膜は、前記半導体基板上に連続して設けられ、その一部が、埋め込み絶縁膜を突き抜けて箱型に形成されていることを特徴とする請求項 5 記載の半導体装置。

30

【請求項 8】

前記歪みシリコン膜が選択成長法により形成された請求項 5 ~ 7 のいずれかに記載の半導体装置。

【請求項 9】

ゲート絶縁膜が、箱形半導体領域の 2 側面に接して設けられ、上層のゲート電極がこのゲート絶縁膜を介して前記箱形半導体領域の 2 側面と対向し、この箱形半導体領域の 2 側面にチャンネルが形成されることを特徴とする請求項 1 ~ 8 のいずれかに記載の半導体装置。

【請求項 10】

ゲート絶縁膜が、箱形半導体領域の 2 側面と前記基板と平行な上面に接して設けられ、上層のゲート電極がこのゲート絶縁膜を介して前記箱形半導体領域の 3 面と対向し、この箱形半導体領域の 3 面にチャンネルが形成されることを特徴とする請求項 1 ~ 8 のいずれかに記載の半導体装置。

40

【請求項 11】

前記箱形半導体領域は、前記半導体基板上に連続して設けられ、その一部が、前記埋め込み絶縁膜を突き抜けて箱型に形成されているものであって、前記絶縁層下部の半導体部の電位を制御するボディコンタクト領域を有することを特徴とする請求項 1 ~ 4、および 7 ~ 10 のいずれかに記載の半導体装置。

【請求項 12】

ソース領域とボディコンタクト領域を同一のコンタクトで接続することを特徴とする請求項 11 記載の半導体装置。

50

【請求項13】

ゲート長手方向に直交する箱形の厚さがゲート長以下であることを特徴とする請求項1～12のいずれかに記載の半導体装置。

【発明の詳細な説明】

【技術分野】

本発明は、高移動度シリコンチャンネルを有する縦型MIS（金属・絶縁膜・シリコン）FET半導体装置及びその製造方法に関するものである。

【背景技術】

MISFETの高性能化はスケールングにより実現されている。その重要な因子の一つであるゲート長の微細化を行った場合に顕著になる短チャンネル効果の抑制方法として、ダブルゲート電極構造が提案されている。これは、C. Fiegna, et al., "A New Scaling Methodology for the 0.1-0.025um MOSFET," IEEE VLSI symposium on Technology, 1992, pp. 33. に示されている通り、ボディ部とソース・ドレイン領域の容量結合に比べて、ボディ部とゲート電極の容量結合を増加させることにより、短チャンネル効果を抑制する技術である。ダブルゲート構造として、ボディ領域に箱形シリコン膜を用いたGate-first FinFETが提案されている。これは、David M. Fried, et al., "A sub 40-nm body thickness n-type FinFET," Device Research Conference, 2001, pp. 24. に示されている。

図9は、従来のFinFET構造を説明する模式図である。この構造は、従来のMISFETとの平面レイアウトの互換性が有ることが利点である。また、チャンネルを流れる電流は、シリコン基板表面と平行の方向に流れる。

一方、スケールング重要な別の因子の一つである移動度を向上する方法として、高移動度シリコンチャンネル技術が提案されている。例えば、格子緩和したシリコン・ゲルマニウム膜上に形成した歪みシリコン膜をチャンネルとして用いた平面MOSFETの高性能化が提案されている。これは、J. Welser, et al., "NMOS and PMOS Transistor Fabricated in Strained Silicon/Relaxed Silicon-Germanium Structure," IEEE International Electron Device Meeting, 1992, pp. 1000. に示されている。これは、チャンネル領域となるシリコン膜に2軸性引っ張り応力を印加することにより、電子が有効質量が小さい2重縮退バレーの電子の占有確率を増大することで実効移動度が大きくなるためである。しかし、平面MISFET構造に関するものである。

さらに、シリコン基板上に形成したシリコン酸化膜上に格子緩和したシリコン・ゲルマニウム膜を形成する技術が発表されている。これは、T. Tezuka et al., "Novel fully-depleted SiGe-on-insulator pMOSFETs with high-mobility SiGe surface channels," IEEE International Electron Device Meeting, 2001, pp. 946. に示されている。しかし、これも平面MISFET構造に関するものであり、また、上層に歪みシリコン膜を形成する技術を含むものではない。

他にも、高移動度シリコンチャンネル技術として、層間膜とシリコン基板の熱膨張係数差により、シリコン膜に引っ張り応力を印加する方法が発表されている。これは、K. Ota et al., "Novel Locally Strained Channel Technique for High Performance 55nm CMOS," IEEE International Electron Device Meeting, 2002, pp. 27. に示されている。しかし、これも平面MISFET構造に関するものである。

他にも、貼り合わせ技術により、シリコン基板上のシリコン酸化膜上に、歪みシリコン

膜を形成する技術が提案されている。これは、T. A. Langdo, et al., "Preparation of Novel SiGe-Free Strained Silicon Insulator Substrates", IEEE International SOI Conference, 2002, pp. 211. に示されている。しかし、これも平面MISFET構造に関するものである。

これまでに、格子緩和シリコン・ゲルマニウム膜上に選択成長によりシリコン膜を形成した構造として、例えば特開2002-94060に平面MISFETが掲載されている。これまでに、縦型MISFET構造として、例えば特開2002-57329に、歪みシリコン膜をチャンネルとして用いた縦型MISFET半導体装置が掲載されている。この構造では、チャンネルを流れる駆動電流は基板表面の垂直方向に流れる。

10

しかしこれらの構造では、従来のMISFETとの平面レイアウト互換性が低く、システムLSIに対応した高密度な集積化が困難である。また、平面MISFETでは、ボディ部とドレイン領域の容量カップリングによるDrain induced barrier loweringにより短チャンネル効果が顕著となり、微細なMISFETを形成することが困難となっている。また、従来のFinFETでは、高移動度化を実現することは困難であった。

【発明の開示】

本発明の目的は、従来のMISFETとの平面レイアウト互換性を保ったままダブルゲートを実現できるFinFET構造において、高移動度縦型MISFET構造を実現することにある。

20

ダブルゲート構造を従来のMISFETとの平面レイアウト互換性を保ったまま形成するため、FinFET構造を用いる。さらに高移動度シリコンチャンネルを用いることによりMISFETの高性能化を行う。

本発明の各態様は次の通りである。

1. 半導体基板平面より突出した箱形半導体領域の少なくとも側面をチャンネル領域として用いる縦型MIS型電界効果トランジスタを備えた半導体装置において、前記箱形半導体領域とその下部に存在する埋め込み絶縁膜との熱膨張係数差、および前記箱形半導体領域と層間絶縁膜との熱膨張係数差の少なくとも一方により、前記箱形半導体領域に引っ張り応力が印加されていることを特徴とする半導体装置。

30

2. 前記箱形半導体領域が箱形シリコン膜であって、チャンネルとして用いる側面が{110}面であることを特徴とする上記1記載の半導体装置。

3. 前記箱形半導体領域と層間絶縁膜との熱膨張係数差により、前記箱型シリコン膜に引っ張り応力が印加されていることを特徴とする上記1または2記載の半導体装置。

4. 前記箱形半導体領域は前記埋め込み絶縁膜の上部に接して設けられており、前記埋め込み絶縁膜との熱膨張係数差により、前記箱形半導体領域に引っ張り応力が印加されていることを特徴とする上記1または2記載の半導体装置。

5. 半導体基板平面より突出した箱形半導体領域の少なくとも側面をチャンネル領域として用いる縦型MIS型電界効果トランジスタを備えた半導体装置において、前記箱形半導体領域は、箱型に形成された格子緩和シリコン・ゲルマニウム膜とその表面に形成され、チャンネル領域として用いられる歪みシリコン膜を有することを特徴とする半導体装置。

40

6. 前記シリコン・ゲルマニウム膜は、前記埋め込み絶縁膜の上に接触して設けられていることを特徴とする上記5記載の半導体装置。

7. 前記シリコン・ゲルマニウム膜は、前記半導体基板上に連続して設けられ、その一部が、埋め込み絶縁膜を突き抜けて箱型に形成されていることを特徴とする上記5記載の半導体装置。

8. 前記歪みシリコン膜が選択成長法により形成された上記5～7のいずれかに記載の半導体装置。

9. ゲート絶縁膜が、箱形半導体領域の2側面に接して設けられ、上層のゲート電極がこのゲート絶縁膜を介して前記箱形半導体領域の2側面と対向し、この箱形半導体領域の2側面にチャンネルが形成されることを特徴とする上記1～8のいずれかに記載の半導体

50

装置。

10 . ゲート絶縁膜が、箱形半導体領域の2側面と前記基板と平行な上面に接して設けられ、上層のゲート電極がこのゲート絶縁膜を介して前記箱形半導体領域の3面と対向し、この箱形半導体領域の3面にチャンネルが形成されることを特徴とする上記1～8のいずれかに記載の半導体装置。

11 . 前記箱形半導体領域は、前記半導体基板上に連続して設けられ、その一部が、前記埋め込み絶縁膜を突き抜けて箱型に形成されているものであって、前記絶縁層下部の半導体部の電位を制御するボディコンタクト領域を有することを特徴とする上記1～4、および7～10のいずれかに記載の半導体装置。

12 . ソース領域とボディコンタクト領域を同一のコンタクトで接続することを特徴とする上記11記載の半導体装置。 10

13 . ゲート長手方向に直交する箱形の厚さがゲート長以下であることを特徴とする上記1～12のいずれかに記載の半導体装置。

【図面の簡単な説明】

図1は、本発明による高移動度シリコンチャンネルを有する縦型MISFET半導体装置の一例の平面概念図である。

図2は、本発明による高移動度シリコンチャンネルを有する縦型MISFET半導体装置の一例の平面概念図である。

図3は、本発明による高移動度シリコンチャンネルを有する縦型MISFET半導体装置の一例の平面概念図である。 20

図4は、本発明による高移動度シリコンチャンネルを有する縦型MISFET半導体装置の一例の平面概念図である。

図5は、本発明による高移動度シリコンチャンネルを有する縦型MISFET半導体装置の一例の平面概念図である。

図6は、本発明による高移動度シリコンチャンネルを有する縦型MISFET半導体装置の一例の平面概念図である。

図7は、本発明による高移動度シリコンチャンネルを有する縦型MISFET半導体装置の一例の平面概念図である。

図8は、本発明による高移動度シリコンチャンネルを有する縦型MISFET半導体装置の一例の平面概念図である。 30

図9は、従来法による高移動度シリコンチャンネルを有する縦型MISFET半導体装置の一例の平面概念図である。

符号の説明：

- 1 シリコン基板
- 2 埋め込み絶縁膜 (Box)
- 21 傾斜シリコン・ゲルマニウム膜
- 22 格子緩和シリコン・ゲルマニウム膜
- 23 絶縁層 (埋め込み絶縁膜)
- 3 箱形シリコン (シリコン膜)
- 31 ハードマスク
- 32 シリコンゲルマニウムFin
- 33 歪みシリコン膜
- 4 ゲート絶縁膜
- 5 ゲート電極
- 6 ソース・ドレイン領域
- 7 コンタクト
- 8 層間絶縁膜
- 72 ウェル
- 73 ボディコンタクト埋め込み部
- 74 箱形 (Fin部)

10

20

30

40

50

75 絶縁層（埋め込み絶縁膜）

77a ゲートコンタクト

77b ソースコンタクト

77c ドレインコンタクト

77d ボディコンタクト

77e 共通のコンタクト

【発明を実施するための最良の形態】

本発明では、FinFET構造のFinの側面をチャネルとするダブルゲート構造およびFinの上面もチャネルとして使用するトリプルゲート構造のFinFET構造を用いることにより、従来のMISFETとの平面レイアウト互換性を保ったまま短チャネル効果抑制を実現しながら、歪みを導入した高移動度シリコンチャネルを用いることにより、MISFETの高性能化を実現できる。尚、本出願で、縦型MISFETとはいわゆるFin形MISFETのことである。 10

以下、本発明の具体的形態について説明する。

<第1の形態>

第1の形態について図1を参照して詳細に説明する。図1に示すように、本発明の実施の形態では、シリコン基板1、埋め込み絶縁膜2、シリコン膜3からなる、いわゆるSilicon on Insulator (SOI)基板を使用する。ここで、埋め込み絶縁膜の膜厚は100nm程度、シリコン膜3の膜厚は100nm程度以下の厚さである。このSOI基板構造は例えば、SIMOX法や貼り合わせ法等により形成されている。 20

まず、通常の熱酸化及び弗化水素水溶液によるエッチングにより、シリコン膜3を50nm程度に薄膜化する。さらに後の箱形シリコン膜エッチングのハードマスク31として、通常のChemical Vapor Deposition (CVD)法により、10nm厚程度以上のSiO₂膜を堆積する。さらに、通常の露光技術と通常の異方性ドライエッチング技術により、素子分離となる領域とチャネルにならない領域のシリコン膜を除去し、シリコン膜3を箱形 (Fin形) に加工し箱型シリコン膜3形成する。ここで、ドライエッチングされる領域が素子分離となる。ここで「箱型」は、少なくともMISFETが形成されたときのチャネルとなる部分が概ね直方体状になるような形状である (以下の形態においても同じ。)。この箱形の幅は、完全空乏化型SOI-MISFETとして動作させるためには、ゲート電極長 (L_g) 程度以下とすることが好ましい。この時点での断面図を図1 (a) に示す。 30

次に、箱形シリコン膜の平坦化を行うため、水素中アニールを用いる。例えば、水素中で900℃の熱処理を行う。次に、箱形シリコン膜上にゲート絶縁膜4を形成する。例えば、窒化酸素ガス (NO) と酸素の混合ガスを用いて950℃の熱酸化法により1.0nm程度の厚さで形成する。次にゲート電極5として、多結晶シリコン膜を通常の620℃程度のCVD法により、75nm程度の厚さで堆積する。さらに、通常のChemical-Mechanical Polishing (CMP) を行い、多結晶シリコン膜表面の平坦化を行う。次に通常の露光技術とエッチング技術によりゲート電極を形成する。この時点での断面図を図1 (b) に示す。

次に、斜めイオン注入により、ハロー (halo) 領域の不純物を導入する。例えば、nMOSFETにはBF₂イオンを、pMOSFETにはhaloとして砒素イオンを、ウエハの法線方向より45度程度傾け、ゲート電極の長手方向から30度の角度より注入する。 40

次に、斜めイオン注入により、ソース・ドレインエクステンション (SDE) 領域の不純物を導入する。例えば、nMOSFETには砒素イオンを、pMOSFETにはボロンイオンを、ウエハの法線方向より45度程度傾け、ゲート電極の長手方向から0度の角度より注入する。

次に、通常のCVD法により酸化シリコン膜を10nmの厚さで、その後に通常のCVD法により窒化シリコン膜を40nmの厚さで堆積する。さらに通常の異方性ドライエッチングを行うことにより、ゲート電極側壁を形成する。さらにソース・ドレイン領域上の 50

コンタクト開口予定部のハードマスクを除去するため、通常の異方性ドライエッチングを行う。

次にソース・ドレイン領域への不純物導入をイオン注入法により行う。例えば、n M O S F E Tには砒素イオンを、p M O S F E Tにはボロンイオンを、ウエハの法線方向より注入する。

その後、不純物活性化の熱処理を行う。例えば、昇温300度/秒、降温100度/秒において、1050、0secのスパイクアニールを行う。次に、せり上げソース・ドレイン領域およびせり上げシリサイド膜形成のために、シリコン選択成長により、せり上げシリコン膜を30nm程度の厚さで形成する。例えば、UHV-CVD装置により、Si₂H₆ガスを用い、600で成長する。その後、通常の工程により、ゲート電極とソース・ドレイン領域上のみシリサイド膜の形成を行う。例えば、通常のスパッタ法で10nm程度の膜厚のニッケル膜を形成し、550、30secの熱処理を行い、その後、通常のウェットエッチングにより、余剰のニッケル膜を除去する。

次に通常のCVD法等を用いて、層間膜8を形成する。ここでこの層間膜は、シリコンに比べて熱膨張係数の小さい膜を用い、後の熱処理後の冷却により、シリコン基板に引っ張り歪みが印加されることが特徴である。この時、引っ張り歪みは箱形厚さ方向に垂直な面に直交する2軸応力であることも特徴である。また、同じ膜厚の層間膜を用いた場合、通常のシリコン基板よりも箱形シリコン膜の方が大きな歪みを印加できる。ここで使用できる層間膜としては、酸化シリコン膜、窒化シリコン膜、窒素ドーパ酸化シリコン膜、フッ素ドーパ酸化シリコン膜、炭素ドーパ酸化シリコン膜、アルミナ膜等を挙げることができる。

さらに配線を形成してMISFETが完成する。この時点での断面図を図1(c)に示す。

このように形成されたMISFETでは、ダブルゲート構造により、短チャネル効果が抑制できるため、動作ゲート長を小さくすることができるとともに基板濃度を低減できるため、動作領域が低電界領域になり、さらに移動度を向上することができる。シリコンよりも熱膨張係数が小さい層間膜を用いることにより、箱形シリコン膜の厚さ方向に垂直なすべての方向に引っ張り歪みを加える事ができる。これにより、歪みシリコン膜中にチャネルが形成されるため、シリコン基板に形成されるチャネルに比べて移動度が向上する。

< 第2の形態 >

次に、第2の形態について図2を参照して詳細に説明する。本形態において第1の形態と異なる点は、箱型シリコン膜(Fin)の側面に{100}面ができるように形成した点である。図2に示すように、第1の形態と同様のシリコン基板1、埋め込み絶縁膜2、シリコン膜3からなるSOI基板を用意するが、面方位がわかるように、{100}面で<110>方向にノッチがある通常のシリコン基板を使用する。

第1の形態と同様にシリコン膜3を箱形(Fin形)に加工するが、このとき箱形の長手方向が<110>と等価な方向でになるようにし、箱形の側面に{110}が露出するようにエッチング加工する。このため本発明の箱形構造では、pMISFETの移動度が向上する{110}面をチャネルとする縦型MISFETを実現できる。この時点での断面図を図2(a)に示す。

その後第1の形態と同様に、ゲート絶縁膜4、ゲート電極5を形成する。この時点での断面図を図2(b)に示す。

引き続き、第1の形態と同様の工程を経てMISFETを完成する。この時点での断面図を図2(c)に示す。

このように形成したMISFETでは、ダブルゲート構造により、短チャネル効果が抑制できるため、動作ゲート長を小さくすることができるとともに基板濃度を低減できるため、動作領域が低電界領域になり、さらに移動度を向上することができる。加えて、{110}面を用いることにより、{100}面シリコン基板に形成されるチャネルに比べて移動度が向上する。

< 第3の形態 >

10

20

30

40

50

次に、第3の形態について図3を参照して詳細に説明する。図3に示すように、シリコン基板1、埋め込み絶縁膜2、歪みシリコン膜33からなる、いわゆるStrained Silicon on Insulator (SSOI)基板を使用する。ここで、埋め込み絶縁膜の膜厚は100nm程度、歪みシリコン膜33の膜厚は100nm程度以下の厚さである。このSSOI基板構造は例えば、SIMOX法や貼り合わせ法等により形成されている。このSSOI構造では、埋め込み絶縁膜との熱膨張差によってシリコン膜に引張り歪みを加えることができるものである。埋め込み絶縁膜としては、例えば酸化シリコン膜、窒化シリコン膜、窒素ドーパ酸化シリコン膜、フッ素ドーパ酸化シリコン膜、炭素ドーパ酸化シリコン膜、アルミナ膜等を挙げることができる。

まず、第1の形態と全く同じようにしてSSOI基板を加工し、断面図で図3(a)に示す構造まで形成する。

10

その後も第1の形態と同様にして、断面図で図3(b)を経て、さらに図3(c)に示すMISFETを形成する。ここで、せり上げシリコン膜を30nmに成膜するときの成長温度が600で、低くなっているため、箱形歪みシリコン膜の応力緩和を抑制することができる。

このように形成したMISFETでは、ダブルゲート構造により、短チャネル効果が抑制できるため、動作ゲート長を小さくすることができるとともに基板濃度を低減できるため、動作領域が低電界領域になり、さらに移動度を向上することができる。箱形歪みシリコン膜の厚さ方向に垂直な方向に引っ張り歪みを加える事ができる。これにより、歪みシリコン膜中にチャンネルが形成されるため、シリコン基板に形成されるチャンネルに比べて移動度が向上する。

20

<第4の形態>

次に、第4の形態について図4を参照して詳細に説明する。この形態では、シリコン基板1、埋め込み絶縁膜2、シリコン・ゲルマニウム膜32からなる、いわゆるSilicon Germanium on Insulator (SGOI)基板を使用する。ここで、埋め込み絶縁膜の膜厚は100nm程度、シリコン・ゲルマニウム膜32の膜厚は100nm程度以下の厚さである。また、シリコン・ゲルマニウム膜のゲルマニウム濃度は、5%程度以上である。このSGOI基板構造は例えば、SIMOX法や貼り合わせ法等により形成されている。

まず、通常の熱酸化及びアンモニア過酸化水素水溶液によるエッチングにより、シリコン・ゲルマニウム膜32を50nm程度に薄膜化する。さらに後の箱形シリコン・ゲルマニウム膜エッチングのハードマスク31として、通常のChemical Vapor Deposition (CVD)法により、10nm厚程度以上のSiO₂膜を堆積する。さらに、通常の露光技術と通常の異方性ドライエッチング技術により、素子分離となる領域とチャンネルにならない領域のシリコン・ゲルマニウム膜を除去し、シリコン・ゲルマニウム膜を箱形に形成して箱形シリコン・ゲルマニウム膜32とする。ここで、ドライエッチングされる領域が素子分離となる。また、箱形の幅は、完全空乏化型SOI-MISFETとして動作させるため、ゲート電極長(Lg)程度以下とする必要がある。この時点での断面図を図4(a)に示す。

30

次に、箱形シリコン・ゲルマニウム膜の平坦化を行うため、水素中アニールを用いる。例えば、水素中で900の熱処理を行う。次に、シリコン選択成長により、歪みシリコン膜33を10nm程度の厚さで形成する。例えば、UHV-CVD装置により、Si₂H₆ガスを用い、600で成長する。成長温度を低くすることにより、箱形シリコン・ゲルマニウム膜から歪みシリコン膜へのゲルマニウム拡散を抑制する事ができる。この時、格子緩和したシリコン・ゲルマニウム膜32にシリコン膜を形成するため、箱形シリコン・ゲルマニウム膜の厚さ方向に垂直なすべての方向に引っ張り歪みを加える事ができる。

40

その後、歪みシリコン膜上にゲート絶縁膜4を形成する。例えば、窒化酸素ガス(NO)と酸素の混合ガスを用いて950の熱酸化法により1.0nm程度の厚さで形成する。次にゲート電極として、多結晶シリコン膜5を通常の620程度のCVD法により、

50

75 nm程度の厚さで堆積する。さらに、通常のChemical-Mechanical Polishing (CMP)を行い、多結晶シリコン膜表面の平坦化を行う。次に通常の露光技術とエッチング技術によりゲート電極を形成する。この時点での断面図を図4(b)に示す。

次に、斜めイオン注入により、ハロー(halo)領域の不純物を導入する。例えば、nMOSFETには BF_2 イオンを、pMOSFETにはhaloとして砒素イオンを、ウエハの法線方向より45度程度傾け、ゲート電極の長手方向から30度の角度より注入する。次に、斜めイオン注入により、ソース・ドレインエクステンション(SDE)領域の不純物を導入する。例えば、nMOSFETには砒素イオンを、pMOSFETにはボロンイオンを、ウエハの法線方向より45度程度傾け、ゲート電極の長手方向から0度の角度より注入する。次に、通常のCVD法により酸化シリコン膜を10 nmの厚さで、その後通常CVD法により窒化シリコン膜を40 nmの厚さで堆積する。さらに通常異方性ドライエッチングを行うことにより、ゲート電極側壁を形成する。さらにソース・ドレイン領域上のコンタクト開口予定部のハードマスクを除去するため、通常異方性ドライエッチングを行う。

次にソース・ドレイン領域への不純物導入をイオン注入法により行う。例えば、nMOSFETには砒素イオンを、pMOSFETにはボロンイオンを、ウエハの法線方向より注入する。その後、不純物活性化の熱処理を行う。例えば、昇温300度/秒、降温100度/秒において、1050、0 secのスパイクアニールを行う。次に、シリコン選択成長により、せり上げシリコン膜を30 nm程度の厚さで形成する。例えば、UHV-CVD装置により、 Si_2H_6 ガスを用い、600で成長する。ここで、成長温度を低くすることにより、箱形シリコン・ゲルマニウム膜から歪みシリコン膜へのゲルマニウム拡散を抑制する事ができ、さらに歪みシリコン膜の応力緩和を抑制することができる。

その後、通常工程により、ゲート電極とソース・ドレイン領域上のみシリサイド膜の形成を行う。例えば、通常スパッタ法で10 nm程度の膜厚のニッケル膜を形成し、550、30 secの熱処理を行い、その後、通常ウェットエッチングにより、余剰のニッケル膜を除去する。次に通常成膜方法により層間絶縁膜を堆積し、さらに配線を形成してMISFETが完成する。この時点での断面図を図4(c)に示す。

このように形成したMISFETでは、ダブルゲート構造により、短チャネル効果が抑制できるため、動作ゲート長を小さくできるとともに基板濃度を低減できるため、動作領域が低電界領域になり、さらに移動度を向上することができる。格子緩和したシリコン・ゲルマニウム膜にシリコン膜を形成するため、箱形シリコン・ゲルマニウム膜の厚さ方向に垂直なすべての方向に引っ張り歪みを加える事ができる。これにより、歪みシリコン膜中にチャネルが形成されるため、シリコン基板に形成されるチャネルに比べて移動度が向上する。

< 第5の形態 >

次に、第5の形態について図5を参照して詳細に説明する。図5に示すようにこの形態では、シリコン基板1、傾斜シリコン・ゲルマニウム膜21、格子緩和シリコン・ゲルマニウム膜22からなる基板を主体としている。ここで、傾斜シリコン・ゲルマニウム膜21の膜厚は1 μm 、格子緩和シリコン・ゲルマニウム膜は2 μm の厚さである。また、格子緩和シリコン・ゲルマニウム膜のゲルマニウム濃度は、5%程度以上である。

まず、後の箱形シリコン・ゲルマニウム膜エッチングのハードマスク31として、通常Chemical Vapor Deposition (CVD)法により、10 nm厚程度以上の SiO_2 膜を堆積する。さらに、通常露光技術と通常異方性ドライエッチング技術により、素子分離となる領域とチャネルにならない領域のシリコン・ゲルマニウム膜をエッチングし、溝を形成する。この工程により、シリコン・ゲルマニウム膜を箱形に形成する。また、箱形の幅は、完全空乏化型SOI-MISFETとして動作させるため、ゲート電極長(Lg)程度以下とする必要がある。この時点での断面図を図5(a)に示す。

次に、素子分離膜として通常CVD法により、酸化シリコン膜を箱形シリコン・ゲル

マニウム膜厚さより厚く形成し、さらに、通常のCMPプロセスと異方性エッチング技術により、酸化シリコン膜を薄膜化して絶縁層23とし、箱形シリコン・ゲルマニウム膜のFin部分を露出させる。尚、この絶縁層は、素子として機能するFin部分の下部にあることから、本出願では、この絶縁層も埋め込み絶縁膜といい、この形態は、半導体領域が埋め込み絶縁膜を突き抜けて突出して箱形(Fin形)を形成している形態である。

次に、箱形シリコン・ゲルマニウム膜の平坦化を行うため、水素中アニールを用いる。例えば、水素中で900の熱処理を行う。

次に、選択シリコン成長により、歪みシリコン膜33を10nm程度の厚さで形成する。例えば、UHV-CVD装置により、Si₂H₆ガスを用い、600で成長する。成長温度を低くすることにより、箱形シリコン・ゲルマニウム膜から歪みシリコン膜へのゲルマニウム拡散を抑制する事ができる。この時、格子緩和したシリコン・ゲルマニウム膜にシリコン膜を形成するため、箱形シリコン・ゲルマニウム膜の厚さ方向に垂直なすべての方向に引っ張り歪みを加える事ができる。その後、歪みシリコン膜上にゲート絶縁膜4を形成する。例えば、窒化酸素ガス(NO)と酸素の混合ガスを用いて950の熱酸化法により1.0nm程度の厚さで形成する。この時点での断面図を図5(b)に示す。その後は、第4の形態と全く同様にして、図5(c)に示すMISFETを完成した。

このように形成したMISFETでは、ダブルゲート構造により、短チャネル効果が抑制できるため、動作ゲート長を小さくすることができるとともに基板濃度を低減できるため、動作領域が低電界領域になり、さらに移動度を向上することができる。格子緩和したシリコン・ゲルマニウム膜にシリコン膜を形成するため、箱形シリコン・ゲルマニウム膜の厚さ方向に垂直なすべての方向に引っ張り歪みを加える事ができる。これにより、歪みシリコン膜中にチャンネルが形成されるため、シリコン基板に形成されるチャンネルに比べて移動度が向上する。

<第6の形態>

次に、第6の形態について図6を参照して詳細に説明する。第1の形態は箱形シリコン膜の側面をチャンネル領域とするダブルゲート形であったが、この形態では、箱形シリコン膜の上面もチャンネルと機能させる構造である。

図6に示すようにこの実施の形態では、シリコン基板1、埋め込み絶縁膜2、シリコン膜3からなる、いわゆるSilicon on Insulator(SOI)基板を使用する。ここで、埋め込み絶縁膜の膜厚は100nm程度、シリコン膜3の膜厚は100nm程度以下の厚さである。このSOI基板構造は例えば、SIMOX法や貼り合わせ法等により形成されている。

まず、通常熱酸化及び弗化水素水溶液によるエッチングにより、シリコン膜3を50nm程度に薄膜化する。さらに、通常露光技術と通常異方性ドライエッチング技術により、素子分離となる領域とチャンネルにならない領域のシリコン膜を除去し、シリコン膜を箱形に形成して箱形シリコン膜3とする。ここで、ドライエッチングされる領域が素子分離となる。また、箱形の幅は、完全空乏化型SOI-MISFETとして動作させるため、ゲート電極長(Lg)程度以下とする必要がある。この形態では、図6(a)に示すように、ハードマスクをエッチングマスクとして使用した場合でも、それを除去し、箱形シリコン膜3の上面を露出させる。

次に、第1の形態と同様に、箱形シリコン膜の平坦化を行い次に、箱形シリコン膜33上にゲート絶縁膜4を形成し、さらにゲート電極5を形成する。この時点での断面図を図6(b)に示す。

その後は、第1の形態において、ハロー(halo)領域の不純物を導入する際に、ウエハの法線方向より30度程度傾け、ゲート電極の長手方向から90度の角度より注入し、ソース・ドレインエクステンション(SDE)領域の不純物を導入する際にウエハの法線方向より30度程度傾け、ゲート電極の長手方向から90度の角度より注入する以外は第1の形態と同様にして、MISFETを完成する。この時点での断面図を図6(c)に示す。

このように形成したMISFETでは、箱形シリコンの三面にゲートを形成する構造に

より、短チャネル効果が抑制できるため、動作ゲート長を小さくすることができるとともに基板濃度を低減できるため、動作領域が低電界領域になり、さらに移動度を向上することができる。シリコンよりも熱膨張係数が小さい層間膜を用いることにより、チャネルが発生する三面すべてで引っ張り応力を発生させることができる。また、同じ膜厚の層間膜を用いた場合、通常シリコン基板よりも三面にゲートを形成する構造の方が大きな歪みを印加できる。これにより、シリコン基板に形成されるチャネルに比べて移動度が向上する。

< 第7の形態 >

次に、第7の形態について図7を参照して詳細に説明する。

まず、通常イオン注入法により、シリコン基板1中に、ウェル72及びボディコンタクト埋め込み部73のイオン注入を行う。さらに、通常露光技術と通常異方性ドライエッチング技術により、素子分離となる領域とチャネルにならない領域のシリコン膜を除去し、シリコン膜を箱形部(Fin部)74を形成する。ここで、ドライエッチングされる領域が素子分離となる。また、箱形の幅は、完全空乏化型SOI-MISFETとして動作させるため、ゲート電極長(Lg)程度以下とする必要がある。次に素子分離膜として、通常プラズマCVD法により、絶縁膜、例えばSiO₂膜を形成する。次に、CMPにより絶縁膜を平坦化した後、ドライエッチング技術により薄膜化して絶縁層75とすると共に、箱形シリコンのFin部分を露出させる。尚、この絶縁層は、素子として機能するFin部分の下部にあることから、本出願では、この絶縁層も埋め込み絶縁膜といい、この形態は、半導体領域が埋め込み絶縁膜を突き抜けて突出して箱形(Fin形)を形成している形態である。

次に、第1の形態と同様に箱形シリコン膜側壁の平坦化を行うため、水素中アニールを行い、ゲート絶縁膜4を形成し、ゲート電極を形成し、次に、斜めイオン注入により、ハロー(halo)領域の不純物を導入する。例えば、nMOSFETにはBF₂イオンを、pMOSFETにはhaloとして砒素イオンを、ウエハの法線方向より30度程度傾け、ゲート電極の長手方向から90度の角度より注入する。

次に、斜めイオン注入により、ソース・ドレインエクステンション(SDE)領域の不純物を導入する。例えば、nMOSFETには砒素イオンを、pMOSFETにはボロンイオンを、ウエハの法線方向より30度程度傾け、ゲート電極の長手方向から90度の角度より注入する。次に、通常CVD法により酸化シリコン膜を10nmの厚さで、その後通常CVD法により窒化シリコン膜を40nmの厚さで堆積する。さらに通常異方性ドライエッチングを行うことにより、ゲート電極側壁を形成する。

次にソース・ドレイン領域への不純物導入をイオン注入法により行う。例えば、nMOSFETには砒素イオンを、pMOSFETにはボロンイオンを、ウエハの法線方向より注入する。その後、不純物活性化の熱処理を行う。例えば、昇温300度/秒、降温100度/秒において、1050、0secのスパイクアニールを行う。次に、シリコン選択成長により、せり上げシリコン膜を30nm程度の厚さで形成する。例えば、UHV-CVD装置により、Si₂H₆ガスを用い、600で成長する。

その後、通常工程により、ゲート電極とソース・ドレイン領域上のみシリサイド膜の形成を行う。例えば、通常スパッタ法で10nm程度の膜厚のニッケル膜を形成し、550、30secの熱処理を行い、その後、通常ウェットエッチングにより、余剰のニッケル膜を除去する。次に通常CVD法等を用いて、層間膜8を形成する。ここでこの層間膜は、シリコンに比べて熱膨張係数の小さい膜を用い、後の熱処理後の冷却により、シリコン基板に引っ張り歪みが印加されることが特徴である。層間膜として使用できるものは第1の形態で述べた。この時、引っ張り歪みは、箱形厚さ方向に垂直な面において、直交する2軸応力であることも特徴である。さらに、引っ張り歪みは、シリコン膜3の厚さ方向に垂直な面においても、直交する2軸応力であることも特徴である。このように、層間膜からの引っ張り歪みにより、チャネルが発生する三面すべてで引っ張り応力を発生させることができる。また、同じ膜厚の層間膜を用いた場合、通常シリコン基板よりも箱形シリコン膜の方が大きな歪みを印加できる。

その後、ゲートコンタクト77a、ソースコンタクト77b、ドレインコンタクト77c、ボディコンタクト77dをそれぞれ形成し、さらに配線を形成してMISFETが完成する。この時点での断面図を図7に示す。

このように形成したMISFETでは、ボディコンタクト構造を用いることにより、SOI-MOSFETにおいてしきい値変動を発生させ、回路動作が不安定となる、基板浮遊効果の抑制が可能となる。三面にゲートを形成する構造により、短チャネル効果が抑制できるため、動作ゲート長を小さくすることができるとともに基板濃度を低減できるため、動作領域が低電界領域になり、さらに移動度を向上することができる。シリコンよりも熱膨張係数が小さい層間膜を用いることにより、チャンネルが発生する三面すべてで引っ張り応力を発生させることができる。また、同じ膜厚の層間膜を用いた場合、通常のシリコン基板よりも三面にゲートを形成する構造の方が大きな歪みを印加できる。これにより、シリコン基板に形成されるチャンネルに比べて移動度が向上する。

10

< 第8の形態 >

次に、第8の形態について図8を参照して詳細に説明する。この形態では、第7の形態において、ソース領域とボディコンタクト領域に対して共通のコンタクト77eを形成した構造である。

このように形成したMISFETでは、ソース領域とボディコンタクト領域を接続したボディコンタクト構造を用いることにより、SOI-MOSFETにおいてしきい値変動を発生させ、回路動作が不安定となる、基板浮遊効果の抑制が可能となる。また、通常のボディコンタクト構造に比べて、ソース領域とドレイン領域の対称性はなくなるものの、レイアウト面積が小さくなることが特徴である。また、三面にゲートを形成する構造により、短チャネル効果が抑制できるため、動作ゲート長を小さくすることができるとともに基板濃度を低減できるため、動作領域が低電界領域になり、さらに移動度を向上することができる。シリコンよりも熱膨張係数が小さい層間膜を用いることにより、チャンネルが発生する三面すべてで引っ張り応力を発生させることができる。また、同じ膜厚の層間膜を用いた場合、通常のシリコン基板よりも三面にゲートを形成する構造の方が大きな歪みを印加できる。これにより、シリコン基板に形成されるチャンネルに比べて移動度が向上する。

20

【産業上の利用可能性】

本発明によれば、歪みシリコン膜中にチャンネルが形成されるため、シリコン基板に形成されるチャンネルに比べて移動度が向上する。また、ダブルゲート構造により、短チャネル効果が抑制できるため、動作ゲート長を小さくすることができるとともに基板濃度を低減できるため、動作領域が低電界領域になり、さらに移動度を向上することができる。

30

Fig. 1(a)

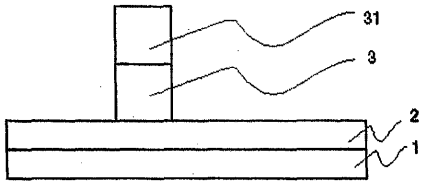


Fig. 1(b)

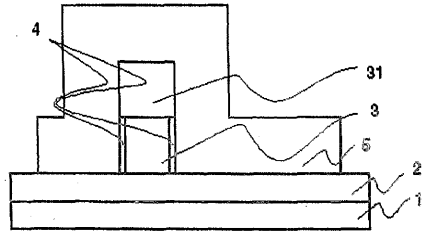


Fig. 1(c)

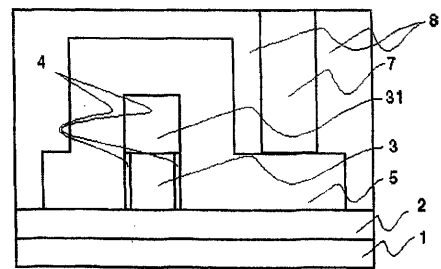


Fig. 3(a)

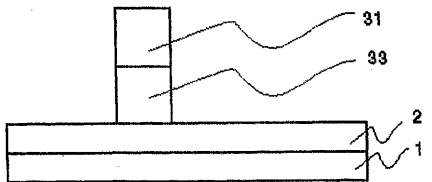


Fig. 3(b)

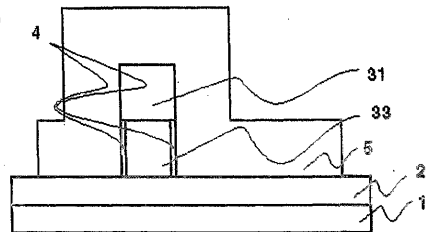


Fig. 3(c)

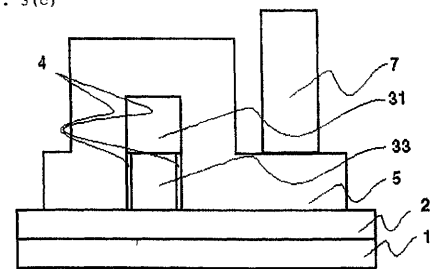


Fig. 2(a)

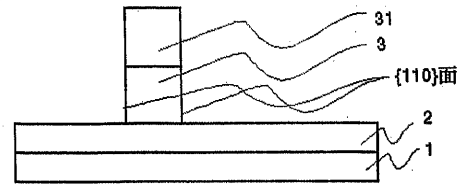


Fig. 2(b)

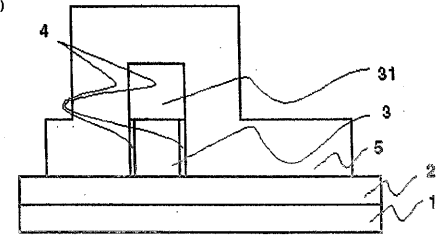


Fig. 2(c)

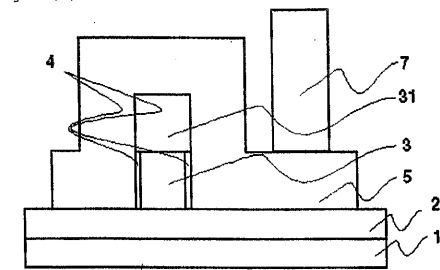


Fig. 4(a)

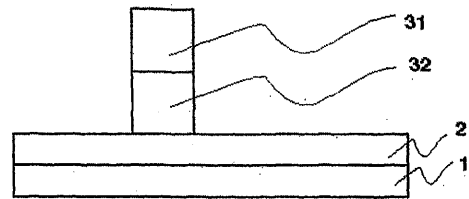


Fig. 4(b)

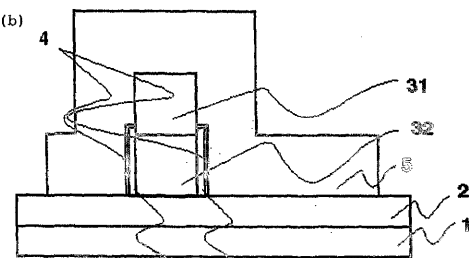


Fig. 4(c)

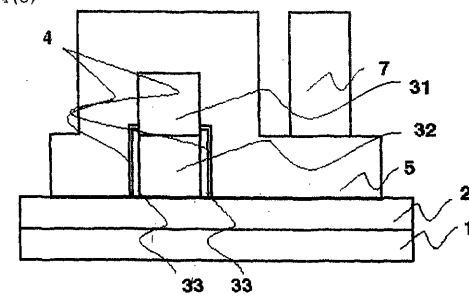


Fig. 5(a)

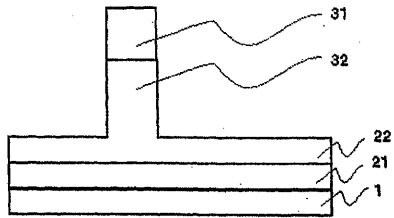


Fig. 5(b)

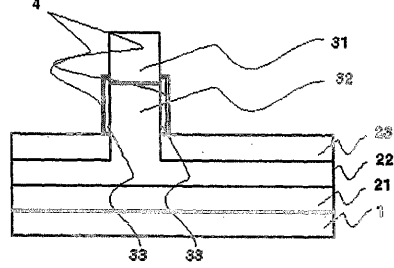


Fig. 5(c)

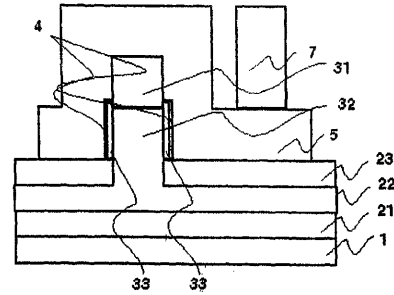


Fig. 6(a)

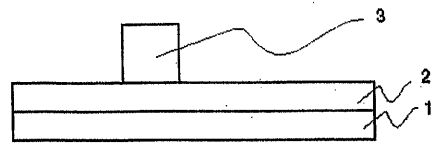


Fig. 6(b)

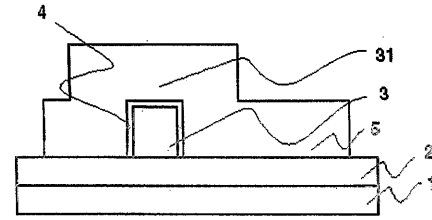
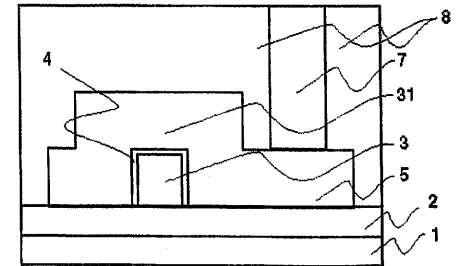
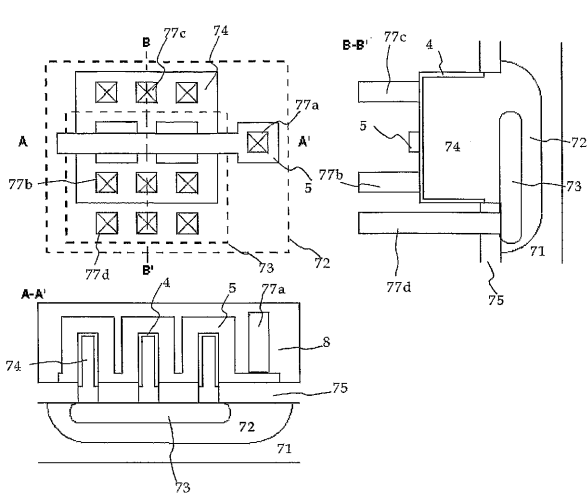


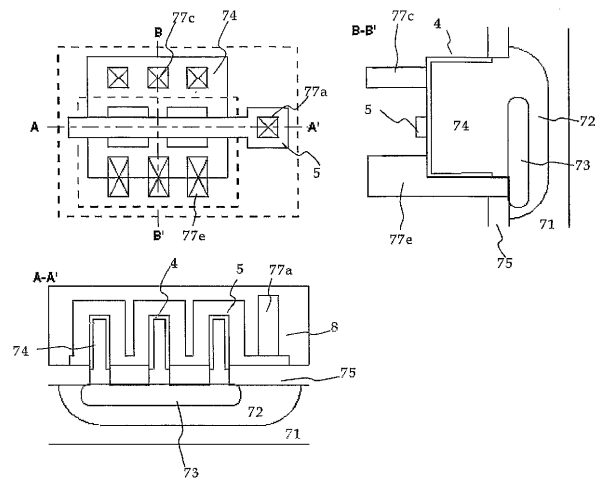
Fig. 6(c)



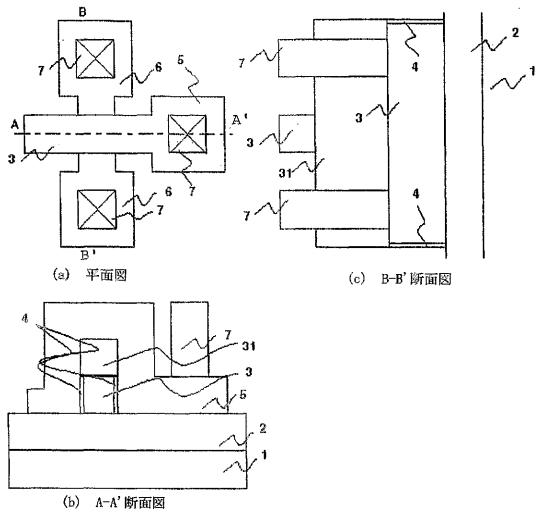
【 7 】
Fig.7



【 8 】
Fig.8



【 図 9 】
Fig. 9



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2004/005145
A. CLASSIFICATION OF SUBJECT MATTER Int.Cl. ⁷ H01L29/786, H01L21/336, H01L29/78 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int.Cl. ⁷ H01L29/786, H01L21/336, H01L29/78 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004 Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-198538 A (International Business Machines Corp.), 12 July, 2002 (12.07.02), Full text; Figs. 1 to 22 & EP 1202335 A2	1-13
Y	JP 10-209453 A (Toshiba Corp.), 07 August, 1998 (07.08.98), Full text; Figs. 1 to 2 (Family: none)	1-4, 9-13
Y	JP 8-264764 A (Toshiba Corp.), 11 October, 1996 (11.10.96), Full text; Figs. 1 to 30 (Family: none)	2
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 06 July, 2004 (06.07.04)		Date of mailing of the international search report 20 July, 2004 (20.07.04)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/005145

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	K. OTA et al., 'Novel Locally Strained Channel Technique for High Performance 55nm CMOS', INTERNATIONAL ELECTRON DEVICE MEETING 2002, 2002, December, pages 27 to 30	1-4,9-13
Y	JP 9-321307 A (Toshiba Corp.), 12 December, 1997 (12.12.97), Full text; Figs. 1 to 3 (Family: none)	5-8
Y	JP 2002-118255 A (Toshiba Corp.), 19 April, 2002 (19.04.02), Full text; Figs. 1 to 81 & US 2002/0011612 A1	5,7,11
Y	JP 2002-280562 A (Seiko Epson Corp.), 27 September, 2002 (27.09.02), Full text; Figs. 1 to 10 (Family: none)	1-4,9-13
Y	JP 3-288471 A (Fujitsu Ltd.), 18 December, 1991 (18.12.91), Full text; Fig. 1 (Family: none)	12

国際調査報告		国際出願番号 PCT/JP2004/005145	
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int. Cl ⁷ H01L 29/786, H01L 21/336, H01L 29/78			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int. Cl ⁷ H01L 29/786, H01L 21/336, H01L 29/78			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2004年 日本国登録実用新案公報 1994-2004年 日本国実用新案登録公報 1996-2004年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
Y	JP 2002-198538 A (インターナショナル・ビジネス・マシーニズ・コーポレーション) 2002.07.12, 全文, 第1-22図 &EP 1202335 A2	1-13	
Y	JP 10-209453 A (株式会社東芝) 1998.08.07, 全文, 第1-2図 (ファミリーなし)	1-4, 9-13	
Y	JP 8-264764 A (株式会社東芝) 1996.10.11, 全文, 第1-30図 (ファミリーなし)	2	
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献	
国際調査を完了した日 06.07.2004		国際調査報告の発送日 20.7.2004	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 宮崎 園子	4M 3123
		電話番号 03-3581-1101 内線 3462	

国際調査報告

国際出願番号 PCT/JP2004/005145

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	K. OTA et al, 'Novel Locally Strained Channel Technique for High Performance 55nm CMOS', INTERNATIONAL ELECTRON DEVICE MEETING 2002, 2002.12, p.27-30	1-4, 9-13
Y	JP 9-321307 A (株式会社東芝) 1997.12.12, 全文, 第1-3図 (ファミリーなし)	5-8
Y	JP 2002-118255 A (株式会社東芝) 2002.04.19, 全文, 第1-81図 &US 2002/0011612 A1	5, 7, 11
Y	JP 2002-280562 A (セイコーエプソン株式会社) 2002.09.27, 全文, 第1-10図 (ファミリーなし)	1-4, 9-13
Y	JP 3-288471 A (富士通株式会社) 1991.12.18, 全文, 第1図 (ファミリーなし)	12

フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
	H 0 1 L 29/78	3 0 1 X
	H 0 1 L 29/78	3 0 1 B
	H 0 1 L 29/78	3 0 1 H

(81) 指定国 AP(BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

Fターム(参考) 5F110 AA01 CC02 DD05 DD11 DD12 DD13 DD14 DD15 EE05 EE09
 EE14 EE30 EE32 EE38 EE41 EE45 EE48 FF02 FF04 FF23
 GG01 GG02 GG12 GG17 GG19 GG25 GG32 GG37 GG44 GG52
 GG57 GG58 HJ01 HJ13 HJ14 HJ23 HK05 HK21 HK34 HK40
 HK42 HM02 NN02 NN22 NN23 NN24 NN35 QQ08 QQ17 QQ19
 5F140 AA01 AA21 AB04 AC28 AC36 BA01 BA05 BA20 BB05 BC13
 BC15 BC17 BD05 BD09 BE06 BE07 BE08 BF04 BF11 BF18
 BF42 BF44 BF60 BG08 BG14 BG28 BG40 BG52 BG53 BH06
 BH35 BH43 BJ08 BK02 BK10 BK13 BK14 BK18 BK21 BK29
 BK34 BK39 CB04 CB08 CC03 CC04 CC08 CC09 CC12 CE05
 CF04

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。