(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第4043060号
(P4043060)
(45)発行日　平成20年2月6日(2008.2.6)　(24)登録日　平成19年11月22日(2007.11.22)

(51)Int.Cl.　F I
G11C 11/4091 (2006.01)　G11C 11/34 353A

請求項の数 5 (全 18 頁)

(21)出願番号　特願平8-154512
(22)出願日　平成8年6月14日(1996.6.14)
(65)公開番号　特開平10-3789
(43)公開日　平成10年1月6日(1998.1.6)
審査請求日　平成15年5月27日(2003.5.27)

前置審査

(73)特許権者　000005223
富士通株式会社
神奈川県川崎市中原区上小田中４丁目１番１号
(74)代理人　100077517
弁理士　石田　敬
(74)代理人　100113826
弁理士　倉地　保幸
(74)代理人　100082898
弁理士　西山　雅也
(72)発明者　齋藤　美寿
神奈川県川崎市中原区上小田中４丁目１番１号　富士通株式会社内

審査官　堀田　和義

最終頁に続く

(54)【発明の名称】トランジスタのしきい値補正回路及び半導体記憶装置並びにしきい値補正方法

(57)【特許請求の範囲】
【請求項１】
トランジスタのしきい値を補正する回路であって、
入力端子と、
該入力端子と前記トランジスタのゲートの間に接続されるキャパシタと、
前記トランジスタの一端に接続された電流源と、
該電流源からの電流を前記トランジスタを通して流し込む電流流入端子と、
前記トランジスタのしきい値補正時に第１の参照電圧が入力される参照用端子と、
前記トランジスタの一端とゲートの間に接続された第１のスイッチング素子と、
前記参照用端子と前記入力端子の間に接続された第２のスイッチング素子とを備え、
前記第１及び第２のスイッチング素子がそれぞれトランジスタで構成され、前記電流源が前記しきい値補正対象のトランジスタと反対の導電型の２つの直列接続されたトランジスタで構成され、
前記第１のスイッチング素子をオンにして前記トランジスタをダイオード接続させ、前記第２のスイッチング素子をオンにして前記第１の参照電圧を前記入力端子に印加すると共に第２の参照電圧を前記電流流入端子に印加し、電荷を前記キャパシタに蓄積させ、前記第２のスイッチング素子をオフする前に、前記第１のスイッチング素子をオフにし、且つ、
前記第１のスイッチング素子をオンにした後オフにする前に、前記２つの直列接続されたトランジスタのうち前記しきい値補正対象のトランジスタに近い側のトランジスタを遠

い側のトランジスタよりも早めにオフにすることを特徴とするしきい値補正回路。
【請求項２】
請求項１に記載のしきい値補正回路において、前記キャパシタの容量は、前記トランジスタのゲート容量に比べて大きい容量であることを特徴とするしきい値補正回路。
【請求項３】
１対の相補ビット線の間に接続されたフリップフロップ型のセンスアンプと、
該センスアンプのフリップフロップを構成するしきい値補正対象の１対のトランジスタの各ドレインに電流を供給する電流源とを具備し、
前記センスアンプは、
前記しきい値補正対象の１対のトランジスタの各ゲートとそれぞれ対応するドレインとの間に接続された１対のダイオード接続用トランジスタと、
前記しきい値補正対象の１対のトランジスタの各ドレインと前記１対の相補ビット線との間に接続され、しきい値補正時にそれぞれオフにされる１対のトランスファゲート用トランジスタと、
前記しきい値補正対象の１対のトランジスタの各ゲートに各々の一端が接続され、各々の他端はそれぞれ対応するしきい値補正対象のトランジスタのドレインがつながっているビット線と反対側のビット線に接続されている１対のキャパシタとを有し、
前記電流源は、
トランジスタで構成される第１の電流源と、
該第１の電流源と前記しきい値補正対象の１対のトランジスタの各ドレインとの間に接続された１対のトランジスタで構成される第２の電流源とを有し、
前記１対のダイオード接続用トランジスタは、しきい値補正時にそれぞれオンされて対応するトランジスタをダイオード接続し、該ダイオード接続用トランジスタをオンにした後オフにする前に、前記第２の電流源を構成する１対のトランジスタを前記第１の電流源を構成するトランジスタよりも早めにオフすることを特徴とする半導体記憶装置。
【請求項４】
請求項３に記載の半導体記憶装置において、
アドレス信号に応答して活性化され、これによりセルデータの読み出し／書き込み又はリフレッシュが行われるセルアレイを選択する第１のセルアレイ選択デコーダと、
前記アドレス信号と相補をなすアドレス信号に応答して活性化され、これによりしきい値補正が行われるセルアレイを選択する第２のセルアレイ選択デコーダと、
対応するセルアレイでセルデータの読み出し／書き込み又はリフレッシュが行われる場合に活性化される第１のセンスアンプドライバと、
対応するセルアレイでしきい値補正が行われる場合に活性化される第２のセンスアンプドライバとを備え、
前記第２のセルアレイ選択デコーダによってしきい値補正が行われるセルアレイが選択された時に、当該セルアレイでワード線が活性化されないようにして、セルデータの読み出し／書き込み又はリフレッシュが行われているセルアレイとは異なるセルアレイにおいて当該しきい値補正を行うことを特徴とする半導体記憶装置。
【請求項５】
請求項４に記載の半導体記憶装置において、
前記セルデータの読み出し／書き込み又はリフレッシュが行われているセルアレイとは異なるセルアレイにおいて前記しきい値補正を行うか行わないかのいずれかを外部からのコマンドにより選択することを特徴とする半導体記憶装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、半導体回路に用いられるトランジスタのしきい値を補正する技術に係り、特に、しきい値のばらつきを補正するのに有用な回路とそれを用いたセンスアンプの構成に関する。

近年、半導体素子の微細化に伴い、短チャネル効果や狭チャネル効果などが現れている。短チャネル効果はゲート長が短くなるとしきい値が小さくなってしまう現象であり、一方、狭チャネル効果はゲート幅が小さくなるとしきい値が大きくなってしまう現象である。このため、製造ばらつきなどでゲート長やゲート幅がばらつくと、結果としてしきい値がばらつくことになる。また、チャネルを形成するためのイオン注入の際の自然な分布によっても避けることのできないしきい値ばらつきが生じてしまうことが報告されている。今後さらに素子の微細化が進めば、このようなばらつきを抑えることが難しくなってくると考えられる。そこで、このようなばらつきを考慮した回路設計技術が要求されている。

【０００２】

【従来の技術】

従来、しきい値のばらつきを考慮した設計技術のうち、しきい値を補正する方法がある。一つの方式としては、いわゆるウエルドライブ方式が知られており、これは、半導体基板内のウエルの電位を変化させることで実効的なしきい値を変化させる方法である。この方法は、例えばチップ全体あるいはチップ内の比較的広い領域においてしきい値が同じであるが、ロット間にしきい値のばらつきがあって、そのばらつきのためにシステムが目標の仕様で動作しないといった場合には有効な方法である。しかし、チップ内である領域のしきい値は高めで、別の領域ではしきい値が低いと、領域毎の動作スピードが異なり、全体で見るとスキューの遅れが出てしまい、回路が正常に動作しないといった不都合がある。

【０００３】

このように従来の方法は、チップ間でしきい値がばらつく場合や、チップ内でのしきい値が比較的広い領域毎にばらつく場合には有効であるが、ばらつきの形態はこれに限るものではない。例えば、近接したトランジスタ間でのばらつきも無視できないような状況が今後益々増えていくと考えられる。それは、上述したようにプロセス上不可避的な状況になってきているからである。

【０００４】

ここに、近接したトランジスタ間のしきい値のばらつきにより、最も大きな影響を受ける回路としてフリップフロップ型のセンスアンプがある。そして、かかる影響を極力無くすための方法として、ＤＲＡＭ用のセンスアンプが幾つか提案されている。

例えば、一つの方式として、センスアンプに、フリップフロップを構成するトランジスタのしきい値をセンス動作時に補正する機能を持たせたものがある。

【０００５】

また、他の方式として、センス動作時としきい値補正時とでトランジスタのソースとドレインの交換（つまり接続替え）を行うようにしたものもある。

さらに、ＤＲＡＭのセルデータを読み出す方式としてプリチャージ方式が広く採用されているが、従来の方式の中にはこのプリチャージをＶｃｃ（電源電圧）で行うものもある。

【０００６】

【発明が解決しようとする課題】

上述した従来技術のうち、センス動作時にしきい値を補正する機能をセンスアンプに持たせた方式では、センス動作に加えてしきい値補正といった付加的な動作を行わせる必要があるため、近年益々必要とされる高速動作には不向きであるといった課題があった。

【０００７】

また、センス動作時としきい値補正時とでトランジスタのソースとドレインの交換を行う方式では、トランジスタのしきい値に方向により違いがある場合には完全に補正をすることができないといった課題があった。

また、近年はセンスアンプも周辺回路をＣＭＯＳで構成するためにＶｃｃ／２プリチャージ方式が主流となってきている。従って、ＶｃｃプリチャージＶｃｃ方式を採用しているセンスアンプもこのＶｃｃ／２プリチャージに対応できるようにするのが望ましい。

【０００８】

本発明の主な目的は、上述した従来技術における課題に鑑み、トランジスタの微細化に伴うしきい値のばらつきをトランジスタが近接している場合も含めて補正することができる

しきい値補正回路を提供することにある。
また、本発明の他の目的は、上記しきい値補正回路をセンスアンプに適用することで、センス動作時にしきい値を補正する必要を無くし、ひいては高速動作に適応させることができるセンスアンプを提供することにある。
【０００９】
さらに、本発明の他の目的は、上記しきい値補正回路をセンスアンプに適用することで、センス動作時としきい値補正時とでトランジスタのソースとドレインの交換を行う必要を無くし、ひいては完全なしきい値補正を実現することができるセンスアンプを提供することにある。
さらに、本発明の他の目的は、Ｖｃｃ／２プリチャージ方式に対応したセンスアンプを提供することにある。
【００１０】
【課題を解決するための手段】
本発明の第１の形態によれば、トランジスタのしきい値を補正する回路であって、入力端子と、該入力端子と前記トランジスタのゲートの間に接続されるキャパシタと、前記トランジスタの一端に接続された電流源と、該電流源からの電流を前記トランジスタを通して流し込む電流流入端子と、前記トランジスタのしきい値補正時に第１の参照電圧が入力される参照用端子と、前記トランジスタの一端とゲートの間に接続された第１のスイッチング素子と、前記参照用端子と前記入力端子の間に接続された第２のスイッチング素子とを備え、前記第１及び第２のスイッチング素子がそれぞれトランジスタで構成され、前記電流源が前記しきい値補正対象のトランジスタと反対の導電型の２つの直列接続されたトランジスタで構成され、前記第１のスイッチング素子をオンにして前記トランジスタをダイオード接続させ、前記第２のスイッチング素子をオンにして前記第１の参照電圧を前記入力端子に印加すると共に第２の参照電圧を前記電流流入端子に印加し、電荷を前記キャパシタに蓄積させ、前記第２のスイッチング素子をオフする前に、前記第１のスイッチング素子をオフにし、且つ、前記第１のスイッチング素子をオンにした後オフにする前に、前記２つの直列接続されたトランジスタのうち前記しきい値補正対象のトランジスタに近い側のトランジスタを遠い側のトランジスタよりも早めにオフにすることを特徴とするしきい値補正回路が提供される。
また、本発明の第２の形態によれば、１対の相補ビット線の間に接続されたフリップフロップ型のセンスアンプと、該センスアンプのフリップフロップを構成するしきい値補正対象の１対のトランジスタの各ドレインに電流を供給する電流源とを具備し、前記センスアンプは、前記しきい値補正対象の１対のトランジスタの各ゲートとそれぞれ対応するドレインとの間に接続された１対のダイオード接続用トランジスタと、前記しきい値補正対象の１対のトランジスタの各ドレインと前記１対の相補ビット線との間に接続され、しきい値補正時にそれぞれオフにされる１対のトランスファゲート用トランジスタと、前記しきい値補正対象の１対のトランジスタの各ゲートに各々の一端が接続され、各々の他端はそれぞれ対応するしきい値補正対象のトランジスタのドレインがつながっているビット線と反対側のビット線に接続されている１対のキャパシタとを有し、前記電流源は、トランジスタで構成される第１の電流源と、該第１の電流源と前記しきい値補正対象の１対のトランジスタの各ドレインとの間に接続された１対のトランジスタで構成される第２の電流源とを有し、前記１対のダイオード接続用トランジスタは、しきい値補正時にそれぞれオンされて対応するトランジスタをダイオード接続し、該ダイオード接続用トランジスタをオンにした後オフにする前に、前記第２の電流源を構成する１対のトランジスタを前記第１の電流源を構成するトランジスタよりも早めにオフすることを特徴とする半導体記憶装置が提供される。
図１には本発明に係るトランジスタのしきい値補正回路の原理構成が模式的に示される。
図中、Ｑはしきい値補正対象のトランジスタを示し、このトランジスタＱの一端には電流源ＣＩが接続され、トランジスタＱの他端は、電流源ＣＩからの電流をトランジスタＱ

を通して流し込む電流流入端子Ａを構成している。この端子Ａには、トランジスタＱのしきい値補正時に参照電圧V_{GND}が印加されるようになっている。また、ＩＮはトランジスタＱの通常動作時の入力端子、Ｂはトランジスタのしきい値補正時に参照電圧V_{REF}が入力される参照用端子を示す。

【００１１】

また、トランジスタＱのゲートと入力端子ＩＮの間には、トランジスタＱのゲート容量に比べて十分に大きい容量を有するキャパシタＣが接続されている。さらに、トランジスタＱの一端とゲートの間にスイッチング素子Ｓ１が接続され、参照用端子Ｂと入力端子ＩＮの間にスイッチング素子Ｓ２が接続されている。スイッチング素子Ｓ１がオフの時には、トランジスタＱのゲートとキャパシタＣの間は「フローティング」ノードになり、いわゆるフローティングゲートとして働く。

【００１２】

かかる構成において、トランジスタＱのしきい値を補正する時、先ず、スイッチング素子Ｓ１をオンにしてトランジスタＱをダイオード接続させ、電流源ＣＩとフローティングノードを接続する。これによって、トランジスタＱのフローティングゲート部、すなわちキャパシタＣの一端は、端子Ａの電位（V_{GND}）に対してしきい値電圧（V_{TH}）分だけ充電される。またこの時、トランジスタＱの電流流入端子Ａに参照電圧V_{GND}を印加すると共に、スイッチング素子Ｓ２をオンにして参照用端子Ｂからの参照電圧V_{REF}を入力端子ＩＮ、すなわちキャパシタＣの他端に印加する。

【００１３】

これによって、キャパシタＣに参照電圧V_{REF}とトランジスタＱのフローティングゲート部の電位に依存した電荷（つまり、トランジスタＱの補正後のしきい値V_{TH}に依存した電荷）を蓄積することができる。この後、スイッチング素子Ｓ１をオフにすることで、フローティングゲート部は本来のフローティングゲートとなる。キャパシタＣに蓄積される電荷のV_{REF}、V_{TH}依存性は、補正後に端子ＩＮから見たしきい値が$V_{REF}-V_{GND}$となるようなものである。

【００１４】

このように、入力端子ＩＮに印加する電圧V_{IN}（つまり通常動作時のゲート電圧）に対するトランジスタＱのしきい値V_{TH}は、参照電圧V_{REF}及びV_{GND}を適宜選定することで任意に決定することができる。この時、トランジスタＱのしきい値はダイオード接続時に補正されているので、通常動作時での入力電圧V_{IN}に対するトランジスタＱのしきい値V_{TH}は、（補正前の）初期のしきい値には依存しないようにすることができる。つまり、トランジスタＱのしきい値V_{TH}を初期のしきい値にかかわらず所望の値に制御することが可能となる。

【００１５】

従って、本発明に係るしきい値補正回路によれば、トランジスタの微細化に伴うしきい値のばらつきをトランジスタが近接している場合も含めて補正することができる。

なお、本発明の他の構成上の特徴及び作用の詳細については、添付図面を参照しながら以下に記述される実施形態を用いて説明する。

【００１６】

【発明の実施の形態】

図２に本発明の第１の実施形態に係るしきい値補正回路の構成が示される。

図１に示す原理構成との対比において、しきい値補正対象のトランジスタＱはｎＭＯＳトランジスタＱＸに、キャパシタＣはキャパシタＣＸに、スイッチング素子Ｓ１はｎＭＯＳトランジスタＱ１に、スイッチング素子Ｓ２はｎＭＯＳトランジスタＱ２に、電流源ＣＩはｐＭＯＳトランジスタＱ３にそれぞれ対応する。本実施形態において、キャパシタＣＸの容量は２５ｆＦに設定され、トランジスタＱＸのゲート幅（Ｗ）とゲート長（Ｌ）の比（Ｗ／Ｌ）は２．２５／０．２２（単位はμｍ）に設定され、トランジスタＱ３のＷ／Ｌは２．５／０．４に設定されている。キャパシタＣＸは、通常のＤＲＡＭのセルキャパシタと同等のプロセスで形成してもよいし、あるいは、通常の平行平板型キャパシタの形態

で形成してもよい。また、トランジスタＱＸのしきい値V_{THN}は０．２７Ｖに設定されている。なお、本実施形態でのしきい値（V_{THN}）と各トランジスタ及びキャパシタのサイズについては、あくまでも一例であり、これに限定されるものではない。

【００１７】

次に、本実施形態の回路の動作（トランジスタＱＸのしきい値（V_{THN}）補正動作）について、動作波形の一例を示す図３を参照しながら説明する。なお、電源電圧Ｖｃｃは１Ｖで、参照電圧はそれぞれV_{GND}＝０．３Ｖ、V_{REF}＝０．５Ｖとする。後で他の値の場合も示すが、この値も一例にすぎない。

先ず、トランジスタＱ１及びＱ２をオンにするためにそれぞれゲート制御信号ＳＷ１及びＳＷ２を“Ｈ”レベルにする（図３の例では既に“Ｈ”レベルとなっている）。また、電流源を構成するトランジスタＱ３のゲートに制御信号ＣＳ１として０．５Ｖを印加する。なお、この電圧（０．５Ｖ）はこれに限るものではなく、トランジスタＱ３が飽和動作に近い状態になるような電圧であれば十分である。

【００１８】

トランジスタＱ１のオンによりドレイン・ゲート間がダイオード接続されたトランジスタＱＸのフローティングノードＦＬＴの電位は、電流源Ｑ３からの電流により徐々に上昇する。この電位が安定になったところで（図示の例では０．７Ｖ前後）、制御信号ＳＷ１及びＳＷ２を“Ｌ”レベルにし、トランジスタＱ１及びＱ２をオフにする。

【００１９】

これによって、フローティングノードＦＬＴに、トランジスタＱＸのしきい値V_{THN}に依存した電荷が蓄積される。この時のしきい値V_{THN}は、トランジスタＱＸのバックゲート（Ｖｓｓ）を０．５Ｖとした時に約０．２７Ｖとなる（ここでは、Ｖｃｃ／２プリチャージ方式に対応できるよう０．５Ｖとしている）。なお、バックゲートをグランドレベルとした場合には、しきい値V_{THN}は約０．１４Ｖとなる。従って、値は異なるが、所望のしきい値V_{THN}に制御できることに変わりはない。

【００２０】

図４には本実施形態の回路によるしきい値制御の様子が示される。ここでも、トランジスタＱＸのバックゲートを０．５Ｖとした時のしきい値V_{THN}を示す。図４に示すように、しきい値制御時に印加する参照電圧V_{GND}及びV_{REF}の値に応じてトランジスタＱＸのしきい値V_{THN}は任意に制御できることがわかる。ここでは０．５Ｖで示しているが、０Ｖでも同様である。

【００２１】

従って、図２に示すような構成により既にしきい値が作り込みによって決まってしまっているトランジスタＱＸのしきい値V_{THN}を所望の値に制御することができる。

この結果は、トランジスタＱＸの初めの作り込まれたしきい値（初期のしきい値）には依存しない。その結果の一例を図５に示す。

【００２２】

図５において、横軸はトランジスタＱＸの初期のしきい値を表しており、縦軸は制御された後（つまり補正後）のしきい値を表している。ここでも、参照電圧はそれぞれV_{GND}＝０．３Ｖ、V_{REF}＝０．５Ｖである。図５から明らかなように、初期のしきい値のばらつきにかかわらず、補正後のしきい値をほぼ一定にすることができる。具体的には、初期のしきい値の４００ｍＶのばらつきに対して補正後のしきい値のばらつきを約８．８ｍＶに抑えることができる。

【００２３】

このように本実施形態によれば、トランジスタＱＸのしきい値のばらつきを抑制すると共に、参照電圧V_{GND}及びV_{REF}の値に応じてトランジスタＱＸのしきい値V_{THN}を所望の値に制御することができる。

なお、本実施形態ではｎＭＯＳトランジスタＱＸのしきい値を補正するようにしたが、これは、しきい値補正対象のトランジスタＱＸと電流源としてのトランジスタＱ３の導電型をそれぞれ互いに反対の導電型とすることで、ｐＭＯＳトランジスタのしきい値を補正す

ることも可能である。

【００２４】

図６に本発明の第２の実施形態に係るしきい値補正回路の構成が示される。

上述した第１の実施形態（図２参照）では、電流源を構成しているｐＭＯＳトランジスタＱ３のしきい値がばらついた場合、それに応じてしきい値補正対象のトランジスタＱＸのしきい値もばらつく可能性がある。

この第２の実施形態は、かかる不都合を解消するためのものである。このために、ｐＭＯＳトランジスタＱ３と直列に、しきい値補正対象のトランジスタＱＸとは反対側にもう一つの電流源としてのｐＭＯＳトランジスタＱ４が接続されている。他の回路構成については、上述した第１の実施形態（図２参照）と同じである。

【００２５】

本実施形態では、制御信号ＣＳ１によるトランジスタＱ３のオフ動作と制御信号ＣＳ２によるトランジスタＱ４のオフ動作に時間差を設定している。これによって、ｐＭＯＳトランジスタＱ３のしきい値V_{THP}がばらついた場合でも、トランジスタＱＸのしきい値V_{THN}のばらつきを抑制し、当該しきい値を所望の値に制御することができる。

【００２６】

図７に動作波形の一例を示す。図７の例では、本実施形態の回路の動作特性の主要な部分をわかり易くするため、トランジスタＱＸのしきい値V_{THN}は等しい場合で、トランジスタＱ３のしきい値V_{THP}が異なる時の補正動作の様子を示している。

図７に示されるように、制御信号ＣＳ１を“Ｈ”レベルにしてトランジスタＱ３をオフにした後、しばらくの間、制御信号ＣＳ２を“Ｌ”レベルのままにしてトランジスタＱ４をオンにしておくことにより、トランジスタＱＸのフローティングゲート部の電位がトランジスタＱ３のしきい値V_{THP}に依らず擬似安定な電位に収束していくことがわかる。この後で、制御信号ＳＷ１を“Ｌ”レベルにしてトランジスタＱ１をオフにすれば、トランジスタＱ３のしきい値V_{THP}に依存しないしきい値補正電荷がフローティングゲート部に蓄えられることになる。

【００２７】

これ以外の動作とそれに基づく効果については、上述した第１の実施形態（図２参照）と同様である。

図８には、本実施形態に係る回路による補正後のトランジスタＱＸのしきい値V_{THN}とトランジスタＱ３のしきい値V_{THP}との関係が示される。図８から分かるように、ほぼ－０．３０Ｖまでのしきい値V_{THP}の変動に対して、トランジスタＱＸのしきい値V_{THN}を安定して制御することができる。

【００２８】

このように本実施形態によれば、電流源を構成しているｐＭＯＳトランジスタのしきい値がばらついた場合でも、しきい値補正対象のトランジスタＱＸのしきい値V_{THN}のばらつきを抑制して所望の値に制御することが可能となる。

また、上述した第１の実施形態（図２参照）と同様に、しきい値補正対象のトランジスタＱＸと電流源としてのトランジスタＱ３及びＱ４の導電型をそれぞれ互いに反対の導電型とすることで、ｐＭＯＳトランジスタのしきい値を補正する回路を実現することも可能である。

図９に本発明の第３の実施形態に係るしきい値補正回路を用いたセンスアンプの構成が示される。

【００２９】

図中、ＳＡはセンスアンプ（Ｓ／Ａ）を示し、基本的な構成として、２つのｎＭＯＳトランジスタＱ１１及びＱ１２と２つのｐＭＯＳトランジスタＱ１３及びＱ１４がフリップフロップを構成するように接続されている。また、トランジスタＱ１１及びＱ１２の各ゲートとそれぞれ対応するドレインとの間にはｎＭＯＳトランジスタＱ１５及びＱ１６が接続されている。これらのトランジスタＱ１５及びＱ１６は、しきい値補正時にそれぞれオンにされて、対応するトランジスタＱ１１及びＱ１２をダイオード接続させる。また、トラ

ンジスタＱ１１及びＱ１２の各ドレインと１対の相補ビット線ＢＬ及びＢＬＸとの間にはｎＭＯＳトランジスタＱ１７及びＱ１８が接続されている。これらのトランジスタＱ１７及びＱ１８は、しきい値補正時にそれぞれオフにされる。さらに、トランジスタＱ１１及びＱ１２の各ゲートと相補ビット線ＢＬＸ及びＢＬとの間にはそれぞれキャパシタＣ１及びＣ２が接続されている。

【００３０】

また、ＣＣＳはセンスアンプＳＡのフリップフロップを構成するｎＭＯＳトランジスタＱ１１及びＱ１２の各ドレインに電流を供給するための電流源を示す。この電流源ＣＣＳは、他のセンスアンプ（Ｓ／Ａ）と共用されるように設けられた電流源としてのｐＭＯＳトランジスタＱ２３と、このトランジスタＱ２３のドレインとｎＭＯＳトランジスタＱ１１及びＱ１２の各ドレインとの間に接続された１対のｐＭＯＳトランジスタＱ２１及びＱ２２（電流源）とを有している。

【００３１】

また、ＰＣはセンスアンプＳＡの活性化に先立ってビット線ＢＬ及びＢＬＸを電源電圧Ｖｃｃの１／２の電位にプリチャージする回路を示す。このプリチャージ回路ＰＣは、ビット線ＢＬ及びＢＬＸの間に接続されたｎＭＯＳトランジスタＱ３０と、同じくビット線ＢＬ及びＢＬＸの間に直列に接続された２つのｎＭＯＳトランジスタＱ３１及びＱ３２とを有している。トランジスタＱ３１及びＱ３２の接続点はＶｃｃ／２の電源ラインに接続されている。なお、Ｑ３３及びＱ３４は、センスアンプ側のビット線ＢＬ及びＢＬＸをセルアレイ（図示せず）側の対応するビット線に接続するためのｎＭＯＳトランジスタを示す。

【００３２】

図１０には本実施形態に係るセンスアンプの動作波形の一例が示される。

基本的な動作については、上述した第１又は第２の実施形態と同様である。以下、本実施形態に特有の動作について説明する。なお、回路の各部における信号の電圧レベルはそれぞれスケール的に異なっていることを考慮して、見易くするために図１０の動作波形図を（ａ）及び（ｂ）の２つに分けてある。また、t_C はしきい値補正動作期間、t_S はセンス動作期間を表している。

【００３３】

先ず、プリチャージ信号ＰＲを“Ｈ”レベルにし、また制御信号ＳＮＬ及びＳＰＬをＶｃｃ／２にしてセンスアンプＳＡを（ノードＮ１及びＮ２も含めて）Ｖｃｃ／２にプリチャージする。また、制御信号ＤＩＯを“Ｈ”レベルにしてトランジスタＱ１５及びＱ１６をオンにし、しきい値補正対象のトランジスタＱ１１及びＱ１２をそれぞれダイオード接続させる。

【００３４】

次に、制御信号ＣＯＮを“Ｌ”レベルにしてトランジスタＱ１７及びＱ１８をオフにし、しきい値補正と関係ない回路部分（すなわち、フリップフロップを構成するｐＭＯＳトランジスタＱ１３及びＱ１４）を切り離す。この時、キャパシタＣ１及びＣ２の各々の他端、すなわちビット線ＢＬＸ及びＢＬにつながる側のノードは、Ｖｃｃ／２の電位に保持されていることになる。このＶｃｃ／２は、図１に示した参照電圧 V_{REF} に相当する。

【００３５】

次に、制御信号ＳＮＬをＶｃｃ／２とＶｓｓの間の電位（図示の例では約０．３３Ｖ）にする。この電位は、図１に示した参照電圧 V_{GND} に相当する。

次いで、制御信号ＣＳ２としてＶｃｃ／２（＝０．５Ｖ）を印加し、トランジスタＱ２３をオンにする。なお、この電圧（０．５Ｖ）はこれに限るものではなく、トランジスタＱ２３が飽和動作に近い状態になるような電圧であれば十分である。さらに、制御信号ＣＳ１としてＶｃｃ／２を印加し、トランジスタＱ２１及びＱ２２をオンにする。同様に、この電圧についても、トランジスタＱ２１及びＱ２２が飽和動作に近い状態になるような電圧であれば十分である。

【００３６】

これによって、しきい値補正動作が開始される。つまり、ノードＮ１及びＮ２は、トランジスタＱ１１及びＱ１２の各々のしきい値（V_{THN}）が補正されるように充電される。
ある程度補正がなされた時点で、制御信号ＣＳ１としてＶｃｃを印加すると、トランジスタＱ２１及びＱ２２のしきい値にばらつきがある場合の補正動作として、ノードＮ１及びＮ２は擬似安定の状態まで変化する。かかる動作形態は、第２の実施形態（図６参照）で説明した動作と同じである。これによって、定電流源を構成するｐＭＯＳトランジスタＱ２１及びＱ２２のしきい値のばらつきを抑えることができる。

【００３７】

補正が十分になされた時点で、制御信号ＤＩＯを“Ｌ”レベルにしてトランジスタＱ１５及びＱ１６をオフにする。これによって、補正された情報がキャパシタＣ１及びＣ２の各々の一端（ノードＮ１及びＮ２）に保持された状態となる。この結果、トランジスタＱ１１及びＱ１２の各々のしきい値（V_{THN}）を一つの値に揃えることができ、センスアンプＳＡのしきい値のアンバランスによる誤動作を防ぐことができる。

【００３８】

図１０において、しきい値補正動作期間t_Cに続くセンス動作期間t_Sに注目すると、補正直後のトランジスタＱ１１及びＱ１２の各々のしきい値の差は、約２３０ｍＶである。ビット線ＢＬ及びＢＬＸにセルから出てきた電荷により生じる電圧差はわずか７０ｍＶであるにもかかわらず、この２３０ｍＶを補正して正常な増幅動作をしていることがわかる。

【００３９】

また、図１０に示すように、しきい値補正時の情報はノードＮ１及びＮ２がフローティングノードとなってこれらのノードに蓄えられているので、センス動作毎にしきい値を補正する必要はない。
ただし、このセンスアンプを動作させるに際しては、ｎＭＯＳトランジスタＱ１１及びＱ１２だけをしきい値補正しているので、センス動作は必ずｎＭＯＳトランジスタ側から行わなくてはならない。

【００４０】

次に、本実施形態に係るセンスアンプの利点について、図１１を参照しながら説明する。図１１に示されるように、この補正方式ではトランジスタＱ１１及びＱ１２の各々のしきい値を一つの値に揃えることが同じ補正動作条件でできるので、センスアンプの動作スピードを初期の（つまり補正前の）しきい値にかかわらず等しくすることができる。このことは、異なるセンスアンプ同士のスピード差がなくなることを意味するので、動作のタイミングを完全に一致させることができる。このため、センスアンプ動作の場合、最悪の動作スピードのセンスアンプのセンス動作の終了を待つ必要がなくなるため、通常より高速なセンス動作のサイクル時間を得ることができる。また、しきい値は所望の値に制御できるので、例えばしきい値にばらつきが無い場合でも、製造時には高いしきい値であってもこの方式によりしきい値を下げることができるので、より高速なセンス動作を実現することが可能となる。

【００４１】

センスアンプのリフレッシュに関しては、ノードＮ１及びＮ２に保持された情報（つまり電荷）は素子のリーク等により減衰していくため、あるサイクル毎にリフレッシュを行う必要がある。例えば本実施形態では、リークによりノードＮ１及びＮ２の電位が２０ｍＶ減衰する時間は８５ｍｓで、しかも最悪のケースで３４０ｍｓである。従って、この時間内にリフレッシュを行う必要がある。

【００４２】

この時間は、実はセルのリフレッシュを行っている場所と異なる場所でリフレッシュ動作をすれば間に合う時間である。従って、センスアンプのリフレッシュは、セルのリフレッシュ動作と同時に並列的に行うことができるため、従来技術におけるセンスアンプのしきい値補正の際の問題点であった、補正動作に伴う時間の損失を無くすことができる。

【００４３】

図１２には本発明を適用したセンスアンプを駆動するための第１の構成例が概略的に示される。
図示の例では、或るセルに対して読み出し／書き込み又はリフレッシュ（セルフリフレッシュも含む）が行われる時に当該セルが含まれるセルアレイと異なるセルアレイにおいてしきい値補正が行われる構成となっている。

【００４４】

また、図示の例ではロウアドレスによりしきい値補正が行われるセルアレイの選択を行っているが、これは、コラムアドレスを使う構成にしてもよい。
また、図示の例ではリフレッシュ信号ＲＥＦに応答する通常リフレッシュ用カウンタとセルフリフレッシュ信号ＳＬＦに応答するセルフリフレッシュ用カウンタを別々に備えた構成となっているが、これに限らず、例えば図１３に示されるように、１つのリフレッシュカウンタにリフレッシュ信号ＲＥＦとセルフリフレッシュ信号ＳＬＦを入力することで、通常リフレッシュ用とセルフリフレッシュ用を兼用するようにしてもよい。

【００４５】

図１２の構成において、複数のブロック（図示の例ではＡとＢ）に分割されたメモリに対して読み出し／書き込み動作が生じた時、アドレスＡＤＤがマルチプレクサを介してロウアドレスバッファに入力され、選択セルをアクセスするために、複数の相補のロウアドレス信号が出力され、各選択デコーダに入力される。この時、例えばアドレス信号ａに注目すると、このアドレス信号ａに応答する正論理用のセルアレイ／ブロック選択デコーダＡから、このアドレス信号ａに対応するブロック内のセルアレイを選択するためのセルアレイ選択信号ｐｄｅｃが出力される。これによって、選択されたセルアレイ中の１本のワード線が選択（活性化）され、通常のセルデータの読み出し／書き込みが行われる。

【００４６】

また、このアドレス信号ａにより負論理用のセルアレイ／ブロック選択デコーダＢＸが活性化され、しきい値補正動作選択信号ｎｄｅｃ’が出力される。これによって、しきい値補正が行われるセルアレイが選択される。
もし、アドレス信号が上記アドレス信号ａと相補の信号ａｘである場合には、アドレス信号ａの時に読み出し／書き込みが行われるセルアレイとして選択されたセルアレイが、しきい値補正が行われるセルアレイとして選択される。また、アドレス信号ａの時にしきい値補正が行われるセルアレイとして選択されたセルアレイが、読み出し／書き込みが行われるセルアレイとして選択される。

【００４７】

再び説明のためにアドレス信号がａの場合に戻る。読み出し／書き込みが行われるセルアレイに対してはセルアレイ選択信号ｐｄｅｃが活性化され、この信号ｐｄｅｃとセンスアンプ活性化信号ＳＡの論理（図示の例ではＮＯＲ論理）をとることにより、通常のセンスアンプ（Ｓ／Ａ）ドライバＡ１が活性化され、センスアンプ（Ｓ／Ａ）列は通常動作を行う。この時、このセルアレイＡｐに関しては、しきい値補正用センスアンプドライバＢ１は、センスアンプ活性化信号ＳＡが入力されても非活性となるようにしている。

【００４８】

一方、しきい値補正が行われるセルアレイとして選択されたセルアレイにおいては、負論理デコーダであるしきい値補正用セルアレイ選択デコーダＢＸのデコード信号ｎｄｅｃ’とセンスアンプ活性化信号ＳＡの論理をとることにより、しきい値補正用センスアンプドライバＢ２が活性化される。この時には、このしきい値補正が行われるセルアレイＢｑにつながっている正論理デコーダＢは活性化されない。また、しきい値補正選択信号ｎｄｅｃ’が、ワード線選択信号ｗｏ’を活性化しないように、信号ｎｄｅｃ’と信号ｗｏ’の論理（図示の例ではＮＡＮＤ論理）をとることにより、セルアレイＢｑ内のワード線が活性化されないようにしている。

【００４９】

これによって、しきい値補正が行われるセルアレイにおいてワード線が選択されないようにすることができる。この場合、ワード線選択信号ｗｏ’がしきい値補正選択信号ｎｄｅ

ｃ’より遅れて出力される必要がある。そこで、この例ではワード線選択用アドレス信号がブロック／セルアレイ選択信号より遅れて各々のデコーダに到来するようにロウアドレスバッファでタイミングを調整している。この調整は必ずしもロウアドレスバッファ内で行う必要はなく、例えば、ワード線選択デコーダ内で遅延をかけたり、あるいはロウアドレスバッファとワード線選択デコーダの間で調整してもよい。

【００５０】

なお、図１２において、センスアンプドライバＡ１及びＡ２の出力Ｄ１は、図９に示した制御信号ＳＮＬ及びＳＰＬに相当し、センスアンプドライバＢ１及びＢ２の出力Ｄ２は、図９に示した制御信号ＳＮＬ，ＳＰＬ，ＣＯＮ，ＤＩＯ，ＣＳ１及びＣＳ２に相当する。また、実線表示はセンスアンプドライバが活性化されている様子を表しており、破線表示はセンスアンプドライバが非活性となっている様子を表している。

【００５１】

また、図１４にはセンスアンプを駆動するための動作波形の一例が示される。図中、（ａ）はセルデータの読み出し／書き込みが行われるセルアレイに対する動作波形を示し、（ｂ）はしきい値補正が行われるセルアレイに対する動作波形を示している。

以上の説明は、セルデータの読み出し／書き込みが行われるセルアレイの選択としきい値補正が行われるセルアレイの選択との関係についてである。通常のリフレッシュが行われるセルアレイの選択としきい値補正が行われるセルアレイの選択との関係、及び、セルフリフレッシュが行われるセルアレイの選択としきい値補正が行われるセルアレイの選択との関係については、ロウアドレスバッファから先の構成は同様となるので、その説明は省略する。

【００５２】

通常のリフレッシュ動作においては、リフレッシュ信号ＲＥＦに応答してリフレッシュカウンタが動作し、このリフレッシュカウンタが生成するアドレスがマルチプレクサを介してロウアドレスバッファに送られる。この時、リフレッシュ信号ＲＥＦから生成される制御信号に基づいて、マルチプレクサは通常リフレッシュ用のリフレッシュカウンタのアドレスを読み込むようにしている。

【００５３】

また、セルフリフレッシュ動作時も同様に、セルフリフレッシュ信号ＳＬＦに応答してリフレッシュカウンタが動作し、このリフレッシュカウンタが生成するアドレスがマルチプレクサを介してロウアドレスバッファに送られる。この時、セルフリフレッシュ信号ＳＬＦから生成される制御信号に基づいて、マルチプレクサはセルフリフレッシュ用のリフレッシュカウンタのアドレスを読み込むようにしている。

【００５４】

また、セルフリフレッシュ時にはリフレッシュタイマによって生成される時間毎にリフレッシュカウンタをカウントアップし、アドレスを進めている。また、図１２に示す構成例ではセルアレイ選択デコーダとブロック選択デコーダを便宜上隣合わせのように描いているが、これは、離れていてもよい。実際には、ブロック選択デコーダの数はセルアレイ選択デコーダに比べて少ない場合が多く、隣合わせとならない場合が多い。この場合の一構成例は図１５に示される。

【００５５】

図１５は本発明を適用したセンスアンプを駆動するための第２の構成例を概略的に示したものである。この例では、同じブロックＡ内のあるセルアレイＡｐではセルデータの読み出し／書き込み、リフレッシュ又はセルフリフレッシュの何れかが行われ、これとは異なる他のセルアレイＡｑではしきい値補正が行われる構成となっている。

【００５６】

また、図１６には本発明を適用したセンスアンプを駆動するための第３の構成例が概略的に示される。

図示の例では、リフレッシュ（又はセルフリフレッシュ）が行われる時に、当該リフレッシュ（又はセルフリフレッシュ）が行われるセルアレイと異なるセルアレイにおいてしき

い値補正が行われ、セルデータの読み出し／書き込みが行われる時にはしきい値補正が行われないように構成されている。

【００５７】

図１６の例では、リフレッシュ信号ＲＥＦとセルフリフレッシュ信号ＳＬＦに応答するＯＲゲートを設け、このＯＲゲートの出力に基づいて、リフレッシュ又はセルフリフレッシュが行われる時に負論理デコーダＡＸ及びＢＸが活性化されるようになっている。

また、図１６に示すようにセルデータの読み出し／書き込みが行われる時にはしきい値補正が行われないようにする動作方法は、例えば図１７に変形例として示されるように、外部からのコマンド信号ＣＭＤによりＯＲゲートを制御することで、しきい値補正を行うか行わないかのいずれかを選択することもできる。

【００５８】

【発明の効果】

以上説明したように本発明によれば、トランジスタの微細化に伴うしきい値のばらつきを、近接したトランジスタ間でしきい値がばらつく場合も含めて補正することができる。

また、センスアンプに適用した場合には、センス動作時にしきい値を補正する必要を無くし、またセンス動作時としきい値補正時とでソース／ドレインの交換を行う必要を無くすことができる。これは、高速動作への適応化及び誤動作の防止と満足なしきい値補正の実現に寄与する。

【図面の簡単な説明】

【図１】本発明に係るトランジスタのしきい値補正回路の原理構成を示す図である。

【図２】本発明の第１の実施形態に係るしきい値補正回路の構成を示す図である。

【図３】図２の回路の動作波形の一例を示す図である。

【図４】図２の回路によるしきい値制御の様子を示す図である。

【図５】図２の回路による効果を説明するための図である。

【図６】本発明の第２の実施形態に係るしきい値補正回路の構成を示す図である。

【図７】図６の回路の動作波形の一例を示す図である。

【図８】図６の回路による効果を説明するための図である。

【図９】本発明の第３の実施形態に係るしきい値補正回路を用いたセンスアンプの構成を示す図である。

【図１０】図９のセンスアンプの動作波形の一例を示す図である。

【図１１】図９のセンスアンプによる効果を説明するための図である。

【図１２】本発明を適用したセンスアンプを駆動するための第１の構成例を概略的に示した図である。

【図１３】図１２の構成の変形例における要部の構成を示す図である。

【図１４】図１２の構成におけるセンスアンプを駆動するための動作波形の一例を示す図である。

【図１５】本発明を適用したセンスアンプを駆動するための第２の構成例を概略的に示した図である。

【図１６】本発明を適用したセンスアンプを駆動するための第３の構成例を概略的に示した図である。

【図１７】図１６の構成の変形例における要部の構成を示す図である。

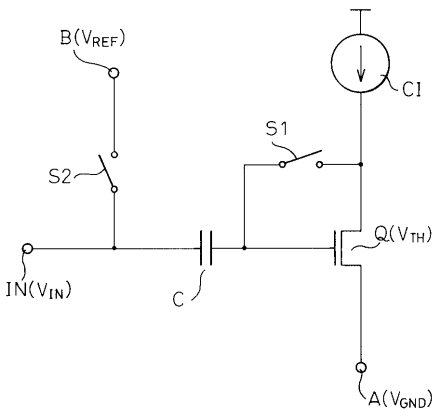
【符号の説明】

Ａ…電流流入端子
Ｂ…参照用端子
Ｃ…キャパシタ
ＣＩ…電流源
ＩＮ…入力端子
Ｑ…（しきい値補正対象の）トランジスタ
Ｓ１，Ｓ２…スイッチング素子
V_{TH}…トランジスタのしきい値

V_{REF} ，V_{GND} …参照電圧

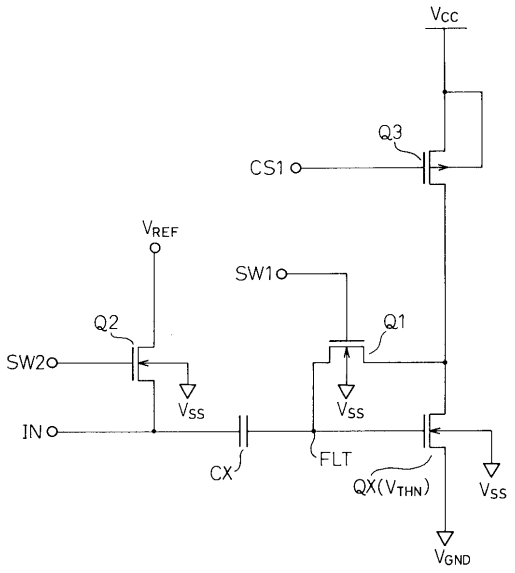
【図１】

本発明に係るトランジスタのしきい値補正回路の原理構成を示す図



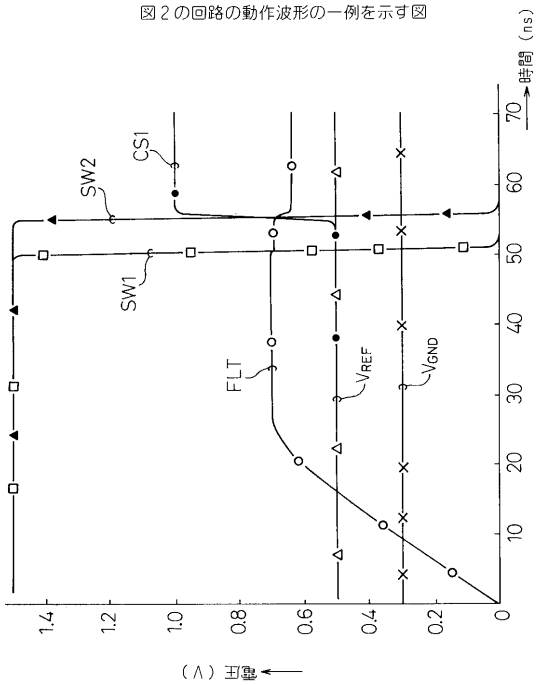
【図２】

本発明の第１の実施形態に係るしきい値補正回路の構成を示す図



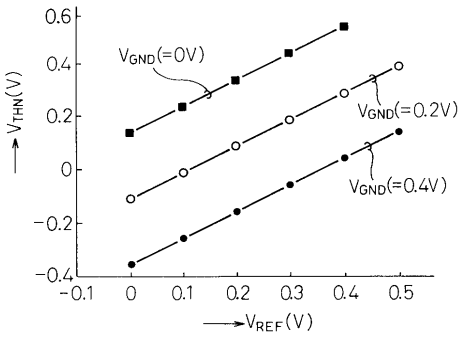
【図３】

図２の回路の動作波形の一例を示す図



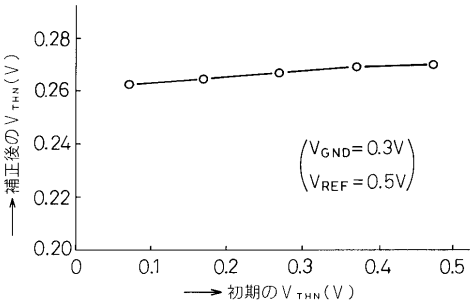
【図４】

図２の回路によるしきい値制御の様子を示す図



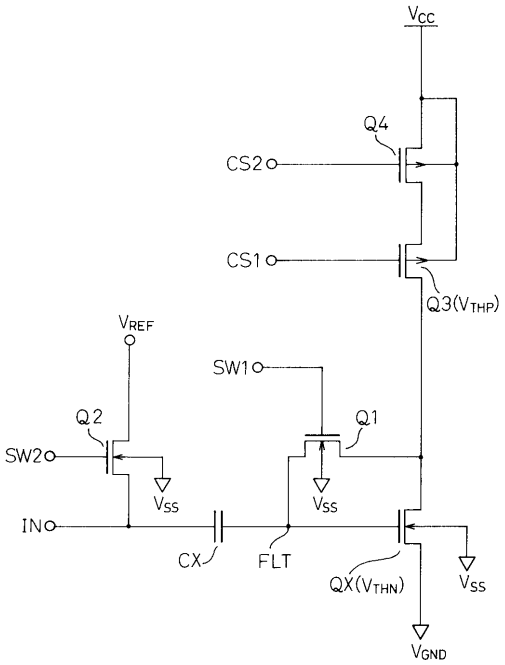
【図５】

図２の回路による効果を説明するための図



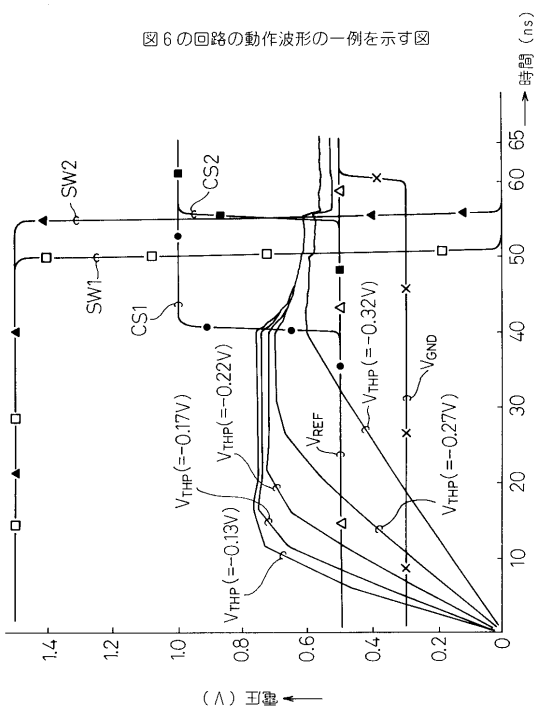
【図６】

本発明の第２の実施形態に係るしきい値補正回路の構成を示す図



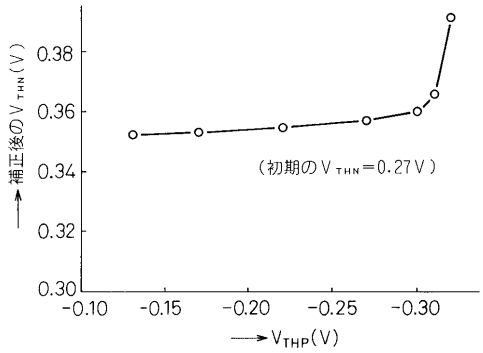
【図７】

図６の回路の動作波形の一例を示す図



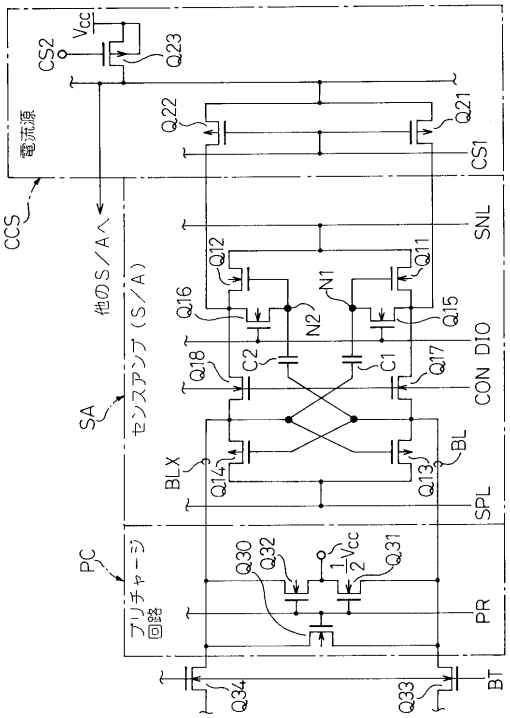
【図８】

図６の回路による効果を説明するための図



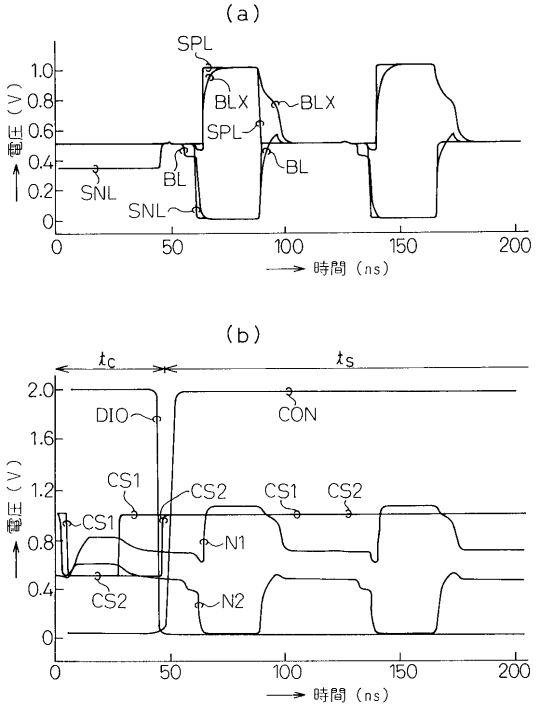
【図９】

本発明の第３の実施形態に係るしきい値補正回路を用いたセンスアンプの構成を示す図



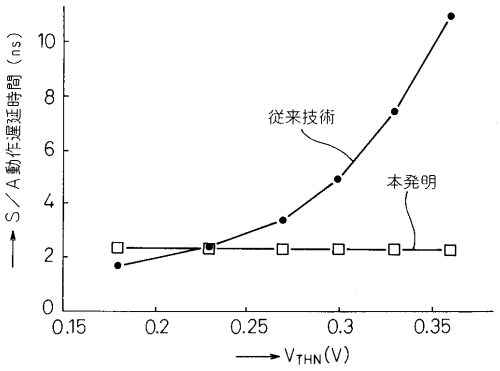
【図１０】

図９のセンスアンプの動作波形の一例を示す図



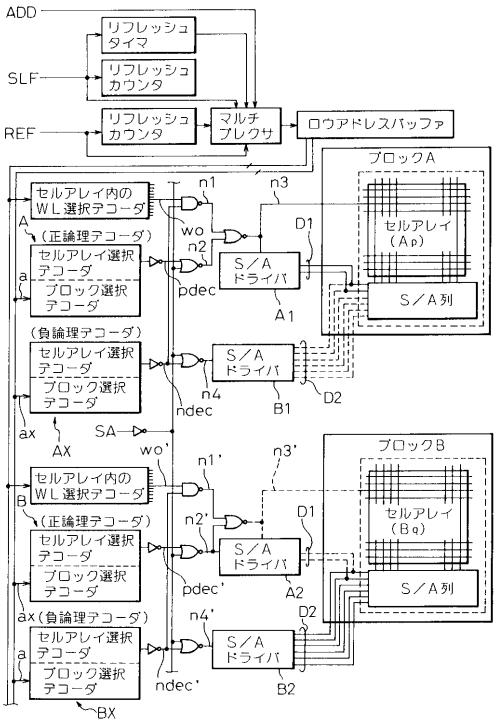
【図１１】

図９のセンスアンプによる効果を説明するための図



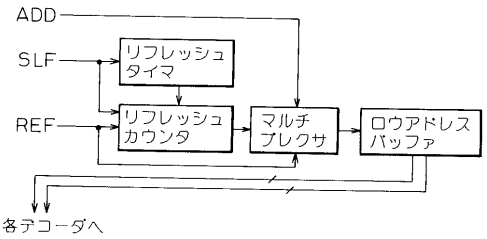
【図１２】

本発明を適用したセンスアンプを駆動するための第１の構成例を概略的に示した図



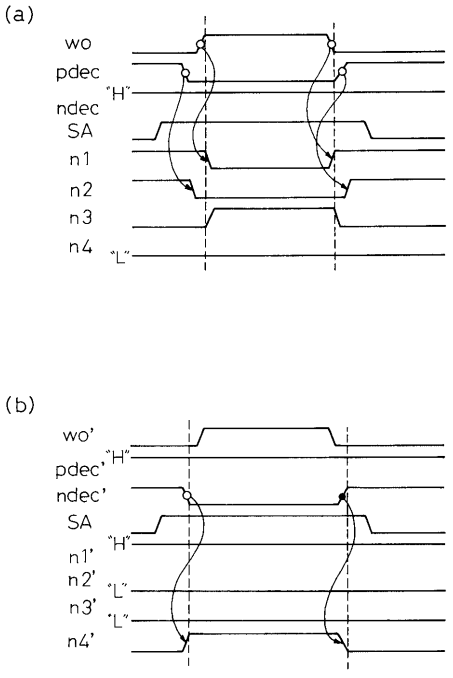
【図１３】

図12の構成の変形例における要部の構成を示す図



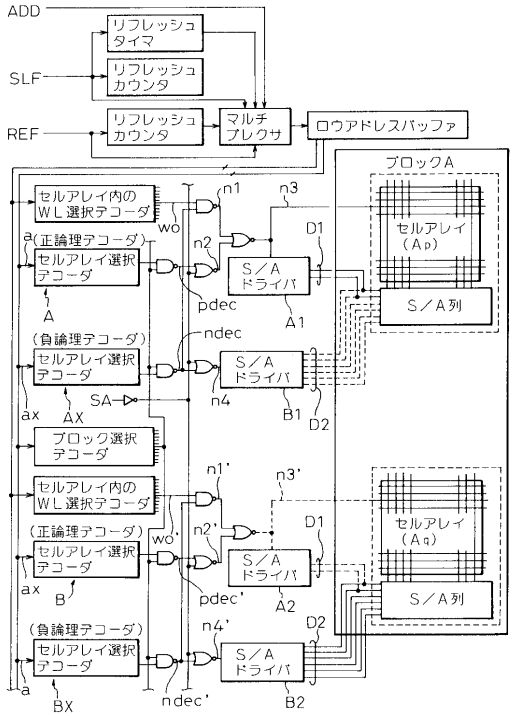
【図１４】

図12の構成におけるセンスアンプを駆動するための動作波形の一例を示す図



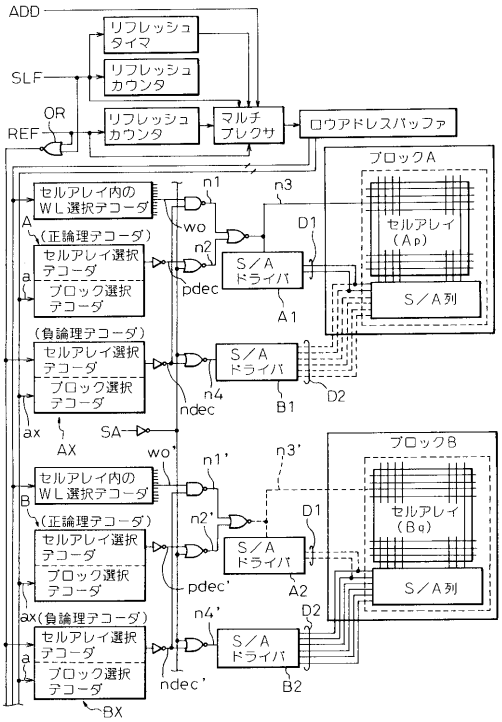
【図１５】

本発明を適用したセンスアンプを駆動するための第２の構成例を概略的に示した図



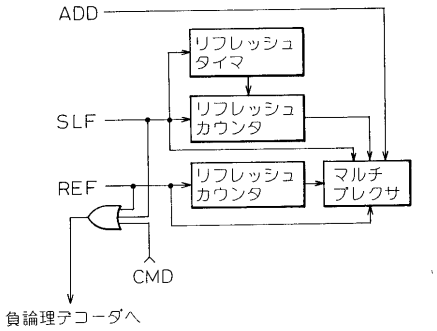
【図１６】

本発明を適用したセンスアンプを駆動するための第３の構成例を概略的に示した図



【図１７】

図16の構成の変形例における要部の構成を示す図



フロントページの続き

(56)参考文献　特開昭５５－７２８６３（ＪＰ，Ａ）
特開昭６２－２５２５９７（ＪＰ，Ａ）
特開平１０－１４９６７８（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G11C 11/4091