

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6979881号
(P6979881)

(45) 発行日 令和3年12月15日(2021.12.15)

(24) 登録日 令和3年11月18日(2021.11.18)

(51) Int.Cl.

F 1

C 23 C	14/06	(2006.01)	C 23 C	14/06	N
H 01 L	21/3205	(2006.01)	H 01 L	21/88	R
H 01 L	21/768	(2006.01)	H 01 L	21/285	P
H 01 L	23/532	(2006.01)	H 01 L	27/11578	
H 01 L	21/285	(2006.01)	H 01 L	27/11551	

請求項の数 18 (全 12 頁) 最終頁に続く

(21) 出願番号	特願2017-565799 (P2017-565799)
(86) (22) 出願日	平成28年6月3日(2016.6.3)
(65) 公表番号	特表2018-527456 (P2018-527456A)
(43) 公表日	平成30年9月20日(2018.9.20)
(86) 国際出願番号	PCT/US2016/035826
(87) 国際公開番号	W02016/204987
(87) 国際公開日	平成28年12月22日(2016.12.22)
審査請求日	令和1年6月3日(2019.6.3)
(31) 優先権主張番号	14/745,367
(32) 優先日	平成27年6月19日(2015.6.19)
(33) 優先権主張国・地域又は機関	米国(US)

(73) 特許権者	390040660
	アプライド マテリアルズ インコーポレ
	イテッド
	A P P L I E D M A T E R I A L S, I
	N C O R P O R A T E D
	アメリカ合衆国 カリフォルニア 950
	54, サンタ クララ, バウアーズ
	アヴェニュー 3050
(74) 代理人	110002077
	園田・小林特許業務法人
(72) 発明者	ユイ, ミンルイ
	アメリカ合衆国 カリフォルニア 951
	20, サン ノゼ, カイザー ドライ
	ブ 1002

最終頁に続く

(54) 【発明の名称】多層金属誘電体膜のPVD堆積とアニール

(57) 【特許請求の範囲】

【請求項 1】

基板上に膜スタックを形成する方法であって、複数の酸化金属構造を形成することを含み、該複数の酸化金属構造を形成することは、
(a) テトラエチルオルトリシリケート(TEOS)を用いて、250 以下の第1の厚さを有する酸化物層を堆積させることと、
(b) 前記酸化物層の上にタンクステン又はチタンを含む第1の付着層を堆積させることと、
(c) 前記第1の付着層上にタンクステンを含む金属層を堆積させることと、
(d) (a)と(b)と(c)を順次繰り返して前記複数の酸化金属構造を形成することと、
 を含み、

前記複数の酸化金属構造の各層は、マルチチャンバシステムの複数の処理チャンバのうちの一つを用いて堆積され、(a)と(b)と(c)と(d)は、前記基板を前記マルチチャンバシステムから取り出すことなく実施される、方法。

【請求項 2】

(a)と(b)と(c)の前記順次繰り返しのそれぞれが、前記金属層の上に第2の付着層を堆積させることをさらに含む、請求項1に記載の方法。

【請求項 3】

前記第1の付着層、前記金属層、および前記第2の付着層が、応力中立構造を形成する

、請求項 2 に記載の方法。

【請求項 4】

前記第 1 の付着層が、窒化タングステンを含む、請求項 3 に記載の方法。

【請求項 5】

前記膜スタックが、少なくとも 50 層を含むまで、前記基板を前記マルチチャンバシステムから取り出すことなく、前記酸化物層、前記第 1 の付着層、前記金属層、および前記第 2 の付着層を堆積させることを繰り返すことをさらに含む、請求項 2 に記載の方法。

【請求項 6】

各付着層が、40 未満の厚さを有する、請求項 5 に記載の方法。

【請求項 7】

前記基板を少なくとも 500 に加熱することによって、前記基板上に形成された前記膜スタックをアニールすることをさらに含む、請求項 1 に記載の方法。

【請求項 8】

前記膜スタックが、少なくとも 50 層を含むまで、前記酸化物層および前記金属層を堆積させることを繰り返すことをさらに含む、請求項 1 に記載の方法。

【請求項 9】

基板上に形成された膜スタック構造であって、

前記基板上に形成された酸化物層の上に堆積された窒化タングステンを含む 1 つ以上の付着層と、

前記 1 つ以上の付着層の第 1 の付着層の上に堆積された金属層と、

前記金属層の上に堆積された第 2 の付着層と

を含み、

前記第 1 の付着層、前記金属層、および前記第 2 の付着層が、応力中立構造を形成する膜スタック構造。

【請求項 10】

基板上に形成された膜スタック構造であって、

前記基板上に形成された酸化物層の上に堆積された窒化タングステンを含む 1 つ以上の付着層と、

前記 1 つ以上の付着層の第 1 の付着層の上に堆積された金属層を含む応力中立構造と

を含み、前記膜スタックが、少なくとも 50 層を含む、膜スタック構造。

【請求項 11】

各付着層が、40 未満の厚さを有する、請求項 9 に記載の膜スタック構造。

【請求項 12】

基板上に形成された膜スタック構造であって、

前記基板上に形成された酸化物層の上に堆積された窒化タングステンを含む 1 つ以上の付着層と、

前記 1 つ以上の付着層の第 1 の付着層の上に堆積された金属層を含む応力中立構造と

を含み、前記金属層が、W である、膜スタック構造。

【請求項 13】

基板上に膜スタックを形成する方法であって、

250 以下の第 1 の厚さを有する酸化物層を前記基板に堆積させるために、第 1 の処理チャンバを使用することと、

前記酸化物層の上にタングステン又はチタンを含む第 1 の窒化金属付着層を堆積させるために第 2 の処理チャンバを使用することと、

前記第 1 の窒化金属付着層の上にタングステン層を堆積させるために第 3 の処理チャンバを使用することと、

前記タングステン層の上に第 2 の窒化金属付着層を堆積させるために前記第 2 の処理チャンバ又は第 4 の処理チャンバを使用して応力中立構造を形成することであって、前記第 1 および第 2 の窒化金属付着層とタングステン層は合わせて 200 以下の厚さを有し、前記第 1 、第 2 及び第 3 の処理チャンバは、1 つ以上の移送チャンバによって流体結合さ

10

20

30

40

50

れてマルチチャンバ処理システムを成す、応力中立構造を形成することと、

前記酸化物層、前記第1の窒化金属付着層、前記タンゲステン層、および前記第2の窒化金属付着層の順次堆積を繰り返すことによって複数の酸化金属構造を形成することとを含み、前記複数の酸化金属構造が、前記基板を前記マルチチャンバ処理システムから取り出すことなく形成される、方法。

【請求項14】

前記基板を500の温度に加熱することによって、前記基板上に形成された前記膜スタックをアニールすることをさらに含む、請求項13に記載の方法。

【請求項15】

前記膜スタックが、少なくとも50層を含む、請求項13に記載の方法。 10

【請求項16】

前記第1および第2の窒化金属付着層の各々が、40未満の厚さを有する、請求項15に記載の方法。

【請求項17】

前記第1および第2の窒化金属付着層が、同一の材料から形成される、請求項13に記載の方法。

【請求項18】

前記第1の窒化金属付着層が、窒化タンゲステンを含む、請求項13に記載の方法。

【発明の詳細な説明】

【技術分野】 20

【0001】

本開示の実施形態は、一般に、金属-誘電体の複数の構造を形成するために誘電体上に金属薄膜を堆積させる方法に関し、より詳細には、金属薄膜を含む膜スタックを形成する方法に関する。

【背景技術】

【0002】

サブハーフミクロンおよびより小さいフィーチャを信頼性高く製造することは、半導体デバイスの次世代の超大規模集積化(VLSI)および超々大規模集積化(ULSI)のための重要な技術課題の1つである。しかしながら、回路技術の限界が押し広げられるにつれ、VLSI及びULSI技術の寸法の縮小は、処理能力に追加の要求をもたらした。基板上のゲート構造の信頼性の高い形成は、VLSIおよびULSIの成功、ならびに個々の基板およびダイの回路密度および品質を向上させるための継続的な努力にとって重要である。 30

【0003】

次世代デバイスの回路密度が増加するにつれて、ピア、トレンチ、コンタクト、ゲート構造および他のフィーチャなどの相互接続部、ならびにそれらの間の誘電体材料の幅は、45nmおよび32nmの寸法に減少するが、誘電体層の厚さは、実質的に一定のままであり、フィーチャのアスペクト比を増加させる結果となる。次世代デバイスおよび構造の製造を可能にするために、トランジスタの性能を向上させるための半導体チップの3次元(3D)積層が、しばしば利用される。従来の2次元ではなく、3次元にトランジスタを配列することにより、多数のトランジスタが、互いに非常に接近して集積回路(IC)の中に配置され得る。半導体チップの3次元(3D)積層は、配線長を短くし、配線遅延を低く抑える。半導体チップの3次元(3D)積層を製造する際には、階段状の構造がしばしば利用されて、多数の相互接続構造がその上に配置され、高密度の縦型トランジスタデバイスが形成される。 40

【0004】

したがって、集積回路の製造コスト、メモリセルサイズ、および電力消費を低減し続けるための、相互接続部を形成する改良された方法が必要とされている。

【発明の概要】

【0005】 50

一実施形態では、基板上に膜スタックを成膜する方法が、本明細書で開示される。本方法は、基板上に形成された酸化物層上に第1の付着層を堆積させることと、第1の付着層上に金属層を堆積させることとを含み、第1の付着層および金属層は、応力中立構造を形成する。

【0006】

別の実施形態では、基板上に形成された膜スタック構造が、本明細書に開示される。膜スタック構造は、第1の付着層および金属層を含む。第1の付着層は、基板上に形成された酸化物層上に堆積される。金属層は、付着層上に堆積される。第1の付着層および金属層は、応力中立構造を形成する。

【0007】

一実施形態では、基板上に膜スタックを成膜する方法が、本明細書で開示される。本方法は、基板上に形成された酸化物層上に第1の付着層を堆積させることと、第1の付着層上に金属層を堆積させることと、金属層上に第2の付着層を堆積させることとを含み、第1の付着層、金属層および第2の付着層は、応力中立構造を形成する。

【0008】

上述した本発明の特徴を詳細に理解できるように、上で簡潔に要約した本発明のより詳細な説明が、実施形態を参照することによって行われ、そのいくつかを添付図面に示す。しかしながら、添付の図面は本発明の典型的な実施形態のみを示しており、従って、その範囲を限定するものと見なすべきではなく、本発明は他の同様に有効な実施形態を許容できることに留意されたい。

【図面の簡単な説明】

【0009】

【図1】一実施形態による、基板上に膜スタックを形成する方法を示す。

【図2A - 2D】図1の方法の諸段階における基板上に形成された膜スタックを示す。

【図3】一実施形態による、基板上に膜スタックを形成する方法を示す。

【図4A - 4E】図3の方法の諸段階における基板上に形成された膜スタックを示す。

【図5】一実施形態による、基板上に膜スタックを形成するための処理システムを示す。

【発明を実施するための形態】

【0010】

理解を容易にするために、可能な場合には、図に共通の同一の要素を示すために、同一の参照番号を使用している。一つの実施形態の要素および特徴は、さらなる説明なしに他の実施形態に有益に組み込むことができると考えられる。

【0011】

しかしながら、添付の図面は本発明の例示的な実施形態のみを示しており、従って、その範囲を限定するものと見なすべきではなく、本発明は他の同様に有効な実施形態を許容できることに留意されたい。

【0012】

基板上に膜スタックを形成する方法が、本明細書で開示される。本方法は、基板上に形成された酸化物層上に第1の付着層を堆積することと、第1の付着層上に金属層を堆積することとを含み、第1の付着層および金属層は、応力中立構造を形成する。

【0013】

図1は、基板上に膜スタックを形成するための方法100の一実施形態を示す。図2A～図2Dは、図1の方法の異なる段階での基板の断面図を示す。図2Aは、基板200上に形成された酸化物層202を有する基板200を示す。酸化物層202は、プラズマ化学気相堆積(PECVD)または物理気相堆積(PVD)によって基板上に堆積されてもよい。酸化物層は、例えば、TEOSから作ることができる。酸化物層202は、厚さ205を有する。一実施形態では、酸化物層202の厚さ205は、250以下であってもよい。

【0014】

方法100は、図2Bに示すように、酸化物層202上に第1の付着層204を堆積す

10

20

30

40

50

ることによってブロック 102 で開始する。第 1 の付着層 204 は、物理気相堆積または他の適切なプロセスを用いて堆積されてもよい。第 1 の付着層 204 は、窒化膜であってもよい。例えば、第 1 の付着層 204 は、窒化チタン (TiN) または窒化タングステン (WN) であってもよい。

【0015】

ブロック 104 において、図 2C に示すように、金属層 206 が、第 1 の付着層 204 の表面上に堆積される。金属層 206 は、PVD プロセスまたは他の適切なプロセスを使用して堆積させることができる。金属層 206 は、例えば、タングステン (W) であってもよい。一実施形態では、金属層 206 は、15 / 未満のシート抵抗を有する。

【0016】

第 1 の付着層 204 および金属層 206 は、応力中立構造を形成する。例えば、一実施形態では、第 1 の付着層 204 は圧縮応力を示し、これは、下にある基板を力が押すことを意味し、他方、金属層 206 は引張応力を示し、これは、下にある基板を力が引っ張ることを意味する。別の実施形態では、第 1 の付着層 204 は、引張応力を示し、金属層 206 は、圧縮応力を示す。

【0017】

第 1 の付着層 204 および金属層 206 は、200 以下の合計厚さ 208 を有してもよい。例えば、一実施形態では、WN 層が 40 の厚さを有し、W 層が 160 の厚さを有するように、WN と W の二層を酸化物層 202 上に堆積させることができる。

【0018】

金属層 206、第 1 の付着層 204、および酸化物層 202 は、まとめて酸化物 - 金属 (OM) 構造 209 と呼ばれる。各 OM 構造 209 は、図 2D に示すように、結果として得られる基板反りが 1 μm 未満になるように形成される。1 μm 未満の基板反りは、第 1 の付着層 204 および金属層 206 によって形成される応力中立構造に起因する。第 1 の付着層 204 の力が基板 200 を押しているとき、金属層 206 の力が基板 200 を引っ張る。第 1 の付着層 204 の厚さおよび金属層 206 の厚さを調整することによって、力はほぼ相殺され、1 μm 未満の基板反りをもたらすことができる。

【0019】

ブロック 106 において、膜スタックは、任意選択で、アニール処理のためにアニールチャンバに移される。膜スタックをアニールすることにより、基板の反りおよび金属層 206 の抵抗をさらに低減することができる。例えば、一実施形態では、膜スタックを 500 で 2 時間アニールすることができる。別の実施形態では、膜スタックをより高温でより短時間アニールすることができる。

【0020】

図 3 は、基板上に膜スタックを形成するための方法 300 の一実施形態を示す。図 4A ~ 図 4E は、図 3 の方法 300 の異なる段階での基板の断面図を示す。図 4A は、基板 400 上に形成された酸化物層 402 を有する基板 400 を示す。酸化物層 402 は、PECVD プロセスによって基板上に堆積されてもよい。例えば、酸化物層は TEOS 層であってもよい。酸化物層 402 は、厚さ 405 を有する。一実施形態では、酸化物層 402 の厚さ 405 は、250 以下であってもよい。

【0021】

方法 300 は、図 4B に示すように、酸化物層 402 上に第 1 の付着層 404 を堆積することによって、ブロック 302 で開始する。第 1 の付着層 404 は、PVD または他の適切なプロセスを用いて堆積されてもよい。第 1 の付着層 404 は、窒化膜であってもよい。例えば、第 1 の付着層 404 は、TiN または WN であってもよい。

【0022】

ブロック 304 において、図 4C に示すように、金属層 406 が、第 1 の付着層 404 の表面上に堆積される。金属層 406 は、PVD プロセスまたは他の適切なプロセスを使用して堆積させることができる。金属層 406 は、例えば W であってもよい。一実施形態では、金属層 406 は、15 / 未満のシート抵抗を有する。

10

20

30

40

50

【 0 0 2 3 】

ブロック 306において、図 4D に示すように、第 2 の付着層 410 が金属層 406 上に堆積される。第 2 の付着層 410 は、PVD または他の適切なプロセスを用いて堆積されてもよい。第 2 の付着層 410 は、窒化膜であってもよい。例えば、第 2 の付着層 410 は、TiN または WN であってもよい。一実施形態では、第 2 の付着層 410 は、第 1 の付着層 404 と同じであってもよい。例えば、第 1 の付着層 404 及び第 2 の付着層 410 は WN である。別の実施形態では、第 1 の付着層 404 および第 2 の付着層 410 は、異なる材料であってもよい。

【 0 0 2 4 】

第 1 の付着層 404、金属層 406、および第 2 の付着層 410 は、応力中立構造を形成する。例えば、一実施形態では、第 1 の付着層 404 および第 2 の付着層 410 は圧縮応力を示し、金属層 406 は引張応力を示す。別の実施形態では、第 1 の付着層 404 および第 2 の付着層 410 は引張応力を示し、金属層 406 は圧縮応力を示す。例えば、第 1 の付着層 404 および第 2 の付着層 410 は、圧縮応力を示す TiN であってもよく、これは、力が下にある基板を押すことを意味する。金属層 406 は、引張応力を示す W であってもよく、これは、力が下にある基板を引っ張ることを意味する。

10

【 0 0 2 5 】

第 1 の付着層 404、金属層 406、および第 2 の付着層 410 は、200 以下の合計厚さ 408 を有してもよい。例えば、一実施形態では、TiN 層がそれぞれ 30 の厚さを有し、W 層が 140 の厚さを有するように、TiN / W / TiN の三層を酸化物層 402 上に堆積させることができる。

20

【 0 0 2 6 】

第 1 の付着層 404、金属層 406、第 2 の付着層 410、および酸化物層 402 は、まとめて酸化物 - 金属 (OM) 構造 409 と呼ばれる。各 OM 構造 409 は、図 4E に示すように、結果として得られる基板反りが 1 μm 未満になるように形成される。1 μm 未満の基板反りは、第 1 の付着層 404、金属層 406、および第 2 の付着層 410 によって形成される応力中立構造に起因する。第 1 の付着層 404 の力が基板 400 を引っ張っているとき、金属層 406 の力が基板 400 を押し、第 2 の付着層 410 の力が基板 400 を引っ張る。第 1 の付着層 404 の厚さ、金属層 406 の厚さ、および第 2 の付着層 410 の厚さを調整することによって、力が相殺され、OM 構造 409 あたり 1 μm 未満の基板反りを生じることがある。

30

【 0 0 2 7 】

ブロック 308において、膜スタックは、任意選択で、アニール処理のためにアニールチャンバに移される。膜スタックをアニールすることにより、基板の反りおよび金属層 406 のシート抵抗をさらに低減することができる。例えば、一実施形態では、膜スタックを 500 で 2 時間アニールすることができる。別の実施形態では、膜スタックをより高温でより短時間アニールすることができる。

【 0 0 2 8 】

図 5 は、マルチチャンバ処理システム 500 を示す。処理システム 500 は、ロードロックチャンバ 502, 504、ロボット 506、移送チャンバ 508、処理チャンバ 510, 512, 514, 516, 518, 528、およびコントローラ 520 を含むことができる。ロードロックチャンバ 502, 504 は、基板（図示せず）を処理システム 500 に出入りさせることを可能にする。ロードロックチャンバ 502, 504 は、真空密閉を維持するために処理システム 500 に導入された基板をポンプダウンすることができる。ロボット 506 は、ロードロックチャンバ 502, 504 と処理チャンバ 510, 512, 514, 516, 518, および 528 との間で基板を移送することができる。ロボット 506 はまた、ロードロックチャンバ 502, 504 と移送チャンバ 508 との間で基板を移送してもよい。

40

【 0 0 2 9 】

各処理チャンバ 510, 512, 514, 516, 518, および 528 は、原子層堆

50

積（ALD）、化学気相堆積（CVD）、PVD、エッチング、前洗浄、ガス抜き、加熱、配向、または他の基板プロセスなどの多数の基板処理を実行するように装備されてもよい。さらに、各処理チャンバ510, 512, 514, 516, 518, および528は、酸化物層、第1の付着層、金属層、または第2の付着層を堆積させるために装備されてもよい。

【0030】

コントローラ520は、図1および図3に開示された方法などの、処理システム500のすべての態様を管理するように構成されてもよい。例えば、コントローラ520は、基板上に金属相互接続部を形成する方法を制御するように構成することができる。コントローラ520は、メモリ524及び大容量記憶装置とともに動作可能なプログラマブル中央処理装置（CPU）522、入力制御装置、並びに表示装置（図示せず）、電源、クロック、キャッシュ、入力／出力（I/O）回路等を含み、処理システムの様々な構成要素に結合され、基板処理の制御を容易にする。コントローラ520はまた、前駆体、プロセスガス、およびバージガスの流れを監視するセンサを含む、処理システム500内のセンサを介して基板処理を監視するためのハードウェアを含む。基板温度、チャンバ雰囲気圧力などのシステムパラメータを測定する他のセンサも、コントローラ520に情報を提供することができる。

【0031】

上述した処理システム500の制御を容易にするために、CPU522は、プログラム可能な論理制御装置（PLC）などの、工業用環境で使用することができる任意の形式の汎用コンピュータプロセッサの1つであってもよい。メモリ524はCPU522に結合され、メモリ524は非一時的であり、ランダムアクセスメモリ（RAM）、読み出し専用メモリ（ROM）、フロッピーディスクドライブ、ハードディスク、又は任意の他の形態の、ローカル若しくはリモートのデジタル記憶装置などの、容易に入手可能なメモリのうちの1つ以上であってもよい。サポート回路526が、従来の方法でプロセッサをサポートするために、CPU522に結合される。荷電種生成、加熱、および他のプロセスは、一般的に、通常はソフトウェアルーチンとしてメモリ524に記憶される。ソフトウェアルーチンはまた、CPU522によって制御されているハードウェアから遠隔に位置する第2のCPU（図示せず）によって記憶され及び／又は実行されてもよい。

【0032】

メモリ524は、CPU522によって実行されると処理システム500の動作を容易にする命令を含むコンピュータ可読記憶媒体の形態である。メモリ524内の命令は、本開示の方法を実施するプログラムなどのプログラム製品の形態である。プログラムコードは、多数の異なるプログラミング言語のうちのいずれか1つに従うことができる。一例において、本開示は、コンピュータシステムとともに使用するためのコンピュータ可読記憶媒体に格納されるプログラム製品として実施され得る。プログラム製品のプログラムは、（本明細書に記載の方法を含む）実施形態の機能を定める。例示的なコンピュータ可読記憶媒体は、限定されないが、（i）情報が永続的に記憶される、書き込み不可能な記憶媒体（例えば、CD-ROMドライブによって読み取り可能なCD-ROMディスク、フラッシュメモリ、ROMチップ又は任意のタイプの固体不揮発性半導体メモリなどの、コンピュータ内部の読み出し専用メモリデバイス）、及び（ii）変更可能な情報が記憶される、書き込み可能な記憶媒体（例えば、ディスクケットドライブ内のフロッピーディスク又はハードディスクドライブ又は任意のタイプの固体ランダムアクセス半導体メモリ）を含む。そのようなコンピュータ可読記憶媒体は、本明細書に記載の方法の機能を指示するコンピュータ可読命令を伴っている場合、本開示の実施形態である。

【0033】

実施例1

以下の例は、図5で説明した処理チャンバを使用して実行することができる。基板が、酸化物層の堆積のための第1の処理チャンバに移送される。第1の処理チャンバは、基板上にTEOSを堆積せしように構成されたPECVDチャンバである。TEOS層の厚

10

20

30

40

50

さは 250 である。TEOS 層は、PECVD プロセスによって堆積される。堆積された TEOS の厚さは 250 である。

【0034】

ロボットが、その上に堆積された TEOS 層を有する基板を、第 1 の付着層の堆積のための第 2 の処理チャンバに移送する。第 2 の処理チャンバは、WN の層を TEOS 層上に堆積させるように構成された PVD チャンバである。WN の層の厚さは 40 である。WN は、5.0 / s の速度で堆積させることができる。WN 層は引張応力を示す。

【0035】

ロボットは、その上に堆積された第 1 の付着層を有する基板を、金属層の堆積のための第 3 の処理チャンバに移送する。第 3 の処理チャンバは、WN 付着層上に W の層を堆積させるように構成された CVD チャンバである。W の層の厚さは 160 である。W 層は引張応力を示す。W は、17.6 / s の速度で堆積させることができる。TEOS 層、WN 層および W 層は、まとめて OM 構造と呼ばれる。

【0036】

ロボットは、所望の数の OM 構造が基板上に堆積されるまで、処理チャンバ間で基板を移送する。例えば、120 個の OM 構造が基板上に堆積されてもよい。各 OM 構造は、WN 層および W 層によって形成される応力中立構造のために、1 μm 未満の基板反りを有する。したがって、120 個の OM 構造の全基板反りは、120 μm 未満である。

【0037】

120 個の OM 構造の膜スタックが基板上に堆積された後、基板は、処理システムから出されて、アニールのためのチャンバに移され得る。基板上に形成された膜スタックをアニールすることにより、基板の反りおよび金属層のシート抵抗をさらに低減することができる。膜スタックは、500 で 2 時間アニールされる。

【0038】

実施例 2

以下の例は、図 5 で説明した処理チャンバを使用して実行することができる。基板が、酸化物層の堆積のための第 1 の処理チャンバに移送される。第 1 の処理チャンバは、基板上に TEOS を堆積させるように構成された PECVD チャンバである。TEOS 層の厚さは 250 である。TEOS 層は、PECVD プロセスによって堆積される。堆積された TEOS の厚さは 250 である。

【0039】

ロボットが、その上に堆積された TEOS 層を有する基板を、第 1 の付着層の堆積のための第 2 の処理チャンバに移送する。第 2 の処理チャンバは、TEOS 層上に TiN の層を堆積するように構成された低出力高周波 PVD (LP RFPVD) チャンバである。TiN の層は 60 の厚さを有する。TiN は、0.5 / s の速度で堆積させることができる。TiN 層は引張応力を示す。

【0040】

ロボットが、その上に堆積された第 1 の付着層を有する基板を、金属層の堆積のための第 3 の処理チャンバに移送する。第 3 の処理チャンバは、TiN 付着層上に W の層を堆積させるように構成された PVD チャンバである。W の層の厚さは 140 である。W は、17.6 / s の速度で堆積させることができる。W 層は引張応力を示す。

【0041】

TEOS 層、TiN 層および W 層は、まとめて OM 構造と呼ばれる。ロボットは、所望の数の OM 構造が基板上に堆積されるまで、処理チャンバ間で基板を移送する。例えば、120 個の OM 構造が基板上に堆積されてもよい。各 OM 構造は、TiN 層および W 層によって形成される応力中立構造のために、1 μm 未満の基板反りを有する。したがって、120 個の OM 構造の全基板反りは、120 μm 未満である。

【0042】

実施例 3

以下の例は、図 5 で説明した処理チャンバを使用して実行することができる。基板が、

10

20

30

40

50

酸化物層の堆積のための第1の処理チャンバに移送される。第1の処理チャンバは、基板上にTEOSを堆積せしように構成されたPECVDチャンバである。TEOS層の厚さは250である。TEOS層は、PECVDプロセスによって堆積される。堆積されたTEOSの厚さは250である。

【0043】

ロボットが、その上に堆積されたTEOS層を有する基板を、第1の付着層の堆積のための第2の処理チャンバに移送する。第2の処理チャンバは、WNの層をTEOS層上に堆積せしように構成されたPVDチャンバである。WNの層の厚さは30である。WNは、5.0/sの速度で堆積させることができる。この第1のWN層は圧縮応力を示す。

10

【0044】

ロボットが、その上に堆積された第1の付着層を有する基板を、金属層の堆積のための第3の処理チャンバに移送する。第3の処理チャンバは、WN付着層上にWの層を堆積せしように構成されたCVDチャンバである。Wの層の厚さは140である。Wは、17.6/sの速度で堆積させることができる。W層は引張応力を示す。

【0045】

ロボットが、その上に堆積された金属層を有する基板を、第2の付着層の堆積のための第4の処理チャンバに移送する。第4の処理チャンバは、WNの第2の層を金属W層上に堆積せしように構成されたPVDチャンバである。WNの層の厚さは30である。WNは、5.0/sの速度で堆積させることができる。この第2のWN層は圧縮応力を示す。

20

【0046】

TEOS層、第1のWN層、W層、および第2のWN層は、まとめてOM構造と呼ばれる。ロボットは、所望の数のOM構造が基板上に堆積されるまで、処理チャンバ間で基板を移送する。例えば、120個のOM構造が基板上に堆積されてもよい。各OM構造は、第1のWN層、W層、および第2のWN層によって形成される応力中立構造のために、1μm未満の基板反りを有する。したがって、120個のOM構造の全基板反りは、120μm未満である。

【0047】

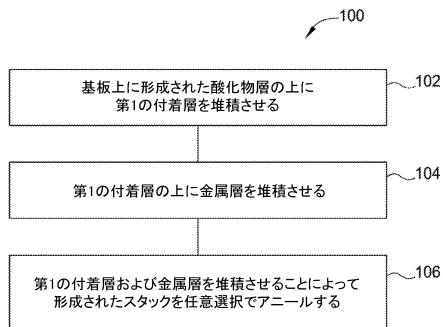
120個のOM構造の膜スタックが基板上に堆積された後、基板は、処理システムから出されて、アニールのためのチャンバに移され得る。膜スタックは、500で2時間アニールされる。

30

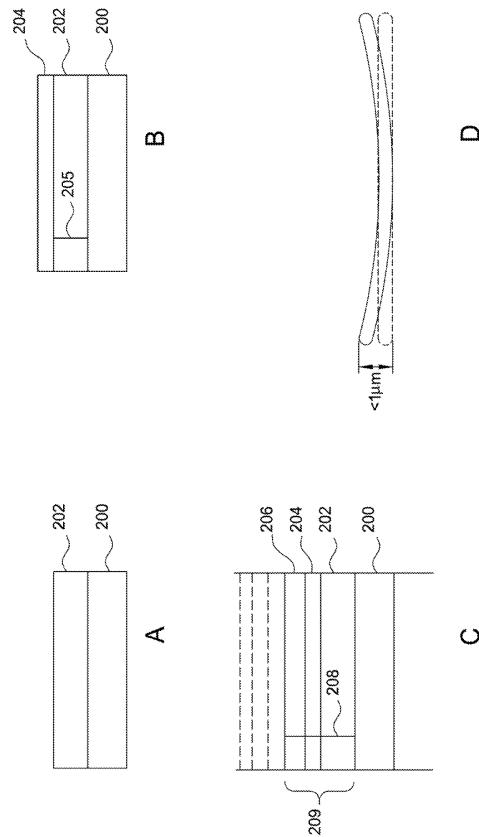
【0048】

上記は本発明の実施形態を対象とするが、本発明の基本的な範囲から逸脱することなく、本発明の他のさらなる実施形態を考え出すこともでき、本発明の範囲は、以下の特許請求の範囲によって決定される。

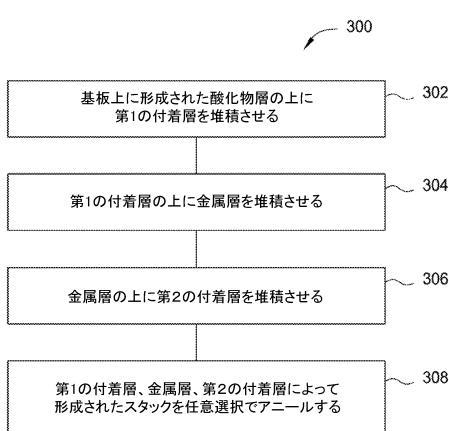
【図1】



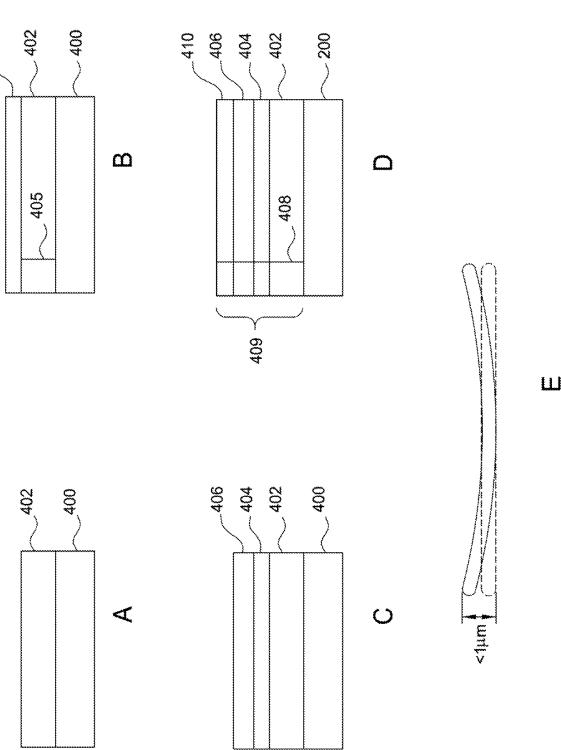
【図2 A - 2 D】



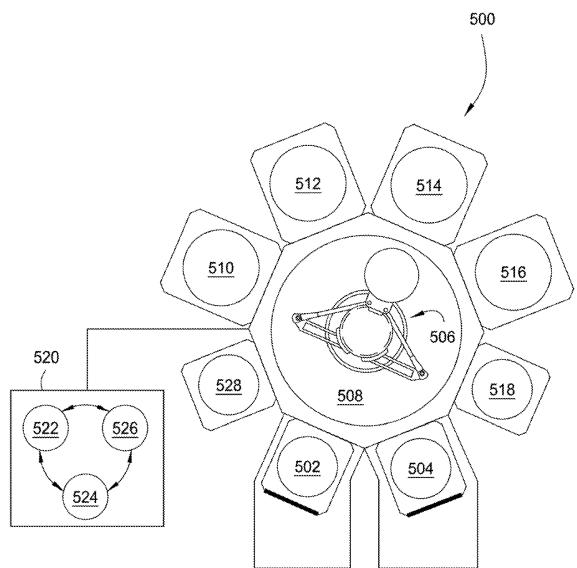
【図3】



【図4 A - 4 E】



【図5】



フロントページの続き

		F I		
H 0 1 L	27/11578 (2017.01)	H 0 1 L	29/78	3 7 1
H 0 1 L	27/11551 (2017.01)	C 2 3 C	14/06	A
H 0 1 L	21/336 (2006.01)	C 2 3 C	14/14	D
H 0 1 L	29/788 (2006.01)	C 2 3 C	14/58	A
H 0 1 L	29/792 (2006.01)	C 2 3 C	16/42	
C 2 3 C	14/14 (2006.01)			
C 2 3 C	14/58 (2006.01)			
C 2 3 C	16/42 (2006.01)			

(72)発明者 マー, カイ

アメリカ合衆国 カリフォルニア 94306, パロ アルト, エドリー アヴェニュー 3
70

(72)発明者 クォン, トーマス

アメリカ合衆国 カリフォルニア 94568, ダブリン, タル ウェイ 4417

(72)発明者 シン, カウシャル ケー.

アメリカ合衆国 カリフォルニア 95051, サンタ クララ, サン ラファエル アヴェ
ニュー 2118

(72)発明者 ピン, アル・シュアン

アメリカ合衆国 カリフォルニア 94539, フリーモント, キャニオン ハイツ ドライ
ブ 39541

審査官 高 橋 真由

(56)参考文献 特開2004-241679(JP, A)

特開2001-007110(JP, A)

特開2007-107093(JP, A)

特表2009-543355(JP, A)

(58)調査した分野(Int.Cl., DB名)

C 2 3 C	1 4 / 0 0 - 1 4 / 5 8
H 0 1 L	2 1 / 3 2 0 5
H 0 1 L	2 1 / 2 8 5
H 0 1 L	2 7 / 1 1 5 7 8
H 0 1 L	2 7 / 1 1 5 5 1
H 0 1 L	2 1 / 3 3 6