

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年6月2日(02.06.2022)



(10) 国際公開番号

WO 2022/113733 A1

(51) 国際特許分類:
G01C 3/06 (2006.01) H01L 27/144 (2006.01)
H01L 31/107 (2006.01) H01L 27/146 (2006.01)

(21) 国際出願番号: PCT/JP2021/041270

(22) 国際出願日: 2021年11月10日(10.11.2021)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2020-194034 2020年11月24日(24.11.2020) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 田中 克尚 (TANAKA Katsuhisa); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 大竹 悠介 (OTAKE Yusuke); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

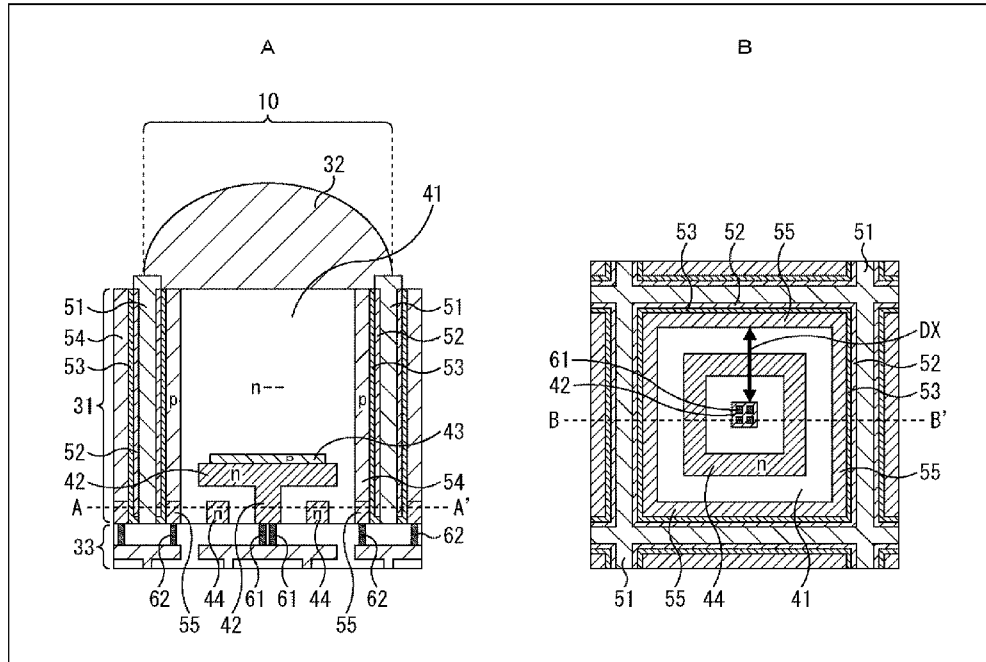
(74) 代理人: 西川 孝, 外 (NISHIKAWA Takashi et al.); 〒1700013 東京都豊島区東池袋3丁目9番10号 池袋F Nビル4階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,

(54) Title: LIGHT RECEIVING ELEMENT, RANGING SYSTEM, AND ELECTRONIC DEVICE

(54) 発明の名称: 受光素子、測距システム、および、電子機器

[図3]



(57) Abstract: The present technology relates to a light receiving element, a ranging system, and an electronic device that enable the reduction of unintended edge breakdown, when pixels are miniaturized. The light receiving element includes a pixel having a PN junction region in which a first semiconductor region of a first conductive type and a second semiconductor region of a second conductive type opposite to the first conductive type are joined, and a third semiconductor region of the first conductive type which is not connected to any wiring outside of the first semiconductor region near the

BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

first surface of a substrate on which wiring for supplying a predetermined power supply voltage to the first semiconductor region is formed. The present technology can be applied to, for example, a distance measuring sensor which receives reflected light and measures a distance.

(57) 要約: 本技術は、画素を微細化した場合に、意図しないエッジブレイクダウンを低減させることができるようにする受光素子、測距システム、および、電子機器に関する。受光素子は、第1の導電型の第1の半導体領域と、第1の導電型とは反対の第2の導電型の第2の半導体領域とが接合したPN接合領域と、第1の半導体領域に対して所定の電源電圧を供給する配線が形成された基板の第1の面近傍の第1の半導体領域の外側に、いずれの配線とも接続されない第1の導電型の第3の半導体領域とを有する画素を備える。本技術は、例えば、反射光を受光して距離を測定する測距センサ等に適用できる。

明 細 書

発明の名称：受光素子、測距システム、および、電子機器

技術分野

[0001] 本技術は、受光素子、測距システム、および、電子機器に関し、特に、画素を微細化した場合に、意図しないエッジブレイクダウンを低減させるようにした受光素子、測距システム、および、電子機器に関する。

背景技術

[0002] 近年、ToF（Time-of-Flight）法により距離計測を行う測距センサが注目されている。測距センサには、例えば、受光用の画素に、SPAD（Single Photon Avalanche Diode）を用いたものがある。SPADでは、ブレイクダウン電圧よりも大きい電圧（以下、過剰バイアス（Excess Bias）と称する。）を印加した状態で、高電界のPN接合領域へ1個の光子が入ると、アバランシェ増幅が発生する。その際の瞬間的に電流が流れたタイミングを検出することで、高精度に距離を計測することができる。

[0003] 本出願人は、特許文献1において、カソード電極に接続されたアバランシェフォトダイオードと、隣接する画素を分離する分離領域と、分離領域の側壁にホールを蓄積するホール蓄積領域とを備え、ホール蓄積領域がアノード電極と電氣的に接続された画素構造を提案している。

先行技術文献

特許文献

[0004] 特許文献1：国際公開第2018／074530号

発明の概要

発明が解決しようとする課題

[0005] しかしながら、画素の微細化に伴い、カソード電極とアノード電極との距離が狭まると、意図しないエッジブレイクダウンが起こり得る。

[0006] 本技術は、このような状況に鑑みてなされたものであり、画素を微細化した場合に、意図しないエッジブレイクダウンを低減させるようにするもので

ある。

課題を解決するための手段

- [0007] 本技術の第1の側面の受光素子は、第1の導電型の第1の半導体領域と、前記第1の導電型とは反対の第2の導電型の第2の半導体領域とが接合したPN接合領域と、前記第1の半導体領域に対して所定の電源電圧を供給する配線が形成された基板の第1の面近傍の前記第1の半導体領域の外側に、いずれの配線とも接続されない前記第1の導電型の第3の半導体領域とを有する画素を備える。
- [0008] 本技術の第2の側面の測距システムは、照射光を照射する発光部と、前記照射光が被写体により反射された反射光を受光する受光素子とを備え、前記受光素子は、第1の導電型の第1の半導体領域と、前記第1の導電型とは反対の第2の導電型の第2の半導体領域とが接合したPN接合領域と、前記第1の半導体領域に対して所定の電源電圧を供給する配線が形成された基板の第1の面近傍の前記第1の半導体領域の外側に、いずれの配線とも接続されない前記第1の導電型の第3の半導体領域とを有する画素を備える。
- [0009] 本技術の第3の側面の電子機器は、第1の導電型の第1の半導体領域と、前記第1の導電型とは反対の第2の導電型の第2の半導体領域とが接合したPN接合領域と、前記第1の半導体領域に対して所定の電源電圧を供給する配線が形成された基板の第1の面近傍の前記第1の半導体領域の外側に、いずれの配線とも接続されない前記第1の導電型の第3の半導体領域とを有する画素を備える受光素子を備える。
- [0010] 本技術の第1ないし第3の側面においては、受光素子の画素において、第1の導電型の第1の半導体領域と、前記第1の導電型とは反対の第2の導電型の第2の半導体領域とが接合したPN接合領域と、前記第1の半導体領域に対して所定の電源電圧を供給する配線が形成された基板の第1の面近傍の前記第1の半導体領域の外側に、いずれの配線とも接続されない前記第1の導電型の第3の半導体領域とが設けられる。
- [0011] 受光素子、測距システム、及び、電子機器は、独立した装置であっても良

いし、他の装置に組み込まれるモジュールであっても良い。

図面の簡単な説明

[0012] [図1]SPADを用いた画素の回路構成例を示す図である。

[図2]図1の画素の動作を説明する図である。

[図3]画素の第1構成例を示す図である。

[図4]画素の第2構成例を示す図である。

[図5]画素の第3構成例を示す図である。

[図6]画素の第4構成例を示す図である。

[図7]画素の第5構成例を示す図である。

[図8]画素の第6構成例を示す図である。

[図9]画素の第7構成例を示す図である。

[図10]画素の第7構成例を示す図である。

[図11]画素の第8構成例を示す図である。

[図12]画素の第8構成例を示す図である。

[図13]画素の第9構成例を示す図である。

[図14]画素の第9構成例を示す図である。

[図15]画素の第10構成例を示す図である。

[図16]本技術を適用した測距システムの構成例を示すブロック図である。

[図17]図16の測距センサの第1構成例を示すブロック図である。

[図18]図16の測距センサの第2構成例を示すブロック図である。

[図19]本技術を適用した電子機器としてのスマートフォンの構成例を示すブロック図である。

[図20]車両制御システムの概略的な構成の一例を示すブロック図である。

[図21]車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0013] 以下、本技術を実施するための形態（以下、実施の形態という）について説明する。説明は以下の順序で行う。

1. SPADを用いた画素回路

2. 画素の第1構成例
3. 画素の第2構成例
4. 画素の第3構成例
5. 画素の第4構成例
6. 画素の第5構成例
7. 画素の第6構成例
8. 画素の第7構成例
9. 画素の第8構成例
10. 画素の第9構成例
11. 画素の第10構成例
12. 測距システムの構成例
13. 電子機器への構成例
14. 移動体への応用例

[0014] なお、以下の説明で参照する図面において、同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は実際のものとは異なる。また、図面相互間においても、互いの寸法の関係や比率が異なる部分が含まれている場合がある。

[0015] また、以下の説明における上下等の方向の定義は、単に説明の便宜上の定義であって、本開示の技術的思想を限定するものではない。例えば、対象を90°回転して観察すれば上下は左右に変換して読まれ、180°回転して観察すれば上下は反転して読まれる。

[0016] <1. SPADを用いた画素回路>

本技術は、例えば、ToF (Time-of-Flight) 法により距離計測を行う測距センサ等の受光素子に適用可能なアバランシェフォトダイオード (APD) に適用し得る。アバランシェフォトダイオード (APD) には、ブレイクダウン電圧よりも高いバイアス電圧 (以下、過剰バイアス (Excess Bias) と称する。) で動作させるガイガーモードと、ブレイクダウン電圧近傍の少し高いバイアス

電圧で動作させるリニアモードとがある。ガイガーモードのアバランシェフォトダイオードは、シングルフォトンアバランシェダイオード（SPAD）とも呼ばれている。SPADは、光電変換により発生したキャリアを高電界のPN接合領域（増倍領域）で増倍させることで、1個のフォトンを瞬間的に検出することができる。

[0017] 以下では、本技術をSPADに適用した場合を例に説明する。

[0018] 図1は、SPADを用いた画素回路を示している。

[0019] 図1の画素10は、SPAD21、定電流源22、トランジスタ23、及び、インバータ24を備える。

[0020] SPAD21のカソードは、定電流源22に接続されるとともに、インバータ24の入力端子、及び、トランジスタ23のドレインに接続されている。SPAD21のアノードは、電源電圧VSPADに接続されている。

[0021] SPAD21は、入射光が入射されたとき、発生する電子をアバランシェ増幅させてカソード電圧VSの信号を出力するフォトダイオード（単一光子アバランシェフォトダイオード）である。SPAD21のアノードに供給される電源電圧VSPADは、例えば、SPAD21のブレイクダウン電圧VBDと同じ電圧の負バイアス（負の電位）とされる。

[0022] 定電流源22は、例えば、飽和領域で動作するP型のMOSトランジスタで構成され、クエンチング抵抗として働くことにより、パッシブクエンチを行う。定電流源22には、電源電圧VE（ $VE > 0$ ）が供給されている。なお、定電流源22は、P型のMOSトランジスタの代わりに、プルアップ抵抗などを用いることもできる。

[0023] SPAD21には、十分な効率で光（フォトン）を検出するため、SPAD21のブレイクダウン電圧VBDよりも大きな過剰バイアスが印加される。

[0024] トランジスタ23のドレインは、SPAD21のカソード、インバータ24の入力端子、および、定電流源22に接続され、トランジスタ23のソースは、グラウンド（GND）に接続されている。トランジスタ23のゲートには、ゲーティング制御信号VGが、画素を駆動する画素制御回路から供給される。

- [0025] 画素10がアクティブ画素とされる場合には、Lo (Low) のゲーティング制御信号VGが、画素制御回路からトランジスタ23のゲートに供給される。一方、画素10が非アクティブ画素とされる場合には、Hi (High) のゲーティング制御信号VGが、画素制御回路からトランジスタ23のゲートに供給される。
- [0026] インバータ24は、入力信号としてのカソード電圧VSがLoのとき、HiのPFout信号を出力し、カソード電圧VSがHiのとき、LoのPFout信号を出力する。
- [0027] 次に、図2を参照して、画素10がアクティブ画素とされた場合の動作について説明する。図2は、光子の入射に応じたSPAD21のカソード電圧VSの変化と検出信号PFoutを示すグラフである。
- [0028] まず、画素10がアクティブ画素である場合、トランジスタ23は、Loのゲーティング制御信号VGにより、オフに設定される。
- [0029] 図2の時刻t0より前の時刻では、SPAD21のカソードには電源電圧VEが供給され、アノードには電源電圧VSPADが供給されることから、SPAD21にブレイクダウン電圧VBDより大きい逆電圧が印加されることにより、SPAD21がガイガーモードに設定される。この状態では、SPAD21のカソード電圧VSは、電源電圧VEと同じである。
- [0030] ガイガーモードに設定されたSPAD21に光子が入射すると、アバランシェ増倍が発生し、SPAD21に電流が流れる。
- [0031] 時刻t0において、アバランシェ増倍が発生し、SPAD21に電流が流れたとすると、時刻t0以降、SPAD21に電流が流れることにより、定電流源22としてのP型のMOSトランジスタにも電流が流れ、MOSトランジスタの抵抗成分により電圧降下が発生する。
- [0032] 時刻t2において、SPAD21のカソード電圧VSが0Vよりも低くなると、ブレイクダウン電圧VBDよりも低い状態となるので、アバランシェ増幅が停止する。ここで、アバランシェ増幅により発生する電流が定電流源22に流れることで電圧降下が発生させ、発生した電圧降下に伴って、カソード電圧VSがブレイクダウン電圧VBDよりも低い状態となることで、アバランシェ増幅を停止

させる動作がクエンチ動作である。

[0033] アバランシェ増幅が停止すると定電流源 22 (P型のMOSトランジスタ) に流れる電流が徐々に減少して、時刻 t_4 において、カソード電圧 V_S が再び元の電源電圧 V_E まで戻り、次の新たなフォトンを検出できる状態となる (リチャージ動作)。

[0034] インバータ 24 は、入力電圧であるカソード電圧 V_S が所定の閾値電圧 V_{th} ($=V_E/2$) 以上のとき、Lo (Low) のPFout信号を出力し、カソード電圧 V_S が所定の閾値電圧 V_{th} 未満のとき、HiのPFout信号を出力する。図2の例では、時刻 t_1 から時刻 t_3 の期間、Hi (High)のPFout信号が出力される。

[0035] なお、画素 10 が非アクティブ画素とされる場合には、Hiのゲーティング制御信号 V_G が、画素制御回路からトランジスタ 23 のゲートに供給され、トランジスタ 23 がオンされる。これにより、SPAD 21 のカソード電圧 V_S が $0V$ (GND) となり、SPAD 21 のアノード・カソード間電圧がブレイクダウン電圧 V_{BD} 以下となるので、SPAD 21 に光子が入ってきても反応しない。

[0036] <2. 画素の第1構成例>

図3は、上述したSPAD 21 を用いた画素 10 の第1構成例を示す図である。

[0037] 図3のAは、第1構成例に係る画素 10 の断面図であり、図3のBは、第1の構成例に係る画素 10 の平面図である。図3のAの断面図は、図3のBのB-B' 線における断面図を示し、図3のBの平面図は、図3のAのA-A' 線における平面図を示している。

[0038] 第1構成例に係る画素 10 は、図3のAに示されるように、シリコン等で構成される半導体基板 31 の一方の面に、オンチップレンズ 32 を有し、他方の面に、SPAD 21 のカソードに電源電圧 V_E を供給したり、アノードに電源電圧 V_{SPAD} を供給するための配線が形成された配線層 33 を有する。図3のAにおいて半導体基板 31 の下側となる、配線層 33 が形成された面が半導体基板 31 のおもて面側であり、オンチップレンズ 32 が形成された面が裏面側となる。物体から反射されてきた反射光が入射される入射面は、オンチップ

レンズ 3 2 が形成された裏面側である。したがって、画素 1 0 は、半導体基板 3 1 の裏面側で入射光を受光する裏面照射型の画素構造を有する。

[0039] 画素 1 0 は、図 3 の A に示されるように、半導体基板 3 1 内のオンチップレンズ 3 2 の下方に、 n ウェル 4 1 を有し、 n ウェル 4 1 内に、高濃度 n 型半導体領域 4 2、高濃度 p 型半導体領域 4 3、および、高濃度 n 型半導体領域 4 4 が形成されている。

[0040] n ウェル 4 1 は、半導体基板 3 1 の不純物濃度が薄い n 型 (n -) に制御されることにより形成され、画素 1 0 における光電変換により発生する電子をアバランシェ増倍領域へ転送する電界を形成する。なお、 n ウェル 4 1 に代えて、半導体基板 3 1 の不純物濃度を p 型に制御した p ウェルを形成してもよい。

[0041] 高濃度 n 型半導体領域 4 2 は、半導体基板 3 1 のおもて面側から所定の深さに所定の平面領域で形成された濃い n 型 (第 1 導電型) の半導体領域 (第 1 の半導体領域) であり、画素領域の中央部において縦方向 (深さ方向) に延びた略 T 字状の断面形状を有し、半導体基板 3 1 のおもて面まで形成されている。そして、半導体基板 3 1 のおもて面側界面において、高濃度 n 型半導体領域 4 2 が、配線層 3 3 に形成された配線 6 1 と接続されている。高濃度 n 型半導体領域 4 2 には、配線 6 1 を介して、電源電圧 V_E が供給される。すなわち、配線 6 1 は、アバランシェ増倍領域を形成するための電源電圧 V_E を、カソード電極としての高濃度 n 型半導体領域 4 2 に供給する。なお、図 3 の A の A-A' 線の断面には配線 6 1 が存在しないが、基板おもて面界面の配線 6 1 と高濃度 n 型半導体領域 4 2 とのコンタクト部を説明するため、図 3 の B の平面図に配線 6 1 を示している。配線 6 1 の平面図への図示については、後述する他の図においても同様である。図 3 の B に示されるように、カソード電極としての高濃度 n 型半導体領域 4 2 に、例えば、4 本の配線 6 1 によって電源電圧 V_E が供給される。ただし、配線 6 1 の本数は 4 本に限られず、他の本数でもよい。

[0042] 図 3 の A の高濃度 p 型半導体領域 4 3 は、半導体基板 3 1 内の高濃度 n 型半

導体領域 4 2 の上面に接合して形成された濃い p 型（第 2 導電型）の半導体領域（第 2 の半導体領域）である。高濃度 n 型半導体領域 4 2 と高濃度 p 型半導体領域 4 3 とが接合する PN 接合領域に形成される空乏層によって、アバランシェ増倍領域が形成される。高濃度 n 型半導体領域 4 2 の平面形状は、図 3 の B の高濃度 n 型半導体領域 4 4 の外形サイズと略同等の矩形形状である。高濃度 p 型半導体領域 4 3 の平面形状は、高濃度 n 型半導体領域 4 2 の平面サイズより少し小さく形成される。これにより、増倍領域の端部でエッジブレイクダウンを低減している。

[0043] 高濃度 n 型半導体領域 4 4（第 3 の半導体領域）は、半導体基板 3 1 のおもて面界面近傍であって、カソード電極としての高濃度 n 型半導体領域 4 2 から平面方向に所定距離離れた位置に形成されている。この高濃度 n 型半導体領域 4 4 は、金属汚染を引き起こす不純物を捕獲、固着させる領域であるゲッタリングサイトとして機能する。高濃度 n 型半導体領域 4 4 の平面形状は、図 3 の B に示されるように、所定の幅を有する矩形形状であり、画素領域の中央部に形成された高濃度 n 型半導体領域 4 2 の外周を囲むように配置されている。高濃度 n 型半導体領域 4 4 の平面位置は、高濃度 n 型半導体領域 4 2 と高濃度 p 型半導体領域 4 3 との PN 接合領域と少なくとも一部が重なる位置に配置されている。高濃度 n 型半導体領域 4 4 の不純物濃度は、例えば、高濃度 n 型半導体領域 4 2 と同一濃度とされる。高濃度 n 型半導体領域 4 4 には、配線層 3 3 のいずれの配線とも接続されておらず、電氣的にフローティングとなっている。

[0044] ここで、n ウェル 4 1 の不純物濃度は、例えば、 $1\text{E}+14/\text{cm}^3$ 以下の低濃度とされ、アバランシェ増倍領域を形成する高濃度 n 型半導体領域 4 2 と高濃度 p 型半導体領域 4 3 のそれぞれの不純物濃度は、 $1\text{E}+16/\text{cm}^3$ 以上の高濃度とされる。

[0045] n ウェル 4 1 の平面方向外側であり、隣接する他の画素 1 0 との境界部には、半導体基板 3 1 をおもて面側から裏面側まで貫通する画素間分離部 5 1 が形成されている。画素間分離部 5 1 は、例えば、タングステン (W)、ア

ルミニウム（Al）、チタン（Ti）、窒化チタン（TiN）等の金属材料や、ポリシリコンなどの導電材料で形成され、隣接する他の画素と電気的に分離する。画素間分離部51は、半導体基板31の全体としては、図3のBに示されるように、画素境界に沿って格子状に形成されている。

[0046] 画素間分離部51の画素内の側壁には、絶縁層52、固定電荷膜53、および、ホール蓄積層54が、その順番で形成されている。絶縁層52は、例えば、SiO₂で構成される。固定電荷膜53は、負の固定電荷膜とされ、固定電荷膜53によるホール(Hole)の誘起により、ホール蓄積領域が固定電荷膜53の内側に形成される。

[0047] ホール蓄積層54は、p型の半導体領域(p)で形成され、光電変換により発生したホールを蓄積する。また、ホール蓄積層54は、絶縁層52との界面で発生した電子をトラップし、DCR（ダークカウントレート）を抑制する効果も奏する。固定電荷膜53により形成されるホール蓄積領域と、その内側に形成されたホール蓄積層54とにより、暗電流を抑制し、DCRを抑制することができる。また、クロストークの低減、横方向電界の形成により高電界領域にキャリアを集めやすくすることができ、PDE（Photon Detection Efficiency）を向上させることができる。

[0048] ホール蓄積層54の基板おもて面側の近傍領域は、特に不純物濃度が高濃度(p+)に制御され、高濃度p型半導体領域55（第4の半導体領域）とされている。高濃度p型半導体領域55は、配線層33に形成された配線62と接続されている。この配線62を介して、電源電圧VSPADが高濃度p型半導体領域55に印加される。すなわち、配線62は、アノード電極としての高濃度p型半導体領域55に電源電圧VSPADを供給する。ホール蓄積層54は、イオン注入により形成することができ、あるいはまた固相拡散により形成してもよい。図3の例では、ホール蓄積層54が、画素間分離部51の側面にのみ形成されているが、光入射面である基板裏面側の界面にも形成してもよい。

[0049] 以上の第1構成例に係る画素10では、図3のBの平面図で示されるように

、カソード電極としての高濃度 n 型半導体領域 4 2 が、半導体基板 3 1 のおもて面側界面において画素領域の中央部にのみ小さい平面サイズで形成される。一方、アノード電極としての高濃度 p 型半導体領域 5 5 は、矩形の画素領域の外周部に沿って形成される。これにより、アノード-カソード間の距離 DX を広く確保するとともに、ゲッタリングサイトである高濃度 n 型半導体領域 4 4 の領域を確保することができる。そして、高濃度 n 型半導体領域 4 2 と、高濃度 p 型半導体領域 5 5 との間に、ゲッタリングサイトとして機能する高濃度 n 型半導体領域 4 4 が、電氣的にフローティング状態で形成される。これにより、カソード-アノード間の電界を緩和することができるとともに、暗電流成分となる電子の発生を防ぐことができる。また、画素 1 0 を微細化したときにカソード-アノード間の距離が狭まることにより発生する、意図しないエッジブレイクダウンを低減させることができる。

[0050] なお、上述した例では、ゲッタリングサイトとして機能する高濃度 n 型半導体領域 4 4 の不純物濃度を、高濃度 n 型半導体領域 4 2 と同じ濃度としたが、必ずしも同じである必要はなく、異なる濃度としてもよい。

[0051] また、ゲッタリングサイトとして機能する高濃度 n 型半導体領域 4 4 の平面形状を矩形形状としたが、高濃度 n 型半導体領域 4 2 と高濃度 p 型半導体領域 5 5 との間に配置可能な形状であればよく、例えば、多角形状や環状でもよい。また、多角形状の角部が丸みをもつ形状でもよい。

[0052] 図 3 に示した第 1 構成例は、信号電荷（キャリア）として電子を読み出す構造の例であるが、ホールを読み出す構造とすることもできる。この場合には、高濃度 n 型半導体領域 4 2 が高濃度 p 型半導体領域に変更され、高濃度 p 型半導体領域 4 3 が高濃度 n 型半導体領域に変更される。また、高濃度 p 型半導体領域 5 5 は高濃度 n 型半導体領域に変更される。さらに、高濃度 n 型半導体領域 4 2 から高濃度 p 型半導体領域に変更されたコンタクト部には、配線 6 1 から電源電圧 VSPAD が印加され、高濃度 p 型半導体領域 5 5 から高濃度 n 型半導体領域に変更されたコンタクト部には、配線 6 2 から電源電圧 V E が印加される。

[0053] < 3. 画素の第 2 構成例 >

図 4 は、上述した SPAD 2 1 を用いた画素 1 0 の第 2 構成例を示す図である。

[0054] なお、図 4 以降に示す第 2 構成例ないし第 1 0 構成例において、図 3 に示した第 1 構成例と対応する部分については同一の符号を付すこととし、その部分の説明は適宜省略する。

[0055] 図 4 の A は、第 2 構成例に係る画素 1 0 の断面図であり、図 4 の B は、第 2 構成例に係る画素 1 0 の平面図である。図 4 の A の断面図は、図 4 の B の B-B' 線における断面図を示し、図 4 の B の平面図は、図 4 の A の A-A' 線における平面図を示している。

[0056] 図 4 の第 2 構成例は、埋め込み絶縁膜 8 1 および 8 2 が新たに設けられている点で、図 3 の第 1 構成例と相違し、その他の点で、図 3 の第 1 構成例と共通する。埋め込み絶縁膜 8 1 および 8 2 は、いわゆる STI (Shallow Trench Isolation) である。

[0057] 埋め込み絶縁膜 8 1 は、図 4 の A および B に示されるように、カソード電極である高濃度 n 型半導体領域 4 2 と、ゲッタリングサイトである高濃度 n 型半導体領域 4 4 との間に、内側の高濃度 n 型半導体領域 4 2 を所定の幅で囲む矩形形状で配置されている。

[0058] 埋め込み絶縁膜 8 2 は、図 4 の A および B に示されるように、ゲッタリングサイトである高濃度 n 型半導体領域 4 4 と、アノード電極である高濃度 p 型半導体領域 5 5 の間に、内側の高濃度 n 型半導体領域 4 4 を所定の幅で囲む矩形形状で配置されている。

[0059] 以上の第 2 構成例に係る画素 1 0 によれば、第 1 構成例と同様に、カソード電極としての高濃度 n 型半導体領域 4 2 が、画素領域の中央部にのみ小さい平面サイズで形成され、アノード電極としての高濃度 p 型半導体領域 5 5 は、矩形の画素領域の外周部に沿って形成される。これにより、アノード-カソード間の距離 DX を広く確保するとともに、ゲッタリングサイトである高濃度 n 型半導体領域 4 4 の領域を確保することができる。そして、高濃度 n 型

半導体領域 4 2 と、高濃度 p 型半導体領域 5 5 との間に、ゲッタリングサイトとして機能する高濃度 n 型半導体領域 4 4 が、電氣的にフローティング状態で形成される。これにより、カソードーアノード間の電界を緩和することができるとともに、暗電流成分となる電子の発生を防ぐことができる。また、画素 1 0 を微細化したときにカソードーアノード間の距離が狭まることにより発生する、意図しないエッジブレイクダウンを低減させることができる。

[0060] さらに、第 2 構成例に係る画素 1 0 は、カソード電極である高濃度 n 型半導体領域 4 2 とゲッタリングサイトとしての高濃度 n 型半導体領域 4 4 との間に埋め込み絶縁膜 8 1 を備え、ゲッタリングサイトとしての高濃度 n 型半導体領域 4 4 とアノード電極である高濃度 p 型半導体領域 5 5 の間に埋め込み絶縁膜 8 2 を備える。物理的に挿入された埋め込み絶縁膜 8 1 および 8 2 により、カソードーアノード間の電界をさらに緩和することができ、カソード電極とアノード電極との距離が狭まることにより発生する、意図しないエッジブレイクダウンをさらに低減させることができる。

[0061] < 4. 画素の第 3 構成例 >

図 5 は、上述した SPAD 2 1 を用いた画素 1 0 の第 3 構成例を示す図である。

[0062] 図 5 の A および B は、第 3 構成例に係る画素 1 0 の断面図であり、図 5 の C は、第 3 構成例に係る画素 1 0 の平面図である。図 5 の A の断面図は、図 5 の C の A-A' 線における断面図を示し、図 5 の B の断面図は、図 5 の C の B-B' 線における断面図を示し、図 5 の C の平面図は、図 5 の A の A-A' 線および図 5 の B の B-B' 線における平面図を示している。

[0063] 図 5 の第 3 構成例は、アノード電極としての高濃度 p 型半導体領域 5 5 の形成位置が、図 3 に示した第 1 構成例と異なる。すなわち、高濃度 p 型半導体領域 5 5 は、第 1 構成例では図 3 の B に示したように矩形の画素領域の外周部全体に形成されていたが、図 5 の第 3 構成例では、矩形の画素領域の四隅の各角部に三角形状で形成されている。

[0064] ゲッタリングサイトとして機能する高濃度 n 型半導体領域 4 4 は、平面視において、四隅の各角部が斜めに切り取られた矩形形状とされている。これにより、四隅の角部に配置された高濃度 p 型半導体領域 5 5 と、高濃度 n 型半導体領域 4 4 との距離が一定量保たれている。

[0065] 上述した高濃度 p 型半導体領域 5 5 および高濃度 n 型半導体領域 4 4 以外の構成は、図 3 に示した第 1 構成例と同様である。

[0066] 第 3 構成例に係る画素 1 0 においても、第 1 構成例と同様に、アノード-カソード間の距離 DX を広く確保するとともに、ゲッタリングサイトとしての高濃度 n 型半導体領域 4 4 の領域を確保することができる。そして、高濃度 n 型半導体領域 4 4 が電氣的にフローティング状態で形成され、カソード-アノード間の電界を緩和することができるとともに、暗電流成分となる電子の発生を防ぐことができる。また、画素 1 0 を微細化したときにカソード-アノード間の距離が狭まることにより発生する、意図しないエッジブレイクダウンを低減させることができる。

[0067] 第 3 構成例では、アノード電極である高濃度 p 型半導体領域 5 5 を、矩形の画素領域の四隅の各角部に三角形形状で配置したことにより、カソード電極である高濃度 n 型半導体領域 4 2 との距離を、より広く確保することができる。また、矩形の画素領域外周部の辺中央部にはアノード電極としての高濃度 p 型半導体領域 5 5 が存在しないので、ゲッタリングサイトとしての高濃度 n 型半導体領域 4 4 の領域を外周部へ広げることができ、ゲッタリングサイトの領域を拡大することができる。

[0068] < 5. 画素の第 4 構成例 >

図 6 は、上述した SPAD 2 1 を用いた画素 1 0 の第 4 構成例を示す図である。

[0069] 図 6 の A および B は、第 4 構成例に係る画素 1 0 の断面図であり、図 6 の C は、第 4 構成例に係る画素 1 0 の平面図である。図 6 の A の断面図は、図 6 の C の A-A' 線における断面図を示し、図 6 の B の断面図は、図 6 の C の B-B' 線における断面図を示し、図 6 の C の平面図は、図 6 の A の A-A' 線および図 6 の

BのB-B' 線における平面図を示している。

[0070] 図6の第4構成例は、ゲッタリングサイトとしての高濃度n型半導体領域44の形成位置が、図5に示した第3構成例と異なる。すなわち、第3構成例では、図5のBに示したように、高濃度n型半導体領域44は、矩形の画素領域の中央部に形成されたカソード電極としての高濃度n型半導体領域42を囲む一つの領域として形成されていたが、図6の第4構成例では、図6のCに示されるように、画素領域中央部の高濃度n型半導体領域42の縦方向および横方向の外側に、四つの領域に分割して形成されている。高濃度n型半導体領域44の形成位置以外は、図5に示した第3構成例と同様である。

[0071] 図6の第4構成例のように、ゲッタリングサイトとしての高濃度n型半導体領域44は、画素領域中央部に形成されたカソード電極としての高濃度n型半導体領域42の外周全体を囲む配置に限られない。図6の例では、高濃度n型半導体領域44を、画素領域中央部の高濃度n型半導体領域42の垂直方向および水平方向の外側に配置したが、矩形の画素領域の対角方向となる右上がり斜め方向および左上がり斜め方向の外側に配置してもよい。

[0072] 第4構成例に係る画素10においても、第3構成例と同様に、アノード-カソード間の距離DXをより広く確保するとともに、ゲッタリングサイトとしての高濃度n型半導体領域44の領域を確保することができる。そして、電氣的にフローティング状態となるように形成した高濃度n型半導体領域44がゲッタリングサイトとして機能することにより、カソード-アノード間の電界を緩和することができるとともに、暗電流成分となる電子の発生を防ぐことができる。また、画素10を微細化したときにカソード-アノード間の距離が狭まることにより発生する、意図しないエッジブレイクダウンを低減させることができる。

[0073] また、アノード電極としての高濃度p型半導体領域55を、矩形の画素領域の四隅の各角部に三角形状で配置したことにより、ゲッタリングサイトとしての高濃度n型半導体領域44の領域を外周部へ広げることができ、ゲッタリングサイトの領域を拡大することができる。

[0074] ＜6. 画素の第5構成例＞

図7は、上述したSPAD21を用いた画素10の第5構成例を示す図である。

[0075] 図7のAおよびBは、第5構成例に係る画素10の断面図であり、図7のCは、第5構成例に係る画素10の平面図である。図7のAの断面図は、図7のCのA-A'線における断面図を示し、図7のBの断面図は、図7のCのB-B'線における断面図を示し、図7のCの平面図は、図7のAのA-A'線および図7のBのB-B'線における平面図を示している。

[0076] 図7の第5構成例は、図5に示した第3構成例に対して、図4の第2構成例と同様の埋め込み絶縁膜81および82を新たに追加した構成を有している。ただし、図4の第2構成例は、アノード電極としての高濃度p型半導体領域55を矩形の画素領域の外周部全体に配置した構成であるのに対して、図7の第5構成例は、アノード電極としての高濃度p型半導体領域55を矩形の画素領域の四隅の各角部に三角形状で配置した構成である。そのため、埋め込み絶縁膜82は、高濃度n型半導体領域44の外周全体ではなく、高濃度p型半導体領域55が形成された対角方向のみに形成されている。

[0077] すなわち、埋め込み絶縁膜81は、カソード電極としての高濃度n型半導体領域42と、ゲッタリングサイトとしての高濃度n型半導体領域44との間に、内側の高濃度n型半導体領域42を所定の幅で囲む矩形形状で配置されている。

[0078] 埋め込み絶縁膜82は、ゲッタリングサイトとしての高濃度n型半導体領域44と、アノード電極としての高濃度p型半導体領域55との間の画素領域の対角方向に、四つの領域に分割して配置されている。

[0079] 第5構成例に係る画素10においても、第4構成例と同様に、アノード-カソード間の距離DXをより広く確保するとともに、ゲッタリングサイトとしての高濃度n型半導体領域44の領域を確保することができる。そして、電氣的にフローティング状態となるように形成した高濃度n型半導体領域44がゲッタリングサイトとして機能することにより、カソード-アノード間の電

界を緩和することができるとともに、暗電流成分となる電子の発生を防ぐことができる。また、画素10を微細化したときにカソードーアノード間の距離が狭まることにより発生する、意図しないエッジブレイクダウンを低減させることができる。

[0080] また、アノード電極である高濃度p型半導体領域55を、矩形の画素領域の四隅の各角部に三角形状で配置したことにより、ゲッタリングサイトである高濃度n型半導体領域44の領域を外周部へ広げることができ、ゲッタリングサイトの領域を拡大することができる。

[0081] さらに、カソード電極としての高濃度n型半導体領域42とゲッタリングサイトとしての高濃度n型半導体領域44との間に埋め込み絶縁膜81を備え、ゲッタリングサイトとしての高濃度n型半導体領域44とアノード電極としての高濃度p型半導体領域55の間に埋め込み絶縁膜82を備えることにより、カソードーアノード間の電界をさらに緩和することができるので、意図しないエッジブレイクダウンをさらに低減させることができる。

[0082] <7. 画素の第6構成例>

図8は、上述したSPAD21を用いた画素10の第6構成例を示す図である。

[0083] 図8のAは、第6構成例に係る画素10の断面図であり、図8のBおよびCは、第6構成例に係る画素10の平面図である。図8のAの断面図は、図8のBおよびCのA-A'線における断面図を示し、図8のBの平面図は、図8のAのX-X'線における平面図を示し、図8のCの平面図は、図8のAのY-Y'線における平面図を示している。

[0084] 図8の第6構成例では、アバランシェ増倍領域を形成する高濃度n型半導体領域42と高濃度p型半導体領域43のPN接合領域の基板深さ方向の位置が、図3に示した第1構成例と比較して、基板内のより深い位置に形成されている。また、PN接合領域の基板深さ位置の変更に伴い、ゲッタリングサイトとしての高濃度n型半導体領域44も、基板おもて面から、基板内のより深い位置まで形成されている。高濃度n型半導体領域42と高濃度p型半導

体領域 4 3 のPN接合領域の基板深さ位置は、例えば、半導体基板 3 1 のおもて面から、基板厚の $1/4$ ないし $1/2$ 程度に相当する位置とすることができる。第 6 構成例に係る画素 1 0 のその他の構成は、図 3 に示した第 1 構成例と同様である。

[0085] アバランシェ増倍領域を形成する高濃度 n 型半導体領域 4 2 と高濃度 p 型半導体領域 4 3 のPN接合領域を、半導体基板 3 1 の深い位置に形成することにより、ゲッタリングサイトとして機能する高濃度 n 型半導体領域 4 4 も基板深さ方向に深く形成することができるので、基板表面のみでなく、深さ方向にもゲッタリングサイトを形成することができる。

[0086] 第 6 構成例においても、アノード-カソード間の距離DXをより広く確保するとともに、ゲッタリングサイトとしての高濃度 n 型半導体領域 4 4 の領域を確保することができる。そして、電氣的にフローティング状態となるように形成した高濃度 n 型半導体領域 4 4 がゲッタリングサイトとして機能することにより、カソード-アノード間の電界を緩和することができるとともに、暗電流成分となる電子の発生を防ぐことができる。また、画素 1 0 を微細化したときにカソード-アノード間の距離が狭まることにより発生する、意図しないエッジブレイクダウンを低減させることができる。

[0087] < 8. 画素の第 7 構成例 >

図 9 および図 1 0 は、上述した SPAD 2 1 を用いた画素 1 0 の第 7 構成例を示す図である。

[0088] 図 9 は、第 7 構成例に係る画素 1 0 の断面図であり、図 1 0 は、第 7 構成例に係る画素 1 0 の平面図である。図 9 の断面図は、図 1 0 の A-A' 線における断面図を示し、図 1 0 の A の平面図は、図 9 の X-X' 線における平面図を示し、図 1 0 の B の平面図は、図 9 の Y-Y' 線における平面図を示し、図 1 0 の C の平面図は、図 9 の Z-Z' 線における平面図を示している。

[0089] 図 9 の第 7 構成例は、ゲッタリングサイトとして機能する高濃度 n 型半導体領域 4 4 が基板深さ方向に深く形成されている点で、図 8 の第 6 構成例と共通する。これにより、基板表面のみでなく、深さ方向にもゲッタリングサ

イトを形成することができる。

[0090] 一方、図8の第6構成例では、ゲッタリングサイトとしての高濃度n型半導体領域44が、アバランシェ増倍領域を形成する高濃度n型半導体領域42と高濃度p型半導体領域43のPN接合領域の深さ位置よりも浅い位置であったのに対して、図9の第7構成例では、PN接合領域の深さ位置よりも深い位置まで形成されている点で、図8の第6構成例と相違する。

[0091] また、図8の第6構成例の高濃度n型半導体領域44は、平面視でPN接合領域と少なくとも一部が重なる位置に配置されていた。これに対して、第7構成例の高濃度n型半導体領域44は、図10のBに示されるように、平面視でPN接合領域よりも外側に配置されている。

[0092] 第7構成例に係る画素10のその他の構成は、図8の第6構成例と同様である。

[0093] 第7構成例においても、アノード-カソード間の距離DXをより広く確保するとともに、ゲッタリングサイトとしての高濃度n型半導体領域44の領域を確保することができる。そして、電氣的にフローティング状態となるように形成した高濃度n型半導体領域44がゲッタリングサイトとして機能することにより、カソード-アノード間の電界を緩和することができるとともに、暗電流成分となる電子の発生を防ぐことができる。また、画素10を微細化したときにカソード-アノード間の距離が狭まることにより発生する、意図しないエッジブレイクダウンを低減させることができる。

[0094] <9. 画素の第8構成例>

図11および図12は、上述したSPAD21を用いた画素10の第8構成例を示す図である。

[0095] 図11は、第8構成例に係る画素10の断面図であり、図12は、第8構成例に係る画素10の平面図である。図11の断面図は、図12のA-A'線における断面図を示し、図12のAの平面図は、図11のX-X'線における平面図を示し、図12のBの平面図は、図11のY-Y'線における平面図を示し、図12のCの平面図は、図11のZ-Z'線における平面図を示している。

[0096] 図11の第8構成例は、ゲッタリングサイトとして機能する高濃度n型半導体領域44が基板深さ方向に深く形成されている点で、図9の第7構成例と共通する。これにより、基板表面のみでなく、深さ方向にもゲッタリングサイトを形成することができる。

[0097] 一方、図11の第8構成例と図9に示した第7構成例との違いは、図9に示した第7構成例の高濃度n型半導体領域44が、PN接合領域よりも深い位置まで形成されていたのに対して、図11の第8構成例では、PN接合領域と同じ深さとなっている。なお、PN接合領域の深さと完全に同一である必要はなく、略同一であればよい。

[0098] 換言すれば、高濃度n型半導体領域44の基板深さ方向の位置が、図9に示した第7構成例では高濃度p型半導体領域43よりも深く形成されているのに対して、図11の第8構成例では、PN接合領域を構成する高濃度p型半導体領域43の深さを超えない位置とされている。

[0099] 第8構成例に係る画素10のその他の構成は、第7構成例と同様である。

[0100] 第8構成例においても、アノード-カソード間の距離DXをより広く確保するとともに、ゲッタリングサイトとしての高濃度n型半導体領域44の領域を確保することができる。そして、電氣的にフローティング状態となるように形成した高濃度n型半導体領域44がゲッタリングサイトとして機能することにより、カソード-アノード間の電界を緩和することができるとともに、暗電流成分となる電子の発生を防ぐことができる。また、画素10を微細化したときにカソード-アノード間の距離が狭まることにより発生する、意図しないエッジブレイクダウンを低減させることができる。

[0101] <10. 画素の第9構成例>

図13および図14は、上述したSPAD21を用いた画素10の第9構成例を示す図である。

[0102] 図13は、第9構成例に係る画素10の断面図であり、図14は、第9構成例に係る画素10の平面図である。図13の断面図は、図14のA-A'線における断面図を示し、図14のAの平面図は、図13のX-X'線における平

面図を示し、図 1 4 の B の平面図は、図 1 3 の Y-Y' 線における平面図を示し、図 1 4 の C の平面図は、図 1 3 の Z-Z' 線における平面図を示している。

[0103] 図 1 3 および図 1 4 の第 9 構成例は、図 3 に示した第 1 構成例の高濃度 n 型半導体領域 4 4 と、図 1 1 に示した第 8 構成例の高濃度 n 型半導体領域 4 4 の両方を備えた構成を有する。

[0104] すなわち、第 9 構成例における高濃度 n 型半導体領域 4 4 A は、図 3 に示した第 1 構成例と同様に、平面視でアバランシェ増倍領域を形成する高濃度 n 型半導体領域 4 2 と高濃度 p 型半導体領域 4 3 の PN 接合領域と少なくとも一部が重なる位置に配置されている。

[0105] 一方、第 9 構成例における高濃度 n 型半導体領域 4 4 B は、図 1 1 に示した第 8 構成例と同様に、平面視でアバランシェ増倍領域を形成する高濃度 n 型半導体領域 4 2 と高濃度 p 型半導体領域 4 3 の PN 接合領域の外側に配置され、断面視で PN 接合領域と略同じ深さまで形成されている。なお、深さ方向の位置については、図 9 に示した第 7 構成例のように、PN 接合領域よりも深く形成してもよい。すなわち、高濃度 n 型半導体領域 4 4 B の深さ方向の位置は、少なくとも PN 接合領域と略同じ深さであればよい。

[0106] 第 9 構成例に係る画素 1 0 のその他の構成は、図 1 1 および図 1 2 に示した第 8 構成例と同様である。

[0107] 第 9 構成例においても、アノード-カソード間の距離 DX をより広く確保するとともに、ゲッタリングサイトとしての高濃度 n 型半導体領域 4 4 の領域を確保することができる。そして、電氣的にフローティング状態となるように形成した高濃度 n 型半導体領域 4 4 がゲッタリングサイトとして機能することにより、カソード-アノード間の電界を緩和することができるとともに、暗電流成分となる電子の発生を防ぐことができる。また、画素 1 0 を微細化したときにカソード-アノード間の距離が狭まることにより発生する、意図しないエッジブレイクダウンを低減させることができる。

[0108] さらに、基板おもて面近傍領域の高濃度 n 型半導体領域 4 2 の外周に配置した高濃度 n 型半導体領域 4 4 A と、アバランシェ増倍領域の外周に、アバラ

ンシェ増倍領域と略同じ深さの高濃度 n 型半導体領域 4 4 B とを形成することにより、ゲッタリングサイトの領域を増大し、よりゲッタリング効果を得ることができる。

[0109] < 1 1 . 画素の第 1 0 構成例 >

図 1 5 は、上述した SPAD 2 1 を用いた画素 1 0 の第 1 0 構成例を示す図である。

[0110] 図 1 5 の A は、第 1 0 構成例に係る画素 1 0 の断面図であり、図 1 5 の B は、第 1 0 構成例に係る画素 1 0 の平面図である。図 1 5 の A の断面図は、図 1 5 の B の B-B' 線における断面図を示し、図 1 5 の B の平面図は、図 1 5 の A の A-A' 線における平面図を示している。

[0111] 図 1 5 の第 1 0 構成例は、半導体基板 3 1 の裏面側に、R(Red), G(Green), (Blue) 等の所定の色に対応した波長を透過させるカラーフィルタ 9 1 が形成され、カラーフィルタ 9 1 の上に、オンチップレンズ 3 2 が形成されている点で、図 3 の第 1 構成例と相違し、その他の点で、図 3 の第 1 構成例と共通する。カラーフィルタ 9 1 の色の配列は、例えば、いわゆるベイヤ配列で配置されていることとするが、配列形式は、ベイヤ配列に限られない。また、色の種類も、R, G, B に限らず、C (Cyan) , M(Magenta), Y(Yellow) 等のその他の色であってもよい。カラーフィルタ 9 1 は、所定の色の可視光と、赤外光の両方を透過させる。

[0112] 第 1 0 構成例に係る画素 1 0 のその他の構成は、図 3 の第 1 構成例と同様である。

[0113] 第 1 0 構成例に係る画素 1 0 によれば、所定の露光期間に、R, G, B 等のカラーフィルタ 9 1 を透過して受光したフォトン数をカウントし、そのカウント値を輝度値として出力することにより、ビューイング用のデータを出力するイメージセンサとしても使用することができる。また、カラーフィルタ 9 1 は、赤外光も透過させるので、測距センサとして、測距データを出力することもできる。

[0114] 第 1 0 構成例においても、アノード-カソード間の距離 DX をより広く確保す

るとともに、ゲッタリングサイトとしての高濃度 n 型半導体領域 44 の領域を確保することができる。そして、電氣的にフローティング状態となるように形成した高濃度 n 型半導体領域 44 がゲッタリングサイトとして機能することにより、カソードーアノード間の電界を緩和することができるとともに、暗電流成分となる電子の発生を防ぐことができる。また、画素 10 を微細化したときにカソードーアノード間の距離が狭まることにより発生する、意図しないエッジブレイクダウンを低減させることができる。

[0115] < 12. 測距システムの構成例 >

次に、上述した第 1 ないし第 10 構成例に係る画素 10 を採用した測距センサおよび測距システムについて説明する。

[0116] 図 16 は、上述した第 1 ないし第 10 構成例に係る画素 10 を採用した測距システムの構成例を示すブロック図である。

[0117] 図 16 の測距システム 100 は、制御装置 110、測距センサ 111、LD 112、および、発光部 113 を備える。

[0118] 制御装置 110 は、測距センサ 111 を制御する装置である。制御装置 110 は、例えば、上位のホスト装置からの指令に基づいて、測定の実行を要求する測定リクエストを、測距センサ 111 に供給する。そして、制御装置 110 は、測定リクエストに応じて測距センサ 111 が実行した結果である測定データを、測距センサ 111 から取得する。

[0119] 測距センサ 111 は、制御装置 110 からの測定リクエストに応じて、例えば ToF 法による被写体までの距離の測定を実行し、その結果である測定データを制御装置 110 に出力する。測距センサ 111 は、上述した第 1 ないし第 10 構成例のいずれかの構成を有する画素 10 を備える受光素子である。

[0120] 測距センサ 111 は、測定に際して、必要に応じて発光部 113 を制御して照射光を発光させる。照射光を発光させる場合、測距センサ 111 は、所定の発光パルス LD 112 へ供給する。LD 112 は、発光部 113 を駆動するレーザドライバであり、測距センサ 111 からの発光パルスに基づいて発光部 113 を駆動し、発光部 113 から照射光を出力させる。発光部 113

は、例えば、VCSEL LED (Vertical Cavity Surface Emitting LASER LED) など構成され、LD 112の駆動により照射光を発光する。照射光には、例えば、波長が約850nmから940nmの範囲の赤外光 (IR光) が用いられる。

[0121] 図17は、測距センサ111の第1構成例を示すブロック図である。

[0122] 図17に示される第1構成例は、測距センサ111が、画素10として、上述した第1ないし第9構成例のいずれかを有する場合の構成である。

[0123] 測距センサ111は、制御部141、発光タイミング制御部142、SPAD画素アレイ部143、SPAD制御回路144、読み出し回路145、データ処理部146、出力IF147、および、入出力端子151aないし151cを有する。

[0124] 制御部141は、測距センサ111の動作全体を制御する。例えば、制御部141は、測定リクエストの受信や、測定データの送信などの所定の通信を、制御装置110との間で行う。測距センサ111は、SPAD画素アレイ部143内の全ての画素10を動作させる (アクティブ画素) こともできるし、複数ライン等の一部の画素10のみを動作させることもできる。制御部141は、SPAD画素アレイ部143内のどの画素10を動作させるかを制御するアクティブ制御信号をSPAD制御回路144に供給する。

[0125] 発光タイミング制御部142は、制御部141からの制御に基づき、照射光の発光タイミングを制御する発光パルスを生成し、入出力端子151bを介して、LD112へ出力する。また、発光タイミング制御部142は、生成した発光パルスをデータ処理部146にも供給する。

[0126] SPAD画素アレイ部143は、行列状に2次元配置された複数の画素10を有し、各画素10で検出された反射光に応じた画素信号を読み出し回路145に供給する。この画素10の構成として、上述した第1ないし第9構成例のいずれかが採用される。

[0127] SPAD制御回路144は、制御部141から供給されるアクティブ制御信号に基づいて、SPAD画素アレイ部143の各画素10に対し、アクティブ画素

または非アクティブ画素の切り替えを行う。アクティブ画素は、光子の入射を検出する画素であり、非アクティブ画素は、光子の入射を検出しない画素である。したがって、SPAD制御回路144は、SPAD画素アレイ部143の各画素10の受光動作のオンオフを制御する。例えば、SPAD制御回路144は、発光タイミング制御部142からの発光パルスに合わせた所定のタイミングで、SPAD画素アレイ部143の複数の画素10の少なくとも一部をアクティブ画素とし、残りの画素10を非アクティブ画素とする制御を行う。勿論、SPAD画素アレイ部143の全ての画素10をアクティブ画素としてもよい。

[0128] 読み出し回路145は、SPAD画素アレイ部143の各画素10から供給される画素信号を、データ処理部146に供給する。

[0129] データ処理部146は、ヒストグラム生成回路171と距離算出部172とを有する。

[0130] ヒストグラム生成回路171は、所定の回数（例えば、数回ないし数百回）繰り返し実行される照射光の発光と、その反射光の受光とに基づいて、反射光を受光するまでの飛行時間（カウント値）のヒストグラムを画素ごとに作成する。作成したヒストグラムについてのデータ（以下、ヒストグラムデータと称する。）が、距離算出部172に供給される。距離算出部172は、ヒストグラム生成回路171から供給されるヒストグラムデータに対して、ノイズ除去やヒストグラムのピーク検出などを行う。そして、距離算出部172は、検出されたヒストグラムのピーク値に基づいて、発光部113から照射された光が被写体で反射して戻ってくるまでの飛行時間を算出し、算出した飛行時間から、被写体までの距離を画素毎に算出する。算出された距離のデータは、出力IF147に供給される。

[0131] 出力IF147は、画素毎に算出された被写体までの距離のデータを、所定のデータフォーマットに格納し、測定データとして、入出力端子151cを介して制御装置110に出力する。

[0132] 図17の測距センサ111は、以上の構成を有し、制御装置110からの

測定リクエストに対して、被写体までの距離を測定した結果を、測定データとして、制御装置 110 に出力する。

[0133] 図 18 は、測距センサ 111 の第 2 構成例を示すブロック図である。

[0134] 図 18 に示される第 2 構成例は、測距センサ 111 が、画素 10 として、上述した第 10 構成例を有する場合の構成である。

[0135] 図 18 の第 2 構成例に係る測距センサ 111 は、図 17 に示した第 1 構成例に係る測距センサ 111 と比較すると、データ処理部 146 の構成が異なり、その他は同一である。

[0136] 図 18 の第 2 構成例において、データ処理部 146 は、フォトンカウント回路 181 と、画像データ処理部 182 とで構成される。

[0137] フォトンカウント回路 181 は、SPAD画素アレイ部 143 内の各画素 10 の SPAD が所定期間内に反応した回数、すなわち、フォトンが入射した回数を画素毎にカウントする。そして、フォトンカウント回路 181 は、カウント結果を、画像データ処理部 182 に供給する。画像データ処理部 182 は、各画素 10 で計測されたフォトンのカウント結果を、受光量に応じた画素値（輝度値）とする画像データ（ビューイングデータ）を生成し、出力 IF 147 に供給する。

[0138] 出力 IF 147 は、画素毎に算出されたビューイングデータを、所定のデータフォーマットに格納し、測定データとして、入出力端子 151c を介して制御装置 110 に出力する。

[0139] 図 18 の測距センサ 111 は、以上の構成を有し、制御装置 110 からの測定リクエストに対して、受光量に応じた画素値（輝度値）を有する画像データを、測定データとして、制御装置 110 に出力する。

[0140] 図 17 および図 18 の測距センサ 111 は、SPAD画素アレイ部 143 内に行列状に 2 次元配置された画素として、第 1 ないし第 10 構成例に係る画素 10 のいずれかを備える。これにより、カソードーアノード間の電界を緩和することができるとともに、暗電流成分となる電子の発生を防ぐことができる。また、画素 10 を微細化したときにカソードーアノード間の距離が狭ま

ることにより発生する、意図しないエッジブレイクダウンを低減させることができる。したがって、ノイズを抑制した高精度な測定データを測定結果として出力することができる。

[0141] なお、図示は省略するが、測距センサ 111 のデータ処理部 146 を、ヒストグラム生成回路 171 および距離算出部 172 と、フォトンカウント回路 181 および画像データ処理部 182 とを備える構成としてもよい。この場合、測定データとして、測距データと、ビューイングデータとを時分割で実行して出力することができる。

[0142] < 13. 電子機器の構成例 >

図 16 の測距システム 100 は、例えば、スマートフォン、タブレット型端末、携帯電話機、パーソナルコンピュータ、ゲーム機、テレビ受像機、ウェアラブル端末、デジタルスチルカメラ、デジタルビデオカメラなどの電子機器に搭載することができる。

[0143] 図 19 は、図 16 の測距システム 100 を測距モジュールとして搭載したスマートフォンの構成例を示すブロック図である。

[0144] 図 19 に示すように、スマートフォン 601 は、測距モジュール 602、撮像装置 603、ディスプレイ 604、スピーカ 605、マイクロフォン 606、通信モジュール 607、センサユニット 608、タッチパネル 609、および制御ユニット 610 が、バス 611 を介して接続されて構成される。また、制御ユニット 610 では、CPU がプログラムを実行することによって、アプリケーション処理部 621 およびオペレーションシステム処理部 622 としての機能を備える。

[0145] 測距モジュール 602 には、図 16 の測距システム 100 が適用される。例えば、測距モジュール 602 は、スマートフォン 601 の前面に配置され、スマートフォン 601 のユーザを対象とした測距を行うことにより、そのユーザの顔や手、指などの表面形状のデプス値を測距結果として出力することができる。

[0146] 撮像装置 603 は、スマートフォン 601 の前面に配置され、スマートフ

オン６０１のユーザを被写体とした撮像を行うことにより、そのユーザが写された画像を取得する。なお、図示しないが、スマートフォン６０１の背面にも撮像装置６０３が配置された構成としてもよい。

[0147] ディスプレイ６０４は、アプリケーション処理部６２１およびオペレーションシステム処理部６２２による処理を行うための操作画面や、撮像装置６０３が撮像した画像などを表示する。スピーカ６０５およびマイクロフォン６０６は、例えば、スマートフォン６０１により通話を行う際に、相手側の音声の出力、および、ユーザの音声の収音を行う。

[0148] 通信モジュール６０７は、通信ネットワークを介した通信を行う。センサユニット６０８は、速度や加速度、近接などをセンシングし、タッチパネル６０９は、ディスプレイ６０４に表示されている操作画面に対するユーザによるタッチ操作を取得する。

[0149] アプリケーション処理部６２１は、スマートフォン６０１によって様々なサービスを提供給するための処理を行う。例えば、アプリケーション処理部６２１は、測距モジュール６０２から供給されるデプスに基づいて、ユーザの表情をバーチャルに再現したコンピュータグラフィックスによる顔を作成し、ディスプレイ６０４に表示する処理を行うことができる。また、アプリケーション処理部６２１は、測距モジュール６０２から供給されるデプスに基づいて、例えば、任意の立体的な物体の三次元形状データを作成する処理を行うことができる。

[0150] オペレーションシステム処理部６２２は、スマートフォン６０１の基本的な機能および動作を実現するための処理を行う。例えば、オペレーションシステム処理部６２２は、測距モジュール６０２から供給されるデプス値に基づいて、ユーザの顔を認証し、スマートフォン６０１のロックを解除する処理を行うことができる。また、オペレーションシステム処理部６２２は、測距モジュール６０２から供給されるデプス値に基づいて、例えば、ユーザのジェスチャを認識する処理を行い、そのジェスチャに従った各種の操作を入力する処理を行うことができる。

[0151] このように構成されているスマートフォン601では、測距モジュールとして、上述した測距システム100を適用することで、例えば、被写体としての所定の物体までの距離を測定して、測距データとして出力することができる。また、ビューイングモードでは、ビューイングデータを出力することもできる。

[0152] <14. 移動体への応用例>

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0153] 図20は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0154] 車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図20に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、及び車載ネットワークI/F（interface）12053が図示されている。

[0155] 駆動系制御ユニット12010は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット12010は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0156] ボディ系制御ユニット12020は、各種プログラムにしたがって車体に

装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット 12020 は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット 12020 には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット 12020 は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0157] 車外情報検出ユニット 12030 は、車両制御システム 12000 を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット 12030 には、撮像部 12031 が接続される。車外情報検出ユニット 12030 は、撮像部 12031 に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット 12030 は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0158] 撮像部 12031 は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部 12031 は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部 12031 が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0159] 車内情報検出ユニット 12040 は、車内の情報を検出する。車内情報検出ユニット 12040 には、例えば、運転者の状態を検出する運転者状態検出部 12041 が接続される。運転者状態検出部 12041 は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット 12040 は、運転者状態検出部 12041 から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0160] マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 又

は車内情報検出ユニット12040で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット12010に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行うことができる。

[0161] また、マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0162] また、マイクロコンピュータ12051は、車外情報検出ユニット12030で取得される車外の情報に基づいて、ボディ系制御ユニット12020に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車外情報検出ユニット12030で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0163] 音声画像出力部12052は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図20の例では、出力装置として、オーディオスピーカ12061、表示部12062及びインストルメントパネル12063が例示されている。表示部12062は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0164] 図21は、撮像部12031の設置位置の例を示す図である。

[0165] 図21では、車両12100は、撮像部12031として、撮像部121

01, 12102, 12103, 12104, 12105を有する。

[0166] 撮像部12101, 12102, 12103, 12104, 12105は、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部12101及び車室内のフロントガラスの上部に備えられる撮像部12105は、主として車両12100の前方の画像を取得する。サイドミラーに備えられる撮像部12102, 12103は、主として車両12100の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部12104は、主として車両12100の後方の画像を取得する。撮像部12101及び12105で取得される前方の画像は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0167] なお、図21には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像部12101の撮像範囲を示し、撮像範囲12112, 12113は、それぞれサイドミラーに設けられた撮像部12102, 12103の撮像範囲を示し、撮像範囲12114は、リアバンパ又はバックドアに設けられた撮像部12104の撮像範囲を示す。例えば、撮像部12101ないし12104で撮像された画像データが重ね合わせられることにより、車両12100を上方から見た俯瞰画像が得られる。

[0168] 撮像部12101ないし12104の少なくとも1つは、距離情報を取得する機能を有していてもよい。例えば、撮像部12101ないし12104の少なくとも1つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0169] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を基に、撮像範囲12111ないし12114内における各立体物までの距離と、この距離の時間的变化（車両12100に対する相対速度）を求めることにより、特に車両12100の進行路上

にある最も近い立体物で、車両 12100 と略同じ方向に所定の速度（例えば、0 km/h 以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ 12051 は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0170] 例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 から得られた距離情報を元に、立体物に関する立体物データを、2 輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ 12051 は、車両 12100 の周辺の障害物を、車両 12100 のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ 12051 は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ 12061 や表示部 12062 を介してドライバに警報を出力することや、駆動系制御ユニット 12010 を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0171] 撮像部 12101 ないし 12104 の少なくとも 1 つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部 12101 ないし 12104 の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ 12051 が、撮像部 12101 ないし 12104 の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部 12052 は、当該認識された歩行者に強調のための方形輪郭線を

重畳表示するように、表示部 12062 を制御する。また、音声画像出力部 12052 は、歩行者を示すアイコン等を所望の位置に表示するように表示部 12062 を制御してもよい。

[0172] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部 12031 に適用され得る。具体的には、撮像部 12031 として、図 16 の測距システム 100 を適用することができる。撮像部 12031 に本開示に係る技術を適用することにより、ToF 方式による距離情報を取得することができる。また、得られた撮影画像や距離情報を用いて、ドライバの疲労を軽減したり、ドライバや車両の安全度を高めることが可能になる。

[0173] 本技術の実施の形態は、上述した実施の形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

[0174] 本明細書において複数説明した本技術は、矛盾が生じない限り、それぞれ独立に単体で実施することができる。もちろん、任意の複数の本技術を併用して実施することもできる。例えば、いずれかの実施の形態において説明した本技術の一部または全部を、他の実施の形態において説明した本技術の一部または全部と組み合わせて実施することもできる。また、上述した任意の本技術の一部または全部を、上述していない他の技術と併用して実施することもできる。

[0175] また、例えば、1つの装置（または処理部）として説明した構成を分割し、複数の装置（または処理部）として構成するようにしてもよい。逆に、以上において複数の装置（または処理部）として説明した構成をまとめて1つの装置（または処理部）として構成されるようにしてもよい。また、各装置（または各処理部）の構成に上述した以外の構成を付加してももちろんよい。さらに、システム全体としての構成や動作が実質的に同じであれば、ある装置（または処理部）の構成の一部を他の装置（または他の処理部）の構成に含めるようにしてもよい。

[0176] さらに、本明細書において、システムとは、複数の構成要素（装置、モジ

ジュール（部品）等）の集合を意味し、すべての構成要素が同一筐体中にあるか否かは問わない。したがって、別個の筐体に収納され、ネットワークを介して接続されている複数の装置、及び、1つの筐体の中に複数のモジュールが収納されている1つの装置は、いずれも、システムである。

[0177] 本技術の実施の形態は、上述した実施の形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

[0178] なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、本明細書に記載されたもの以外の効果があってもよい。

[0179] なお、本技術は、以下の構成を取ることができる。

(1)

第1の導電型の第1の半導体領域と、前記第1の導電型とは反対の第2の導電型の第2の半導体領域とが接合したPN接合領域と、

前記第1の半導体領域に対して所定の電源電圧を供給する配線が形成された基板の第1の面近傍の前記第1の半導体領域の外側に、いずれの配線とも接続されない前記第1の導電型の第3の半導体領域と

を有する画素

を備える受光素子。

(2)

前記第3の半導体領域は、前記基板の第1の面近傍において、前記第1の半導体領域の外周を囲むように配置されている

前記(1)に記載の受光素子。

(3)

前記第3の半導体領域は、前記第1の半導体領域の外周を囲む所定の幅の矩形形状である

前記(2)に記載の受光素子。

(4)

前記第3の半導体領域は、平面視で前記PN接合領域と少なくとも一部が重なる位置に配置されている

前記（２）または（３）に記載の受光素子。

（５）

前記第３の半導体領域の不純物濃度は、前記第１の半導体領域と同一濃度である

前記（１）ないし（４）のいずれかに記載の受光素子。

（６）

前記画素は、

前記基板の第１面近傍の画素領域の外周部に配置された前記第２の導電型の第４の半導体領域と、

前記第１の半導体領域と前記第３の半導体領域との間に配置された第１の埋め込み絶縁膜と、

前記第３の半導体領域と前記第４の半導体領域との間に配置された第２の埋め込み絶縁膜と

をさらに有する

前記（１）ないし（５）のいずれかに記載の受光素子。

（７）

前記画素は、

前記基板の第１面近傍の矩形の画素領域の四隅の各角部に配置された前記第２の導電型の第４の半導体領域をさらに備える

前記（１）に記載の受光素子。

（８）

前記第３の半導体領域は、前記基板の第１の面近傍の前記第１の半導体領域の外側に複数の領域で配置されている

前記（１）に記載の受光素子。

（９）

前記画素は、

前記基板の第１面近傍の矩形の画素領域の四隅の各角部に配置された前記第２の導電型の第４の半導体領域と、

前記第 1 の半導体領域と前記第 3 の半導体領域との間に配置された第 1 の埋め込み絶縁膜と、

前記前記第 3 の半導体領域と前記第 4 の半導体領域との間に配置された第 2 の埋め込み絶縁膜と

をさらに有する

前記（１）に記載の受光素子。

（１０）

前記第 3 の半導体領域は、平面視で前記PN接合領域よりも外側に配置され、断面視で前記基板の第 1 の面から前記PN接合領域より深い位置まで形成されている

前記（１）に記載の受光素子。

（１１）

前記第 3 の半導体領域は、平面視で前記PN接合領域よりも外側に配置され、断面視で前記基板の第 1 の面から前記PN接合領域と略同じ位置まで形成されている

前記（１）に記載の受光素子。

（１２）

前記第 3 の半導体領域は、

平面視で前記PN接合領域と少なくとも一部が重なる位置に配置された第 1 の領域と、

平面視で前記PN接合領域よりも外側に配置され、断面視で前記基板の第 1 の面から少なくとも前記PN接合領域と同じ位置まで形成された第 2 の領域とを有する

前記（１）に記載の受光素子。

（１３）

前記画素は、

前記基板の第 1 の面と反対側の第 2 の面上に、カラーフィルタとオンチップレンズとをさらに有する

前記（１）ないし（１２）のいずれかに記載の受光素子。

（１４）

照射光を照射する発光部と、

前記照射光が被写体により反射された反射光を受光する受光素子と
を備え、

前記受光素子は、

第１の導電型の第１の半導体領域と、前記第１の導電型とは反対の第２の導電型の第２の半導体領域とが接合したPN接合領域と、

前記第１の半導体領域に対して所定の電源電圧を供給する配線が形成された基板の第１の面近傍の前記第１の半導体領域の外側に、いずれの配線とも接続されない前記第１の導電型の第３の半導体領域と

を有する画素を備える

測距システム。

（１５）

第１の導電型の第１の半導体領域と、前記第１の導電型とは反対の第２の導電型の第２の半導体領域とが接合したPN接合領域と、

前記第１の半導体領域に対して所定の電源電圧を供給する配線が形成された基板の第１の面近傍の前記第１の半導体領域の外側に、いずれの配線とも接続されない前記第１の導電型の第３の半導体領域と

を有する画素

を備える受光素子

を備える電子機器。

符号の説明

[0180] ２１ SPAD, １０ 画素, ４１ nウェル, ４２ 高濃度n型半導体領域, ４３ 高濃度p型半導体領域, ４４, ４４A、４４B 高濃度n型半導体領域, ５１ 画素間分離部, ５２ 絶縁層, ５３ 固定電荷膜, ５４ ホール蓄積層, ５５ 高濃度p型半導体領域, ６１, ６２ 配線, ８１, ８２ 埋め込み絶縁膜, ９１ カラーフィルタ, １０

0 測距システム, 1 1 0 制御装置, 1 1 1 測距センサ, 6 0 1
スマートフォン, 6 0 2 測距モジュール

請求の範囲

- [請求項1] 第1の導電型の第1の半導体領域と、前記第1の導電型とは反対の第2の導電型の第2の半導体領域とが接合したPN接合領域と、
前記第1の半導体領域に対して所定の電源電圧を供給する配線が形成された基板の第1の面近傍の前記第1の半導体領域の外側に、いずれの配線とも接続されない前記第1の導電型の第3の半導体領域と
を有する画素
を備える受光素子。
- [請求項2] 前記第3の半導体領域は、前記基板の第1の面近傍において、前記第1の半導体領域の外周を囲むように配置されている
請求項1に記載の受光素子。
- [請求項3] 前記第3の半導体領域は、前記第1の半導体領域の外周を囲む所定の幅の矩形形状である
請求項2に記載の受光素子。
- [請求項4] 前記第3の半導体領域は、平面視で前記PN接合領域と少なくとも一部が重なる位置に配置されている
請求項2に記載の受光素子。
- [請求項5] 前記第3の半導体領域の不純物濃度は、前記第1の半導体領域と同一濃度である
請求項1に記載の受光素子。
- [請求項6] 前記画素は、
前記基板の第1面近傍の画素領域の外周部に配置された前記第2の導電型の第4の半導体領域と、
前記第1の半導体領域と前記第3の半導体領域との間に配置された第1の埋め込み絶縁膜と、
前記第3の半導体領域と前記第4の半導体領域との間に配置された第2の埋め込み絶縁膜と
をさらに有する

請求項 1 に記載の受光素子。

[請求項7]

前記画素は、

前記基板の第 1 面近傍の矩形の画素領域の四隅の各角部に配置された前記第 2 の導電型の第 4 の半導体領域をさらに備える

請求項 1 に記載の受光素子。

[請求項8]

前記第 3 の半導体領域は、前記基板の第 1 の面近傍の前記第 1 の半導体領域の外側に複数の領域で配置されている

請求項 1 に記載の受光素子。

[請求項9]

前記画素は、

前記基板の第 1 面近傍の矩形の画素領域の四隅の各角部に配置された前記第 2 の導電型の第 4 の半導体領域と、

前記第 1 の半導体領域と前記第 3 の半導体領域との間に配置された第 1 の埋め込み絶縁膜と、

前記前記第 3 の半導体領域と前記第 4 の半導体領域との間に配置された第 2 の埋め込み絶縁膜と

をさらに有する

請求項 1 に記載の受光素子。

[請求項10]

前記第 3 の半導体領域は、平面視で前記PN接合領域よりも外側に配置され、断面視で前記基板の第 1 の面から前記PN接合領域より深い位置まで形成されている

請求項 1 に記載の受光素子。

[請求項11]

前記第 3 の半導体領域は、平面視で前記PN接合領域よりも外側に配置され、断面視で前記基板の第 1 の面から前記PN接合領域と略同じ位置まで形成されている

請求項 1 に記載の受光素子。

[請求項12]

前記第 3 の半導体領域は、

平面視で前記PN接合領域と少なくとも一部が重なる位置に配置された第 1 の領域と、

平面視で前記PN接合領域よりも外側に配置され、断面視で前記基板の第1の面から少なくとも前記PN接合領域と同じ位置まで形成された第2の領域と

を有する

請求項1に記載の受光素子。

[請求項13]

前記画素は、

前記基板の第1の面と反対側の第2の面上に、カラーフィルタとオンチップレンズとをさらに有する

請求項1に記載の受光素子。

[請求項14]

照射光を照射する発光部と、

前記照射光が被写体により反射された反射光を受光する受光素子とを備え、

前記受光素子は、

第1の導電型の第1の半導体領域と、前記第1の導電型とは反対の第2の導電型の第2の半導体領域とが接合したPN接合領域と、

前記第1の半導体領域に対して所定の電源電圧を供給する配線が形成された基板の第1の面近傍の前記第1の半導体領域の外側に、いずれの配線とも接続されない前記第1の導電型の第3の半導体領域と

を有する画素を備える

測距システム。

[請求項15]

第1の導電型の第1の半導体領域と、前記第1の導電型とは反対の第2の導電型の第2の半導体領域とが接合したPN接合領域と、

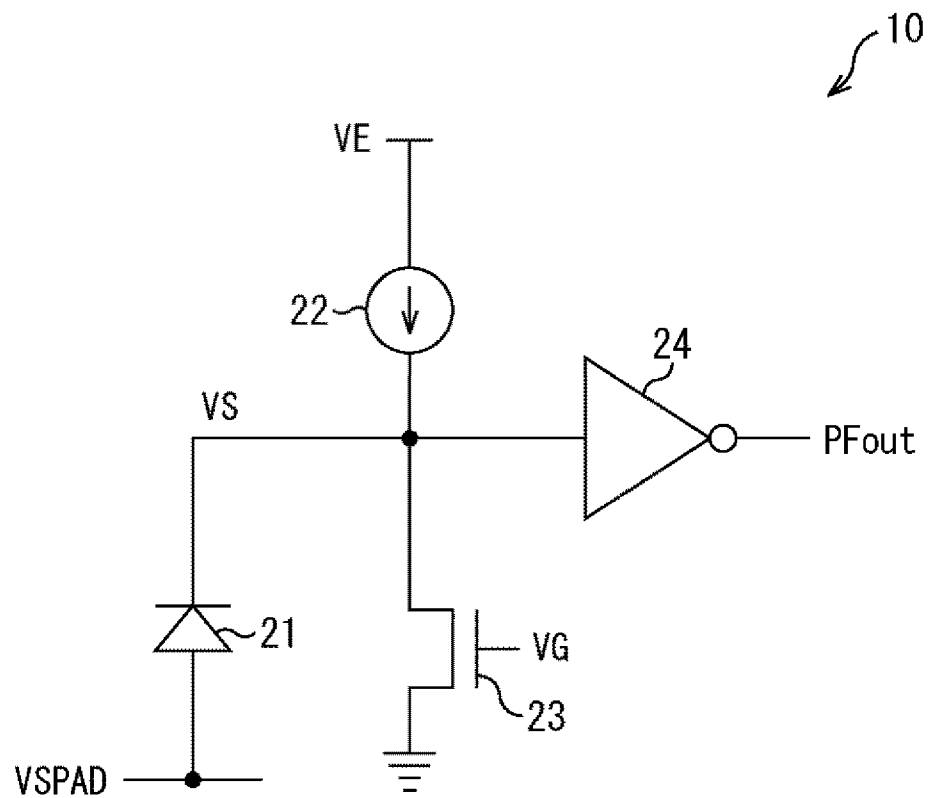
前記第1の半導体領域に対して所定の電源電圧を供給する配線が形成された基板の第1の面近傍の前記第1の半導体領域の外側に、いずれの配線とも接続されない前記第1の導電型の第3の半導体領域と

を有する画素

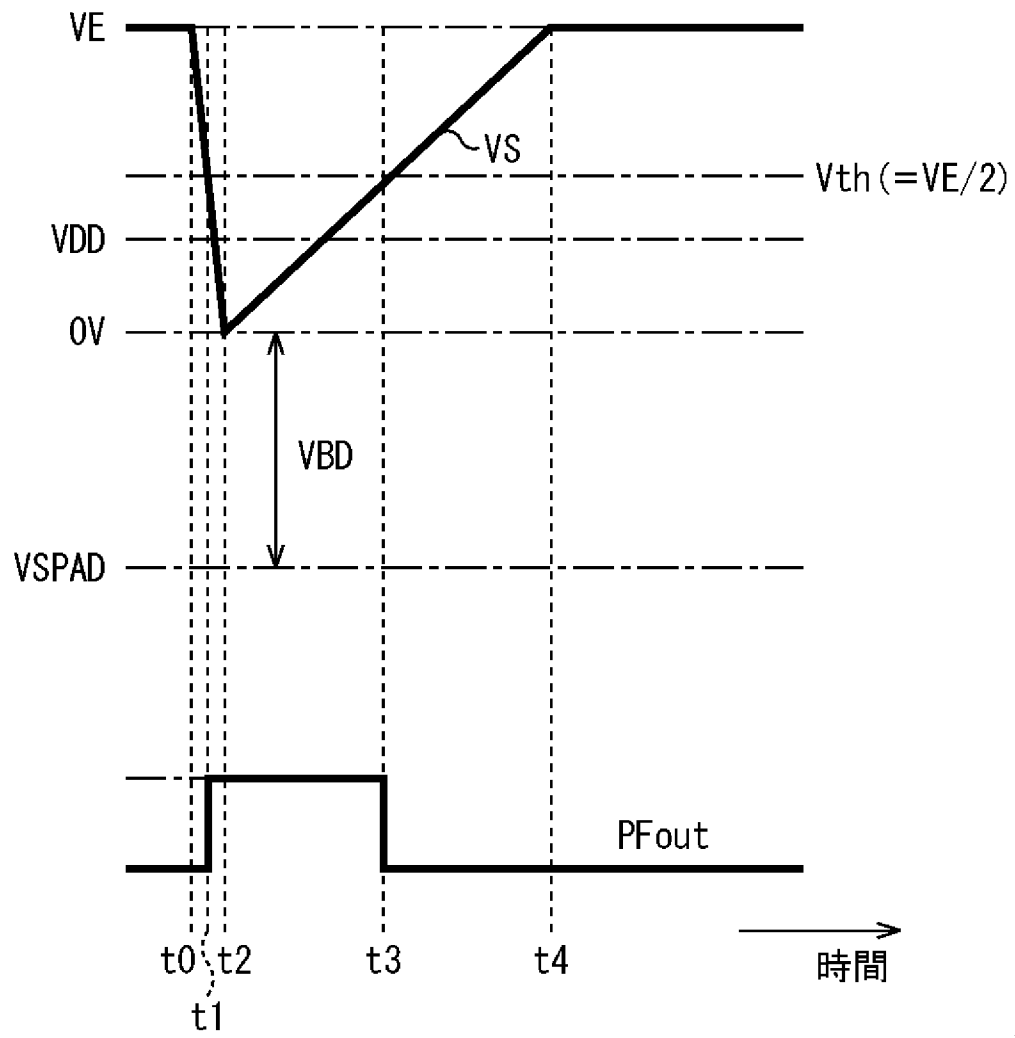
を備える受光素子

を備える電子機器。

[図1]
FIG. 1



[図2]
FIG. 2



[図3]
FIG. 3

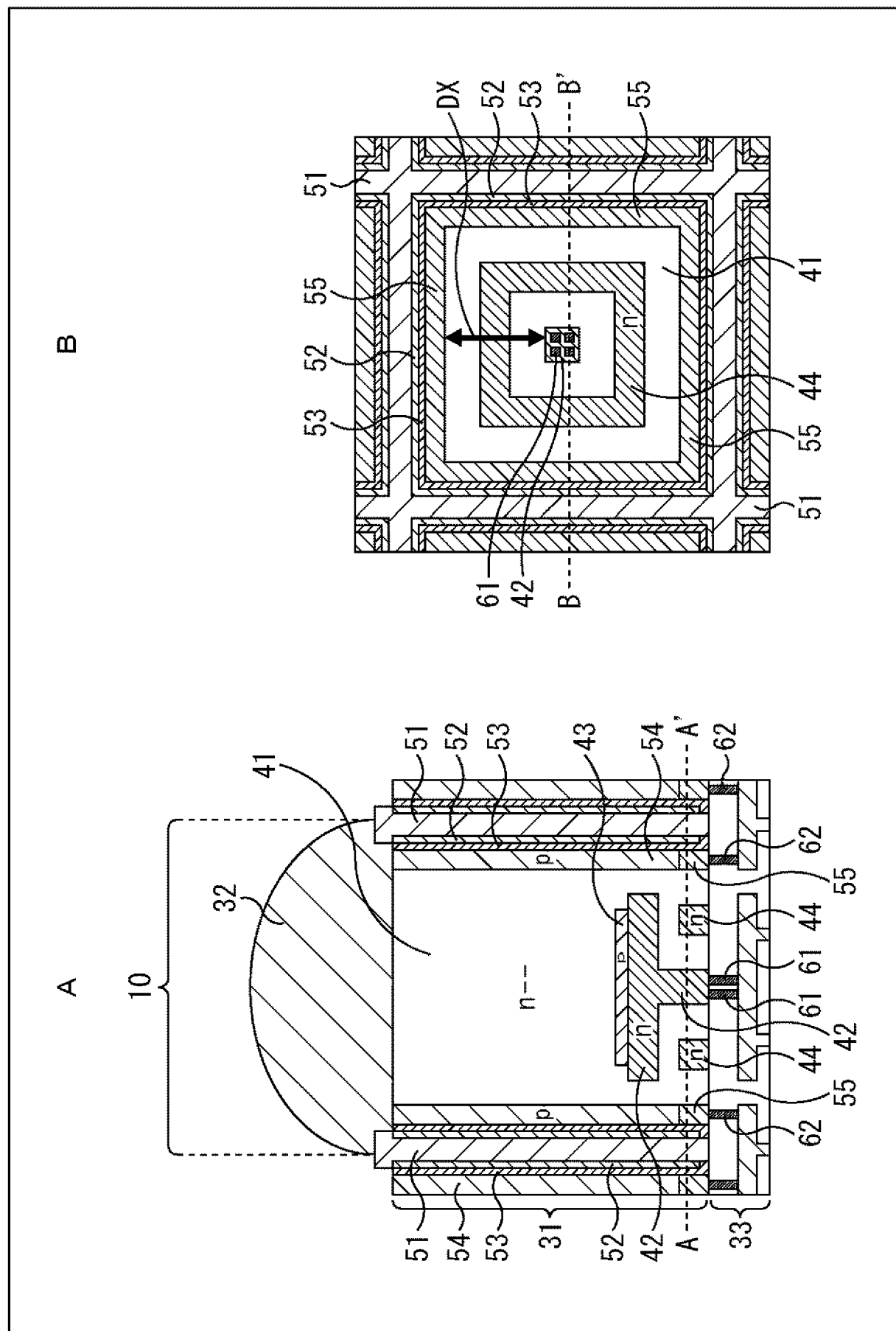
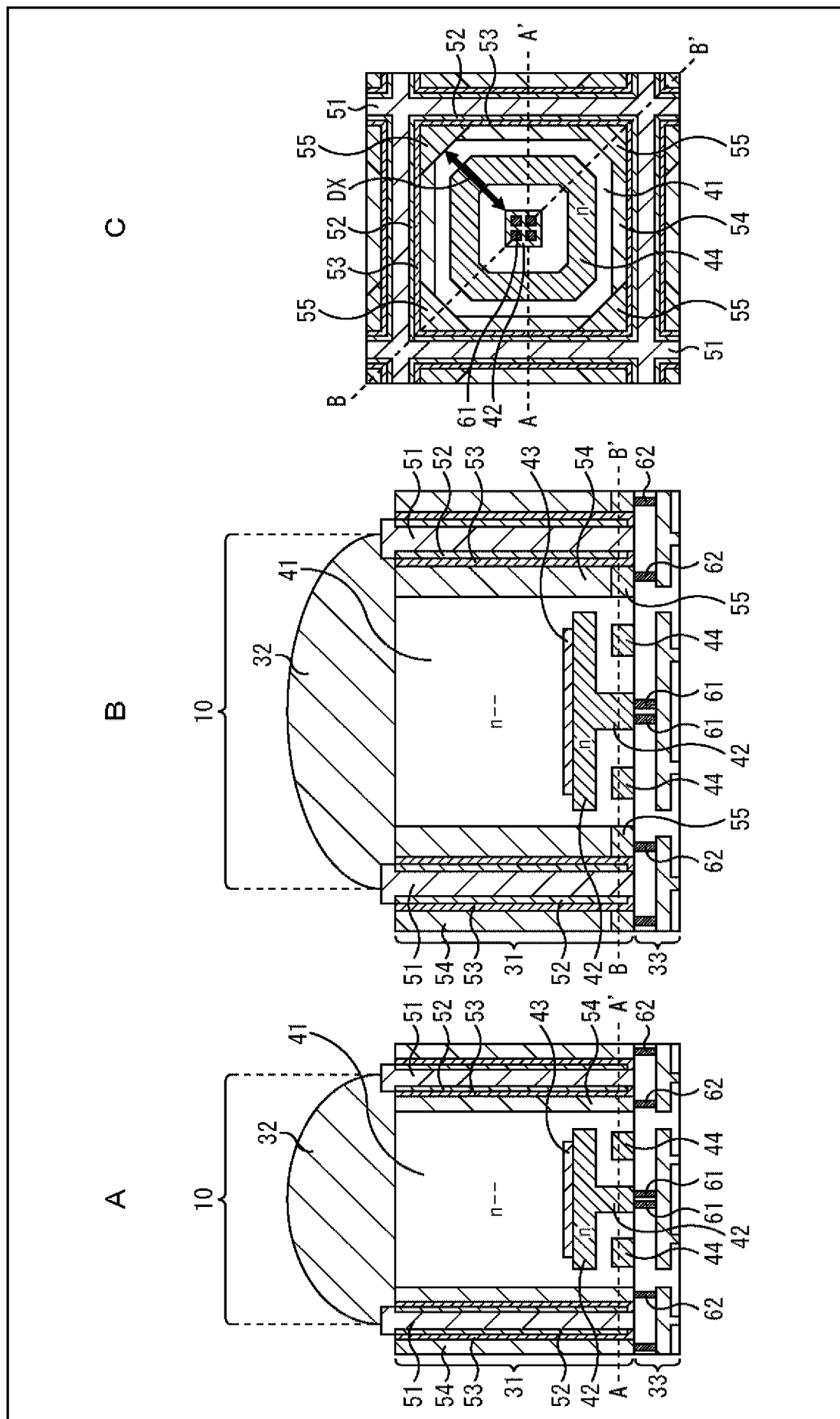
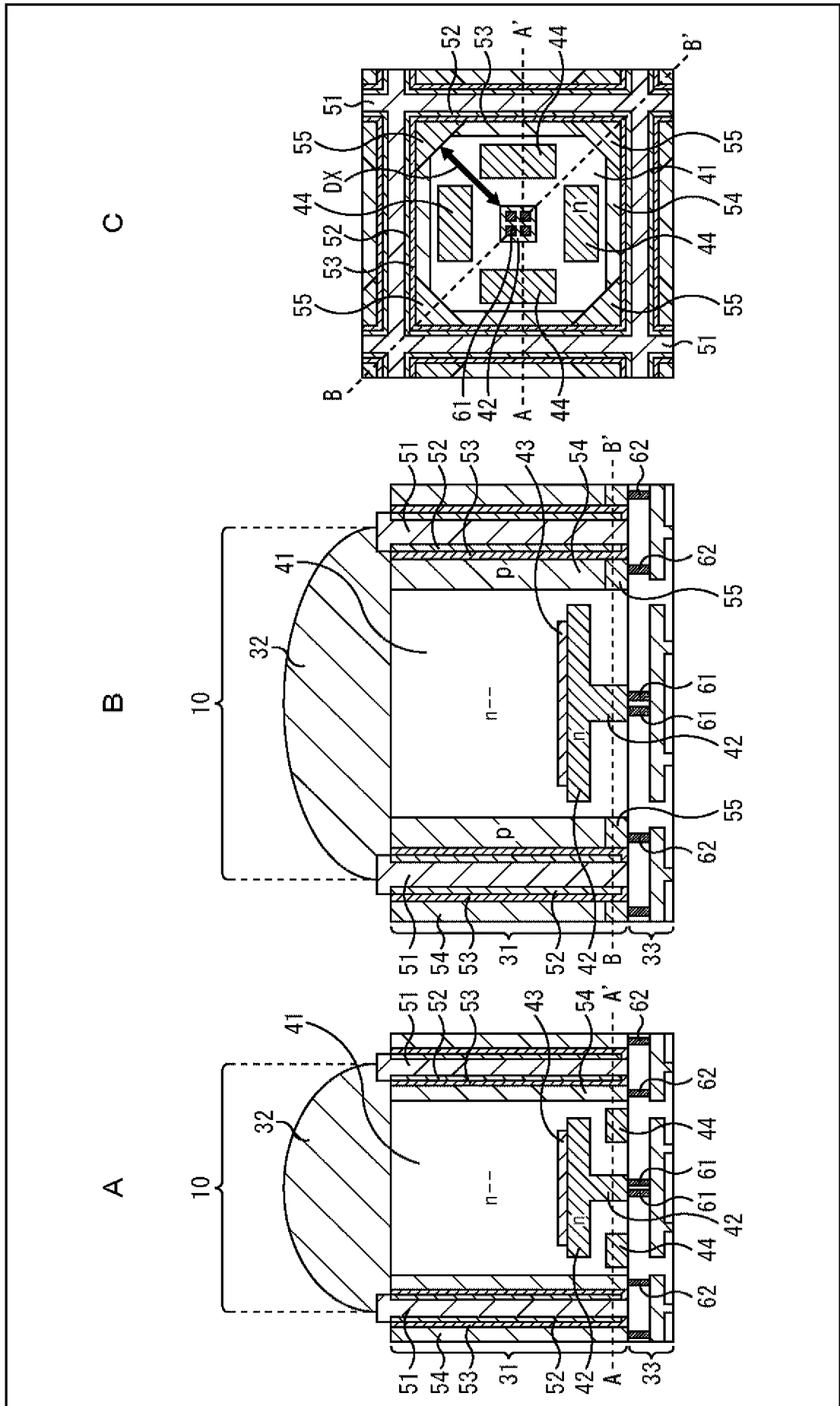


FIG. 5



[図6]
FIG. 6



[図7]
FIG. 7

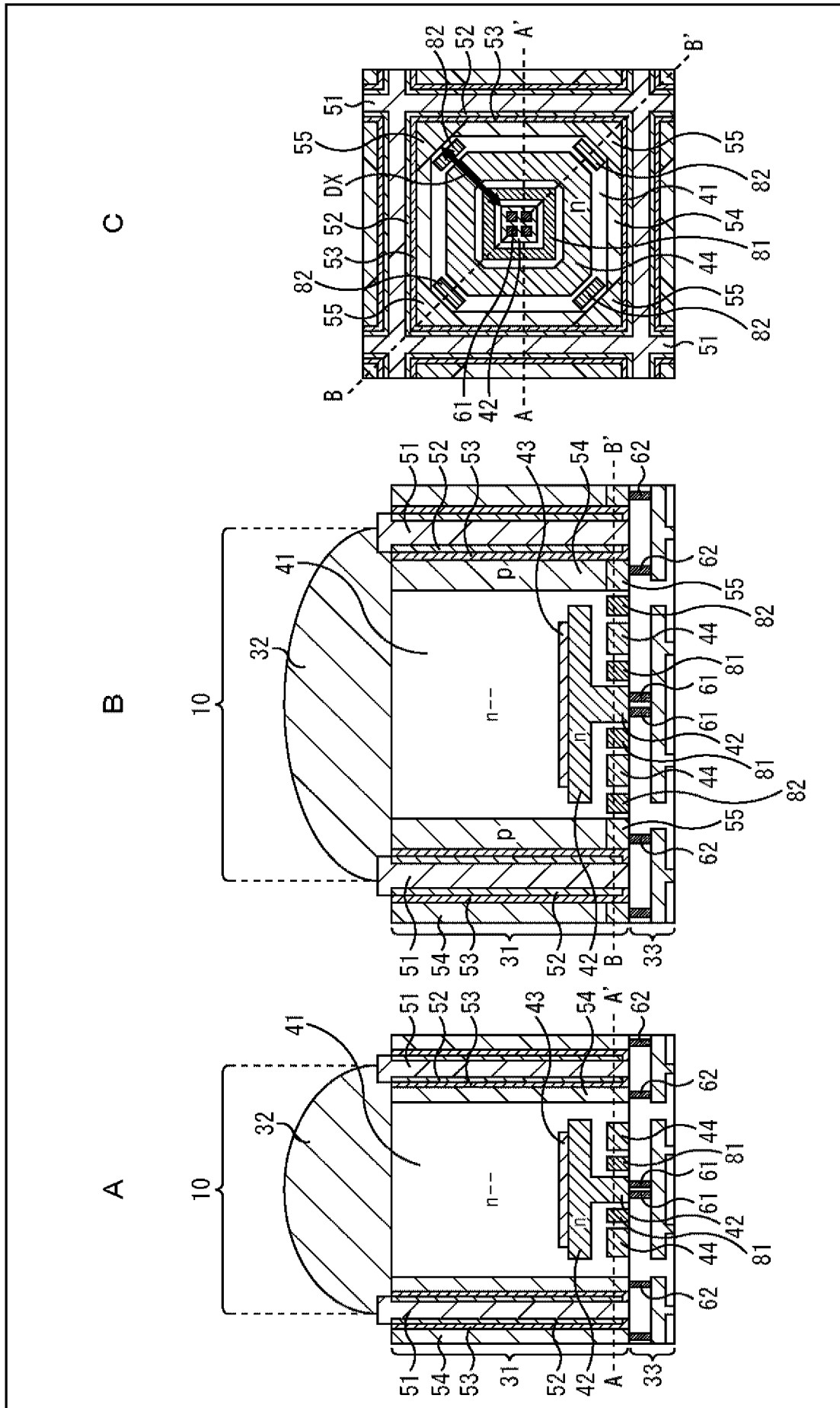
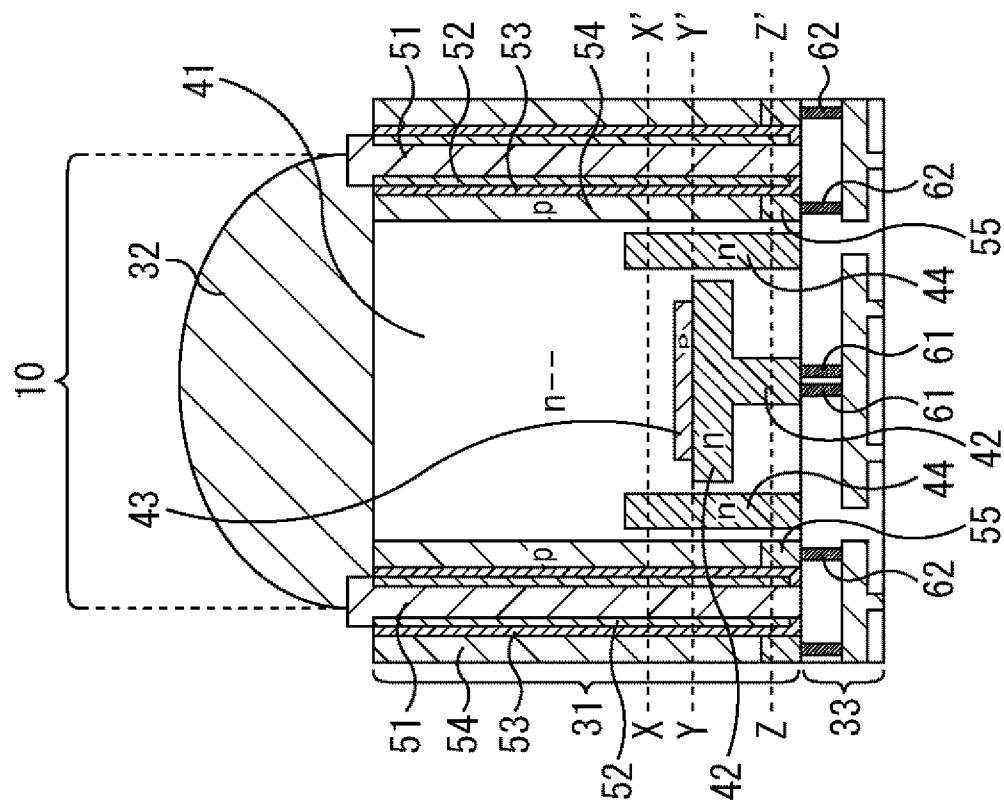
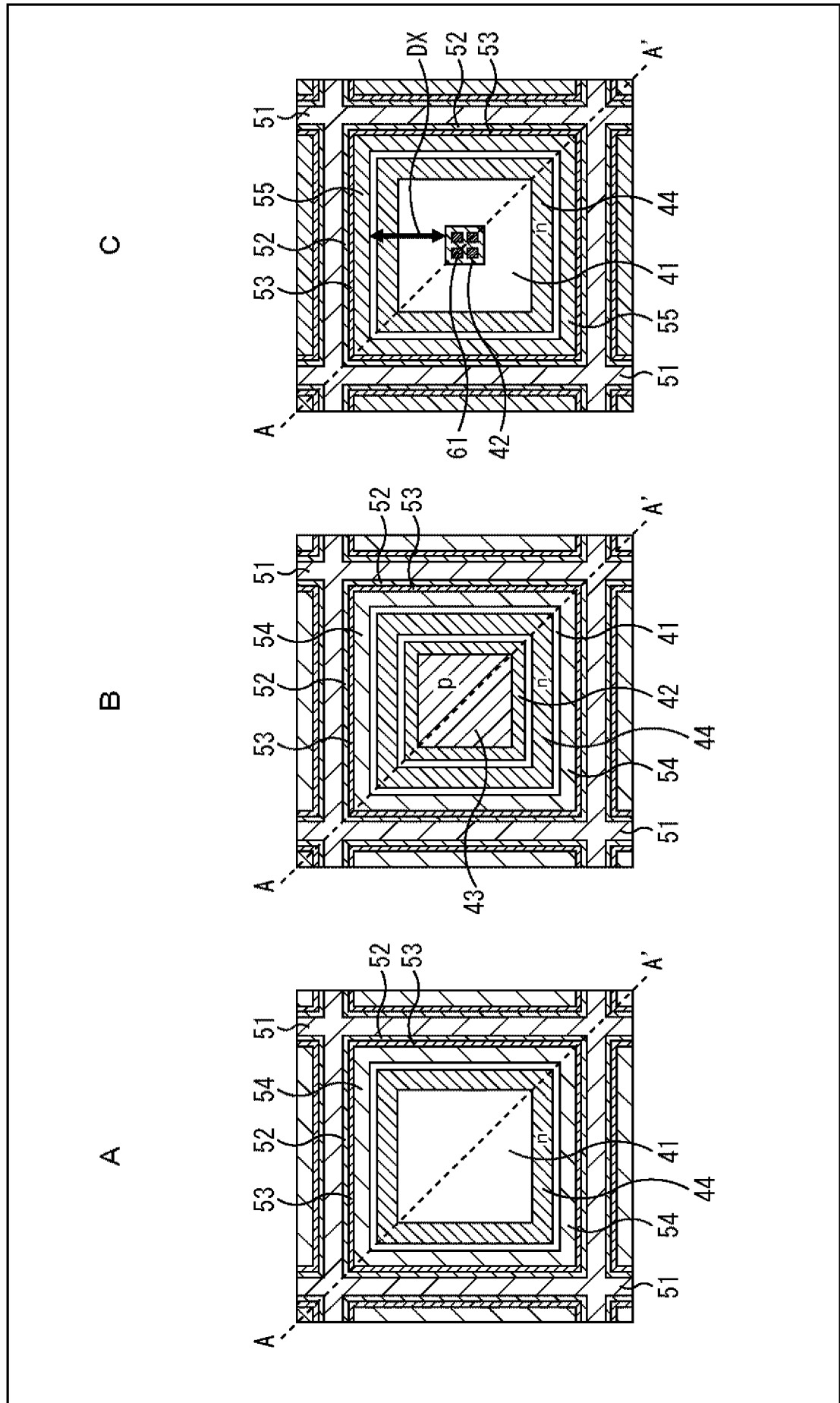
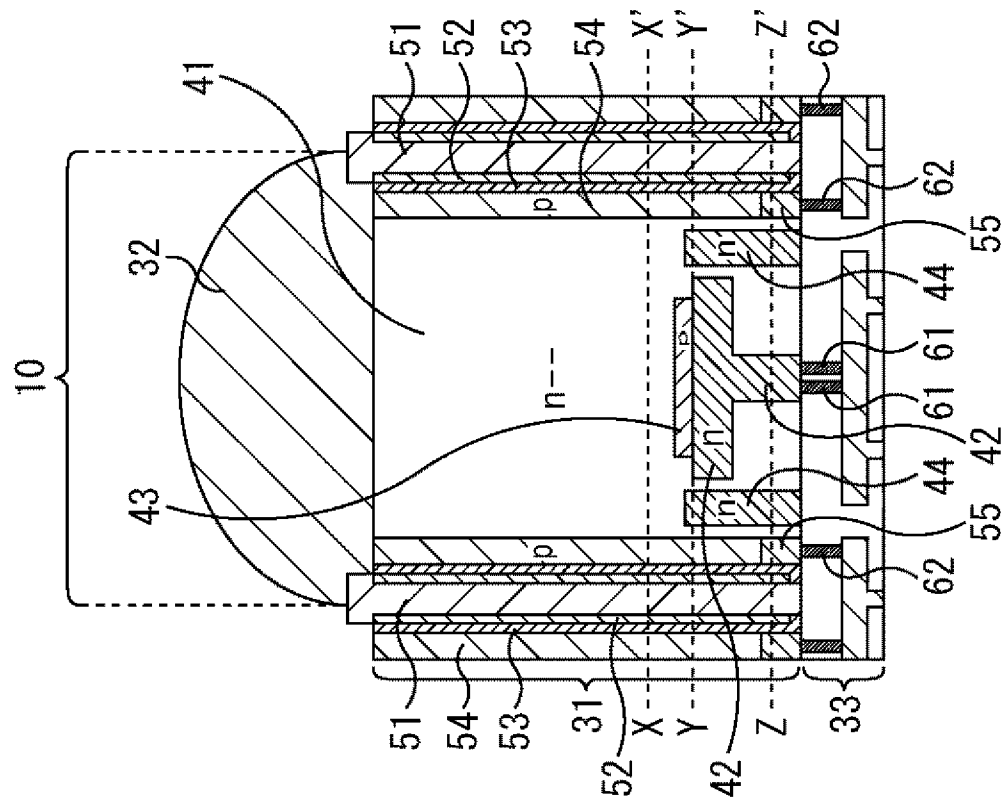


FIG. 9

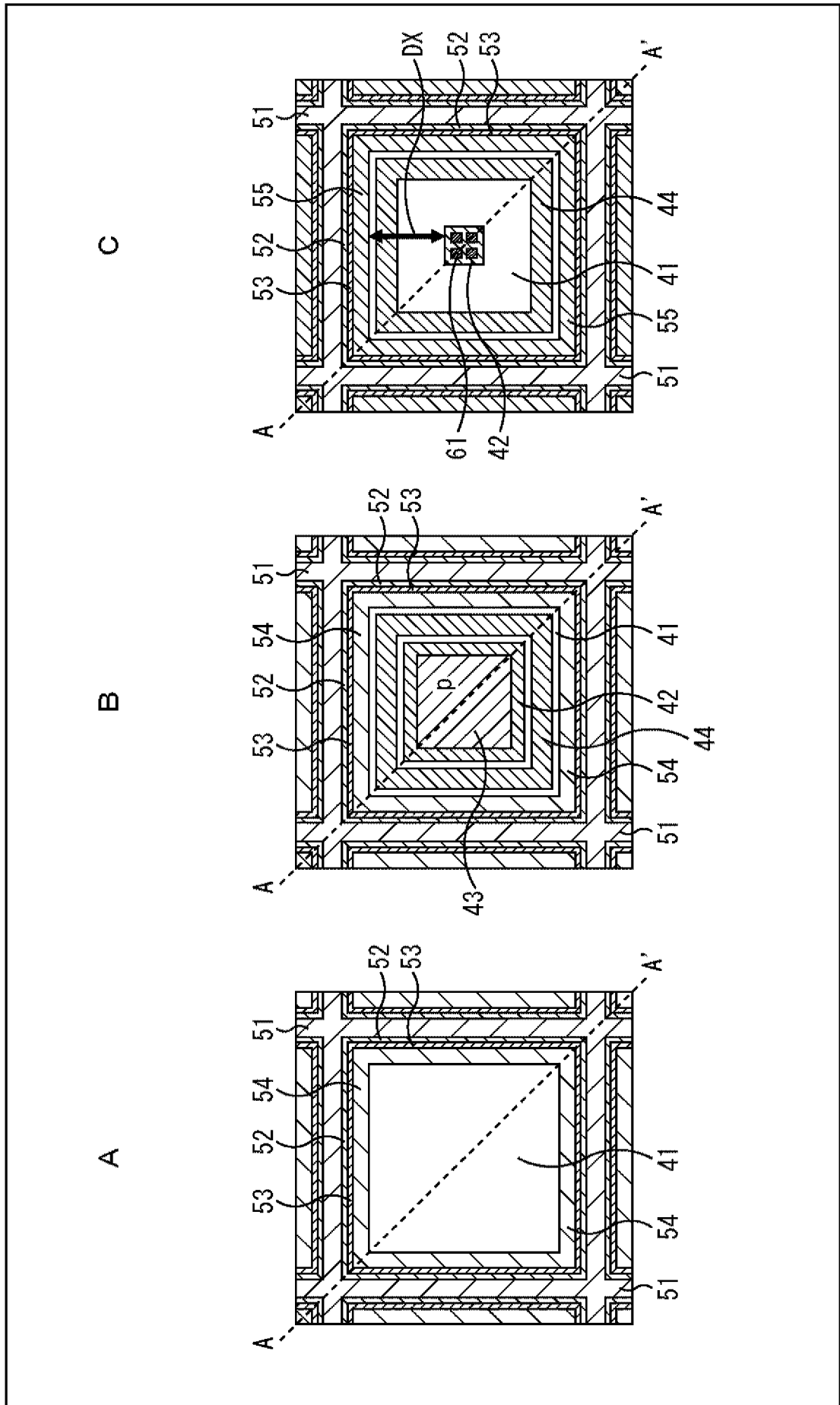


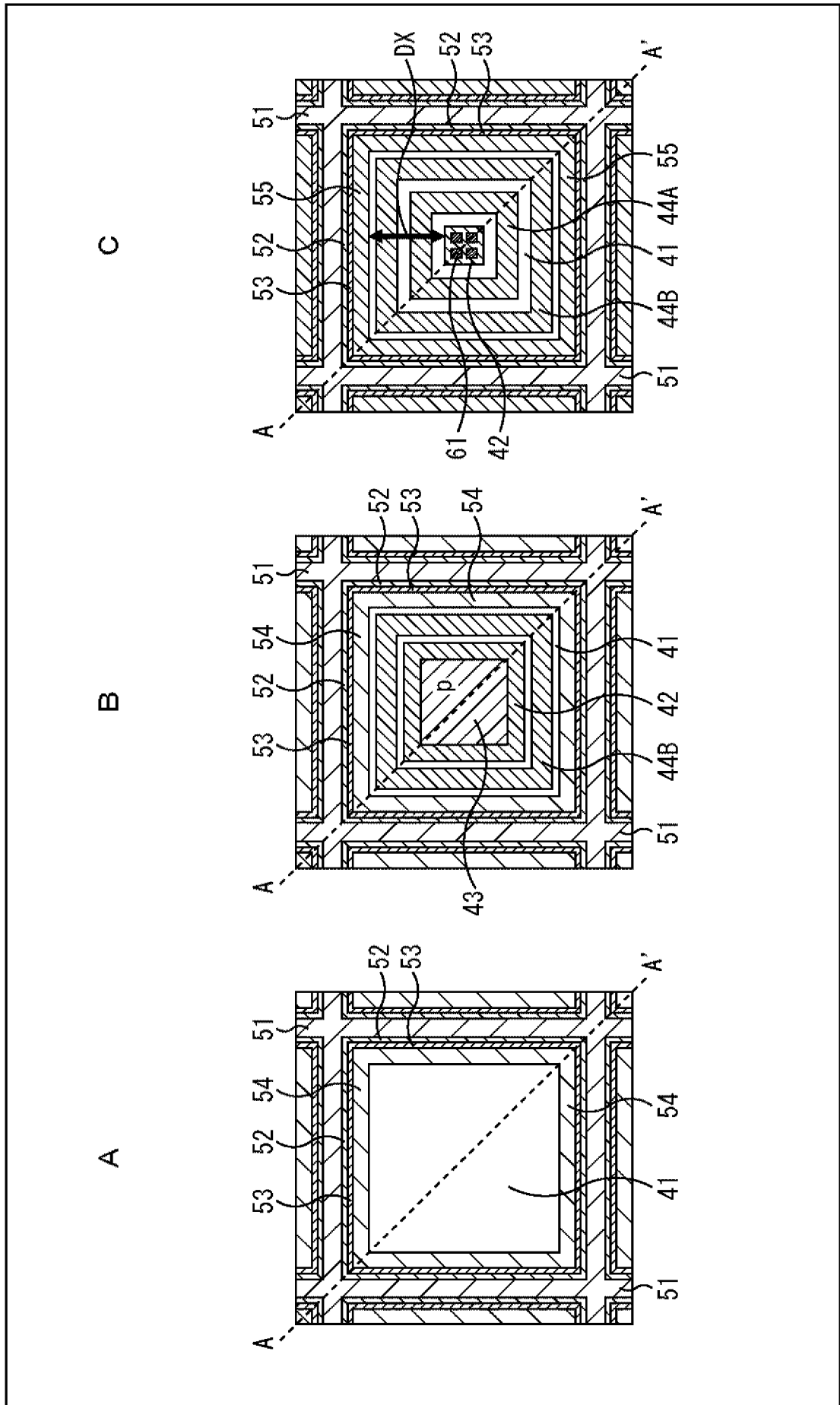
[図10]
FIG. 10



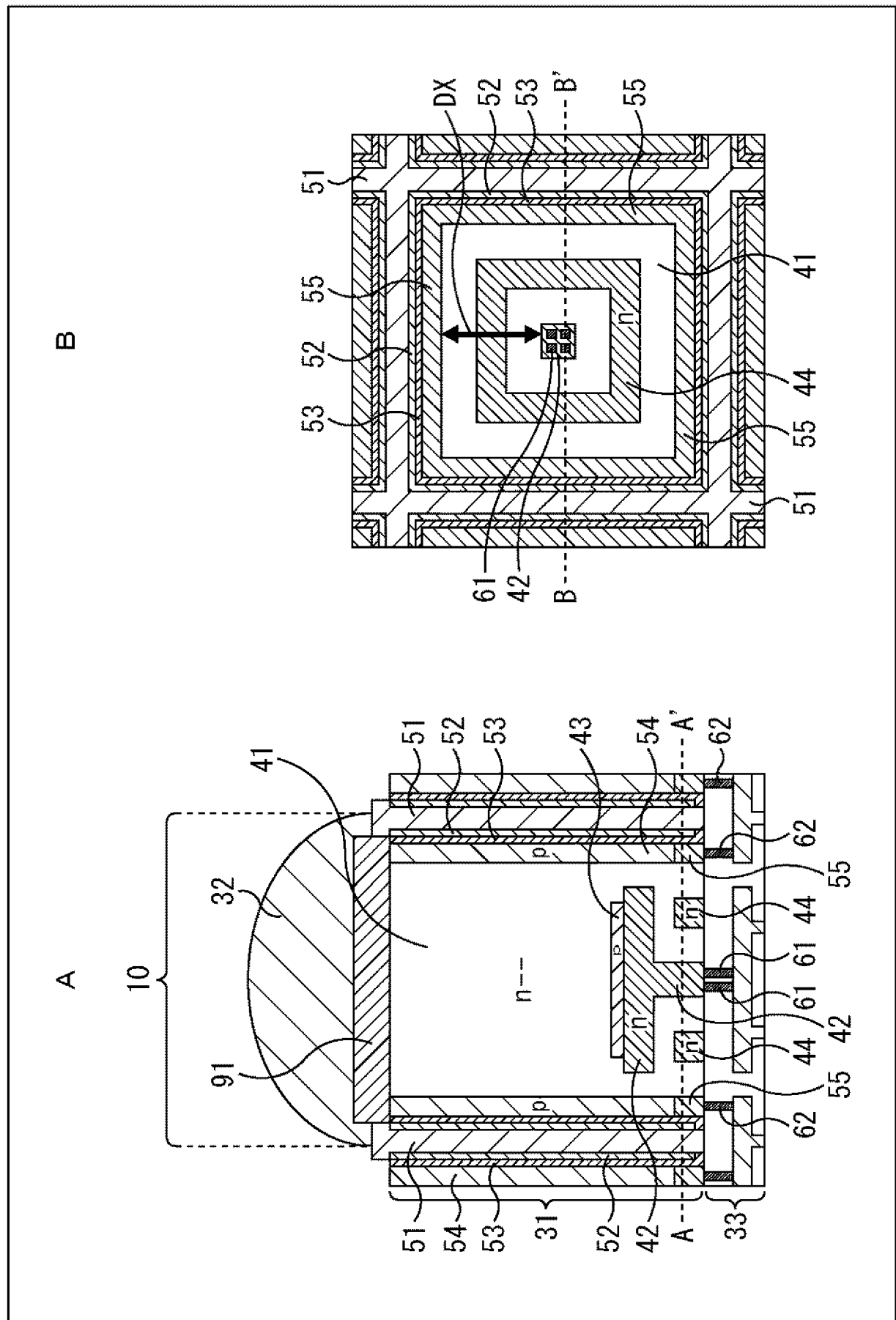


[図12]
FIG. 12

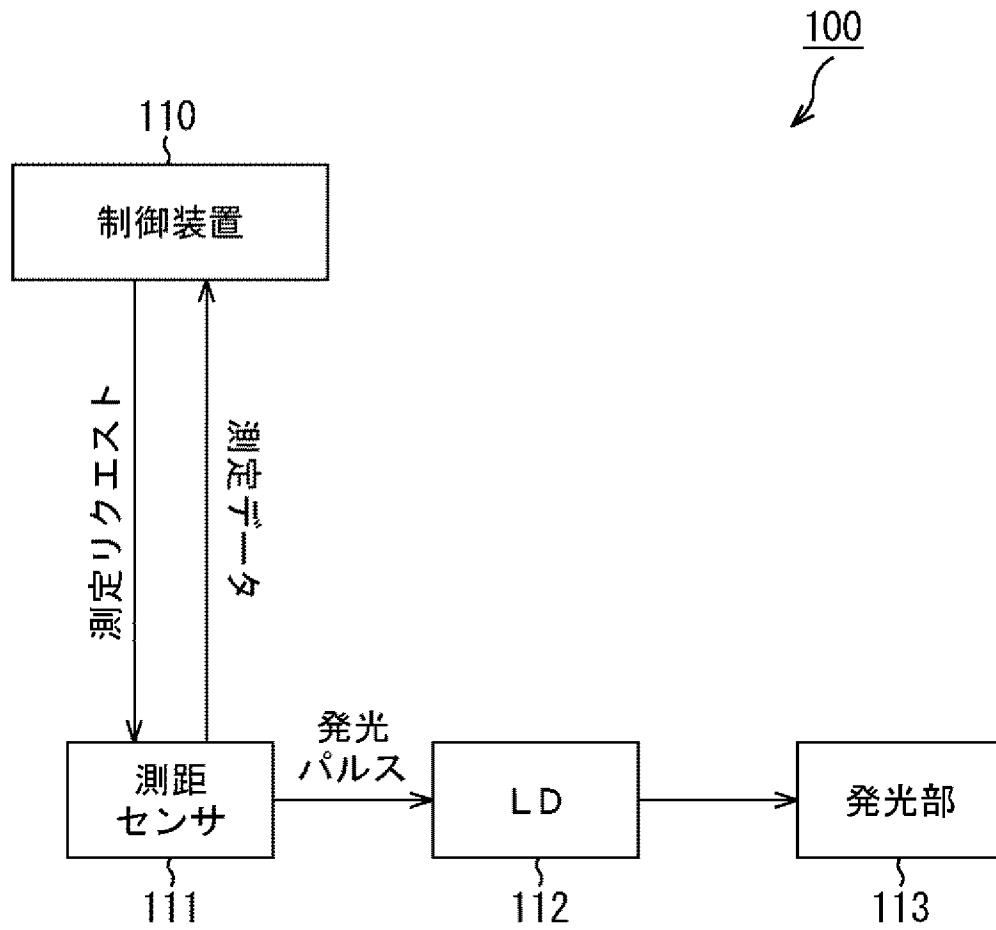


[図14]
FIG. 14

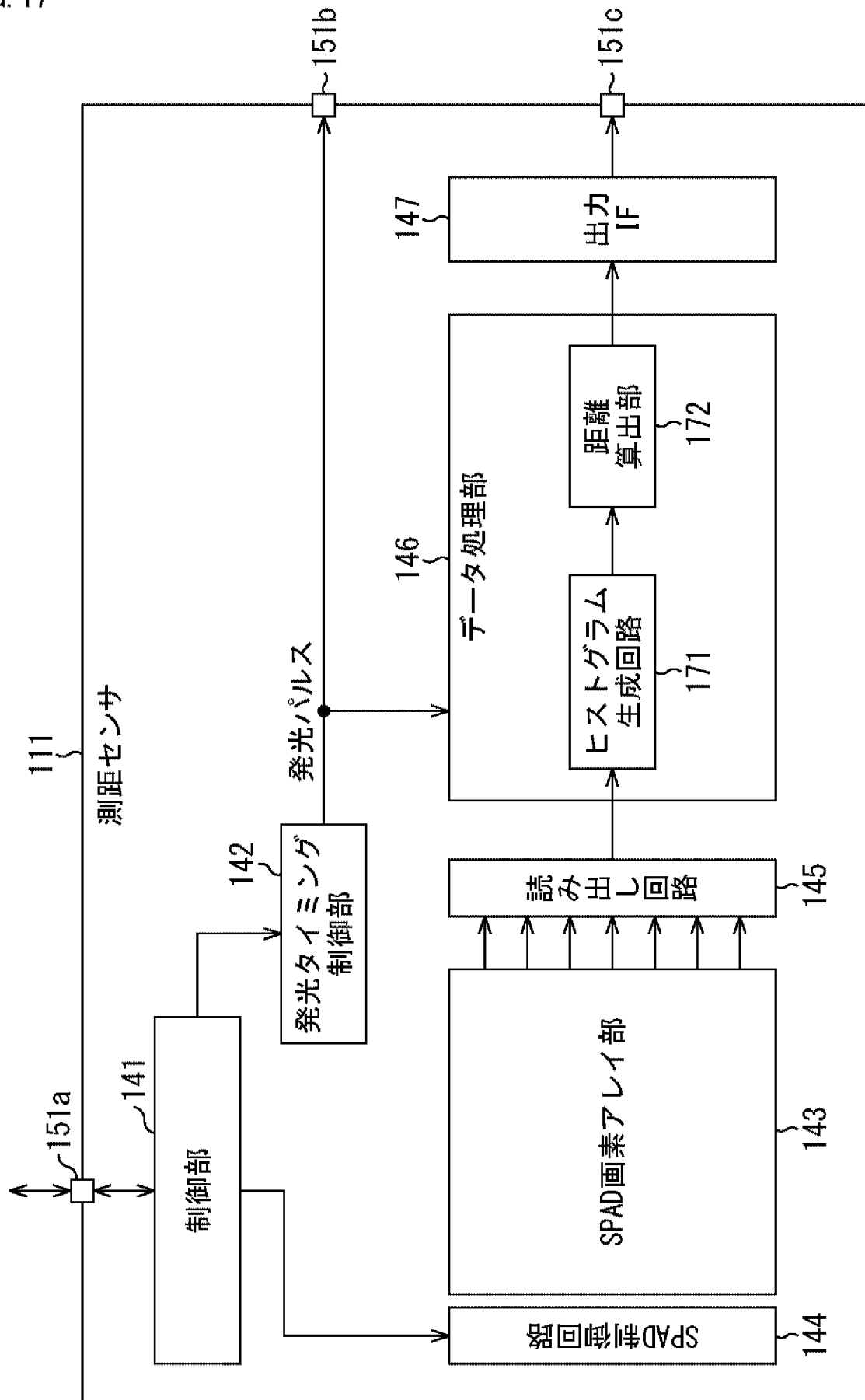
[図15]
FIG. 15



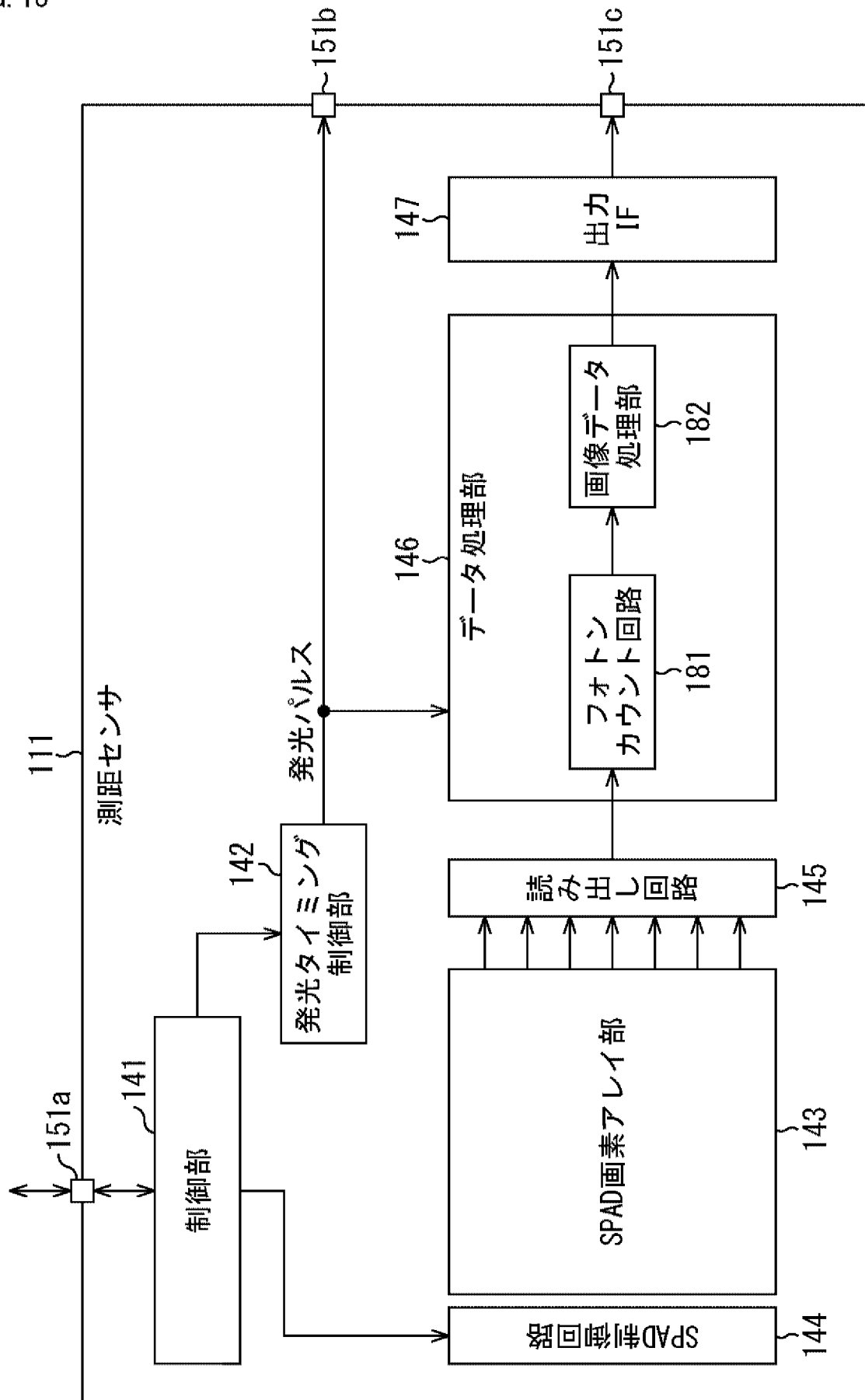
[図16]
FIG. 16



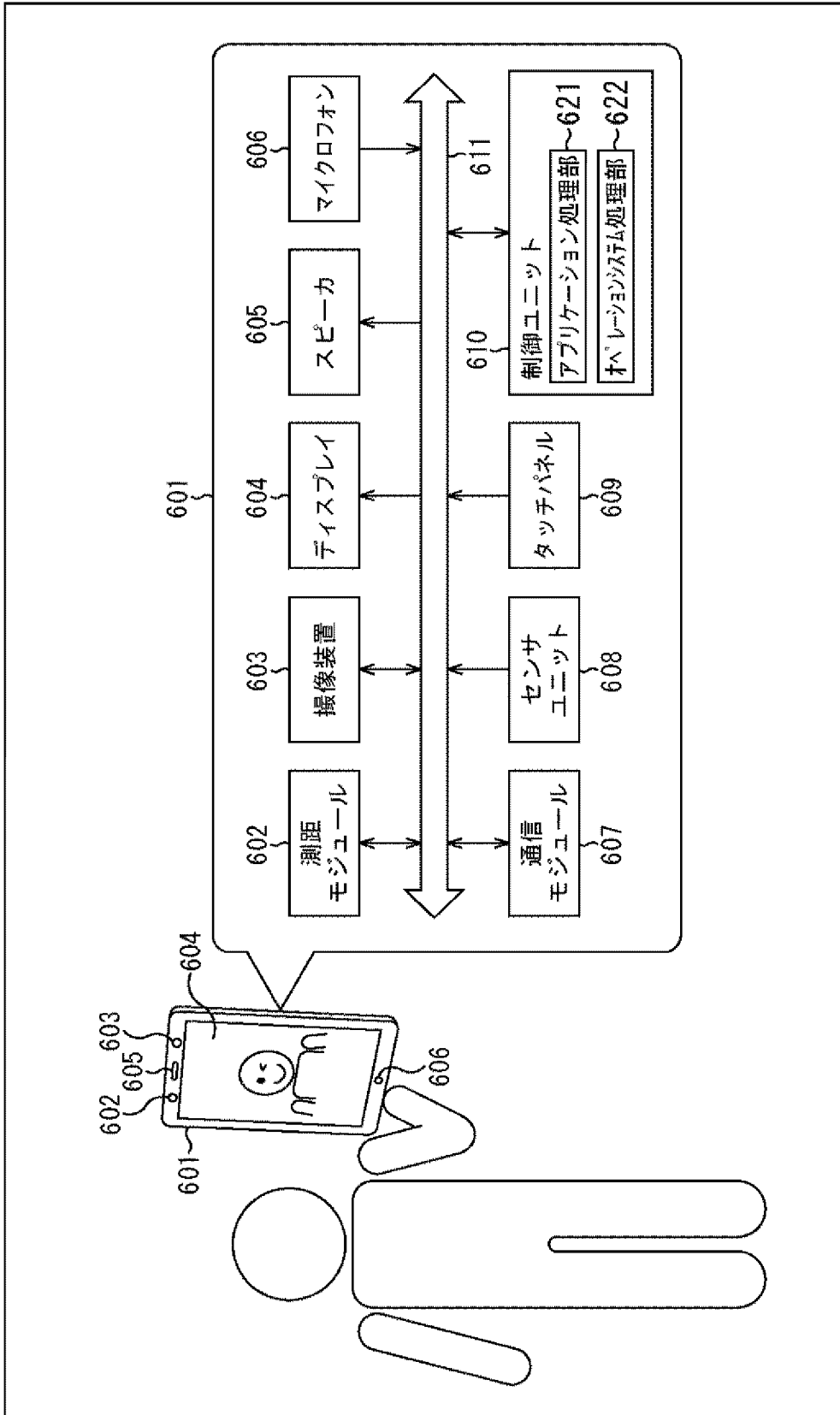
[図17]
FIG. 17



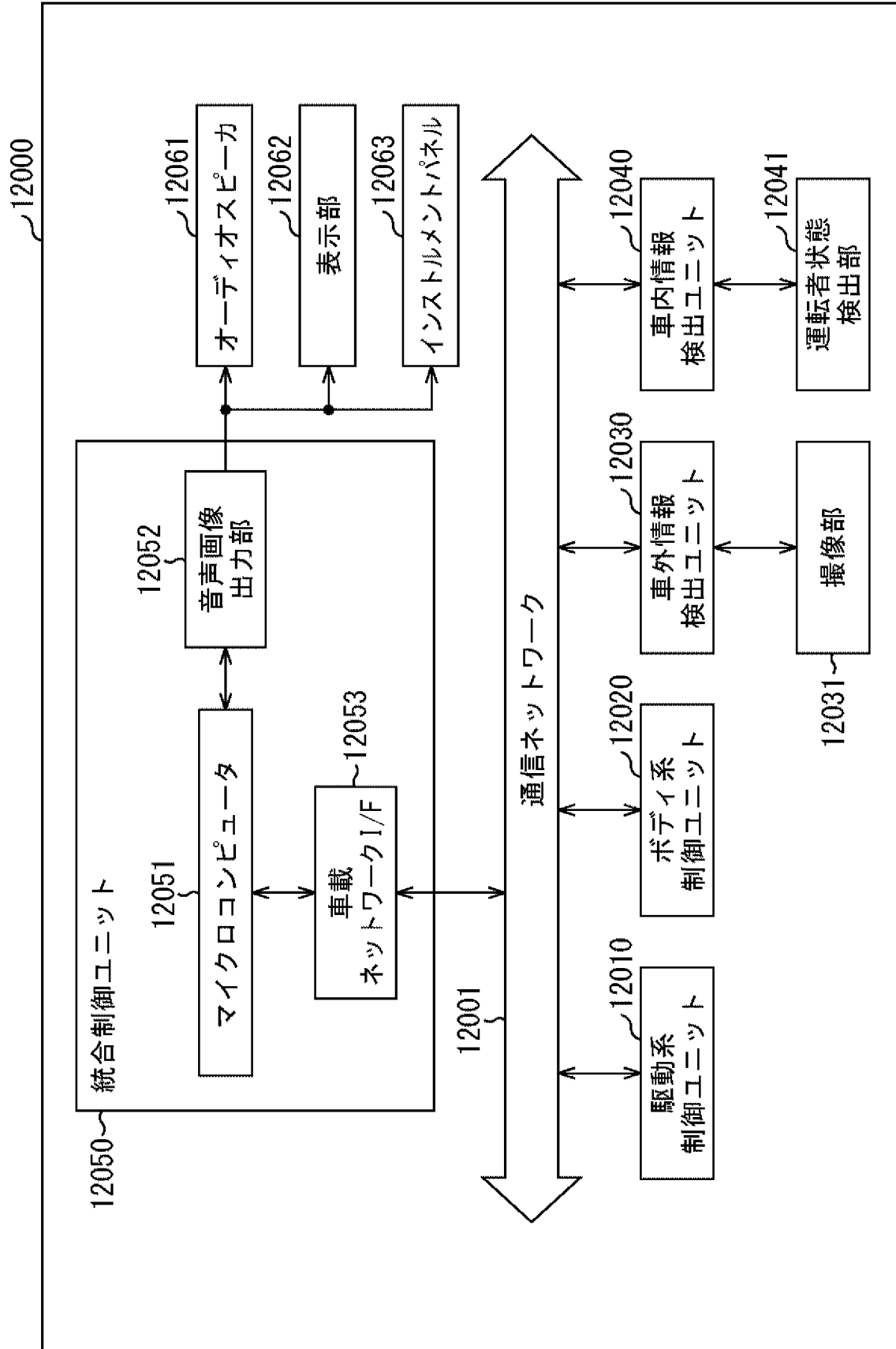
[図18]
FIG. 18



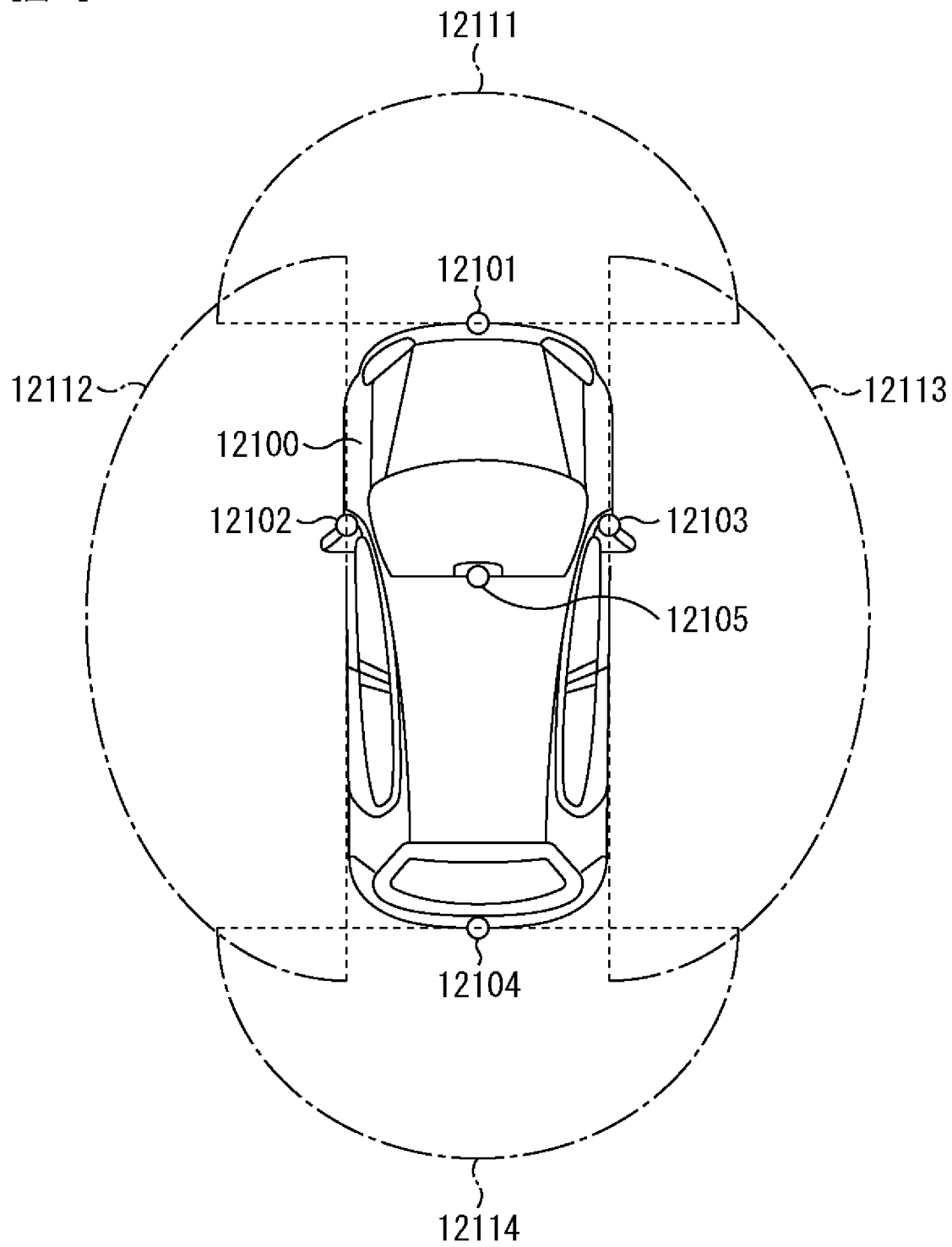
[図19]



[図20]



[図21]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/041270

A. CLASSIFICATION OF SUBJECT MATTER**G01C 3/06**(2006.01)i; **H01L 31/107**(2006.01)i; **H01L 27/144**(2006.01)i; **H01L 27/146**(2006.01)i

FI: H01L27/144 K; H01L27/146 A; G01C3/06 120Q; H01L31/10 B

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01C3/06; H01L31/107; H01L27/144; H01L27/146

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2022

Registered utility model specifications of Japan 1996-2022

Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2018-201005 A (SONY SEMICONDUCTOR SOLUTIONS CORP) 20 December 2018 (2018-12-20) paragraphs [0108]-[0390], fig. 17, 31, 32, 46, 64, 66	1-3, 7, 11, 13-15
Y		4, 8, 10, 12
A		5, 6, 9
Y	WO 2018/174090 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP) 27 September 2018 (2018-09-27) paragraphs [0043]-[0048], fig. 21	4, 8, 12
Y	JP 2020-057651 A (CANON KK) 09 April 2020 (2020-04-09) paragraphs [0093]-[0101], fig. 8	10
A	JP 2019-140132 A (SONY SEMICONDUCTOR SOLUTIONS CORP) 22 August 2019 (2019-08-22) paragraphs [0176]-[0180], fig. 20	1-15

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

18 January 2022

Date of mailing of the international search report

25 January 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/041270

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2018-201005	A	20 December 2018	US 2019/0006399 A1 paragraphs [0181]-[0473], fig. 17, 31, 32, 46, 64 WO 2018/074530 A1 EP 3387676 A1 CN 108475689 A KR 10-2019-0067127 A	
WO	2018/174090	A1	27 September 2018	US 2019/0157323 A1 paragraphs [0101]-[0106], fig. 21 EP 3462497 A1 CN 109155325 A KR 10-2019-0129683 A	
JP	2020-057651	A	09 April 2020	US 2020/0105958 A1 paragraphs [0119]-[0128], fig. 8	
JP	2019-140132	A	22 August 2019	US 2020/0335546 A1 paragraphs [0223]-[0227], fig. 20 WO 2019/155875 A1 EP 3555919 A1 CN 110352492 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） G01C 3/06(2006.01)i; H01L 31/107(2006.01)i; H01L 27/144(2006.01)i; H01L 27/146(2006.01)i FI: H01L27/144 K; H01L27/146 A; G01C3/06 120Q; H01L31/10 B		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） G01C3/06; H01L31/107; H01L27/144; H01L27/146		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2022年 日本国実用新案登録公報 1996-2022年 日本国登録実用新案公報 1994-2022年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2018-201005 A（ソニーセミコンダクタソリューションズ株式会社）20.12.2018 (2018-12-20) [0108]-[0390], 図17, 31, 32, 46, 64, 66	1-3, 7, 11, 13-15
Y		4, 8, 10, 12
A		5, 6, 9
Y	WO 2018/174090 A1（ソニーセミコンダクタソリューションズ株式会社）27.09.2018 (2018-09-27) [0043]-[0048], 図21	4, 8, 12
Y	JP 2020-057651 A（キャノン株式会社）09.04.2020 (2020-04-09) [0093]-[0101], 図8	10
A	JP 2019-140132 A（ソニーセミコンダクタソリューションズ株式会社）22.08.2019 (2019-08-22) [0176]-[0180], 図20	1-15
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 18.01.2022		国際調査報告の発送日 25.01.2022
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 加藤 俊哉 5F 9554 電話番号 03-3581-1101 内線 3516

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/041270

引用文献			公表日	パテントファミリー文献	公表日
JP	2018-201005	A	20.12.2018	US 2019/0006399 A1 [0181]-[0473], FIGS. 17, 31, 32, 46, 64 WO 2018/074530 A1 EP 3387676 A1 CN 108475689 A KR 10-2019-0067127 A	
WO	2018/174090	A1	27.09.2018	US 2019/0157323 A1 [0101]-[0106], FIG. 21 EP 3462497 A1 CN 109155325 A KR 10-2019-0129683 A	
JP	2020-057651	A	09.04.2020	US 2020/0105958 A1 [0119]-[0128], FIG. 8	
JP	2019-140132	A	22.08.2019	US 2020/0335546 A1 [0223]-[0227], FIG. 20 WO 2019/155875 A1 EP 3555919 A1 CN 110352492 A	