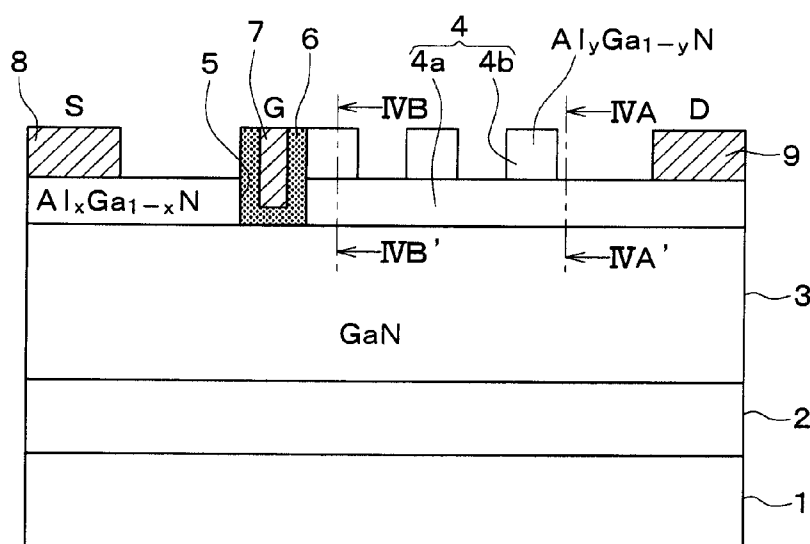


WIPO | PCT

- [続葉有]

(54) 発明の名称：半導体装置



(57) 要約:

〔続葉有〕



OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

半導体装置において、AlGa_xN層(4)が第1AlGa_xN層(4a)および第2AlGa_xN層(4b)を有する。第2AlGa_xN層はゲート構造部とドレイン電極(9)との間に配置され、ゲート構造部とドレイン電極との配列方向において複数に分割されている。第2AlGa_xN層の第2Al混晶比は、第1AlGa_xN層の第1Al混晶比よりも小さくされている。これにより、ノーマリーオフのデバイスとしつつ、阻止耐圧の低下を抑制でき、かつ、オン抵抗の上昇を抑制することが可能な半導体装置を提供することができる。

明 細 書

発明の名称：半導体装置

関連出願の相互参照

[0001] 本出願は、2015年7月10日に出願された日本出願番号2015-138957号に基づくもので、ここにその記載内容を援用する。

技術分野

[0002] 本開示は、窒化物半導体である窒化ガリウム（以下、GaNという）と窒化アルミニウムガリウム（以下、AlGaNという）とによるヘテロジャンクション構造を有する半導体装置に関するものである。

背景技術

[0003] 従来、特許文献1において、ヘテロジャンクション構造を有した横型のスイッチングデバイスとして、電界効果トランジスタであるHEMT（High electron mobility transistor：高電子移動度トランジスタ）を備えた半導体装置が提案されている。

[0004] この半導体装置には、GaNとAlGaNとによるヘテロジャンクション構造を有する横型のHEMTが備えられている。具体的には、基板の上にGaN電子走行層とAlGaN電子供給層とを順に積層したGaN系半導体層を備えている。AlGaN電子供給層は、リセス部が形成されることで厚みが薄くされており、リセス部内にゲート電極が備えられ、ゲート電極を挟んだ両側において、AlGaN電子供給層の上にソース電極およびドレイン電極が形成されている。リセス部は、ゲート電極が配置されるゲート埋込部に加えて、ゲート埋込部よりも外側にも設けられており、ゲート埋込部よりもソース側に第1リセス部が設けられ、ドレイン側に第2リセス部が設けられている。

[0005] このように構成されるHEMTでは、ゲート電極の両側に位置するAlGaN電子供給層の下方において、piezo効果および自発分極効果による2次元電子ガス（以下、2DEGという）キャリアを誘起する。そして、ゲート

電極の下方位置におけるGa_{0.5}In_{0.5}N電子走行層の表層部をチャンネル部として、2DEGキャリアおよびチャンネル部を通じてソースドレイン間に電流を流すという動作を行う。

[0006] このようなHEMTにおいて、リセス部を設けることでAlGa_{0.5}In_{0.5}N電子供給層を薄くしている。これにより、AlGa_{0.5}In_{0.5}N電子供給層のうちリセス部が形成された部分にてそれより厚い部分よりも応力を緩和させられ、ピエゾ分極発生を抑制することができ、2DEG濃度（以下、 N_s という）を少なくできる。したがって、阻止耐圧を低下させないようにすることができる。また、AlGa_{0.5}In_{0.5}N電子供給層を部分的に複数箇所において薄くする構造とすることもでき、そのような構造とすれば更に最大電界強度を減らすことが可能となる。

先行技術文献

特許文献

[0007] 特許文献1：特許第5093991号公報

発明の概要

[0008] しかしながら、AlGa_{0.5}In_{0.5}N電子供給層の膜厚と応力との関係にはほぼ臨界性があることが確認されており、 N_s の膜厚に対する感度は非常に高い（後述する図3参照）。したがって、AlGa_{0.5}In_{0.5}N電子供給層の膜厚が少し異なただけで N_s が大きく変わり、 N_s の制御が難しいという問題がある。AlGa_{0.5}In_{0.5}N電子供給層の膜厚については、エッチングによって薄くすることになるが、エッチングによる膜厚制御は難しく、 N_s を制御することが難しい。

[0009] 本開示は、ノーマリーオフのデバイスとしつつ、制御性よく阻止耐圧の低下を抑制でき、かつ、オン抵抗の上昇を抑制することが可能な半導体装置を提供することを目的とする。

[0010] 本開示の一態様によれば、半導体装置は、横型のスイッチングデバイスを備えている。スイッチングデバイスは、基板と、チャンネル形成層と、ゲート構造部と、ソース電極と、ドレイン電極と、を有する。基板は、半絶縁体もしくは半導体にて構成される。チャンネル形成層は、基板上に形成され、電子

走行層を構成するGaN層および電子供給部を構成するAlGaN層によるヘテロジャンクション構造を有し、AlGaN層が部分的に除去されたリセス部が形成されている。ゲート構造部は、リセス部内に形成されたゲート絶縁膜および該ゲート絶縁膜の上に形成されたゲート電極を有して構成される。ソース電極およびドレイン電極は、チャンネル形成層上において、ゲート構造部を挟んだ両側に配置される。スイッチングデバイスでは、GaN層とAlGaN層との界面におけるGaN層側に2次元電子ガスキャリアが誘起されると共に、ゲート電極に対して電圧が印加されたときにリセス部の底部におけるGaN層の表面部にチャンネルが形成されることで、ソース電極とドレイン電極との間に電流が流れる。このような構成において、AlGaN層は、第1AlGaN層と第2AlGaN層を有する。第1AlGaN層は、第1AlGaN層の2次元電子ガス濃度を決める第1Al混晶比に設定される。第2AlGaN層は、ゲート構造部とドレイン電極との間に配置され、ゲート構造部とドレイン電極との配列方向において複数に分割される。第2AlGaN層は、第2AlGaN層の2次元電子ガス濃度を決める第2Al混晶比に設定される。第2Al混晶比が第1Al混晶比よりも小さくされることで、第2AlGaN層が負の固定電荷を誘起する。

[0011] このような構成とすることで、ノーマリーオフのデバイスとしつつ、阻止耐圧の低下を抑制でき、かつ、オン抵抗の上昇を抑制することが可能な半導体装置とすることができる。

図面の簡単な説明

[0012] 本開示についての上記目的およびその他の目的、特徴や利点は、添付の図面を参照しながら下記の詳細な記述により、より明確になる。図面において、

[図1]本開示の第1実施形態にかかる横型のHEMTを有する半導体装置の断面図であり、

[図2]図1に示す半導体装置の上面レイアウト図であり、

[図3]Al混晶比、AlGaN層の厚みとNsとの関係を示した図であり、

[図4A]図 1 中のIVA-IVA' 断面でのエネルギーバンドおよびキャリア濃度を示した図であり、

[図4B]図 1 中のIVB-IVB' 断面でのエネルギーバンドおよびキャリア濃度を示した図であり、

[図5A]阻止状態における横型のHEMTの空間電荷の分布を示した断面図であり、

[図5B]オン状態における横型のHEMTの電子の分布を示した断面図であり、

[図6]第2AIGaN層を連続的に形成した場合に電界強度が高くなる部位を示した断面図であり、

[図7]第2AIGaN層を分割して形成した場合と連続的に形成した場合それぞれにおける電界強度分布を示した図であり、

[図8]本開示の第2実施形態にかかる横型のHEMTを有する半導体装置の上面レイアウト図であり、

[図9]本開示の第3実施形態にかかる横型のHEMTを有する半導体装置の上面レイアウト図であり、

[図10]本開示の第4実施形態にかかる横型のHEMTを有する半導体装置の断面図であり、

[図11]本開示の第5実施形態にかかる横型のHEMTを有する半導体装置の上面レイアウト図である。

発明を実施するための形態

[0013] 以下、本開示の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、同一符号を付して説明を行う。

[0014] (第1実施形態)

図1を参照して、本実施形態にかかる半導体装置について説明する。図1に示すように、本実施形態にかかる半導体装置は、スイッチングデバイスとして横型のHEMTを備えた構成とされている。

[0015] 本実施形態の横型のHEMTは、基板1の表面に、バッファ層2を介してi型、n型もしくはp型のGaN層3が積層された構造を化合物半導体基板として用いて形成されている。GaN層3の表面には、第1AlGaN層4aおよび第2AlGaN層4bが積層されたAlGaN層4が形成されており、GaN層3とAlGaN層4によってヘテロジャンクション構造が構成されている。横型のHEMTは、これらGaN層3およびAlGaN層4をチャネル形成層として、AlGaN/GaN界面のGaN層3側に、ピエゾ効果および自発分極効果によって2DEGキャリアが誘起されることで動作する。

[0016] 基板1は、Si(111)やSiCもしくはサファイヤなどの半絶縁性材料や半導体材料によって構成されており、この上にGaN層3を結晶性良く成膜するための下地膜となるバッファ層2が形成されている。バッファ層2は、例えばAlGaN-GaN超格子層などによって構成されている。基板1の上に結晶性良くGaN層3が成膜できる場合には、バッファ層2は無くても構わない。なお、ここでの結晶性とは、GaN層3中の欠陥や転位などであり、電気的および光学的な特性に対して影響を及ぼすものを意味している。

[0017] バッファ層2の上には、GaN層3とAlGaN層4が例えばヘテロエピタキシャル成長によって形成されている。

[0018] GaN層3は、i-GaN、n-GaNもしくはp-GaNのGaN系の半導体材料で構成された電子走行層を構成するものである。

[0019] AlGaN層4は、GaN層3を構成するGaN系半導体材料よりもバンドギャップエネルギーの大きな半導体材料で構成されたものであり、電子供給部となるバリア層を構成している。本実施形態の場合、AlGaN層4を第1AlGaN層4aと第2AlGaN層4bとを有した構成としており、これら第1AlGaN層4aと第2AlGaN層4bを貫通するようにゲート構造部の埋め込み用のリセス部5が形成されている。リセス部5は、基板1の表面に対して平行な一方向、具体的には図2の紙面上下方向（図1の紙

面法線方向に相当)に延設されたライン状とされている。

[0020] 第1 AlGaIn層4aは、Al混晶比を x として、 $\text{Al}_x\text{Ga}_{1-x}\text{In}$ で構成され、第2 AlGaIn層4bは、Al混晶比を y として、 $\text{Al}_y\text{Ga}_{1-y}\text{In}$ で構成されている。第1 AlGaIn層4aのAl混晶比 x は、第2 AlGaIn層4bのAl混晶比 y よりも大きくされている。このように、第1 AlGaIn層4aおよび第2 AlGaIn層4bのAl混晶比 x 、 y を設定することで、2次元ホールガス(以下、2DHGという)を発生させずに負の固定電荷を誘起することが可能となる。これら第1、第2 AlGaIn層4a、4bは、共に、 N_s (2DEG濃度)がAl混晶比によって一義的に決まる厚みに設定されている。

[0021] すなわち、単層で形成したAlGaIn層の厚みと N_s との関係は図3に示す関係となり、厚みが薄いと N_s が大きく変化するが、ある程度の厚み(図中破線で囲んだ領域)になると N_s がAlGaIn層の厚みに依存するのではなく、Al混晶比によって一義的に決まる。したがって、第1、第2 AlGaIn層4a、4bについては、これらの厚みによって N_s が大きく変動する範囲ではなく、Al混晶比によって一義的に N_s が決まる程度の厚みに設定してある。

[0022] 第1 AlGaIn層4aは、基板1の上面の全面に形成されており、リセス部5において除去されている。第2 AlGaIn層4bは、第1 AlGaIn層4aの上面のうちのゲート構造部と後述するドレイン電極9との間に配置され、これらの配列方向において複数に分割されて形成されている。本実施形態の場合、第2 AlGaIn層4bは、リセス部5から、つまりゲート構造部の側面から一定間隔で配置されており、各第2 AlGaIn層4bはリセス部5と同様に図3の紙面上下方向に延設されたライン状とされている。このため、各第2 AlGaIn層4bを上面から見るとストライプ状になっている。各第2 AlGaIn層4bの幅については任意であるが、本実施形態では同幅に設定してある。

[0023] リセス部5内には、ゲート構造部として、ゲート絶縁膜6を介してゲート

電極 7 が埋め込まれている。具体的には、リセス部 5 の内壁面に所定膜厚のゲート絶縁膜 6 が成膜されており、このゲート絶縁膜 6 の上に更にゲート電極 7 が形成されることでゲート構造部が構成されている。

[0024] ゲート絶縁膜 6 は、シリコン酸化膜 (SiO_2) やアルミナ (Al_2O_3) などによって構成されており、ゲート電極 7 は、アルミニウム、プラチナなどの金属または不純物がドーパされた Poly -半導体などによって構成されている。これらゲート絶縁膜 6 およびゲート電極 7 をリセス部 5 内に形成することで MOS 構造のゲート構造部を構成している。

[0025] 一方、第 1 AlGaIn 層 4 a の表面のうちゲート構造部を挟んだ両側それぞれにおいて、第 2 AlGaIn 層 4 b から離れるようにソース電極 8 とドレイン電極 9 が形成されている。そして、ソース電極 8 やドレイン電極 9 が第 1 AlGaIn 層 4 a に対してそれぞれオーミック接触させられている。このような構成により、本実施形態にかかる横型の HEMT が構成されている。

[0026] なお、図示していないが、ゲート電極 7 やソース電極 8 およびドレイン電極 9 の表面には、それぞれ、 Al などで構成されるゲート配線層やソース配線層およびドレイン配線層が形成されている。これらは、層間絶縁膜を介して電氣的に分離されており、各電極に任意の電圧が印加できるようになっている。

[0027] このように、本実施形態の半導体装置では、 GaIn 層 3 と AlGaIn 層 4 によるヘテロジャンクション構造を構成し、 AlGaIn 層 4 を Al 混晶比の異なる第 1、第 2 AlGaIn 層 4 a、4 b によって構成している。そして、下層側の第 1 AlGaIn 層 4 a の方が上層側の第 2 AlGaIn 層 4 b よりも Al 混晶比が大きくなるようにし、第 2 AlGaIn 層 4 b をゲート構造部とドレイン電極 9 との間において複数に分割して配置した構造としている。

[0028] そして、第 1、第 2 AlGaIn 層 4 a、4 b の厚みを N_s が Al 混晶比によって一義的に決まる程度の厚みに設定している。このため、熱平衡状態において、図 1 中の IVA-IVA' 断面や IVB-IVB' 断面でのエネルギーバンドおよ

びキャリア濃度は、図4 Aおよび図4 Bのようになる。

[0029] すなわち、図4 Aに示すように、Ga N層3上に第1 A | Ga N層4 aのみが形成されている部分では、第1 A | Ga N層4 aとGa N層3との境界部における伝導帯および価電子帯のエネルギーバンドが下方に向けて突出した形状となる。そして、第1 A | Ga N層4 a中のGa N層3に接して多く存在している+（正）の固定電荷に基づいて、Ga N層3の表層部に-（負）の電荷が集まった状態となる。したがって、キャリア濃度、すなわち N_s が大きくなる。

[0030] 一方、図4 Bに示すように、Ga N層3上に第1、第2 A | Ga N層4 a、4 bが形成されている部分では、第2 A | Ga N層4 bの影響で、第2 A | Ga N層4 bとの境界部において、第1 A | Ga N層4 aの表層部に-の固定電荷が誘起される。つまり、第2 A | Ga N層4 bの方が第1 A | Ga N層4 aよりもA | 混晶比が小さくされているため、第1 A | Ga N層4 aの表層部に-の固定電荷を誘起させる。かつ第2 A | Ga N層4 bのA | 混晶比は2次元ホールガス（以下、2DHGという）を発生させない程度の値としている。このため、第1 A | Ga N層4 a内の+の固定電荷から-の固定電荷分を差し引いた値が図4 Aの場合と比較して小さくなり、Ga N層3の表層部に集まる-の電子による電荷濃度 N_s が少なくなる。

[0031] 阻止状態においては、図5 Aに示すように固定電荷が作用する。具体的には、第1 A | Ga N層4 a上に第2 A | Ga N層4 bが形成されている部位では、第1 A | Ga N層4 aの表層部に-の固定電荷があることで下方位置の+の固定電荷が実効的に相殺され、これによりゲート近傍の領域の電界強度が弱められる。一方、Ga N層3の上に第1 A | Ga N層4 aしか形成されていない部位では、多く存在する+の固定電荷によってドレイン近傍の領域の電界強度が弱くなる。したがって、局所的な電界強度の強い部分がなくなることにより耐圧向上を図ることが可能となる。また、ゲート構造部の下方においては2DEGが形成されていないことから、ノーマリーオフのデバイスとなる。

[0032] また、オン状態（導通状態）においては、図5Bに示すようにGa_{0.5}N_{0.5}層3の表層部に2DEGによるチャネル部が形成される。これにより、ソースドレイン間に電流が流れる。このとき、第1AlGa_{0.5}N層4aの上に第2AlGa_{0.5}N層4bが形成された部位では、第1AlGa_{0.5}N層4aのみの部位と比較して、キャリアとなる電子の数（2DEGキャリアの数）が少なくなる。したがって、第2AlGa_{0.5}N層4bが形成されている範囲が広いと、オン抵抗を増大させることになる。しかしながら、本実施形態の場合、第2AlGa_{0.5}N層4bをリセス部5の側面から所定の幅のみ形成するようにしており、ソース電極8やドレイン電極9の近傍には形成しないようにしている。このため、オン抵抗の増大をできるだけ抑制することが可能となる。

[0033] ここで、図6に示すように、第2AlGa_{0.5}N層4bをゲート構造部とドレイン電極9との間に連続的に1つのみ設ける構造も考えられる。しかしながら、このような構造とする場合、図7の実線で示したように、ゲート構造部と第2AlGa_{0.5}N層4bとの境界位置に加えて、図6中の一点差線で囲んだ領域、つまり第2AlGa_{0.5}N層4bのうちのドレイン電極9側の端部において、電界強度が高くなる。このため、第2AlGa_{0.5}N層4bを所望膜厚で形成することで制御性良く電界緩和が行えるようにするものの、第2AlGa_{0.5}N層4bのうちのドレイン電極9側の端部のように、N_sが急変する場所では電界集中が発生する。このため、耐圧向上効果が十分ではない。

[0034] これに対して、本実施形態のように、第2AlGa_{0.5}N層4bを複数に分割して配置した構造の場合、第2AlGa_{0.5}N層4bが分割された位置それぞれにおいてN_sが急変することになる。このため、図7中の一点鎖線で示したように、電界強度が高くなる位置が複数になる。しかしながら、電界強度が高くなる場所を複数箇所にできることから、それぞれの場所での最大電界強度が小さくなる。したがって、図6に示すように第2AlGa_{0.5}N層4bを1つのみ設ける構造と比較して、さらに耐圧向上を図ることが可能となる。

[0035] 以上説明したように、本実施形態では、AlGa_{0.5}N層4を第1AlGa_{0.5}N層4aおよび第2AlGa_{0.5}N層4bとし、上層側の第2AlGa_{0.5}N層4bに

についてはゲート構造部とドレイン電極 9 との間に複数に分割して配置した構造としている。そして、第 1 A l G a N 層 4 a の A l 混晶比 x の方が第 2 A l G a N 層 4 b の A l 混晶比 y よりも大きくなるようにしている。このような構成とすることで、ノーマリーオフのデバイスとしつつ、阻止耐圧の低下を抑制でき、かつ、オン抵抗の上昇を抑制することが可能な半導体装置とすることができる。

[0036] ただし、第 2 A l G a N 層 4 b を形成することによってオン抵抗を増加させることになるため、第 2 A l G a N 層 4 b の面積は少ない方が好ましい。その反面、第 2 A l G a N 層 4 b の面積を少なくすると、耐圧に影響を及ぼす。このため、所望の耐圧を確保しつつ、オン抵抗を低減できるように、第 1 A l G a N 層 4 a の単層のみが配置される部分と第 2 A l G a N 層 4 b が配置される部分の面積比を設計パラメータとして用いて設計を行うのが好ましい。

[0037] なお、このように構成される半導体装置の製造方法は、基本的には従来と同様であるが、A l G a N 層 4 の形成工程などが従来と異なったものとなる。

[0038] すなわち、G a N 層 3 の上に A l 混晶比を変えて第 1 A l G a N 層 4 a と第 2 A l G a N 層 4 b を順に積層したのち、所望のマスクを用いて第 2 A l G a N 層 4 b をエッチングする。これにより、ゲート構造部の形成予定領域の近傍にのみ第 2 A l G a N 層 4 b が残るようにする。

[0039] そして、第 2 A l G a N 層 4 b の表面から第 1 A l G a N 層 4 a を貫通して G a N 層 3 に達するように所望のマスクを用いてエッチングを行うことでリセス部 5 を形成する。

[0040] さらに、ゲート絶縁膜形成工程、ゲート電極埋込およびパターニング工程などを行うことで、ゲート構造部を形成する。この後、層間絶縁膜の形成工程やソース電極 8 およびドレイン電極 9 の形成工程などを行うことで、本実施形態の半導体装置を製造することができる。

[0041] このような製造方法において、エッチングによって第 1、第 2 A l G a N

層4 a、4 bの膜厚調整などを行ってN sを調整することはないため、これらの膜厚調整に起因するN sの大きな変動は生じず、制御性よく安定したデバイス特性が期待できる。

[0042] 第1 A I G a N層4 aと第2 A I G a N層4 bの間にはたとえばキャリアを生じない程度の非常に薄いA I Nなどの層を挿入し、第2 A I G a N層4 bをエッチングする際のエッチストップパとして使用しても良い。

[0043] (第2実施形態)

本開示の第2実施形態について説明する。本実施形態は、第1実施形態に対してA I G a N層4の構成を変更したものであり、その他については第1実施形態と同様であるため、第1実施形態と異なる部分についてのみ説明する。

[0044] 図8に示すように、本実施形態では、第2 A I G a N層4 bのうちゲート構造部に接する部分についてはライン状としているが、ゲート構造部から離れたものについては、第2 A I G a N層4 bをライン状ではなく、ドット状に配置した構造としている。具体的には、図8中の左右方向に沿うライン上だけでなく上下方向に沿うライン上においても第2 A I G a N層4 bを分割し、第2 A I G a N層4 bを網目状、換言すれば島状に配置した構造としている。

[0045] このように、第2 A I G a N層4 bを網目状に配置すると、第1実施形態と比較して第2 A I G a N層4 bの面積を少なくすることができる。第2 A I G a N層4 bが形成された領域ではN sが低くなるため、オン抵抗の増加要因となる。このため、本実施形態のように第2 A I G a N層4 bを網目状に配置してN sが低くなる面積を少なくすることで、オン抵抗を低減することが可能となる。

[0046] (第3実施形態)

本開示の第3実施形態について説明する。本実施形態も、第1実施形態に対してA I G a N層4の構成を変更したものであり、その他については第1実施形態と同様であるため、第1実施形態と異なる部分についてのみ説明す

る。

[0047] 図9に示すように、本実施形態でも、第2 A I G a N層4 bのうちゲート構造部に接する部分についてはライン状としているが、ゲート構造部から離れたものについては、第2 A I G a N層4 bをドット状に配置した構造としている。ただし、第2実施形態のように、第2 A I G a N層4 bをy方向に延設されたライン上において分割する構造ではなく、千鳥状に配置した構造としている。

[0048] このように、第2 A I G a N層4 bを千鳥状に配置すると、第2実施形態と比較して更に第2 A I G a N層4 bの面積を少なくすることができる。このため、よりオン抵抗を低減することが可能となる。

[0049] (第4実施形態)

本開示の第4実施形態について説明する。本実施形態も、第1実施形態に対してA I G a N層4の構成を変更したものであり、その他については第1実施形態と同様であるため、第1実施形態と異なる部分についてのみ説明する。

[0050] 図10に示すように、本実施形態では、第1 A I G a N層4 aと第2 A I G a N層4 bの間に第3 A I G a N層4 cを備えている。第3 A I G a N層4 cは、A I 混晶比をzとして、 $A I_z G a_{1-z} N$ で構成されている。第1 A I G a N層4 aのA I 混晶比x、第2 A I G a N層4 bのA I 混晶比yと比較して、第3 A I G a N層4 cのA I 混晶比zは大きくされている。また、第3 A I G a N層4 cの膜厚は、第1 A I G a N層4 aや第2 A I G a N層4 bの膜厚よりも薄くされている。

[0051] このように、本実施形態では、第1 A I G a N層4 aと第2 A I G a N層4 bの間に第3 A I G a N層4 cを備えた構造としている。A I G a N層のエッチングレートは、A I 混晶比によって変化し、A I 混晶比が高いほどエッチングレートが低くなる。このため、半導体装置の製造工程において、第2 A I G a N層4 bをエッチングによってパターニングする際に、第3 A I G a N層4 cをエッチストップして用いることができる。これにより、第1

A l G a N層4 aをより確実にエッチングすることなく、第2 A l G a N層4 bのパターンを行うことが可能となる。

[0052] (第5実施形態)

本開示の第5実施形態について説明する。本実施形態も、第1実施形態に対してA l G a N層4の構成を変更したものであり、その他については第1実施形態と同様であるため、第1実施形態と異なる部分についてのみ説明する。

[0053] 図11に示すように、半導体装置は、横型のHEMTが形成されることで素子動作が行われる動作領域100、つまり素子形成領域と、その外側に備えられる素子分離領域200とを有している。これら素子分離領域200と動作領域100との界面ではN sが急激に変化するため、電界が最も集中し易い。

[0054] このため、本実施形態では、素子分離領域200に近いほど第2 A l G a N層4 bの面積が増える構造としている。具体的には、図11に示すように、素子分離領域200に近いほど分割された第2 A l G a N層4 bの個数が多くなるようにし、素子分離領域200から離れた位置、つまり動作領域100の内側の位置では第2 A l G a N層4 bの個数をそれよりも少ない一定数としている。

[0055] このように、素子分離領域200に近づくほど第2 A l G a N層4 bの面積を増加させることにより、素子分離領域200と動作領域100との界面でのN sの変化を緩やかにすることが可能となる。このため、この界面近傍での電界強度を低下させることが可能となり、更に阻止耐圧を向上させることが可能となる。

[0056] (他の実施形態)

本開示は上記した実施形態に限定されるものではなく、本開示の要旨を逸脱しない範囲において適宜変更が可能である。

[0057] 例えば、上記各実施形態では、リセス部5の深さを、G a N層3の表面が露出する深さとしたが、これは一例を示したに過ぎない。例えば、リセス部

5をGa₂N層3の表層部が一部除去されるまでの深さとしても良いし、リセス部5の底面において2DEGキャリアが形成されない程度に第1AlGa₂N層4aの一部が残る程度の深さとされていても良い。

[0058] また、上記各実施形態では、ゲート構造部とドレイン電極9との間にのみ第2AlGa₂N層4bを備え、ゲート構造部とソース電極8との間には第2AlGa₂N層4bを全く形成していない構造を例に挙げた。これも一例を示したに過ぎず、例えばゲート構造部とソース電極8との間において、ゲート構造部の側面から所定幅の第2AlGa₂N層4bを形成した構造としても良い。

[0059] さらに、上記各実施形態で示した第2AlGa₂N層4bのレイアウトについても一例を示したのであり、他のレイアウトとしても良い。例えば、第2AlGa₂N層4bをドット状に配置する場合、網目状や千鳥状の配置する場合に限らない。

[0060] 本開示は、実施例に準拠して記述されたが、本開示は当該実施例や構造に限定されるものではないと理解される。本開示は、様々な変形例や均等範囲内の変形をも包含する。加えて、様々な組み合わせや形態、さらには、それらに一要素のみ、それ以上、あるいはそれ以下、を含む他の組み合わせや形態をも、本開示の範疇や思想範囲に入るものである。

請求の範囲

[請求項1]

半絶縁体もしくは半導体にて構成される基板（１）と、

前記基板上に形成され、電子走行層を構成するGa_{0.5}N層（３）および電子供給部を構成するAlGa_{0.5}N層（４）によるヘテロジャンクション構造を有し、前記AlGa_{0.5}N層が部分的に除去されたりセス部（５）が形成されたチャネル形成層と、

前記リセス部内に形成されたゲート絶縁膜（６）および該ゲート絶縁膜の上に形成されたゲート電極（７）を有して構成されるゲート構造部と、

前記チャネル形成層上において、前記ゲート構造部を挟んだ両側に配置されたソース電極（８）およびドレイン電極（９）と、を有し、

前記Ga_{0.5}N層と前記AlGa_{0.5}N層との界面における前記Ga_{0.5}N層側に２次元電子ガスキャリアが誘起されると共に、前記ゲート電極に対して電圧が印加されたときに前記リセス部の底部における前記Ga_{0.5}N層の表面部にチャネルが形成されることで前記ソース電極と前記ドレイン電極との間に電流を流す横型のスイッチングデバイスを備え、

前記AlGa_{0.5}N層は、第１AlGa_{0.5}N層（４a）と、第２AlGa_{0.5}N層（４b）と、を有し、

前記第１AlGa_{0.5}N層は、前記第１AlGa_{0.5}N層の２次元電子ガス濃度を定める第１Al混晶比に設定され、

前記第２AlGa_{0.5}N層は、前記ゲート構造部と前記ドレイン電極との間に配置され、

前記第２AlGa_{0.5}N層は、前記ゲート構造部と前記ドレイン電極との配列方向において複数に分割され、

前記第２AlGa_{0.5}N層は、前記第２AlGa_{0.5}N層の２次元電子ガス濃度を定める第２Al混晶比に設定され、かつ、

前記第２Al混晶比が前記第１Al混晶比よりも小さくされることで、前記第２AlGa_{0.5}N層が負の固定電荷を誘起する半導体装置。

- [請求項2] 前記ゲート構造部と前記ソース電極および前記ドレイン電極は、前記基板の表面に対して平行な一方向に延設されたライン状とされ、
前記第2 AlGaIn層も、前記一方向に延設されたライン状とされている請求項1に記載の半導体装置。
- [請求項3] 前記ゲート構造部と前記ソース電極および前記ドレイン電極は、前記基板の表面に対して平行な一方向に延設されたライン状とされ、
前記第2 AlGaIn層は、ドット状に配置されている請求項1に記載の半導体装置。
- [請求項4] 前記第2 AlGaIn層は、前記一方向に沿って延設されるライン上において複数に分割されることで前記ドット状とされている請求項3に記載の半導体装置。
- [請求項5] 前記第2 AlGaIn層は、千鳥状に配置されることで前記ドット状とされている請求項3に記載の半導体装置。
- [請求項6] 前記AlGaIn層は、前記第1 AlGaIn層と前記第2 AlGaIn層との間に配置される第3 AlGaIn層（4c）を有し、
該第3 AlGaIn層の第3 Al混晶比が前記第1 AlGaIn層の第1 Al混晶比より大きく、かつ、前記第2 AlGaIn層の第2 Al混晶比よりも大きい請求項1ないし5のいずれか1つに記載の半導体装置。
- [請求項7] 前記スイッチングデバイスが形成されることで素子として動作する動作領域（100）と、
前記動作領域の外側に位置する素子分離領域（200）と、を有し、
前記第2 AlGaIn層は、前記素子分離領域に近づくほど形成面積が増加させられている請求項1ないし6のいずれか1つに記載の半導体装置。
- [請求項8] 前記第1 AlGaIn層の前記2次元電子ガス濃度は、前記第1 Al混晶比が大きくなるにつれて、大きくなり、

前記第2 AlGa_N層の前記2次元電子ガス濃度は、前記第2 Al混晶比が大きくなるにつれて、大きくなる請求項1ないし7のいずれか1つに記載の半導体装置。

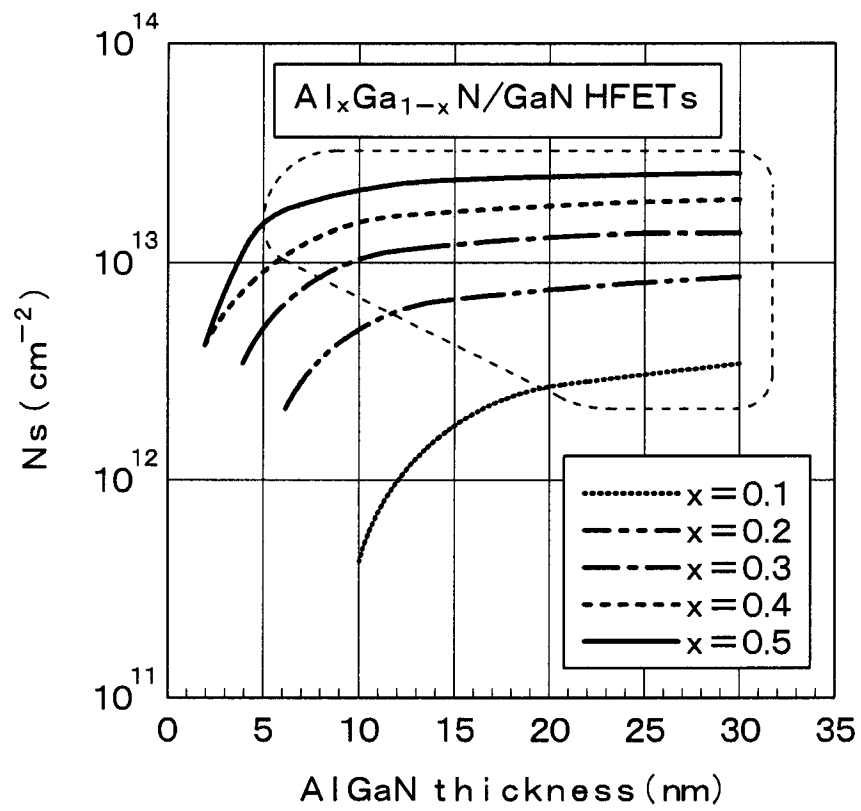
[請求項9] 前記第2 AlGa_N層は、前記ゲート構造部と前記ドレイン電極との配列方向において複数に分割され、かつ、互いに離間している請求項1ないし8のいずれか1つに記載の半導体装置。

[請求項10] 第1 AlGa_N層が前記Ga_N層上に設けられ、
前記第2 AlGa_N層が前記第1 AlGa_N層上に設けられる請求項1ないし9のいずれか1つに記載の半導体装置。

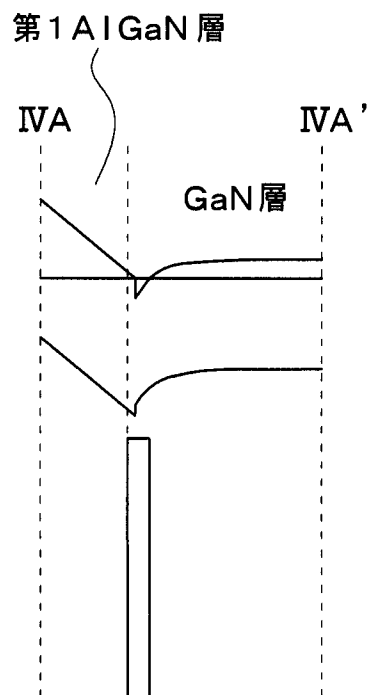
[illegible]

A cross-sectional diagram of a semiconductor device structure. The structure consists of several layers and regions. On the left, a region labeled 'S' is shown with diagonal hatching. To its right is a layer labeled $\text{Al}_x\text{Ga}_{1-x}\text{N}$. This is followed by a thin layer labeled 'G' with a dotted pattern, which is flanked by two thin layers with diagonal hatching. To the right of the 'G' layer is another layer labeled $\text{Al}_y\text{Ga}_{1-y}\text{N}$. This layer is divided into several vertical sections labeled 4a, 4b, 4a, 4b, 4b, and 4a. On the far right, a region labeled 'D' is shown with diagonal hatching. The entire structure is labeled with numbers 8, 4a, 5, 6, 7, 4b, 4a, 4b, 4b, 4a, and 9 at the bottom, corresponding to different layers or regions.

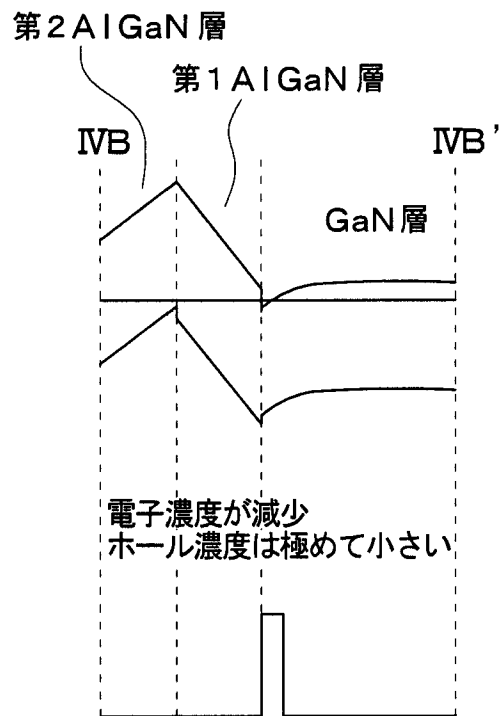
[図3]



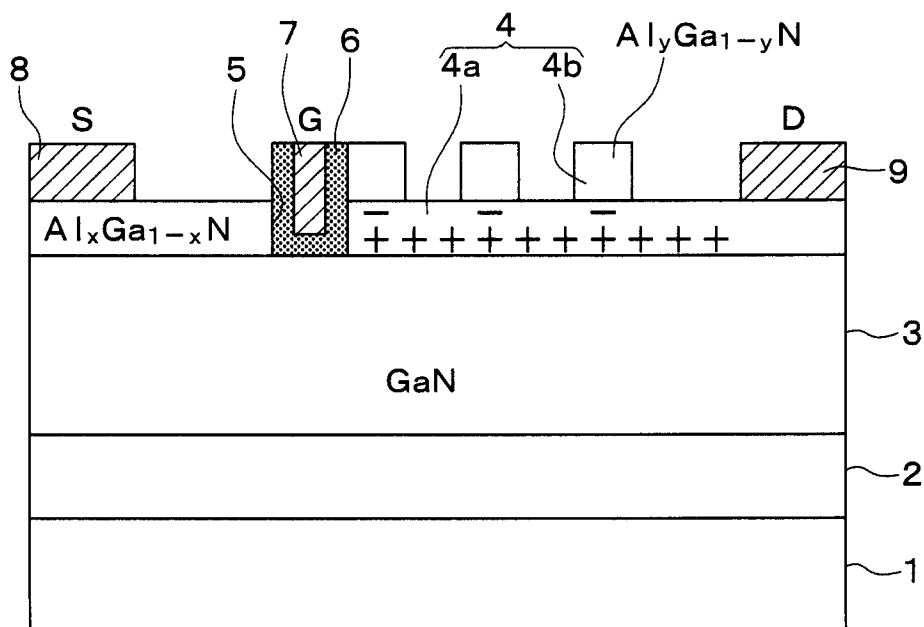
[図4A]



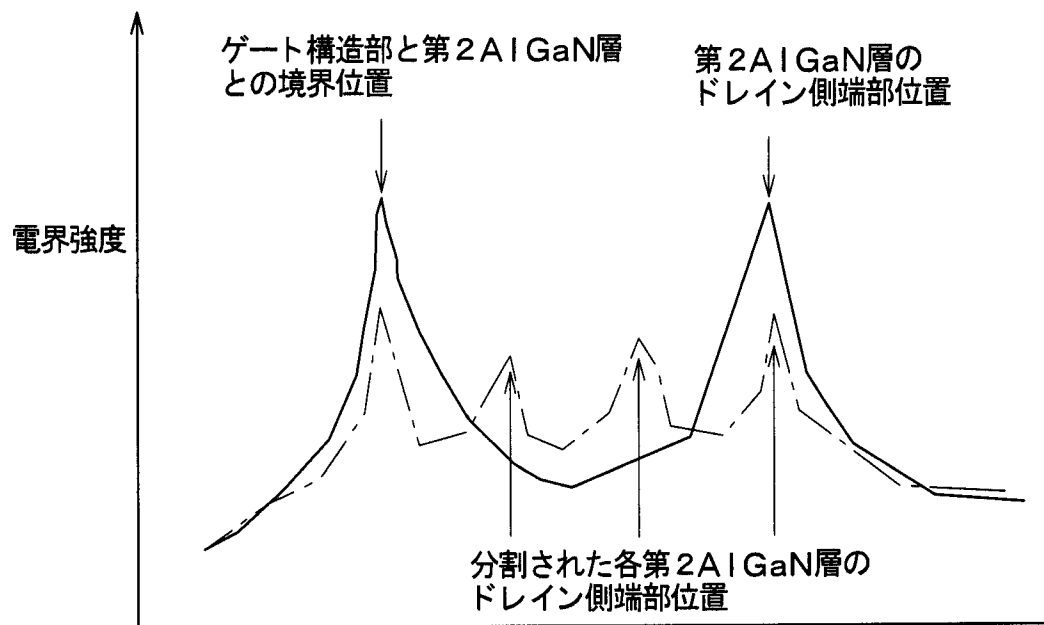
[図4B]



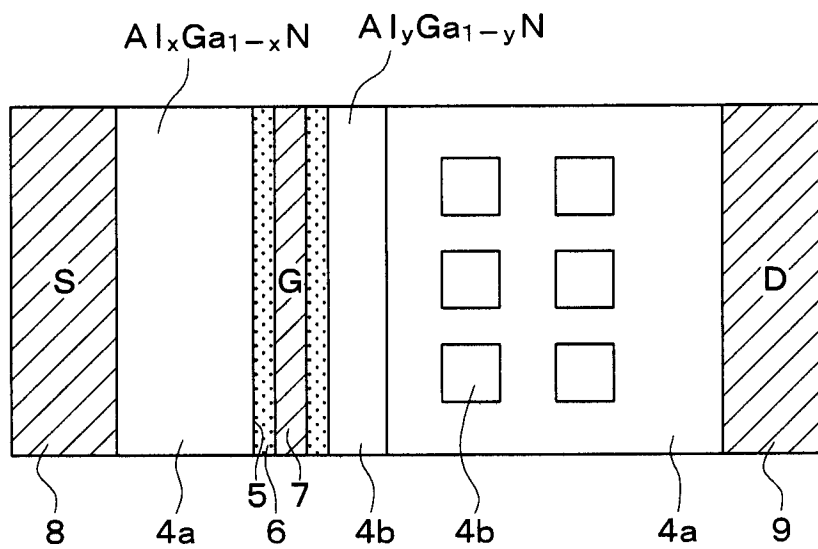
[図5A]



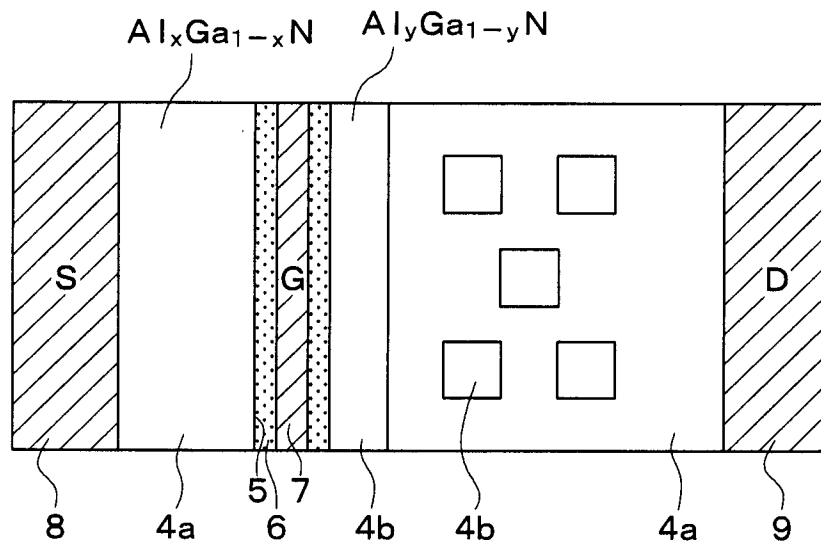
[図7]



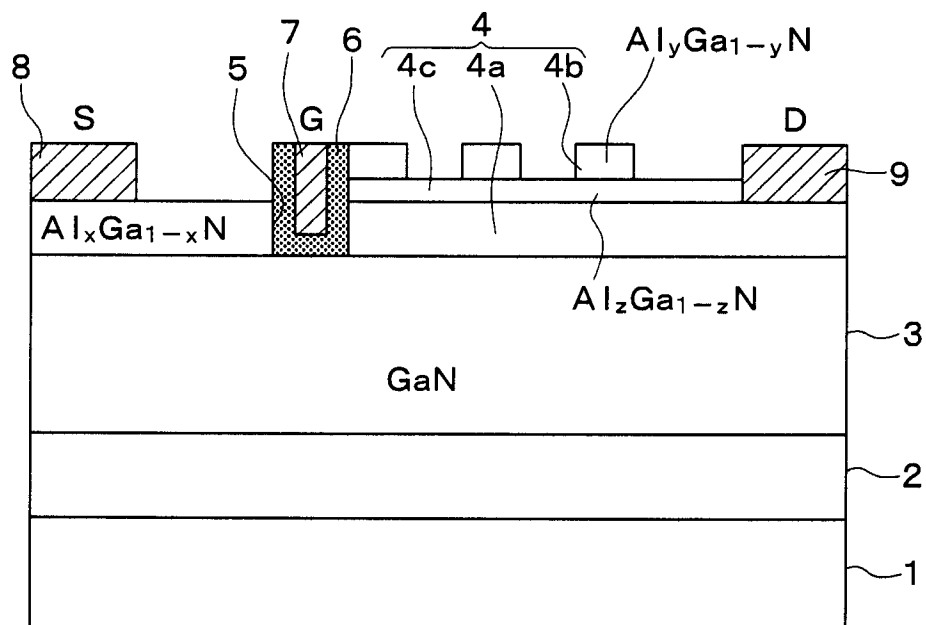
[図8]



[図9]



[図10]



The diagram illustrates a cross-section of a semiconductor device. The central region is labeled 'G' (gate) and is flanked by 'S' (source) and 'D' (drain) regions. The device is divided into three horizontal sections: a top section labeled '200 : 素子分離領域' (Element separation region), a middle section labeled '100 : 動作領域' (Operation region), and a bottom section labeled '200 : 素子分離領域' (Element separation region). The top and bottom sections are filled with diagonal hatching. The middle section contains several vertical layers and contacts. The layers are labeled with chemical formulas: $Al_xGa_{1-x}N$ and $Al_yGa_{1-y}N$. The contacts are labeled with numbers: 8, 4a, 5, 6, 7, 4b, 4a, 4a, 4a, 4b, 4b, 9. The regions are also labeled with letters: S, G, and D.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/002872

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/338(2006.01)i, H01L21/336(2006.01)i, H01L29/06(2006.01)i,
H01L29/778(2006.01)i, H01L29/78(2006.01)i, H01L29/812(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/338, H01L21/336, H01L29/06, H01L29/778, H01L29/78, H01L29/812

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	WO 2012/063329 A1 (Mitsubishi Electric Corp.), 18 May 2012 (18.05.2012), paragraphs [0015] to [0063]; fig. 1, 5, 12, 14 & US 2013/0175544 A1 paragraphs [0034] to [0088]; fig. 1, 5, 12, 14 & EP 2639820 A1	1, 2, 6, 8, 10 3-5, 7, 9
Y A	JP 2013-120854 A (Fujitsu Ltd.), 17 June 2013 (17.06.2013), paragraphs [0013] to [0099]; fig. 4, 6, 12 & US 2013/0146889 A1 paragraphs [0031] to [0117]; fig. 4, 6, 12 & CN 103151370 B & KR 20130064012 A & TW 201324773 A	1, 2, 6, 8, 10 3-5, 7, 9

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
28 July 2016 (28.07.16)

Date of mailing of the international search report
09 August 2016 (09.08.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/002872

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2012-186294 A (Sharp Corp.), 27 September 2012 (27.09.2012), paragraphs [0017] to [0037]; fig. 1, 4, 10 & US 2013/0306984 A1 fig. 1, 4, 10 & WO 2012/120934 A1 & CN 103493188 B	1, 2, 6, 8, 10 3-5, 7, 9
Y A	JP 2013-179128 A (Nagoya University), 09 September 2013 (09.09.2013), paragraphs [0025] to [0038]; fig. 7 (Family: none)	6, 8, 10 7, 9

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L21/338(2006.01)i, H01L21/336(2006.01)i, H01L29/06(2006.01)i, H01L29/778(2006.01)i, H01L29/78(2006.01)i, H01L29/812(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L21/338, H01L21/336, H01L29/06, H01L29/778, H01L29/78, H01L29/812

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	WO 2012/063329 A1（三菱電機株式会社） 2012.05.18, 段落[0015]-[0063], 図1, 図5, 図12, 図14 & US2013/0175544 A1, 段落[0034]-[0088], 図1, 図5, 図12, 図14 & EP 2639820 A1	1, 2, 6, 8, 10 3-5, 7, 9
Y A	JP 2013-120854 A（富士通株式会社） 2013.06.17, 段落[0013]-[0099], 図4, 図6, 図12 & US 2013/0146889 A1, 段落[0031]-[0117], 図4, 図6, 図12 & CN 103151370 B & KR 20130064012 A & TW 201324773 A	1, 2, 6, 8, 10 3-5, 7, 9

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

28.07.2016

国際調査報告の発送日

09.08.2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

棚田 一也

5 F

6311

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2012-186294 A (シャープ株式会社) 2012.09.27, 段落[0017]-[0037], 図 1, 図 4, 図 10 & US 2013/0306984 A1, 図 1, 図 4, 図 10 & WO2012/120934 A1 & CN 103493188 B	1, 2, 6, 8, 10 3-5, 7, 9
Y A	JP 2013-179128 A (国立大学法人名古屋大学) 2013.09.09, 段落[0025]-[0038], 図 7 (ファミリーなし)	6, 8, 10 7, 9