



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년03월06일
(11) 등록번호 10-1239157
(24) 등록일자 2013년02월26일

- (51) 국제특허분류(Int. Cl.)
G09G 3/20 (2006.01) *G09G 3/30* (2006.01)
G09G 3/32 (2006.01) *G09G 3/22* (2006.01)
- (21) 출원번호 10-2006-0025258
(22) 출원일자 2006년03월20일
심사청구일자 2011년03월21일
(65) 공개번호 10-2006-0101401
(43) 공개일자 2006년09월22일
(30) 우선권주장
JP-P-2005-00080214 2005년03월18일 일본(JP)
- (56) 선행기술조사문현
KR1020040098511 A*
KR1020010110324 A*

*는 심사관에 의하여 인용된 문현

전체 청구항 수 : 총 30 항

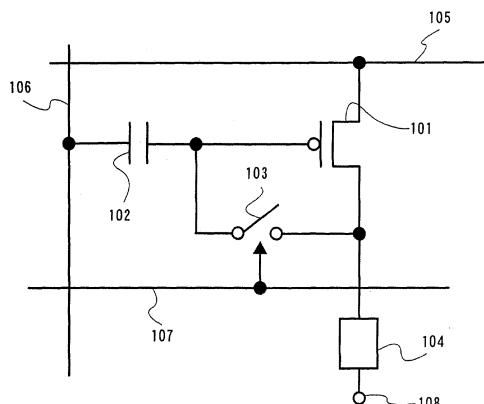
심사관 : 조기덕

(54) 발명의 명칭 반도체 장치, 표시 장치 및 그 구동 방법 및 전자 기기

(57) 요 약

발광 소자가 동일한 휘도를 가지는 경우, 하나의 화소에서 얻어지는 광도는 화소의 발광 영역의 면적(개구율로도 칭함)의 증가에 따라 보다 향상될 수 있다. 화소의 개구율은 화소를 구성하는 트랜지스터와 배선의 개수가 많다면 낮아진다. 따라서, 본 발명은 화소를 구성하는 트랜지스터와 배선의 개수를 줄여 개구율을 증가시킨다. 소정 전위가 설정되는 전원 공급선 대신에, 신호로써 전위를 제어하는 전위 공급선이 제공되어, 발광 소자로의 인가 전압의 공급은 스위치를 제공하지 않고 전위 공급선의 신호에 의해 제어 가능하다.

대 표 도



특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

표시 장치로서,

복수의 주사선과;

복수의 신호선과;

상기 복수의 주사선과 상기 복수의 신호선에 대응하도록 매트릭스로 배열되고, 그 각각은 상기 복수의 주사선 중 하나와 상기 복수의 신호선 중 하나에 접속되는 복수의 화소와;

상기 복수의 화소에 기록된 비디오 신호를 상기 복수의 신호선에 공급하는 신호 기록 수단과;

기록될 화소를 선택하는 신호를 상기 복수의 주사선으로 공급하는 화소 선택 수단과;

상기 복수의 화소에 기록된 상기 비디오 신호의 전위를 기준으로 상기 복수의 화소의 발광/비발광을 모두 한번에 제어하는 전위를 상기 복수의 신호선으로 공급하는 전위 공급 수단을 포함하고,

상기 전위 공급 수단은 상기 복수의 신호선 중 일부 신호선에 대해 다른 전위를 공급하는 수단을 포함하는 것을 특징으로 하는 표시 장치.

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

신호선 구동부;

상기 신호선 구동부에 전기 접속된 제1 배선 및 제2 배선;

제3 배선; 및

제1 화소 및 제2 화소를 포함하는 표시장치로서, 각 화소는,

게이트 단자, 제1 단자 및 제2 단자를 갖는 제1 트랜지스터;

상기 제1 트랜지스터의 상기 제2 단자에 직접 접속된 발광 소자;

상기 제1 트랜지스터의 상기 게이트 단자에 전기 접속된 일측 전극을 포함하는 캐패시터; 및

게이트 단자, 제1 단자 및 제2 단자를 갖고, 상기 제1 트랜지스터의 상기 게이트 단자와 상기 제2 단자와의 사이에 전기 접속된 제2 트랜지스터를 구비하고,

상기 제3 배선은, 상기 제1 화소의 상기 제1 트랜지스터의 상기 제1 단자와 상기 제2 화소의 상기 제1 트랜지스터의 상기 제1 단자에 전기 접속되고,

상기 제1 화소의 상기 캐패시터의 타측 전극은 상기 제1 배선에 전기 접속되고,
 상기 제2 화소의 상기 캐패시터의 타측 전극은 상기 제2 배선에 전기 접속되고,
 상기 제1 화소의 상기 제2 트랜지스터의 상기 게이트 단자는 상기 제2 화소의 상기 제2 트랜지스터의 상기 게이트 단자에 전기 접속되고,
 상기 신호선 구동부는 상기 제1 배선 및 상기 제2 배선에 아날로그 신호들을 공급하고,
 상기 제1 배선에 공급된 상기 아날로그 신호의 진폭은, 상기 제2 배선에 공급된 상기 아날로그 신호의 진폭과 다른, 표시장치.

청구항 24

신호선 구동부;
 상기 신호선 구동부에 전기 접속된 제1 배선 및 제2 배선;
 제3 배선 및 제4 배선; 및
 제1 화소 및 제2 화소를 포함하는 표시장치로서, 각 화소는,
 게이트 단자, 제1 단자 및 제2 단자를 갖는 제1 트랜지스터;
 상기 제1 트랜지스터의 상기 제2 단자에 직접 접속된 발광 소자;
 상기 제1 트랜지스터의 상기 게이트 단자에 전기 접속된 일측 전극을 포함하는 캐패시터; 및
 게이트 단자, 제1 단자 및 제2 단자를 갖고, 상기 제1 트랜지스터의 상기 게이트 단자와 상기 제2 단자와의 사이에 전기 접속된 제2 트랜지스터를 구비하고,
 상기 제3 배선은, 상기 제1 화소의 상기 제1 트랜지스터의 상기 제1 단자에 전기 접속되고,
 상기 제4 배선은, 상기 제2 화소의 상기 제1 트랜지스터의 상기 제1 단자에 전기 접속되고,
 상기 제1 화소의 상기 캐패시터의 타측 전극은 상기 제1 배선에 전기 접속되고,
 상기 제2 화소의 상기 캐패시터의 타측 전극은 상기 제2 배선에 전기 접속되고,
 상기 제1 화소의 상기 제2 트랜지스터의 상기 게이트 단자는 상기 제2 화소의 상기 제2 트랜지스터의 상기 게이트 단자에 전기 접속되고,
 상기 신호선 구동부는 상기 제1 배선 및 상기 제2 배선에 아날로그 신호들을 공급하고,
 상기 제1 배선에 공급된 상기 아날로그 신호의 진폭은, 상기 제2 배선에 공급된 상기 아날로그 신호의 진폭과 다른, 표시장치.

청구항 25

제 23 항 또는 제 24 항에 있어서,
 상기 제1 화소의 상기 제1 트랜지스터와 상기 제2 화소의 상기 제1 트랜지스터는 a-InGaZnO를 포함하는, 표시장치.

청구항 26

제 23 항 또는 제 24 항에 있어서,
 상기 제1 화소의 상기 제1 트랜지스터와 상기 제2 화소의 상기 제1 트랜지스터는 미결정 반도체를 포함하는, 표시장치.

청구항 27

제 23 항 또는 제 24 항에 있어서,
 상기 제1 배선에 입력되는 삼각파 전위를 생성하는 제1 전위 생성 회로; 및

상기 제2 배선에 입력되는 삼각파 전위를 생성하는 제2 전위 생성 회로를 더 포함하고,

상기 제1 화소의 상기 발광소자와 상기 제2 화소의 상기 발광소자는, 음극, 상기 음극 위의 발광층 및 상기 발광층 위의 양극을 포함하는, 표시장치.

청구항 28

제 23 항 또는 제 24 항에 있어서,

상기 신호선 구동부와 상기 제1 배선 사이에 설치된 제1 스위치; 및

상기 신호선 구동부와 상기 제2 배선 사이에 설치된 제2 스위치를 더 포함하는, 표시장치.

청구항 29

청구항 23 또는 24에 따른 표시장치가 표시부에 구비된 전자기기.

청구항 30

제 23 항에 있어서,

상기 제3 배선에 전기 접속된 버퍼회로를 더 포함하는, 표시장치.

청구항 31

제 24 항에 있어서,

상기 제3 배선 및 상기 제4 배선에 전기 접속된 버퍼회로를 더 포함하는, 표시장치.

청구항 32

제 23 항 또는 제 24 항에 있어서,

상기 제1 화소 및 상기 제2 화소는, 플렉시블 기판 위에 형성되는, 표시장치.

청구항 33

신호선 구동부;

상기 신호선 구동부에 전기 접속된 제1 배선 및 제2 배선;

제3 배선;

게이트 단자, 제1 단자 및 제2 단자를 갖는 제1 트랜지스터;

상기 제1 트랜지스터의 상기 제2 단자에 전기 접속된 제1 화소전극;

상기 제1 트랜지스터의 상기 게이트 단자에 전기 접속된 일측 전극을 포함하는 제1 캐패시터;

게이트 단자, 제1 단자 및 제2 단자를 갖고, 상기 제1 트랜지스터의 상기 게이트 단자와 상기 제2 단자 사이에 전기 접속된 제3 트랜지스터;

게이트 단자, 제1 단자 및 제2 단자를 갖는 제2 트랜지스터;

상기 제2 트랜지스터의 상기 제2 단자에 전기 접속된 제2 화소전극;

상기 제2 트랜지스터의 상기 게이트 단자에 전기 접속된 일측 전극을 포함하는 제2 캐패시터; 및

게이트 단자, 제1 단자 및 제2 단자를 갖고, 상기 제2 트랜지스터의 상기 게이트 단자와 상기 제2 단자 사이에 전기 접속된 제4 트랜지스터를 포함하는 반도체장치로서,

상기 제3 배선은, 상기 제1 트랜지스터의 상기 제1 단자와 상기 제2 트랜지스터의 상기 제1 단자에 전기 접속되고,

상기 제1 캐패시터의 타측 전극은 상기 제1 배선에 전기 접속되고,

상기 제2 캐패시터의 타측 전극은 상기 제2 배선에 전기 접속되고,

상기 제3 트랜지스터의 상기 게이트 단자는 상기 제4 트랜지스터의 상기 게이트 단자에 전기 접속되고,

상기 신호선 구동부는 상기 제1 배선 및 상기 제2 배선에 아날로그 신호들을 공급하고,

상기 제1 배선에 공급된 상기 아날로그 신호의 진폭은, 상기 제2 배선에 공급된 상기 아날로그 신호의 진폭과 다른, 반도체 장치.

청구항 34

신호선 구동부;

상기 신호선 구동부에 전기 접속된 제1 배선 및 제2 배선;

제3 배선 및 제4 배선;

게이트 단자, 제1 단자 및 제2 단자를 갖는 제1 트랜지스터;

상기 제1 트랜지스터의 상기 제2 단자에 전기 접속된 제1 화소전극;

상기 제1 트랜지스터의 상기 게이트 단자에 전기 접속된 일측 전극을 포함하는 제1 캐페시터;

게이트 단자, 제1 단자 및 제2 단자를 갖고, 상기 제1 트랜지스터의 상기 게이트 단자와 상기 제2 단자 사이에 전기 접속된 제3 트랜지스터;

게이트 단자, 제1 단자 및 제2 단자를 갖는 제2 트랜지스터;

상기 제2 트랜지스터의 상기 제2 단자에 전기 접속된 제2 화소전극;

상기 제2 트랜지스터의 상기 게이트 단자에 전기 접속된 일측 전극을 포함하는 제2 캐페시터; 및

게이트 단자, 제1 단자 및 제2 단자를 갖고, 상기 제2 트랜지스터의 상기 게이트 단자와 상기 제2 단자 사이에 전기 접속된 제4 트랜지스터를 포함하는 반도체장치로서,

상기 제3 배선은, 상기 제1 트랜지스터의 상기 제1 단자에 전기 접속되고,

상기 제4 배선은, 상기 제2 트랜지스터의 상기 제1 단자에 전기 접속되고,

상기 제1 캐페시터의 타측 전극은 상기 제1 배선에 전기 접속되고,

상기 제2 캐페시터의 타측 전극은 상기 제2 배선에 전기 접속되고,

상기 제3 트랜지스터의 상기 게이트 단자는 상기 제4 트랜지스터의 상기 게이트 단자에 전기 접속되고,

상기 신호선 구동부는 상기 제1 배선 및 상기 제2 배선에 아날로그 신호들을 공급하고,

상기 제1 배선에 공급된 상기 아날로그 신호의 진폭은, 상기 제2 배선에 공급된 상기 아날로그 신호의 진폭과 다른, 반도체 장치.

청구항 35

제 33 항 또는 제 34 항에 있어서,

상기 제1 트랜지스터와 상기 제2 트랜지스터는 a-InGaZnO를 포함하는, 반도체 장치.

청구항 36

제 33 항 또는 제 34 항에 있어서,

상기 제1 트랜지스터와 상기 제2 트랜지스터는 미결정 반도체를 포함하는, 반도체 장치.

청구항 37

제 33 항 또는 제 34 항에 있어서,

상기 제1 배선에 입력되는 삼각파 전위를 생성하는 제1 전위 생성 회로; 및

상기 제2 배선에 입력되는 삼각파 전위를 생성하는 제2 전위 생성 회로를 더 포함하는, 반도체 장치.

청구항 38

제 33 항 또는 제 34 항에 있어서,
 상기 신호선 구동부와 상기 제1 배선 사이에 설치된 제1 스위치; 및
 상기 신호선 구동부와 상기 제2 배선 사이에 설치된 제2 스위치를 더 포함하는, 반도체 장치.

청구항 39

제 33 항에 있어서,
 상기 제3 배선에 전기 접속된 버퍼회로를 더 포함하는, 반도체 장치.

청구항 40

제 34 항에 있어서,
 상기 제3 배선 및 상기 제4 배선에 전기 접속된 버퍼회로를 더 포함하는, 반도체 장치.

청구항 41

제 33 항 또는 제 34 항에 있어서,
 상기 제1 트랜지스터, 상기 제3 트랜지스터, 상기 제1 캐패시터, 상기 제3 트랜지스터, 상기 제1 화소 전극, 상기 제2 트랜지스터, 상기 제4 트랜지스터, 상기 제2 캐패시터, 및 상기 제2 화소전극이, 플렉시블 기판 위에 형성된, 반도체 장치.

청구항 42

신호선 구동부;
 상기 신호선 구동부에 전기 접속된 제1 배선 및 제2 배선;
 제3 배선;
 게이트 단자, 제1 단자 및 제2 단자를 갖는 제1 트랜지스터;
 상기 제1 트랜지스터의 상기 제2 단자에 전기 접속된 제1 발광소자;
 상기 제1 트랜지스터의 상기 게이트 단자에 전기 접속된 일측 전극을 포함하는 제1 캐패시터;
 게이트 단자, 제1 단자 및 제2 단자를 갖고, 상기 제1 트랜지스터의 상기 게이트 단자와 상기 제2 단자 사이에 전기 접속된 제3 트랜지스터;
 게이트 단자, 제1 단자 및 제2 단자를 갖는 제2 트랜지스터;
 상기 제2 트랜지스터의 상기 제2 단자에 전기 접속된 제2 발광소자;
 상기 제2 트랜지스터의 상기 게이트 단자에 전기 접속된 일측 전극을 포함하는 제2 캐패시터; 및
 게이트 단자, 제1 단자 및 제2 단자를 갖고, 상기 제2 트랜지스터의 상기 게이트 단자와 상기 제2 단자 사이에 전기 접속된 제4 트랜지스터를 포함하는 표시장치로서,
 상기 제3 배선은, 상기 제1 트랜지스터의 상기 제1 단자와 상기 제2 트랜지스터의 상기 제1 단자에 전기 접속되고,
 상기 제1 캐패시터의 타측 전극은 상기 제1 배선에 전기 접속되고,
 상기 제2 캐패시터의 타측 전극은 상기 제2 배선에 전기 접속되고,
 상기 제3 트랜지스터의 상기 게이트 단자는 상기 제4 트랜지스터의 상기 게이트 단자에 전기 접속되고,
 상기 신호선 구동부는 상기 제1 배선 및 상기 제2 배선에 아날로그 신호들을 공급하고,
 상기 제1 배선에 공급된 상기 아날로그 신호의 진폭은, 상기 제2 배선에 공급된 상기 아날로그 신호의

진폭과 다른, 표시장치.

청구항 43

신호선 구동부;

상기 신호선 구동부에 전기 접속된 제1 배선 및 제2 배선;

제3 배선 및 제4 배선;

게이트 단자, 제1 단자 및 제2 단자를 갖는 제1 트랜지스터;

상기 제1 트랜지스터의 상기 제2 단자에 전기 접속된 제1 발광소자;

상기 제1 트랜지스터의 상기 게이트 단자에 전기 접속된 일측 전극을 포함하는 제1 캐패시터;

게이트 단자, 제1 단자 및 제2 단자를 갖고, 상기 제1 트랜지스터의 상기 게이트 단자와 상기 제2 단자 사이에 전기 접속된 제3 트랜지스터;

게이트 단자, 제1 단자 및 제2 단자를 갖는 제2 트랜지스터;

상기 제2 트랜지스터의 상기 제2 단자에 전기 접속된 제2 발광소자;

상기 제2 트랜지스터의 상기 게이트 단자에 전기 접속된 일측 전극을 포함하는 제2 캐패시터; 및

게이트 단자, 제1 단자 및 제2 단자를 갖고, 상기 제2 트랜지스터의 상기 게이트 단자와 상기 제2 단자 사이에 전기 접속된 제4 트랜지스터를 포함하는 표시장치로서,

상기 제3 배선은, 상기 제1 트랜지스터의 상기 제1 단자에 전기 접속되고,

상기 제4 배선은, 상기 제2 트랜지스터의 상기 제1 단자에 전기 접속되고,

상기 제1 캐패시터의 타측 전극은 상기 제1 배선에 전기 접속되고,

상기 제2 캐패시터의 타측 전극은 상기 제2 배선에 전기 접속되고,

상기 제3 트랜지스터의 상기 게이트 단자는 상기 제4 트랜지스터의 상기 게이트 단자에 전기 접속되고,

상기 신호선 구동부는 상기 제1 배선 및 상기 제2 배선에 아날로그 신호들을 공급하고,

상기 제1 배선에 공급된 상기 아날로그 신호의 진폭은, 상기 제2 배선에 공급된 상기 아날로그 신호의 진폭과 다른, 표시장치.

청구항 44

제 42 항 또는 제 43 항에 있어서,

상기 제1 트랜지스터와 상기 제2 트랜지스터는 a-InGaZnO를 포함하는, 표시장치.

청구항 45

제 42 항 또는 제 43 항에 있어서,

상기 제1 트랜지스터와 상기 제2 트랜지스터는 미결정 반도체를 포함하는, 표시장치.

청구항 46

제 42 항 또는 제 43 항에 있어서,

상기 제1 배선에 입력되는 삼각파 전위를 생성하는 제1 전위 생성 회로; 및

상기 제2 배선에 입력되는 삼각파 전위를 생성하는 제2 전위 생성 회로를 더 포함하고,

상기 제1 발광소자와 상기 제2 발광소자는, 음극, 상기 음극 위의 발광층 및 상기 발광층 위의 양극을 포함하는, 표시장치.

청구항 47

제 42 항 또는 제 43 항에 있어서,

상기 신호선 구동부와 상기 제1 배선 사이에 설치된 제1 스위치; 및

상기 신호선 구동부와 상기 제2 배선 사이에 설치된 제2 스위치를 더 포함하는, 표시장치.

청구항 48

청구항 42 또는 43에 따른 표시장치가 표시부에 구비된 전자기기.

청구항 49

제 42 항에 있어서,

상기 제3 배선에 전기 접속된 버퍼회로를 더 포함하는, 표시장치.

청구항 50

제 43 항에 있어서,

상기 제3 배선 및 상기 제4 배선에 전기 접속된 버퍼회로를 더 포함하고,

상기 제1 발광소자와 상기 제2 발광소자는, 음극, 상기 음극 위의 발광층 및 상기 발광층 위의 양극을 포함하는, 표시장치.

청구항 51

제 42 항 또는 제 43 항에 있어서,

상기 제1 트랜지스터, 상기 제3 트랜지스터, 상기 제1 캐패시터, 상기 제3 트랜지스터, 상기 제1 발광소자, 상기 제2 트랜지스터, 상기 제4 트랜지스터, 상기 제2 캐패시터, 및 상기 제2 발광소자가, 플렉시블 기판 위에 형성된, 표시장치.

명세서

발명의 상세한 설명

발명의 목적

종래기술의 문헌 정보

[0080] <비>특허 문헌 1> SID 04 DIGEST P1394~P1397

발명이 속하는 기술 및 그 분야의 종래기술

[0081] 본 발명은 부하에 공급하는 전류를 트랜지스터로 제어하는 기능을 갖는 반도체 장치에 관한 것으로, 특히 전류에 의해서 휘도가 변화되는 전류 구동형 발광 소자로 형성된 화소와 그 신호선 구동 회로를 포함하는 표시 장치에 관한 것이다. 또한, 본 발명은 그 구동 방법에 관한 것이다. 또한, 본 발명은 그 표시 장치를 적용한 표시부를 갖는 전자 기기에 관한 것이다.

[0082] 최근, 화소를 발광 다이오드(LED) 등의 발광 소자로 형성한 자기 발광형(self-luminous)의 표시 장치가 주목을 받고 있다. 이러한 자기 발광형의 표시 장치에 이용되는 발광 소자로서는, 유기 발광 다이오드(Organic Light Emitting Diode: OLED)(유기 EL 소자, 전계 발광(electroluminescence: EL) 소자 등으로도 지칭된다)가 주목을 끌고 있고, EL 디스플레이 등에 사용되도록 되고 있다. OLED 등의 발광 소자는 자기 발광형이기 때문에, 액정 표시 장치에 비해 화소의 시인성이 높고, 배면광이 불필요하고 응답 속도가 빠른 등의 이점이 있다. 또한, 발광 소자의 휘도는 소자를 흐르는 전류치에 의해서 제어된다.

[0083] 이러한 표시 장치의 계조를 표현하는 구동 방식으로서, 디지털 방식과 아날로그 방식이 있다. 디지털 방식은 디지털 제어로 발광 소자를 온/오프시켜, 발광 시간을 제어하여 계조를 표현하고 있다. 이 방법은 화소마다의 휘도의 균일성이 우수한 반면, 주파수를 높게 할 필요가 있어 소비 전력이 증대되어 버린다. 한편, 아날로그 방식은 발광 소자의 발광 강도를 아날로그 제어하는 방식과 발광 소자의 발광 시간을 아날로그 제어하는 방식이

있다. 발광 강도를 아날로그 제어하는 방식은 화소마다의 박막 트랜지스터(이하, TFT로도 칭한다)의 특성 변동의 영향을 받기 쉽고, 화소마다의 발광에도 변동이 생긴다. 한편, 발광 시간을 아날로그 제어하여 화소마다의 발광 균일성이 우수한 아날로그 시간 계조 방식의 표시 장치가 비특허 문헌 1에 기재되어 있다(비특허 문헌 1 참조).

[0084] 구체적으로, 비특허 문헌 1에 기재된 표시 장치의 화소는 발광 소자와 발광 소자를 구동하는 트랜지스터에 의해 인버터를 구성하고 있다. 구동 트랜지스터의 게이트 단자가 인버터의 입력 단자에 대응하고, 발광 소자의 양극이 인버터의 출력 단자에 대응한다. 화소에 비디오 신호 전압을 기록시, 인버터를 온과 오프의 중간에 설정한다. 그리고, 발광 기간에 화소에 삼각파 전압을 입력하는 것으로 인버터의 출력을 제어한다. 즉, 발광 소자의 양극으로 설정되는 전위가 되는 인버터의 출력을 제어하는 것으로, 발광 소자의 발광 여부를 제어한다.

발명이 이루고자 하는 기술적 과제

[0085] 표시 장치의 고선명화에 수반하여 하나의 화소로부터 얻어지는 광도는 저하된다. 여기서, 광도는 소정 방향으로부터 얻어진 광원의 휘도 정도를 나타내는 양을 의미하고, 또한 휘도는 단위 면적 당 광원의 광도를 의미함에 유의하여야 한다.

[0086] 다른 화소들에서, 화소 내 각 발광 소자의 휘도가 동일한 경우, 하나의 화소로부터 얻어진 광도는 화소 내 발광 영역의 면적이 커질수록 높은 광도를 얻을 수 있다. 즉, 하나의 화소의 면적에 대해, 하나의 화소에서 광을 통과시키지 않는 영역(블랙 매트릭스라고도 한다)를 제외한, 빛을 통과시키는 영역의 면적의 비율로 나타내는 개구율이 높으면, 고선명화에 의해 화소의 면적이 작아지더라도 구동 전압의 증가없이 하나의 화소로부터 원하는 광도를 얻을 수 있다.

[0087] 여기서, 화소를 구성하는 트랜지스터와 배선의 수가 많으면, 화소의 개구율이 낮다. 따라서, 본 발명의 목적은 화소를 구성하는 트랜지스터와 배선의 수를 감소시켜 개구율을 증가시키는 것이다.

발명의 구성 및 작용

[0088] 소정 전위가 설정되어 있는 전원선을 대신하여, 전위를 신호에 의해 제어하는 전위 공급선이 제공된다. 즉, 발광 소자로의 인가 전압의 공급은 스위치를 설치하지 않고 전위 공급선의 신호에 의해 제어될 수 있다.

[0089] 본 발명의 반도체 장치의 구성은,

[0090] 전극과; 게이트 단자, 제1 단자 및 제2 단자를 갖춘 트랜지스터와; 제1 배선과; 제2 배선과; 상기 트랜지스터의 게이트 단자와 상기 제1 배선과의 전위차를 유지하는 유지 수단과; 상기 트랜지스터의 게이트 단자와 제2 단자 사이의 부분을 통전/비통전 상태로 전환하는 스위치 수단과;를 구비하는

[0091] 화소를 포함하고;

[0092] 상기 트랜지스터는 제1 단자가 상기 제2 배선에 전기적으로 접속되고, 상기 제2 단자가 상기 전극과 접속되어 있다.

[0093] 본 발명의 다른 구성의 반도체 장치는,

[0094] 전극과; 게이트 단자, 제1 단자 및 제2 단자를 갖춘 트랜지스터와; 제1 배선과; 제2 배선과; 상기 트랜지스터의 게이트 단자와 상기 제1 배선과의 전위차를 유지하는 캐패시터와; 상기 트랜지스터의 게이트 단자와 제2 단자 사이의 부분을 통전/비통전 상태로 전환하는 스위치와;를 구비하는

[0095] 화소를 포함하고;

[0096] 상기 트랜지스터는 제1 단자가 상기 제2 배선에 전기적으로 접속되고, 상기 제2 단자가 상기 전극에 전기적으로 접속되어 있다.

[0097] 본 발명에 따른 다른 구성의 반도체 장치는,

[0098] 전극과; 게이트 단자, 제1 단자 및 제2 단자를 갖춘 트랜지스터와; 제1 배선과; 제2 배선과; 캐패시터와; 스위치와;를 구비한

- [0099] 화소를 포함하고;
- [0100] 상기 트랜지스터의 제1 단자는 상기 제2 배선에 전기적으로 접속되고; 상기 제2 단자는 상기 전극에 전기적으로 접속되며; 상기 트랜지스터의 게이트 단자와 제2 단자는 상기 스위치를 통해 상호 전기적으로 접속되며; 상기 트랜지스터의 게이트 단자는 상기 캐패시터를 통해 상기 제1 배선에 전기적으로 접속되어 있다.
- [0101] 본 발명의 표시 장치는,
- [0102] 발광 소자와; 게이트 단자, 제1 단자 및 제2 단자를 갖춘 구동 트랜지스터와; 제1 배선과; 제2 배선과; 상기 구동 트랜지스터의 게이트 단자와 상기 제1 배선과의 전위차를 유지하는 유지 수단과; 상기 구동 트랜지스터의 게이트 단자와 제2 단자 사이의 부분을 통전/비통전 상태로 전환하는 스위치 수단과;를 구비하는
- [0103] 화소를 포함하고;
- [0104] 상기 구동 트랜지스터는 제1 단자가 상기 제2 배선에 전기적으로 접속되고, 상기 제2 단자가 상기 발광 소자의 화소 전극과 전기적으로 접속되어 있다.
- [0105] 본 발명에 따른 다른 구성의 표시 장치는,
- [0106] 발광 소자와; 게이트 단자, 제1 단자 및 제2 단자를 갖춘 구동 트랜지스터와; 제1 배선과; 제2 배선과; 상기 구동 트랜지스터의 게이트 단자와 상기 제1 배선과의 전위차를 유지하는 캐패시터와; 상기 구동 트랜지스터의 게이트 단자와 제2 단자 사이의 부분을 통전/비통전 상태로 전환하는 스위치와;를 구비하는
- [0107] 화소를 포함하고;
- [0108] 상기 구동 트랜지스터는 제1 단자가 상기 제2 배선에 전기적으로 접속되고, 상기 제2 단자가 상기 발광 소자의 화소 전극과 전기적으로 접속되어 있다.
- [0109] 본 발명에 따른 다른 구성의 표시 장치는,
- [0110] 발광 소자와; 게이트 단자, 제1 단자 및 제2 단자를 갖추고 상기 발광 소자를 구동시키는 구동 트랜지스터와; 제1 배선과; 제2 배선과; 캐패시터와; 스위치와;를 구비한
- [0111] 화소를 포함하고;
- [0112] 상기 구동 트랜지스터의 제1 단자는 상기 제2 배선에 전기적으로 접속되고; 상기 제2 단자는 상기 발광 소자의 화소 전극에 전기적으로 접속되며; 상기 구동 트랜지스터의 게이트 단자와 제2 단자는 상기 스위치를 통해 상호 전기적으로 접속되며; 상기 구동 트랜지스터의 게이트 단자는 상기 캐패시터를 통해 상기 제1 배선에 전기적으로 접속되어 있다.
- [0113] 또한, 본 발명의 다른 구성의 표시 장치는, 상기 구성에 있어서, 상기 제2 배선에는 2치 전위(binary potential)가 입력된다.
- [0114] 본 발명의 전자 기기는 상기 구성의 표시 장치를 표시부에 갖고 있다.
- [0115] 본 발명의 표시 장치의 구동 방법은,
- [0116] 발광 소자와; 게이트 단자, 제1 단자 및 제2 단자를 갖추고 상기 발광 소자를 구동시키는 구동 트랜지스터와; 제1 배선과; 제2 배선과; 상기 구동 트랜지스터의 게이트 단자와 상기 제1 배선과의 전위차를 유지하는 유지 수단과; 상기 구동 트랜지스터의 게이트 단자와 제2 단자 사이의 부분을 통전/비통전 상태로 전환하는 스위치 수단과;를 구비하는 화소를 포함하고; 상기 구동 트랜지스터는 제1 단자가 상기 제2 배선에 전기적으로 접속되고, 상기 제2 단자가 상기 발광 소자의 화소 전극과 전기적으로 접속되어 있는 표시 장치의 구동 방법으로서,
- [0117] 해당 화소로의 신호 기록 기간에 있어서, 해당 화소로의 신호 기록시, 해당 스위치 수단은, 해당 구동 트랜지스터의 해당 게이트 단자와 해당 제2 단자를 통전 상태로 만들고, 해당 제1 배선에는 비디오 신호가 입력되고, 해당 제2 배선에는, 해당 발광 소자의 대향 전극과의 전위차가 해당 발광 소자의 순방향 문턱 전압(V_{th}) 이상이 되는 제1 전위가 입력되고, 해당 화소로의 신호 기록이 종료하면, 해당 스위치 수단은 해당 구동 트랜지스터의 해당 게이트 단자와 해당 제2 단자를 비통전 상태로 만들고, 해당 제2 배선에는, 해당 발광 소자의 대향 전극과의 전위차가 해당 발광 소자의 순방향 문턱 전압(V_{th}) 이하가 되는 전위가 입력된다. 발광 기간에는, 해당 제1 배선에 아날로그 방식으로 변화되는 전위가 입력되고, 해당 제2 배선에는 상기 제1 전위가 입력된다.
- [0118] 명세서에 설명되는 스위치는 전기 스위치 또는 기계 스위치와 같은 어떤 방식의 스위치 이여도 좋다. 즉, 전류

의 흐름을 제어할 수 있다면 어떤 것도 무관하다. 예를 들면, 트랜지스터, 다이오드, 또는 이들을 조합시킨 논리 회로도 무관하다. 따라서, 스위치로서 트랜지스터를 이용하는 경우, 그 트랜지스터는 단순히 스위치로서 동작하기 때문에, 트랜지스터의 극성(도전형)은 특히 한정되지 않는다. 그러나, 오프 전류가 적은 쪽이 바람직한 경우, 오프 전류가 적은 극성의 트랜지스터를 이용하는 것이 바람직하다; 예컨대, 이러한 트랜지스터로서는 LDD 영역을 설치하고 있는 것 등이 사용될 수 있다. 또한, 스위치로서 기능하는 트랜지스터의 소스 단자의 전위가 저전위측 전원(예, V_{ss}, GND, 또는 0V)에 가까운 상태로 동작하는 경우는 n-형 트랜지스터를 사용하고, 반대로, 소스 단자의 전위가 고전위측 전원(예, V_{dd})에 가까운 상태로 동작하는 경우는 p-형 트랜지스터를 사용하는 것이 바람직하다. 이것은 트랜지스터의 게이트 소스 전압의 절대치가 증가될 수 있기 때문에 스위치로서 쉽게 동작할 수 있기 때문이다. n-형 및 p-형 트랜지스터 양자를 사용하는 것에 의해 CMOS 형 스위치를 사용하는 것도 가능하다.

[0119] 본 발명에 있어서 접속은 전기적인 접속을 의미하며; 따라서, 전기적 접속이 가능한 다른 요소(예, 스위치, 트랜지스터, 캐패시터, 인덕터, 레지스터, 또는 다이오드)가 접속부 사이에 배치되어 있더라도 좋다.

[0120] 발광 소자는 다양한 방식의 것이 사용될 수 있다; 예컨대, EL 소자(유기 EL소자, 무기 EL 소자, 또는 유기물 및 무기물을 포함하는 EL 소자), 전자 방출 소자, 액정 소자, 전자 잉크, 회절 광 밸브(grating light valve: GLV), 플라즈마 디스플레이 패널(PDP), 디지털 미소 반사 표시기(DMD), 압전 세라믹 디스플레이 및 카본 나노튜브와 같이, 그 선명도가 전자기 작용에 의해 변화되는 표시 매체를 채용할 수 있다. EL 소자를 이용한 표시 장치로서 EL 디스플레이, 전자 방출 소자를 이용한 표시 장치로서 전계 방출 디스플레이(FED)와 표면-상태 전자 방출 디스플레이(SED) 등, 액정 소자를 이용한 표시 장치로서 액정 디스플레이, 전자 잉크를 이용한 표시 장치로서 전자 페이퍼가 있음을 주의하여야 한다.

[0121] 본 발명에 있어서, 적용 가능한 트랜지스터의 종류에 한정은 없다. 따라서, 비정질 실리콘이나 다결정 실리콘으로 대표되는 비-단결정 반도체막을 이용한 박막 트랜지스터(TFT), 반도체 기판이나 SOI 기판을 이용하여 형성되는 MOS 트랜지스터, 접합형 트랜지스터, 양극성 트랜지스터, ZnO 또는 InGaZnO와 같은 화합물 반도체를 이용한 트랜지스터, 유기 반도체나 카본 나노튜브를 이용한 트랜지스터, 그 밖의 트랜지스터를 적용할 수 있다. 또한, 트랜지스터는 어떤 종류의 기판에도 배치될 수 있으며, 기판의 종류는 특별히 한정되지 않는다. 따라서, 예컨대, 단결정 기판, SOI 기판, 유리 기판, 플라스틱 기판, 종이 기판, 셀로판 기판, 돌 기판 등에 트랜지스터가 배치할 수 있다. 또한, 트랜지스터는 기판 위에 형성될 수 있으며, 그 후, 트랜지스터는 다른 기판으로 이동되어 그 기판 위에 제공될 수 있다.

[0122] 트랜지스터의 구조는 다양한 방식의 것을 사용할 수 있다. 그 구조는 특정되지 않는다. 예를 들면, 2개 이상의 게이트 전극을 갖는 멀티-게이트 구조를 채용할 수 있고; 이 멀티-게이트 구조의 채용으로, 오프 전류가 감소되거나 내압(withstanding pressure)이 증가하므로 트랜지스터의 신뢰성이 향상될 수 있으며, 트랜지스터가 포화 영역에서 동작할 때 드레인-소스 전압이 변경되더라도 드레인-소스 전류는 그다지 변화되지 않기 때문에 그 플랫 특성(flat characteristics)이 실현될 수 있다. 또한, 채널 위 아래로 게이트 전극이 제공되는 구조도 채용할 수 있으며; 이 구조의 채용으로, 채널 영역이 증가하여 전류치가 증가될 수 있고, 공핍층(depletion layer)이 쉽게 형성될 수 있을 때 S값이 향상될 수 있다. 또한, 이와 달리, 채널 위에 게이트 전극이 제공되는 구조, 채널 아래에 게이트 전극이 제공되는 구조, 스태거형 TFT 구조, 또는 역 스태거형 TFT 구조가 있을 수 있다. 또한, 채널 영역은 복수 영역으로 분할되어 병렬 또는 직렬로 연결될 수 있다. 또한, 소스 전극 또는 드레인 전극이 채널(또는 그 일부)에 중복될 수 있으며, 이 구조의 채용으로, 채널 일부에 전자가 축적되는데 기인한 동작의 불안정화를 방지할 수 있다. 또한, LDD 영역이 제공될 수 있으며, LDD 영역의 제공으로, 오프 전류가 감소되거나 내압이 증가하기 때문에 트랜지스터의 신뢰성이 향상될 수 있으며, 트랜지스터가 포화 영역에서 동작할 때 드레인-소스 전압이 변경되더라도 드레인-소스 전류는 그다지 변화되지 않기 때문에 그 플랫 특성이 실현될 수 있다.

[0123] 본 명세서에 있어서는, 화소는 하나의 컬러 요소를 의미한다. 따라서, R(적), G(녹) 및 B(청)의 컬러 요소로 이루어지는 풀 컬러(full-color) 표시 장치의 경우, 화상의 최소 단위는 R 화소, G 화소 및 B 화소, 3개의 화소로 이루어진다. 컬러 요소는 3가지 컬러에 한정되지 않으며, RGBW(W는 백색)와 같이 더 많은 컬러를 채용할 수 있다.

[0124] 트랜지스터는 게이트 전극, 드레인 영역 및 소스 영역을 포함하는 적어도 3개의 단지를 갖는 소자이고, 드레인 영역과 소스 영역 사이에는 채널 형성 영역을 가진다. 여기서, 소스 영역과 드레인 영역은 트랜지스터의 구조, 동작 조건 등에 따라 변화되므로, 소스 영역과 드레인 영역을 식별하기는 곤란하다. 그러므로, 본 명세서에서

소스 영역과 드레인 영역으로서 기능하는 각 영역은 제1 단자와 제2 단자로서 지칭된다.

[0125] 본 명세서에 있어서, 화소의 매트릭스 배치는 세로의 줄무늬와 가로 줄무늬를 조합시킨 소위 격자형으로 배치되어 있는 경우는 물론, 삼색의 컬러 요소(예컨대 RGB)로 풀 컬러 표시를 하는 경우에, 하나의 화상의 최소 요소를 나타내는 3가지 컬러 요소의 화소가 소위 엘타 배치되어 있는 경우도 포함하는 것으로 한다. 컬러 요소는 3 가지 컬러에 한정되지 않으며, RGBW(W는 백색)와 같이 더 많은 컬러를 채용할 수 있다. 또한, 발광 영역의 면적은 컬러 요소의 각 화소마다 상이할 수 있다.

[0126] 본 명세서에 있어서, 반도체 장치는 반도체 소자(예, 트랜지스터나 다이오드)를 포함하는 회로를 갖는 장치를 말한다. 또한, 상기 반도체 장치는 반도체 특성을 이용하는 것에 의해 기능 가능한 모든 장치를 의미하기도 한다. 또한, 표시 장치는 표시 소자(예, 액정 소자나 발광 소자)를 갖는 장치를 의미한다. 또한, 상기 표시 장치는, 액정 소자나 EL 소자와 같은 표시 소자를 각각 포함하는 복수개의 화소와 그 화소를 구동하는 주변 구동 회로가, 연성 회로 기판(FPC)이나 인쇄 배선 기판(PWB)을 구비한 디스플레이 패널을 더 포함할 수 있는 기판 위에 형성된 디스플레이 패널의 본체를 의미하기도 한다. 또한, 발광 장치는 특히 EL 소자나 FED용 소자와 같은 자기 발광 표시 소자를 갖는 표시 장치를 의미한다. 액정 표시 장치는 액정 소자를 갖는 표시 장치를 의미한다.

[0127] 본 명세서에서, 디지털은 2치 상태를, 아날로그는 연속 상태 이외에 2가지 이상의 상태가 분산된 (분산) 상태를 의미한다. 따라서, 예를 들면, 아날로그 방식의 전위 변화는 시간에 따른 일련의 전위 변화는 물론, 시간에 따라 연속 변화되는 전위를 샘플링("샘플 형성" 또는 "시간에 따른 분산"으로도 지칭)하고 샘플링된 전위가 되도록 소정 시간 간격으로 전위를 변화시키는 경우를 포함한다. 샘플링은, 데이터 값이 연속 변화되는 경우, 소정의 시간 간격의 샘플링시 그때의 데이터 값을 얻는다는 것을 의미한다.

[0128] 디지털 신호 자체는 2치 상태를 바로 전달하기 위한 데이터 값을 갖는 신호를 의미하는 반면, 아날로그 신호는 3가지 이상의 상태를 바로 자체 전달하기 위한 데이터 값을 갖는 신호를 의미한다. 또한, 아날로그 신호는 그 데이터 값(전위, 전압 또는 전류)이 시간에 따라 연속 변화하는 신호와, 연속 변화하는 신호를 샘플링하고("샘플 형성" 또는 "시간에 따른 분산"으로도 지칭) 소정 시간 간격으로 샘플링된 데이터 값을 획득하는 것에 의해 얻어진 신호를 포함한다. 샘플링은, 데이터 값이 연속 변화되는 경우, 소정의 시간 간격의 샘플링시 그때의 데이터 값을 얻는다는 것을 의미한다. 디지털 신호는 3가지 이상의 상태를 간접적으로 전달할 수 있음에 주의하여야 한다. 이것은 예컨대, 디지털 신호가 그 데이터 값이 시간에 따라 연속 변화하는 아날로그 신호를 샘플링하고 그 샘플링된 데이터 값을 추가로 분산시키는 것에 의해 얻어지는 신호도 역시 포함하기 때문이다. 다시 말해, 이것은 아날로그 신호의 양자화에 의해 얻어진 신호가 디지털 신호로도 간주되기 때문이다.

[0129] 본 명세서에 있어서 발광 소자의 양극 및 음극은 발광 소자에 순방향 전압을 인가했을 때의 각각의 전극을 의미한다.

[0130] 발광 소자로의 인가 전압의 공급은 스위치를 제공하지 않고도 전위 공급선의 신호에 의해 제어될 수 있으며, 따라서, 트랜지스터가 스위치로서 사용될 때 트랜지스터의 개수를 줄일 수 있다. 또한, 트랜지스터의 온/오프 제어를 위해 신호를 입력하기 위한 배선의 개수도 역시 감소될 수 있다. 따라서, 화소의 개구율은 향상되고 고선명도 표시 장치가 제공될 수 있다.

[0131] 또한, 개구율 향상으로, 휴대 저하시에도 필요한 광도를 얻을 수 있어서 발광 소자의 신뢰성이 향상될 수 있다.

[0132] 본 발명은 실시의 형태 및 실시예와 관련하여 도면을 참조하여 상세히 설명되지만, 당업자들에게 있어 다양한 변경 및 변형이 가능함이 이해될 것이다. 따라서, 그러한 변경 및 변형이 본 발명의 범위를 벗어나지 않는다면 본 발명의 범위 내에 포함되는 것으로 해석되어야 한다.

[0133] (실시 형태 1)

[0134] 본 실시 형태에서는 본 발명의 표시 장치의 화소 구성과 그 동작 원리에 관해서 설명한다.

[0135] 우선, 도 1을 이용하여 본 발명의 표시 장치의 화소 구성에 관해서 상세히 설명한다. 여기서는, 하나의 화소만을 도시하고 있지만, 표시 장치의 화소부는 실제로는 행 방향과 열 방향으로 매트릭스에 복수의 화소가 배치되어 있다.

[0136] 화소는 구동 트랜지스터(101)와, 캐패시터(102)와, 스위치(103)와, 발광 소자(104)와, 전위 공급선

(Illumination line)(105)과, 신호선(Data line)(106)과, 주사선(Reset line)(107)을 포함한다. 또, 구동 트랜지스터(101)는 p-형 트랜지스터를 이용하고 있다.

[0137] 구동 트랜지스터(101)의 제1 단자(소스 단자 또는 드레인 단자)는 전위 공급선(105)과 접속되고, 게이트 단자는 캐패시터(102)를 통해 신호선(106)과 접속되고, 제2 단자(소스 단자 또는 드레인 단자)는 발광 소자(104)의 양극(화소 전극)과 접속되어 있다. 또한, 구동 트랜지스터(101)의 게이트 단자와 제2 단자(소스 단자 또는 드레인 단자)는 스위치(103)를 통해 서로 접속되어 있다. 따라서, 스위치(103)가 on 하면, 구동 트랜지스터(101)의 게이트 단자와 제2 단자(소스 단자 또는 드레인 단자) 사이의 부분은 통전 상태가 된다. 그리고, 스위치(103)가 off 하면, 구동 트랜지스터(101)의 게이트 단자와 제2 단자(소스 단자 또는 드레인 단자)는 비통전 상태가 되고, 그 순간의 구동 트랜지스터(101)의 게이트 단자(혹은 제2 단자)와 신호선(106)과의 전위차(전압)는 캐패시터(102)에서 유지될 수 있다. 또, 발광 소자(104)의 음극(Cathode)(108)은 Vss의 전위가 설정되어 있다. Vss는 화소의 발광 기간에 전위 공급선(105)로 설정되는 전원 공급 전위(Vdd)를 기준으로, Vss<Vdd를 만족하는 전위이다. 예컨대, Vss= GND(그라운드 전위)로 하더라도 좋다.

[0138] 다음에, 도 1의 화소 구성의 동작 원리에 관해서 자세히 설명한다.

[0139] 화소로의 신호 기록 기간에, 신호선(106)에는 아날로그 신호 전위가 설정된다. 이 아날로그 신호 전위는 비디오 신호에 해당한다. 또, 이 비디오 신호는 3치 이상으로 나타내는 신호이며, 아날로그 신호 전위는 시간과 동시에 변화되고 3치 이상의 상태를 갖는 전위이다. 화소에 비디오 신호를 기록시, 주사선(107)에 신호를 입력하여 스위치(103)를 on 시키고, 또한 전위 공급선(105)의 전위를 전원공급 전위(Vdd)로 설정하여, 구동 트랜지스터(101)의 제1 단자에 전원 공급 전위(Vdd)를 설정한다. 그렇게 하면, 구동 트랜지스터(101) 및 발광 소자(104)에 전류가 흐르고, 캐패시터(102)에서는 전하의 축적 또는 방전이 행하여진다.

[0140] 이때, 구동 트랜지스터(101)의 제1 단자는 소스 단자로 되고, 제2 단자는 드레인 단자로 된다. 스위치(103)가 on 으로 되어 있는 상태로 구동 트랜지스터(101)에 흐르는 전류가 증가하면, 발광 소자(104)에 흐르는 전류도 증가하여, 발광 소자(104)에서의 전압 강하가 증가하고, 발광 소자(104)의 전극 간 전위차가 커진다. 즉, 발광 소자(104)의 양극의 전위는 전위 공급선(105)의 전위에 근접한다. 이 결과, 구동 트랜지스터(101)의 게이트 단자의 전위도 전위 공급선(105)의 전위에 근접하기 때문에, 구동 트랜지스터(101)의 게이트 단자와 소스 단자 사이의 전위차가 감소되고, 구동 트랜지스터(101)에 흐르는 전류는 감소된다. 한편, 발광 소자(104)에 흐르는 전류가 감소되어 발광 소자(104)에서의 전압 강하가 감소되고 발광 소자(104)의 전극 간 전위차는 작아진다. 즉, 발광 소자(104)의 양극의 전위는 음극(108)의 전위에 근접한다. 그렇게 되면, 구동 트랜지스터(101)의 게이트 단자도 음극(108)의 전위에 근접하기 때문에, 구동 트랜지스터(101)의 게이트 단자와 소스 단자 사이의 전위차가 커져서 구동 트랜지스터(101)에 흐르는 전류가 증가한다. 이 방식으로, 구동 트랜지스터(101)의 게이트 단자는 구동 트랜지스터(101)로 일정한 전류가 흐르는 전위로 안정된다. 그때의 구동 트랜지스터(101)의 게이트 단자의 전위와 신호선(106)의 전위 간의 전위차에 해당하는 전하가 캐패시터(102)에 축적된다.

[0141] 이 방식으로, 이 화소로의 비디오 신호의 기록이 종료한다.

[0142] 전술한 바와 같이 구동 트랜지스터(101) 및 발광 소자(104)에 흐르는 전류가 일정한 정상 상태에 도달하면, 스위치(103)를 off 시킨다. 그렇게 하면, 캐패시터(102)는 스위치(103)가 off된 순간의 신호선(106)의 전위와 구동 트랜지스터(101)의 게이트 단자(혹은 드레인 단자)와의 전위차 Vp(전압)을 유지한다.

[0143] 화소로의 신호 기록 기간에 있어서, 화소로의 비디오 신호의 기록 종료 후, 그 화소에서 전위 공급선(105)의 전위의 설정은, 구동 트랜지스터(101)가 on 하더라도 발광 소자(104)에 인가되는 전압이 발광 소자(104)의 문턱 전압(V_{th})(V_{EL}) 이하가 되도록 설정한다. 예컨대, 전위 공급선(105)의 전위는, 발광 소자(104)의 음극(108)의 전위(V_{ss})와 동일하거나 낮을 수 있다. 이 전위를 전위 공급선(105)에 설정하는 타이밍은 스위치(103)를 off 시키는 타이밍과 동시에 또는 그 후에 실행한다.

[0144] 화소에 비디오 신호가 기록되고, 구동 트랜지스터(101)의 제1 단자에 접속된 전위 공급선(105)에 전원 공급 전위(Vdd)가 설정되어 있는 때에는, 그 화소에 비디오 신호가 기록된 때에 신호선(106)에 설정된 아날로그 신호 전위를 기준으로 하여, 신호선(106)의 전위의 변동에 따라서 구동 트랜지스터(101)의 온/오프가 제어된다. 즉, 신호선(106)의 전위가, 화소로의 신호 기록 기간에 화소에 비디오 신호가 기록된 때의 아날로그 신호 전위 이상인 경우에 구동 트랜지스터(101)는 off 되는 반면, 신호선(106)의 전위가 화소에 비디오 신호가 기록된 때의 아날로그 신호 전위 보다 낮게 되면 구동 트랜지스터(101)는 on 된다.

[0145] 이것은 화소에 비디오 신호가 기록된 때 캐패시터(102)에 의해 전위차(Vp)가 유지되기 때문에, 신호선(106)의

전위가 화소에 비디오 신호가 기록된 때의 아날로그 신호 전위 이상인 경우에 구동 트랜지스터(101)의 게이트 단자의 전위도, 화소에 비디오 신호가 기록된 때의 게이트 단자의 전위 이상이 되어, 구동 트랜지스터(101)가 off 되기 때문이다. 한편, 신호선(106)의 전위가 화소로의 신호 기록 기간에 화소에 비디오 신호가 기록된 때의 아날로그 신호 전위 보다 낮게 되면, 구동 트랜지스터(101)의 게이트 단자의 전위도, 화소에 비디오 신호가 기록된 때의 게이트 단자의 전위 보다 낮게 되기 때문에 구동 트랜지스터(101)는 on 된다.

[0146] 따라서, 화소의 발광 기간에는, 구동 트랜지스터(101)의 제1 단자가 접속된 전위 공급선(105)에 전원 공급 전위 (Vdd)를 설정하고 스위치(103)를 off로 한 상태에서, 신호선(106)에 설정하는 전위를 아날로그 방식으로 변화시킴으로써 구동 트랜지스터(101)의 온/오프를 제어한다. 즉, 발광 소자(104)에 전류가 흐르고 있는 시간을 아날로그 방식으로 제어하여 계조를 표현할 수 있다.

[0147] 화소의 발광 기간에 있어서 신호선(106)에 설정하는 전위에 관해서 설명한다. 신호선(106)에 설정하는 전위는 주기적으로 변화되는 파형의 아날로그 전위를 이용할 수 있다. 이 아날로그 전위는 시간과 동시에 연속적으로 변화되는 전위이다. 또한, 이 아날로그 전위는 비디오 신호에 대응하는 아날로그 신호 전위의 범위에서 최소 전위에서 최대 전위로 연속 변화하는 전위, 최대 전위에서 최소 전위로 연속 변화하는 전위, 또는 최대에서 최소로 그리고 최소에서 최대 전위로 반복적으로 연속 변화하는 전위인 것이 바람직하다.

[0148] 예컨대, 발광 기간에는, 신호선(106)에 저전위로부터 고전위로 아날로그 방식으로 변화되는 전위를 설정한다. 일례로서, 도 43a의 파형(4301)과 같이 직선적으로 전위가 상승하도록 하더라도 좋다. 이러한 파형을 톱니파라고도 한다.

[0149] 또한, 고전위로부터 저전위로 아날로그 방식으로 변화되는 전위를 설정하더라도 좋다. 예컨대, 파형(4302)과 같이 직선적으로 전위가 하강하도록 하더라도 좋다.

[0150] 또한, 이들을 조합시킨 파형이라도 좋다. 즉, 일례로서, 파형(4303)과 같이 저전위로부터 고전위로 직선적으로 상승하고, 고전위로부터 저전위로 하강하는 것 같은 전위를 설정하더라도 좋다. 이러한 파형(4303)을 이하 삼각파 전위라고 칭한다. 또한, 파형(4304)과 같이 고전위로부터 저전위로 직선적으로 하강하고, 저전위로부터 고전위로 직선적으로 상승하는 것 같은 전위를 설정하더라도 좋다.

[0151] 또한, 신호선(106)에 설정하는 전위는 직선적으로 변화되지 않을 수 있다; 파형(4305)과 같이 전파(full-wave) 정류 회로의 출력 파형의 1주기에 해당하는 파형의 전위나, 파형(4306)과 같은 전위를 설정하더라도 좋다.

[0152] 전술한 파형을 이용하는 것에 의해, 비디오 신호에 대한 발광 시간을 임의로 설정할 수 있다. 따라서, 감마 보정 등을 행하는 것도 가능해진다.

[0153] 화소의 발광 기간에 있어서, 상기한 파형(4301), 파형(4302), 파형(4303), 파형(4304), 파형(4305) 또는 파형(4306)의 펄스를 복수개 연속으로 설정하더라도 좋다. 일례로서, 파형(4307)과 같이, 파형(4301)의 펄스를 화소의 발광 기간에 있어서 두 번 연속하여 설정하더라도 좋다.

[0154] 이와 같이 함으로써, 발광 시간을 1 프레임 내에서 분산시키는 것이 가능해진다. 그 결과, 프레임 주파수가 외관상은 향상하게 되어 화면 깜빡임(screen flicker)을 방지할 수 있다.

[0155] 다음에, 화소부에 도 1의 화소 구성을 갖는 표시 장치에 관해서 도 2를 이용하여 설명한다. 도 2의 표시 장치는, 전위 공급선 구동 회로(201), 주사선 구동 회로(202), 신호선 구동 회로(203), 화소부(204)를 포함하고, 화소부(204)는 화소(205)를 복수개 구비하고 있다. 화소(205)는 행 방향으로 배치된 주사선(Reset line)(R1~Rm) 및 전위 공급선(Illumination line)(I1~Im)과 열 방향으로 배치된 신호선(Data line)(D1~Dn)에 대응하도록 매트릭스에 배치되어 있다.

[0156] 화소(205)는 구동 트랜지스터(206)와, 캐패시터(207)와, 스위치(208)와, 발광 소자(209)와, 주사선(R1~Rm 중 어느 하나)와, 전위 공급선 Li(I1~Im 중 어느 하나)와, 신호선 Dj(D1~Dn 중 어느 하나)을 포함한다. 또, 구동 트랜지스터(206)는 p-형 트랜지스터를 이용하고 있다. 또, 화소(205)는 화소부(204)에 복수 배치된 화소들 중 하나를 나타낸다.

[0157] 구동 트랜지스터(206)의 제1 단자(소스 단자 또는 드레인 단자)는 전위 공급선 Ii와 접속되어, 게이트 단자는 캐패시터(207)를 통해 신호선 Dj와 접속되고, 제2 단자(소스 단자 또는 드레인 단자)는 발광 소자(209)의 양극(화소 전극)과 접속되어 있다. 또, 전위 공급선(I1~Im)에는 발광 기간에 발광 소자(209)에 원하는 전류를 흘리기 위한 전원 공급 전위(Vdd)가 설정된다.

- [0158] 또한, 구동 트랜지스터(206)의 게이트 단자와 제2 단자(소스 단자 또는 드레인 단자)는 스위치(208)를 통해 서로 접속되어 있다. 따라서, 스위치(208)가 on 일 때 구동 트랜지스터(206)의 게이트 단자와 제2 단자(소스 단자 또는 드레인 단자)는 통전 상태가 된다. 반대로, 스위치(208)가 off 되면, 구동 트랜지스터(206)의 게이트 단자와 제2 단자(소스 단자 또는 드레인 단자)는 비통전 상태가 되고, 그 순간의 구동 트랜지스터(206)의 게이트 단자(또는 제2 단자)와 신호선 Dj와의 전위차(전압)가 캐패시터(207)에 의해 유지될 수 있다. 또한, 발광 소자(209)의 음극(Cathode)(210)에는 저전원 공급 전위(Vss)가 설정되어 있다. 저전원 공급 전위는 전원 공급 전위(Vdd)보다 낮은 전위이다.
- [0159] 전위 공급선 구동 회로(201) 및 주사선 구동 회로(202)는 각각 우측과 좌측에 배치되어 있지만, 본 발명은 이것에 한정되지 않는다. 이들 회로는 일측에 같이 배치될 수 있다.
- [0160] 또한, 전위 공급선(I1~Im)에 설정하는 전원 공급 전위는 Vdd에 한정되지 않는다. 예컨대, RGB의 컬러 요소로 이루어지는 풀 컬러 표시의 경우에는, RGB의 각각의 컬러 요소의 화소마다 설정하는 전원 공급 전위의 값을 바꾸더라도 좋다.
- [0161] 즉, 화소의 각각의 행마다 RGB의 컬러 요소의 각 전위 공급선을 설치하고, 각각의 컬러 요소의 열의 화소에서, 그 구동 트랜지스터의 제1 단자(소스 단자 또는 드레인 단자)는 각각의 행의 컬러 요소마다의 전위 공급선에 접속된다. 여기서, 컬러 요소의 화소마다 발광 소자에 인가하는 전압을 변경하는 경우에 관하여 도 48을 참조하여 설명한다.
- [0162] 도 48은 도 2의 화소부(204)의 일부를 도시한 도면이다. 도 48에 도시된 화소(4801)는 전위 공급선 이외는 도 2의 화소(205)와 동일한 구성을 가지므로, 각각의 화소를 구성하는 구동 트랜지스터, 캐패시터, 스위치 및 발광 소자의 부호를 생략하고 있다. 따라서, 화소(4801)를 구성하는 이들 소자의 부호는 도 2 및 그 설명을 참조하면 된다. 도 48에 있어서, i-번째 행(1~m 행 중 하나)의 화소(4801)는 전위 공급선(Iri, Igi, Ibi)을 갖고 있다. R의 컬러 요소의 열의 화소(4801)에서, 구동 트랜지스터(206)의 제1 단자가 Iri에 접속되고, G의 컬러 요소의 열의 화소(4801)에서, 구동 트랜지스터(206)의 제1 단자가 Igi에 접속되고, B의 컬러 요소의 열의 화소(4801)에서, 구동 트랜지스터(206)의 제1 단자가 Ibi에 접속되어 있다. 전위 공급선(Iri)에는 발광 기간에 R의 컬러 요소의 열의 화소의 발광 소자(209)에 원하는 전류를 흘리기 위한 전위(Vdd1)가 설정된다. 전위 공급선(Igi)에는 발광 기간에 G의 컬러 요소의 열의 화소의 발광 소자(209)에 원하는 전류를 흘리기 위한 전위(Vdd2)가 설정된다. 전위 공급선(Ibi)에는 발광 기간에 B의 컬러 요소의 열의 화소의 발광 소자(209)에 원하는 전류를 흘리기 위한 전위(Vdd3)가 설정된다. 이방식으로, 컬러 요소마다 화소(4801)의 발광 소자(209)에 인가하는 전압을 설정할 수 있다.
- [0163] 다음에, 도 2 및 도 3을 이용하여 본 발명의 표시 장치의 동작 원리에 관해서 설명한다. 도 3은 도 2에 도시된 표시 장치의 화소부(204)에 있는 화소 열(j-번째 열)의 타이밍 차트를 도시한 도면이다. 화소부(204)에 복수 배치된 각각의 화소는 화소(205)와 동일한 구성이므로, 각각의 화소의 구동 트랜지스터, 캐패시터, 스위치 및 발광 소자는 화소(205)와 동일한 부호를 이용하여 설명한다.
- [0164] 도 3에 도시된 바와 같이, 기록 기간에는 화소의 신호선 Dj(j-번째 열의 Data line)에 아날로그 신호 전위가 입력되어 있다. i-번째 행의 화소의 기록 기간(Ti)에, 주사선 Ri(i-번째 행의 Reset line)와 전위 공급선 Ii(i-번째 행의 Illumination line)에 펄스 신호가 입력되어 i-번째 행의 화소의 스위치(208)가 on 되면, 구동 트랜지스터(206)의 제1 단자(소스 단자 또는 드레인 단자)에는 전위 공급선(Ii)으로부터의 전원 공급 전위(Vdd)가 설정되어, 캐패시터(207), 구동 트랜지스터(206) 및 발광 소자(209)에 전류가 흐른다.
- [0165] 그러면, 캐패시터(207)에는 전하의 축적 또는 방전이 일어난다; 즉, 캐패시터(207)에 원래 축적되어 있던 전하와 신호선 Dj(Data line)로 설정된 전위(Va) 사이의 관계에 의존하여 전하의 축적 또는 방전이 일어난다.
- [0166] 잠시후, 캐패시터(207)로의 전류 흐름이 멈추고, 구동 트랜지스터(206) 및 발광 소자(209)로 흐르는 전류가 일정해진다. 이때, 구동 트랜지스터(206)의 온/오프를 제어하는 데 필요한 게이트 전위를 취득할 수 있으면 완전히 정상 상태에 도달하지 않아도 좋다. 바람직하게는, 이때 구동 트랜지스터(206)는 포화 영역에서 동작하도록 되어 있으면 좋다.
- [0167] 그 후, 제2 스위치(208)를 off 시킨다. 캐패시터(207)는 구동 트랜지스터(206)의 온/오프를 제어하는 데 필요한 게이트 단자의 전위와 제2 스위치(208)를 오프로 한 순간의 신호선 Dj(Data line)에 설정되고 있는 아날로그 신호 전위와의 전위차를 유지한다.

- [0168] 또한, 제2 스위치(208)를 오프로 한 동시, 또는 이후에, 전위 공급선 I_i (Illumination line)의 신호가 H 레벨(전원 공급 전위(Vdd))로부터 L 레벨로 떨어지게 된다. 또한, 그 후의 기록 기간에 있어서, 구동 트랜지스터(206)가 on 될 때에도 발광 소자(209)에 인가되는 전압이 발광 소자(209)의 문턱 전압(Vth) 이하가 된다; 즉, 다른 행의 화소의 신호 기록 기간에 i-번째 행의 화소의 발광 소자(209)가 발광되지 않도록 설정된다.
- [0169] 즉, i-번째 행의 화소의 기록 기간(T_i)에 있어서, 구동 트랜지스터(206)의 온/오프를 제어하는데 필요한 게이트 단자의 전위를 취득하기까지 주사선 R_i (Reset line)과 전위 공급선 I_i (Illumination line)의 신호는 H 레벨이 되도록 하고, 구동 트랜지스터(206)의 온/오프를 제어하는데 필요한 게이트 단자의 전위를 취득 후에, 주사선 R_i (Reset line)과 전위 공급선 I_i (Illumination line)의 신호를 동시에 L 레벨로 떨어뜨리거나, 다른 방안으로서, 주사선 R_i (Reset line)의 신호가 L 레벨로 떨어진 후, 전위 공급선 I_i (Illumination line)의 신호를 L 레벨로 떨어지도록 한다. 물론, i-번째 행의 화소의 신호 기록 기간(T_i) 이전의 화소로의 신호 기록 기간에 있어서도, 주사선 R_i (Reset line)과 전위 공급선 I_i (Illumination line)의 신호는 L 레벨로 유지되도록 한다.
- [0170] 이렇게 해서, i-번째 행의 화소의 기록 기간(T_i)에는 i-번째 행 및 j-번째 열의 화소에 신호선 D_j (Data line)으로부터 비디오 신호가 기록된다. 이때, i-번째 행의 화소의 기록 기간(T_i)에는 모든 화소 열에 각각의 신호선 ($D_1 \sim D_n$)(Data line)으로부터 아날로그 신호 전위가 입력되고, 각 열의 i-번째 행의 화소에 비디오 신호가 기록된다.
- [0171] 다음에, ($i+1$)-번째 행의 화소의 신호 기록 기간(T_{i+1})에는 주사선 R_{i+1} (Reset line)과 전위 공급선 I_{i+1} (Illumination line)에 펄스 신호가 입력되어, ($i+1$)-번째 행 및 j-번째 열의 화소의 신호선 D_j (Data line)에는 전위(V_b)가 입력되고, 그 화소에 비디오 신호가 기록된다. 이때, 모든 화소 열에 각각의 신호선 ($D_1 \sim D_n$)(Data line)으로부터 아날로그 신호 전위가 입력되고, 각 열의 ($i+1$)-번째 행의 화소에 비디오 신호가 기록된다.
- [0172] 이와 같이, 화소의 모든 행의 주사선($R_1 \sim R_m$)(Reset line)과 전위 공급선($I_1 \sim I_m$)(Illumination line)에 펄스 신호가 입력되고, 각각의 화소에 비디오 신호가 기록되면, 1 프레임 기간의 화소부(204)로의 신호 기록 기간이 종료된다.
- [0173] 계속해서, 발광 기간에는, 모든 행의 화소(205)의 구동 트랜지스터(206)의 제1 단자(소스 단자 또는 드레인 단자)에 전원 공급 전위(Vdd)를 설정하기 위하여, 도 3에 도시한 바와 같이 전위 공급선($I_1 \sim I_m$)(Illumination line)에 H 레벨(Vdd)의 신호를 입력한다. 또한, 신호선($D_1 \sim D_n$)(Data line)에는 삼각파 전위를 설정한다. 그렇게 하면, i-번째 행 및 j-번째 열의 화소는 신호선 D_j (Data line)이 V_a 보다 높은 전위인 기간 동안 발광 소자(209)는 비발광의 상태를 유지하고, 신호선 D_j (Data line)이 V_a 보다 낮은 전위인 기간(T_a) 동안에 발광 소자(209)는 발광한다. 또한, ($i+1$)-번째 행 및 j-번째 열의 화소도 마찬가지로, 기간(T_b) 동안에는 발광 소자(209)가 발광한다.
- [0174] 또, 신호 기록 기간이 종료한 후, 비디오 신호가 기록된 아날로그 신호 전위보다 높은 전위가 신호선 ($D_1 \sim D_n$)(Data line)에 설정되고 있는 기간 동안에는 그 화소의 발광 소자(209)는 발광하지 않고, 신호선($D_1 \sim D_n$)에 설정된 전위가 기록된 아날로그 신호 전위보다 낮게 되면 그 화소의 발광 소자(209)가 발광하는 원리에 관하여는 도 1의 화소 구성을 이용하여 설명한 바와 같으므로 여기서는 설명을 생략한다.
- [0175] 전술한 바와 같이, 발광 기간에 있어서는, 모든 화소의 신호선($D_1 \sim D_n$)에 삼각파 전위가 설정되고, 기록 기간에 신호가 기록될 때의 아날로그 신호 전위에 따라서 발광 소자(209)의 각 발광 시간이 설정된다. 이렇게 해서, 아날로그 시간 계조 표시가 가능해진다.
- [0176] 발광 소자(209)의 발광/비발광을 제어하는 구동 트랜지스터(206)의 온/오프는, 상술한 바와 같이, 기록 기간에 신호선($D_1 \sim D_n$)(Data line)에 설정된 아날로그 신호 전위가, 발광 기간에 신호선($D_1 \sim D_n$)(Data line)에 입력되는 삼각파 전위보다 높은지 낮은지 여부에 의해 결정되고, 디지털 방식으로 제어될 수 있다. 따라서, 구동 트랜지스터(206)의 특성의 변동의 영향을 덜 받게 구동 트랜지스터(206)의 온/오프를 제어할 수 있다; 즉, 화소마다의 발광의 변동을 개선할 수 있다.
- [0177] 발광 기간에 있어서, 신호선($D_1 \sim D_n$)(Data line)에 설정하는 전위는, 도 43a-43g에 도시한 바와 같이, 과형(4301), 과형(4302), 과형(4303), 과형(4304), 과형(4305), 과형(4306) 또는 과형(4307), 또는 이것들의 과형을 복수 연속하여 설정하더라도 좋다.
- [0178] 이를 과형을 연속하여 설정함으로써, 발광 시간을 1 프레임 내에서 분산시킬 수 있다. 그 결과, 프레임 주파수

가 외관상 향상되어, 화면 깜빡임을 방지할 수 있다.

[0179] 음극(210)(Cathode)에 설정되는 저전원 공급 전위는, 화소로의 신호 기록 기간과 발광 기간에 전위를 다르게 하더라도 좋다. 도 3에 도시한 바와 같이, 화소로의 신호 기록 기간에 있어서의 음극(210)(Cathode)의 전위를 발광 기간에 있어서의 음극(210)(Cathode)의 전위보다 높게 해 두면 좋다. 즉, 화소로의 신호 기록 기간에 있어서의 음극(210)(Cathode)의 전위를 V_{ss2} 로 하고, 발광 기간에 있어서의 음극(210)(Cathode)의 전위를 V_{ss} 로 하면, 이때, $V_{dd} > V_{ss2} > V_{ss}$ 인 관계가 만족된다; 예컨대, $V_{ss} = GND$ (그라운드 전위)일 수 있다.

[0180] 전술한 바와 같이, 화소로의 신호 기록 기간에 음극(210)(Cathode)의 전위를 발광 기간보다도 높게 해 둠으로써 화소로의 신호 기록 기간에 있어서의 소비 전력을 줄일 수 있다.

[0181] 또한, 음극(210)(Cathode)의 전위를 적절하게 설정함으로써 화소로의 신호 기록 기간에 있어서 캐패시터(207)에 신호를 기록할 때의 구동 트랜지스터(206)의 게이트-소스 전압(V_{gs})를 문턱 전압(V_{th})으로 할 수 있다. 즉, 신호선(D1~Dn)에 설정되는 아날로그 신호 전위와, 구동 트랜지스터(206)의 제1 단자에 전원 공급 전위(V_{dd})가 설정되어 있는 때에 구동 트랜지스터(206)의 게이트-소스 전압(V_{gs})이 문턱 전압(V_{th})이 되는 게이트 전위와의 전위차를 각각의 화소(205)의 캐패시터(207)에 유지할 수 있다. 이와 같이 음극(210)(Cathode)의 전위를 설정하면, 화소로의 신호 기록 기간에 있어서, 발광 소자(209)로 전류를 덜 흘리는 동안 신호 기록을 행할 수 있다. 따라서, 한층 더 소비 전력의 저감을 피하는 것이 가능해진다.

[0182] 또한, 본 발명의 화소 구성은 도 1의 구성에 한정되지 않는다. 발광 소자(104)와는 역방향으로 전류가 흐르는 때에 순방향 전압이 인가되는 발광 소자를 이용하여, 도 4와 같은 구성으로 하는 것도 가능하다. 여기서는, 하나의 화소만을 도시하고 있지만, 표시 장치의 화소부는 실제로는 행 방향과 열 방향으로 매트릭스에 복수의 화소가 배치되어 있다.

[0183] 화소는 구동 트랜지스터(401)와, 캐패시터(402)와, 스위치(403)와, 발광 소자(404)와, 전위 공급선 (Illumination line)(405)과, 신호선(Data line)(406)과, 주사선(Reset line)(407)을 갖고 있다. 구동 트랜지스터(401)는 n-형 트랜지스터를 이용하고 있다.

[0184] 구동 트랜지스터(401)의 제1 단자(소스 단자 또는 드레인 단자)는 전위 공급선(405)과 접속되고, 게이트 단자는 캐패시터(402)를 통해 신호선(406)과 접속되고, 제2 단자(소스 단자 또는 드레인 단자)는 발광 소자(404)의 음극과 접속되어 있다. 또한, 구동 트랜지스터(401)의 게이트 단자와 제2 단자(소스 단자 또는 드레인 단자)는 스위치(403)를 통해 서로 접속되어 있다. 따라서, 스위치(403)가 on일 때는 구동 트랜지스터(401)의 게이트 단자와 제2 단자(소스 단자 또는 드레인 단자)는 통전 상태가 된다. 그리고, 스위치(403)가 off 되면, 구동 트랜지스터(401)의 게이트 단자와 제2 단자(소스 단자 또는 드레인 단자) 사이의 부분은 비통전 상태가 되어, 그 순간의 구동 트랜지스터(401)의 게이트 단자(혹은 제2 단자)와 신호선(406)과의 전위차(전압)가 캐패시터(402)에 의해 유지될 수 있다. 발광 소자(404)의 양극(Anode)(408)에는 V_{dd} 의 전위가 설정되어 있다. V_{dd} 는 고전위측의 전위 공급 전위이며, 화소의 발광 기간에 전위 공급선(405)에 설정되는 전위를 저전원 공급 전위(V_{ss})라고 하면, V_{ss} 는 $V_{dd} > V_{ss}$ 를 만족하는 전위이다.

[0185] 다음에, 도 4에 도시하는 화소가 화소부에서 매트릭스에 배치된 i-번째 행 및 j-번째 열의 화소인 경우라고 하면, 그 동작 원리를 도 5에 도시하는 타이밍 차트를 적절하게 이용하여 설명한다.

[0186] 화소로의 신호 기록 기간에는, j-번째 열의 화소에는 도 5에 도시한 바와 같이 신호선(Data line)(406)에 아날로그 신호 전위가 설정된다. 이 아날로그 신호 전위는 비디오 신호에 해당한다. i-번째 행의 화소에 비디오 신호를 기록할 때(기록 기간 T_i)에는 주사선(Reset line)(407)에 H 레벨의 신호를 입력하여 스위치(403)를 on시키고, 또한 전위 공급선(405)의 전위를 저전원 공급 전위(V_{ss})로 설정하여, 구동 트랜지스터(401)의 제1 단자에 저전원 공급 전위(V_{ss})를 설정한다. 그렇게 하면, 구동 트랜지스터(401) 및 발광 소자(404)에 전류가 흘러, 캐패시터(402)에는 전하의 축적 또는 방전이 행하여진다.

[0187] 이때, 구동 트랜지스터(401)의 제1 단자는 소스 단자가 되고, 제2 단자는 드레인 단자가 된다. 스위치(403)가 on 일 때 구동 트랜지스터(401)에 흐르는 전류가 증가하면, 발광 소자(404)에 흐르는 전류도 커지기 때문에, 발광 소자(404)에서의 전압 강하가 커져, 발광 소자(404)의 전극 간 전위차가 커진다. 즉, 발광 소자(404)의 음극의 전위는 전위 공급선(405)의 전위에 근접하게 된다. 그 결과, 구동 트랜지스터(401)의 게이트 단자의 전위도 전위 공급선(405)의 전위에 근접하기 때문에, 구동 트랜지스터(401)의 게이트 단자와 소스 단자 간의 전위차가 감소되어, 구동 트랜지스터(401)에 흐르는 전류는 감소한다. 한편, 발광 소자(404)에 흐르는 전류가 감소되어, 발광 소자(404)에서의 전압 강하가 작아지고, 발광 소자(404)의 전극 간 전위차가 작아진다. 즉, 발광 소

자(404)의 음극의 전위는 양극(408)의 전위에 근접하게 된다. 그렇게 하면, 구동 트랜지스터(401)의 게이트 단자도 양극(408)의 전위에 근접하기 때문에, 구동 트랜지스터(401)의 게이트 단자와 소스 단자 간 전위차가 커져, 구동 트랜지스터(401)에 흐르는 전류가 증가한다. 이러한 방식으로, 구동 트랜지스터(401)의 게이트 단자는 구동 트랜지스터(401)에 일정한 전류가 흐르도록 하는 전위로 안정된다. 그리고, 그때의 구동 트랜지스터(401)의 게이트 단자의 전위와 신호선(406)의 전위와의 전위차에 대응하는 전하가 캐패시터(402)에 축적된다.

[0188] 이렇게 해서 i-번째 행의 화소로의 비디오 신호의 기록이 종료한다.

[0189] 이와 같이 구동 트랜지스터(401) 및 발광 소자(404)에 흐르는 전류가 일정한 정상 상태에 도달하면, 주사선(Reset line)(407)의 신호를 L 레벨로 하고, 스위치(403)를 오프시킨다. 결국, 캐패시터(402)는 스위치(403)가 오프한 순간의 신호선(Data line)(406)의 전위와 구동 트랜지스터(401)의 게이트 단자(혹은 드레인 단자)와의 전위차(V_p)(전압)을 유지한다.

[0190] 화소로의 신호 기록 기간에 있어서, i-번째 행의 화소로의 비디오 신호의 기록 종료 후, i-번째 행의 화소의 전위 공급선(405)에 설정하는 전위를, 구동 트랜지스터(401)가 on 되는 경우에도, 발광 소자(404)에 인가되는 전압이 발광 소자(404)의 문턱 전압(V_{EL}) 이하가 되도록 설정한다. 예컨대, 전위 공급선(405)의 전위는 발광 소자(404)의 양극(408)의 전위(V_{dd})와 동일한 전위, 혹은 그 이상으로 하더라도 좋다. 이 전위를 전위 공급선(405)에 설정하는 타이밍은 스위치(403)를 off 시키는 타이밍과 동시에 또는 그 이후로 한다.

[0191] 계속해서, (i+1)-번째 행의 화소의 기록 기간(T_{i+1})이 개시되고, 마찬가지로 (i+1)-번째 행의 화소에 비디오 신호가 기록된다. 이 방식으로, 모든 행의 화소의 기록 기간이 종료하여, 1 프레임분의 비디오 신호가 각 화소에 기록하면, 화소로의 신호 기록 기간은 종료한다.

[0192] 화소에 비디오 신호가 기록되고, 구동 트랜지스터(401)의 제1 단자에 접속된 전위 공급선(405)에 전원 공급 전위(V_{ss})가 설정된 때에는 그 화소에 비디오 신호가 기록된 때에 신호선(406)에 설정된 아날로그 신호 전위를 기준으로 하여, 신호선(406)의 전위의 변동에 따라서 구동 트랜지스터(401)의 온/오프가 제어되도록 된다. 즉, 신호선(406)의 전위가, 화소로의 신호 기록 기간에 화소에 비디오 신호가 기록된 때의 아날로그 신호 전위 이하인 경우에는 구동 트랜지스터(401)는 오프하고, 신호선(406)의 전위가 화소에 아날로그 신호가 기록된 때의 아날로그 신호 전위보다 높은 경우에 구동 트랜지스터(401)는 on 동작된다.

[0193] 이것은 화소에 비디오 신호가 기록되면, 캐패시터(402)에 의해 전위차(V_p)가 유지되므로, 신호선(406)의 전위가, 화소에 비디오 신호가 기록된 때의 아날로그 신호 전위 이하인 경우에, 구동 트랜지스터(401)의 게이트 단자의 전위도, 화소에 비디오 신호가 기록된 때의 게이트 단자의 전위 이하가 되어, 구동 트랜지스터(401)가 오프된다. 한편, 신호선(406)의 전위가, 화소로의 신호 기록 기간에 화소에 비디오 신호가 기록된 때의 아날로그 신호 전위보다 높은 경우에 구동 트랜지스터(401)의 게이트 단자의 전위도, 화소에 비디오 신호가 기록된 때의 게이트 단자의 전위보다 높아지게 되어 구동 트랜지스터(401)는 on 동작된다.

[0194] 따라서, 도 5에 도시한 바와 같이, 화소의 발광 기간에는, 구동 트랜지스터(401)의 제1 단자에 접속된 전위 공급선(Illumination line)(405)에 V_{ss} 를 설정하고, 주사선(Reset line)(407)은 L 레벨로 설정되어 스위치(403)를 오프로 한 상태로, 신호선(Data line)(406)에 삼각파 전위를 설정하여 구동 트랜지스터(401)의 온/오프를 제어한다. 즉, 발광 소자(404)의 발광/비발광을 제어하는 구동 트랜지스터(401)의 온/오프는, 기록 기간에 신호선(Data line)(406)에 설정된 아날로그 신호 전위가 발광 기간에 신호선(Data line)(406)에 입력되는 삼각파 전위보다 높은지 낮은지 여부에 의해 결정되고 디지털 방식으로 제어될 수 있다. 따라서, 구동 트랜지스터(401)의 특성의 변동의 영향을 덜 받게 구동 트랜지스터(401)의 온/오프를 제어할 수 있다; 즉, 화소마다의 발광의 변동을 개선할 수 있다.

[0195] 화소의 발광 기간에 있어서, 신호선(Data line)(406)에 설정하는 전위는 주기적으로 변화되는 파형의 아날로그 전위를 이용할 수 있다. 예컨대, 도 43a-43g에 도시한 바와 같이, 파형(4301), 파형(4302), 파형(4303), 파형(4304), 파형(4305), 파형(4306) 또는 파형(4307), 또는 이들을 복수 연속하여 설정하더라도 좋다.

[0196] 이를 파형을 연속하여 설정함으로써, 발광 시간을 1 프레임 내에서 분산시킬 수 있다. 그 결과, 프레임 주파수가 외관상 향상되어, 화면 깜빡임을 방지할 수 있다.

[0197] 또한, 도 5에 도시한 바와 같이, 화소로의 신호 기록 기간에 양극(Anode)(408)의 전위를 발광 기간에 설정하는 것보다 낮게 설정함으로써 화소로의 신호 기록 기간에 있어서의 소비 전력을 줄일 수 있다.

- [0198] 또한, 본 실시 형태에 설명된 화소 구성(도 1, 2, 4)은 필요로 하는 트랜지스터의 개수나 배선의 개수를 줄일 수 있어서, 화소의 개구율이 향상되고, 고선명표시가 가능해진다.
- [0199] 또한, 개구율이 높은 화소와 개구율이 낮은 화소에 동일한 광도를 얻는 경우, 개구율이 높은 화소는, 개구율이 낮은 화소에 비해 발광 소자의 휘도를 낮게 할 수 있어, 발광 소자의 신뢰성이 향상될 수 있다. 특히, 발광 소자로서 EL 소자를 이용하고 있는 경우, EL 소자의 신뢰성이 향상될 수 있다.
- [0200] 또한, 일반적으로 p-형 트랜지스터보다도 n-형 트랜지스터쪽이 이동도(μ)가 크다. 따라서, 동일한 전류를 흘리자면, p-형 트랜지스터의 채널 길이에 대한 채널 폭의 비율(W/L)을 n-형 트랜지스터의 그것에 비해 크게 하는 것이 필요하다. 그러므로, n-형 트랜지스터를 이용하여 트랜지스터의 크기를 줄일 수 있다. 따라서, 도 4와 같은 화소 구성으로 하는 것으로 화소의 개구율이 더욱 향상된다.
- [0201] (실시의 형태 2)
- [0202] 실시의 형태 1과는 다른 구성의 본 실시 형태를 설명한다. 본 실시 형태에 설명되는 화소 구성은 화소에 비디오 신호를 기록할 때의 아날로그 신호 전위와, 화소의 발광/비발광을 제어하는 아날로그 전위를 각각 별도의 배선에 의해서 화소에 설정하는 구성으로 하고 있다.
- [0203] 우선, 도 56을 이용하여 본 발명의 표시 장치의 화소 구성에 관해서 상세히 설명한다. 화소는 구동 트랜지스터(5601)와, 캐패시터(5602)와, 제1 스위치(5603)와, 발광 소자(5604)와, 전원선(5605)과, 제2 스위치(5606)와, 제3 스위치(5607)와, 주사선(Reset line)(5608)과, 제1 신호선(Data 1 line)(5609)과, 제2 신호선(Data 2 line)(5610)을 갖고 있다. 또, 구동 트랜지스터(5601)는 p-형 트랜지스터를 이용하고 있다.
- [0204] 구동 트랜지스터(5601)의 제1 단자(소스 단자 또는 드레인 단자)는 전원선(5605)과 접속되고, 게이트 단자는 캐패시터(5602)의 일측 전극과 접속되고, 캐패시터(5602)의 타측 전극은 제2 스위치(5606)를 통해 제1 신호선(5609)과, 제3 스위치(5607)를 통해 제2 신호선(5610)과 접속되어 있다. 또한, 구동 트랜지스터(5601)의 게이트 단자와 제2 단자(소스 단자 또는 드레인 단자)는 제1 스위치(5603)를 통해 서로 접속되어 있다. 또, 발광 소자(5604)의 음극(Cathode)(5611)은 Vss의 전위가 설정되어 있다. Vss는 전원선(5605)에 설정되는 전원 공급 전위(Vdd)를 기준으로 하여, Vss<Vdd를 만족하는 전위이다; 예컨대, Vss= GND(그라운드 전위)로 하더라도 좋다.
- [0205] 다음에, 도 56의 화소 구성의 동작 원리에 관해서 도 57을 이용하여 간단히 설명한다. 도 57에 도시하는 타이밍 차트는 도 56에 도시하는 복수의 화소가 매트릭스에 배치된 표시 장치의 j-번째 열의 화소열의 타이밍 차트를 보이고 있다. 또한, 도 57에 도시하는 타이밍 차트에 있어서, 주사선(5608)(Reset line)의 신호가 H 레벨일 때에 제1 스위치(5603)가 on 동작되고, L 레벨일 때에 off 동작된다.
- [0206] 도 56의 화소에서는, 비디오 신호에 대응하는 아날로그 신호 전위가 제1 신호선(5609)에 설정되고, 발광 시간을 제어하는 아날로그 전위가 제2 신호선(5610)에 설정된다.
- [0207] 제2 신호선(5310)로 설정되는 전위는, 실시의 형태 1의 도 43a-43g에 도시한 바와 같이, 과형(4301), 과형(4302), 과형(4303), 과형(4304), 과형(4305), 과형(4306) 또는 과형(4307), 또는 이들을 복수 연속하여 설정하더라도 좋다.
- [0208] 이들 과형을 연속하여 설정함으로써, 발광 시간을 1 프레임 내에서 분산시킬 수 있다. 그 결과, 프레임 주파수가 외관상 향상되어, 화면 깜빡임을 방지할 수 있다.
- [0209] 본 실시 형태의 화소 구성을 갖는 표시 장치는, 화소부의 행마다 신호 기록 기간과 발광 기간이 설정된다. 즉, 화소부 전체로서는 기록 기간과 발광 기간이 동시에 진행한다. 각 행마다의 화소로의 신호 기록 기간을 기록 기간이라고 한다.
- [0210] 여기서, i-번째 행의 화소의 신호 기록 시간에 관해서 설명한다. 도 5에 도시하는 기간(Ti)은 i-번째 행의 화소의 신호 기록 기간을 나타낸다. 상기 기간(Ti) 이외의 기간은 i-번째 행의 화소의 발광 기간이다.
- [0211] 우선, Ti 기간에는 제2 스위치(5606)를 on 동작하고, 제3 스위치(5607)를 off 동작시킨다. 그리고, 주사선(5608)(Reset line)은, 기간 Ti에는 H 레벨의 신호를 입력하여 제1 스위치(5603)를 on 동작시킨다. i-번째 행의 화소의 구동 트랜지스터(5601)의 제1 단자(소스 단자 또는 드레인 단자)에는 전원선(5605)으로부터의 전원 공급 전위(Vdd)가 설정되어, 캐패시터(5602), 구동 트랜지스터(5601) 및 발광 소자(5604)에 전류가 흐른다. 그

리고, 캐패시터(5602)에는 전하의 축적 또는 방전이 행하여진다; 구체적으로, 캐패시터(5602)에 원래 축적되어 있던 전하와 제1 신호선(5609)(Data 1 line)에 설정된 전위와의 관계에 따라 전하의 축적 또는 방전이 일어난다. 그리고, 주사선(5608)(Reset line)의 신호가 H 레벨에서 L 레벨로 떨어지면, 제1 스위치(5603)가 오프 동작된다. 제1 스위치(5603)가 오프 동작되면, 그 순간의 구동 트랜지스터(5601)의 게이트 단자의 전위와 제1 신호선(5609)의 전위 사이의 전위차가 캐패시터(5602)에 의해 유지된다.

[0212] 이렇게 해서, i-번째 행 및 j-번째 열의 화소에 제1 신호선(5609)(Data 1 line)으로부터 비디오 신호가 기록된다. 이때, 모든 화소열에 제1 신호선(5609)(Data 1 line)으로부터 각각의 아날로그 신호 전위가 입력되고, 각 열의 i-번째 행의 각 화소에 각 비디오 신호가 기록된다.

[0213] 이렇게 해서, i-번째 행의 화소의 신호 기록 기간(T_i)이 종료하면, $(i+1)$ -번째 열의 화소의 신호 기록 기간(T_{i+1})이 시작하고, i-번째 행의 화소에서 발광 기간이 개시된다.

[0214] i-번째 행의 화소의 발광 기간에는 i-번째 행의 각 화소의 제1 스위치(5603)를 오프 상태로 한 채로 제2 스위치(5606)를 오프 동작시키고 제3 스위치(5607)를 on 동작시킨다.

[0215] 도 57에 도시한 바와 같이 제2 신호선(5610)(Data 2 line)에는 삼각파 전위가 설정되어 있다. i-번째 행 및 j-번째 열의 화소는 제2 신호선(5610)(Data 2 line)이, i-번째 행의 화소의 신호 기록 기간인 T_i 기간에 제1 신호선(5609)(Data 1 line)에 설정된 아날로그 신호 전위보다 높은 전위를 갖는 기간 도중에 발광 소자(5604)는 비발광의 상태를 유지하고, 제2 신호선(5610)(Data 2 line)이, i-번째 행의 화소의 신호 기록 기간인 T_i 기간에 제1 신호선(5609)(Data 1 line)에 설정된 아날로그 신호 전위보다 낮은 전위를 갖는 기간(T_a) 도중에는 발광 소자(5604)는 발광한다. 따라서, 각각의 화소의 기록 기간에 비디오 신호가 기록될 때의 아날로그 신호 전위에 따라서 발광 소자(5604)의 발광 시간이 설정된다. 이렇게 해서, 아날로그 시간 계조 표시가 가능해진다.

[0216] 전술한 바와 같이, 본 실시 형태의 화소 구성을 갖는 표시 장치는, 화소행마다 순차로 신호 기록 기간이 개시되고, 신호 기록 기간이 종료하면 화소행마다 발광 기간이 따른다. 본 실시 형태와 같이 선순차 방식으로 신호가 화소에 기록되는 경우에는, 필요한 기록 기간은 하나의 화소 분의 기록 기간일 수 있으므로, 발광 기간을 길게 할 수 있다. 즉, 듀티비(1 프레임 기간에 있어서의 발광 기간의 비율)가 높기 때문에, 발광 소자의 순간 휘도를 낮게 할 수 있다. 따라서, 발광 소자의 신뢰성을 향상시킬 수 있다.

[0217] 또한, 각 행마다의 화소의 기록 기간을 길게 할 수 있기 때문에, 제1 신호선(5609)(Data 1 line)에 아날로그 신호 전위를 입력하는 신호선 구동 회로의 주파수를 낮게 하는 것이 가능하다. 따라서, 소비 전력을 작게 할 수 있다.

[0218] 발광 소자(5604)의 발광/비발광을 제어하는 구동 트랜지스터(5601)의 온/오프는, 상술한 바와 같이, 기록 기간에 제1 신호선(5609)(Data 1 line)에 설정된 아날로그 신호 전위가, 발광 기간에 있어서, 제2 신호선(5610)(Data 2 line)에 입력되는 삼각파 전위보다 높은지 낮은지 여부에 의해 결정되고 디지털 방식으로 제어될 수 있다. 따라서, 구동 트랜지스터(5601)의 특성의 변동의 영향을 덜 받게 구동 트랜지스터(5601)의 온/오프를 제어할 수 있다; 즉, 화소마다의 발광의 변동을 개선할 수 있다.

[0219] 또한, 도 56에서는 구동 트랜지스터(5601)로서 p-형 트랜지스터를 이용하고 있지만, n-형 트랜지스터를 적용하는 것이 가능하다. 그 경우에는, 음극(5611)으로부터 전원선(5605)으로 흐르는 전류의 방향은 반대로 된다; 즉, 발광 소자(5604)에서 순방향 전압이 역전된다. 본 실시 형태의 화소 구성에는 n-형 트랜지스터를, 발광 소자의 발광/비발광을 제어하는 구동 트랜지스터에 이용할 수 있다. 일반적으로 p-형 트랜지스터보다도 n-형 트랜지스터쪽이 이동도(μ)가 크다. 따라서, 동일한 전류를 흘리자면, 트랜지스터 크기를 작게 할 수 있다; 결국, 화소의 개구율이 향상되고, 고선명도 표시나 소비 전력의 저감된 표시 장치를 제공할 수 있다.

[0220] 본 실시 형태에 있어서, 발광 소자를 구동하는 구동 트랜지스터의 소스 단자 및 드레인 단자, 및 발광 소자의 양극 및 음극은 발광 소자에의 순방향의 전압이 인가되어 있을 때의 단자 및 전극을 말한다.

[0221] (실시의 형태 3)

[0222] 본 실시 형태에서는, 실시의 형태 1에 설명된 화소의 스위치에 트랜지스터를 적용한 경우에 관해서 설명한다.

[0223] 도 6에 도시하는 화소는 도 1에 도시한 화소의 스위치(103)에 n-형 트랜지스터를 적용한 구성이다. 화소는 구

동 트랜지스터(601)와, 캐패시터(602)와, 스위칭 트랜지스터(603)와, 발광 소자(604)와, 전위 공급선 (Illumination line)(605)과, 신호선(Data line)(606)과, 주사선(Reset line)(607)을 포함한다. 구동 트랜지스터(601)는 n-형 트랜지스터를 이용하고 있다.

[0224] 구동 트랜지스터(601)의 제1 단자(소스 단자 또는 드레인 단자)는 전위 공급선(605)과 접속되고, 게이트 단자는 캐패시터(602)를 통해 신호선(606)과 접속되고, 제2 단자(소스 단자 또는 드레인 단자)는 발광 소자(604)의 양극(화소 전극)과 접속되어 있다. 또한, 구동 트랜지스터(601)의 게이트 단자는 스위칭 트랜지스터(603)의 제1 단자(소스 단자 또는 드레인 단자)에, 구동 트랜지스터(601)의 제2 단자(소스 단자 또는 드레인 단자)는 스위칭 트랜지스터(603)의 제2 단자(소스 단자 또는 드레인 단자)에 접속되어 있다. 따라서, 주사선(607)에 H 레벨의 신호를 입력하여, 스위칭 트랜지스터(603)가 온 동작하면, 구동 트랜지스터(601)의 게이트 단자와 제2 단자(소스 단자 또는 드레인 단자)는 통전 상태가 된다. 그리고, 주사선(607)에 L 레벨의 신호를 입력하여, 스위칭 트랜지스터(603)가 오프하면, 구동 트랜지스터(601)의 게이트 단자와 제2 단자(소스 단자 또는 드레인 단자)는 비통전 상태가 되어, 그 순간의 구동 트랜지스터(601)의 게이트 단자(혹은 제2 단자)와 신호선(606)과의 전위차(전압)가 캐패시터(602)에 의해 유지될 수 있다. 또, 발광 소자(604)의 음극(Cathode)(608)은 Vss의 전위가 설정되어 있다. Vss는 화소의 발광 기간에 전위 공급선(605)에 설정되는 전원 공급 전위(Vdd)를 기준으로 하여, Vss<Vdd를 만족하는 전위이다; 예컨대, Vss= GND(그라운드 전위)로 하더라도 좋다.

[0225] 따라서, 스위칭 트랜지스터(603)는 도 1의 화소의 스위치(103)와 같은 기능을 다한다. 또한, 구동 트랜지스터(601), 캐패시터(602), 스위칭 트랜지스터(603), 발광 소자(604), 전위 공급선(Illumination line)(605), 신호선(Data line)(606), 주사선(Reset line)(607)은 각각 도 1의 화소의 구동 트랜지스터(101), 캐패시터(102), 스위치(103), 발광 소자(104), 전위 공급선(Illumination line)(105), 신호선(Data line)(106), 주사선(Reset line)(107)에 해당한다. 따라서, 도 6의 화소의 동작은 도 1의 화소의 동작과 마찬가지이기 때문에, 여기서는 설명을 생략한다.

[0226] 캐패시터(602)는 기록 기간에 있어서 유지한 전위차를, 발광 기간 동안 유지하는데 필요하다. 그러므로, 스위칭 트랜지스터(603)의 누설 전류(트랜지스터가 오프하고 있는 때에 소스와 드레인 사이에 흐르는 오프 전류와, 게이트와 소스 또는 드레인 사이에 흐르는 게이트 누설 전류를 말한다)나 구동 트랜지스터(601)의 게이트 누설 전류를 저감하는데 필요하다.

[0227] 따라서, 스위칭 트랜지스터(603)로서는, 도 6에 도시한 바와 같이 n-형 트랜지스터를 이용하면 좋다. 이것은 n-형 트랜지스터가 저농도 불순물 영역(Lightly Doped Drains: LDD 영역이라고도 칭한다)을 용이하게 형성할 수 있어, 오프 전류의 저감을 꾀할 수 있는 때문이다.

[0228] 또한, 구동 트랜지스터(601) 및 스위칭 트랜지스터(603)의 게이트 절연막의 재료나 막 두께를 적절하게 선택하여, 게이트 누설 전류를 저감시키는 것이 바람직하다. 또한, 게이트 전극을 멀티 게이트 구조로 하는 것에 따라, 게이트 누설 전류를 저감할 수 있다.

[0229] 또한, 도 1에 도시한 화소의 스위치(103)에 스위칭 트랜지스터로서 p-형 트랜지스터를 적용할 수도 있다. 그 경우에는 스위칭 트랜지스터의 온/오프를 제어하는 신호의 H 레벨과 L 레벨은 n-형 트랜지스터를 적용한 경우와는 반전 동작이 된다. 즉, 신호가 L 레벨 시 스위칭 트랜지스터는 on 하고, 신호가 H 레벨 시에 오프된다.

[0230] 또한, 도 1에 도시한 화소의 스위치(103)에 스위칭 트랜지스터로서 p-형 트랜지스터를 적용하는 것으로, 화소부 전체와 때로는 주변 구동 회로까지 포함시켜 p-형 트랜지스터만으로 구성되는 회로를 제공할 수 있다. 따라서, 공정수가 감소된 저비용의 단극성의 표시 패널을 제공할 수 있다.

[0231] 또한, 도 1의 화소의 스위치(103)에 스위칭 트랜지스터로서 p-형 트랜지스터를 적용하면, 도 1에 도시된 전위 공급선(105)에 해당하는 배선을 생략할 수 있다. 그와 같은 구성에 관해서 도 8을 이용하여 설명한다.

[0232] 화소는 구동 트랜지스터(801)와, 캐패시터(802)와, 스위칭 트랜지스터(803)와, 발광 소자(804)와, 신호선(Data line)(806)과, 주사선(Reset line)(807)을 갖고 있다. 구동 트랜지스터(801) 및 스위칭 트랜지스터(803)는 p-형 트랜지스터를 이용하고 있다.

[0233] (i+1)-번째 행의 화소의 구동 트랜지스터(801)의 제1 단자(소스 단자 또는 드레인 단자)는 i-번째 행의 화소의 주사선(807)과 접속되고, 게이트 단자는 캐패시터(802)를 통해 신호선(806)과 접속되고, 제2 단자(소스 단자 또는 드레인 단자)는 발광 소자(804)의 양극(화소 전극)과 접속되어 있다. 또한, 구동 트랜지스터(801)의 게이트 단자는 스위칭 트랜지스터(803)의 제1 단자(소스 단자 또는 드레인 단자)에, 구동 트랜지스터(801)의 제2 단자(소스 단자 또는 드레인 단자)는 스위칭 트랜지스터(803)의 제2 단자(소스 단자 또는 드레인 단자)에 접속되어

있다. 그러므로, 주사선(807)에 L 레벨의 신호가 입력되어, 스위칭 트랜지스터(803)가 on 동작할 때는 구동 트랜지스터(801)의 게이트 단자와 제2 단자(소스 단자 또는 드레인 단자) 사이의 부분은 통전 상태가 된다. 그리고, 주사선(807)에 H 레벨의 신호가 입력되어, 스위칭 트랜지스터(803)가 오프하면, 구동 트랜지스터(801)의 게이트 단자와 제2 단자(소스 단자 또는 드레인 단자)는 비통전 상태가 되어, 그 순간의 구동 트랜지스터(801)의 게이트 단자(혹은 드레인 단자)와 신호선(806)과의 전위차(전압)가 캐패시터(802)에 의해 유지될 수 있다. 또, 발광 소자(804)의 음극(Cathode)(805)은 Vss의 전위가 설정되어 있다. Vss는 화소의 발광 기간에 구동 트랜지스터(801)의 제1 단자(소스 단자 또는 드레인 단자)에 설정하는 전원 공급 전위(Vdd)를 기준으로 하여, Vss<Vdd를 만족하는 전위이다; 예컨대, Vss= GND(그라운드 전위)로 하더라도 좋다.

[0234] 도 8의 화소 구성을 갖는 표시 장치의 타이밍 차트를 도 9에 도시한다. 각각의 화소 행의 주사선(807)의 신호는 기록 시간 시작시 H 레벨로부터 L 레벨에 하강하고, 기록 기간이 끝나면 L 레벨로부터 H 레벨로 상승한다. i-번째 행의 화소는 기간(Ti)이, (i+1)-번째 열의 화소는 기간(Ti+1)이 각각의 기록 기간이며, 이 기간의 주사선(807)의 신호는 L 레벨이다.

[0235] 따라서, 발광 기간에 있어서 주사선(807)의 신호는 H 레벨이기 때문에, 주사선(807)에 신호를 출력하는 회로의 전류 공급 능력을 높게 하면 발광 소자(804)에 인가하는 전압을 설정하는 전위 공급선으로서 주사선(807)을 이용할 수 있다. 도 8의 구성에서 전위 공급선으로서 다음 행의 주사선(807)을 이용하고 있지만, 다른 행의 주사선(807)이라면 이것에 한정되지 않는다.

[0236] 도 8의 구성에서는, 기록 기간에 있어서, 다른 행의 화소의 기록 기간의 사이에도 발광 소자(804)가 발광할 수 있기 때문에, 음극(Cathode)(805)의 전위를 발광 기간보다 높게 설정하면 좋다. 보다 바람직하게는 실시의 형태 1에 설명한 바와 같이, 화소로의 신호 기록시, 구동 트랜지스터(801)의 게이트-소스 전압(Vgs)가 문턱 전압과 같도록 하면 좋다. 즉, 이때 발광 소자(804)에 인가되는 전압이 발광 소자(804)의 순방향 문턱 전압(V_{EL}) 이하가 되도록 음극(Cathode)(805)의 전위를 설정하면 좋다.

[0237] 도 8과 같은 구성이라고 하면, 배선의 개수를 줄일 수 있어서, 한층 더 개구율의 향상을 꾀할 수 있다.

[0238] 다음에, 도 4의 화소 구성의 스위치(403)에 n-형 트랜지스터를 적용한 구성을 도 7에 도시한다.

[0239] 도 7에 도시하는 화소는 구동 트랜지스터(701)와, 캐패시터(702)와, 스위칭 트랜지스터(703)와, 발광 소자(704)와, 전위 공급선(Illumination line)(705)와, 신호선(Data line)(706)과, 주사선(Reset line)(707)을 갖고 있다. 구동 트랜지스터(701) 및 스위칭 트랜지스터(703)는 n-형 트랜지스터를 이용하고 있다.

[0240] 구동 트랜지스터(701)의 제1 단자(소스 단자 또는 드레인 단자)는 전위 공급선(705)과 접속되고, 게이트 단자는 캐패시터(702)를 통해 신호선(706)과 접속되고, 제2 단자(소스 단자 또는 드레인 단자)는 발광 소자(704)의 음극과 접속되어 있다. 또한, 구동 트랜지스터(701)의 게이트 단자는 스위칭 트랜지스터(703)의 제1 단자(소스 단자 또는 드레인 단자)에, 구동 트랜지스터(701)의 제2 단자(소스 단자 또는 드레인 단자)는 스위칭 트랜지스터(703)의 제2 단자(소스 단자 또는 드레인 단자)에 접속되어 있다. 따라서, 주사선(707)에 H 레벨의 신호를 입력하여, 스위칭 트랜지스터(703)가 on 동작할 때는 구동 트랜지스터(701)의 게이트 단자와 제2 단자(소스 단자 또는 드레인 단자) 사이의 부분은 통전 상태가 된다. 그리고, 주사선(707)에 L 레벨의 신호를 입력하여, 스위칭 트랜지스터(703)가 오프하면, 구동 트랜지스터(701)의 게이트 단자와 제2 단자(소스 단자 또는 드레인 단자) 사이의 부분은 비통전 상태가 되어, 그 순간의 구동 트랜지스터(701)의 게이트 단자(혹은 제2 단자)와 신호선(706)과의 전위차(전압)가 캐패시터(702)에 의해 유지될 수 있다. 또, 발광 소자(704)의 양극(Anode)(708)은 Vdd의 전위가 설정되어 있다. Vdd는 화소의 발광 기간에 전위 공급선(705)에 설정되는 저전원 공급 전위(Vss)를 기준으로 하여, Vdd> Vss를 만족하는 전위이다.

[0241] 따라서, 스위칭 트랜지스터(703)는 도 4의 화소의 스위치(403)와 같은 기능을 다한다. 또한, 구동 트랜지스터(701), 캐패시터(702), 스위칭 트랜지스터(703), 발광 소자(704), 전위 공급선(Illumination line)(705), 신호선(Data line)(706), 주사선(Reset line)(707)은 각각 도 4의 화소의 구동 트랜지스터(401), 캐패시터(402), 스위치(403), 발광 소자(404), 전위 공급선(Illumination line)(405), 신호선(Data line)(406), 주사선(Reset line)(407)에 해당한다. 따라서, 도 7의 화소의 동작은 도 4의 화소의 동작과 마찬가지이기 때문에, 여기서는 설명을 생략한다.

[0242] 캐패시터(702)는 기록 기간에 있어서 유지한 전위차를, 발광 기간 동안 유지하는데 필요하다. 그러므로, 스위칭 트랜지스터(703)의 누설 전류(트랜지스터가 오프하고 있는 때에 소스와 드레인 사이에 흐르는 오프 전류, 및 게이트와 소스 또는 드레인 사이에 흐르는 게이트 누설 전류를 말한다)나 구동 트랜지스터(701)의 게이트 누설

전류를 저감하는데 필요하다.

[0243] 따라서, 스위칭 트랜지스터(703)로서는, 도 7에 도시한 바와 같이 n-형 트랜지스터를 이용하면 좋다. 이것은 n-형 트랜지스터가 저농도 불순물 영역(Lightly Doped Drains: LDD 영역이라고도 칭한다)를 용이하게 형성할 수 있어, 오프 전류의 저감을 꾀할 수 있는 때문이다.

[0244] 또한, 구동 트랜지스터(701) 및 스위칭 트랜지스터(703)의 게이트 절연막의 재료나 막 두께를 적절하게 선택하여 게이트 누설 전류를 저감시키는 것이 바람직하다. 또한, 게이트 전극을 멀티 게이트 구조로 하는 것에 따라, 게이트 누설 전류를 저감할 수 있다.

[0245] 일반적으로 p-형 트랜지스터보다도 n-형 트랜지스터쪽이 이동도(μ)가 크다. 따라서, 동일한 전류를 흘리자면, 트랜지스터 크기를 작게 할 수 있다. 따라서, 도 7과 같은 화소 구성으로 하는 것으로 화소의 개구율이 향상된다.

[0246] 또한, 도 7과 같은 구성이라고 하면, 화소부 전체와 때로는 주변 구동 회로까지 포함시켜 n-형 트랜지스터만으로 구성되는 회로를 제공할 수 있으므로, 공정수가 삽감된 저비용의 단극성의 표시 패널을 제공하는 것이 가능하다.

[0247] 또한, 표시 패널이 갖는 회로에 이용하는 박막 트랜지스터를 n-형 트랜지스터만으로 구성하는 것이 가능하므로, 그 트랜지스터의 반도체층에 비정질 반도체나 반-비정질 반도체(혹은 미소결정 반도체라고도 한다)를 이용할 수 있다. 예컨대, 비정질 반도체로서, 비정질 실리콘(a-Si:H)을 들 수 있다. 따라서, 한층더 공정수의 삽감을 꾀하는 것이 가능하다.

[0248] 또한, 도 4의 화소의 스위치(403)에 스위칭 트랜지스터로서 n-형 트랜지스터를 적용하면, 도 4에 도시된 전위 공급선(405)에 해당하는 배선을 생략할 수 있다. 그와 같은 구성에 관해서 도 10을 이용하여 설명한다.

[0249] 화소는 구동 트랜지스터(1001)와, 캐패시터(1002)와, 스위칭 트랜지스터(1003)와, 발광 소자(1004)와, 신호선(Data line)(1006)과, 주사선(Reset line)(1007)을 갖고 있다. 구동 트랜지스터(1001) 및 스위칭 트랜지스터(1003)는 n-형 트랜지스터를 이용하고 있다.

[0250] (i+1)-번째 행의 화소의 구동 트랜지스터(1001)의 제1 단자(소스 단자 또는 드레인 단자)는 i-번째 행의 화소의 주사선(1007)과 접속되고, 게이트 단자는 캐패시터(1002)를 통해 신호선(1006)과 접속되고, 제2 단자(소스 단자 또는 드레인 단자)는 발광 소자(1004)의 음극과 접속되어 있다. 또한, 구동 트랜지스터(1001)의 게이트 단자는 스위칭 트랜지스터(1003)의 제1 단자(소스 단자 또는 드레인 단자)에, 구동 트랜지스터(1001)의 제2 단자(소스 단자 또는 드레인 단자)는 스위칭 트랜지스터(1003)의 제2 단자(소스 단자 또는 드레인 단자)에 접속되어 있다. 따라서, 주사선(1003)에 H 레벨의 신호가 입력되어, 스위칭 트랜지스터(1003)가 on 동작할 때에는 구동 트랜지스터(1001)의 게이트 단자와 제2 단자(소스 단자 또는 드레인 단자)는 통전 상태가 된다. 그리고, 주사선(1003)에 L 레벨의 신호가 입력되어, 스위칭 트랜지스터(1003)가 오프하면, 구동 트랜지스터(1001)의 게이트 단자와 제2 단자(소스 단자 또는 드레인 단자) 사이의 부분은 비통전 상태가 되어, 그 순간의 구동 트랜지스터(1001)의 게이트 단자(혹은 제2 단자)와 신호선(1006)과의 전위차(전압)가 캐패시터(1002)에 의해 유지될 수 있다. 또, 발광 소자(1004)의 양극(Anode)(1005)은 Vdd의 전위가 설정되어 있다. Vdd는 화소의 발광 기간에 구동 트랜지스터(1001)의 제1 단자(소스 단자 또는 드레인 단자)에 설정하는 저전원 공급 전위(Vss)를 기준으로 하여, Vdd > Vss를 만족하는 전위이다.

[0251] 도 10의 화소 구성을 갖는 표시 장치의 타이밍 차트를 도 11에 도시한다. 각 화소 행의 주사선(1007)의 신호는 기록 기간 시작시 L 레벨로부터 H 레벨로 상승하고, 기록 기간이 끝나면 H 레벨로부터 L 레벨로 떨어진다. i-번째 행의 화소는 기간(Ti)이, (i+1)-번째 행의 화소는 기간(Ti+1)이 각각의 기록 기간이며, 이 기간의 주사선(1007)의 신호는 H 레벨이다.

[0252] 따라서, 발광 기간에 있어서 주사선(1007)의 신호는 L 레벨이기 때문에, 주사선(1007)에 신호를 출력하는 회로의 전류 공급 능력을 높게 하면 발광 소자(1004)에 인가하는 전압을 설정하는 전위 공급선으로서 주사선(1007)을 이용할 수 있다. 도 10의 구성에서 전위 공급선으로서 다음 행의 주사선(1007)을 이용하고 있지만, 다른 행의 주사선(1007)이라면 이것에 한정되지 않는다.

[0253] 도 10의 구성에서는, 기록 기간에 있어서, 다른 행의 화소의 기록 기간의 사이도 발광 소자(1004)가 발광될 수 있기 때문에, 양극(Anode)(1005)의 전위를 발광 기간보다 낮춰 설정하면 좋다. 보다 바람직하게는 실시의 형태 1에 설명한 바와 같이, 화소로의 신호 기록시, 구동 트랜지스터(1001)의 게이트-소스 전압(Vgs)가 문턱 전압과

동일하게 설정하면 좋다. 즉, 이때 발광 소자(1004)에 인가되는 전압이 발광 소자(1004)의 순방향 문턱 전압(V_{EL}) 이하가 되도록 양극(1005)의 전위를 설정하면 좋다.

[0254] 도 10과 같은 구조이라고 하면, 배선의 개수를 감하는 수 있어, 한층더 개구율의 상승을 꾀할 수 있다.

[0255] 물론, 도 4의 스위치(403)로서 p-형 트랜지스터를 적용할 수도 있다.

[0256] (실시의 형태 4)

[0257] 본 실시 형태에서는, 실시의 형태 1에 설명된 화소 구성에 있어서 발광 소자의 신뢰성을 더욱 향상시키는 구동 방법과, 실시의 형태 1에 설명된 화소 구성보다 더욱 발광 소자의 신뢰성을 향상하는 화소 구성 및 그 구동 방법에 관해서 설명한다.

[0258] 우선, 실시의 형태 1에서 설명된 도 1의 화소 구조를 이용하여, 본 실시 형태에 의한 구동 방법을 설명한다.

[0259] 본 실시 형태에 있어서는, 1 프레임 기간에 순방향 바이어스 기간(기록 기간 및 발광 기간)과 역방향 바이어스 기간을 포함한다. 순방향 바이어스 기간의 기록 기간 및 발광 기간에 있어서는, 실시의 형태 1에 도시한 동작과 마찬가지이기 때문에 설명은 생략한다.

[0260] 역방향 바이어스 기간에는, 도 51에 도시한 바와 같이 발광 기간에 전위 공급선(Illumination line)(105)에 설정하는 전위(V_{dd})와 음극(Cathode)(108)에 설정하는 전위(V_{ss})를 역으로 한다; 즉, 역방향 바이어스 기간에는 전위 공급선(Illumination line)(105)에 저전원 공급 전위(V_{ss})를 설정하고, 음극(Cathode)(108)에는 전원 공급 전위(V_{dd})를 설정한다. 또한, 스위치(103)를 오프로 한다. 그 결과, 구동 트랜지스터(101)의 소스 단자 및 드레인 단자는 순방향 바이어스 기간과는 반대로 된다; 즉, 순방향 바이어스 기간에 구동 트랜지스터(101)의 제1 단자는 소스 단자로, 제2 단자는 드레인 단자로서 기능하지만, 역방향 바이어스 기간에는, 구동 트랜지스터(101)의 제1 단자가 드레인 단자, 제2 단자가 소스 단자로서 기능한다. 또한, 발광 소자(105)의 양극과 음극도 역시 반대가 된다. 이때, 신호선(106)에는 구동 트랜지스터(101)가 충분히 on 동작되도록 하는 전위를 설정한다.

[0261] 역방향 바이어스 기간의 초기에 구동 트랜지스터(101)의 게이트 단자의 전위를 설정하더라도 좋다. 즉, 도 52에 도시한 바와 같이, 역방향 바이어스 기간의 초기에 게이트 전위 설정 기간(Tr)을 둔다. 이때, 주사선(107)(Reset line)에 H 레벨의 신호를 설정하여, 스위치(103)를 온으로 한다. 그리고, 전위 공급선(105)(Illumination line)의 전위는 H 레벨(V_{dd})로 설정하고, 신호선(106)에는 H 레벨(여기서의 H 레벨이란 삼각파 전위의 최저 전위보다 높은 전위, 보다 바람직하게는 삼각파 전위의 중간 전위보다 높은 전위를 의미함)의 전위를 설정한다. 그렇게 하면, 구동 트랜지스터(101)의 온/오프를 제어하는 데 필요한 게이트 단자의 전위와 신호선(106)의 H 레벨의 전위와의 전위차가 캐패시터(102)에 유지된다.

[0262] 역방향 바이어스 기간에 있어서, 게이트 전위 설정 기간(Tr)이 종료하면, 주사선(107)의 전위가 L 레벨로 변화되고, 스위치(103)는 오프한다. 그리고, 신호선(106)의 전위가 H 레벨로부터 L 레벨(여기서의 L 레벨이란 신호선(106)에 설정하는 H 레벨의 전위보다 낮은 전위, 보다 바람직하게는 삼각파 전위의 중간 전위보다 낮은 전위를 의미함)로 변화된다. 결국, 캐패시터(102)가 전위차를 유지한 채로, 신호선(106)의 전위가 낮아지게 된다. 따라서, 역방향 바이어스 기간에 있어서의 신호선(106)에 설정하는 H 레벨과 L 레벨의 신호의 전위를 적절하게 설정하면, 구동 트랜지스터(101)를 충분히 on 시킬 수 있다.

[0263] 따라서, 구동 트랜지스터(101)가 on 동작하고, 발광 소자(104)에는 순방향 바이어스 기간과는 역의 전압을 인가하는 것이 가능하다.

[0264] 이와 같이, 역방향 바이어스 기간에 있어서, 순방향 바이어스 기간과는 역방향의 전압을 발광 소자(104)에 인가하더라도, 정상적인 발광 소자(104)에는 전류는 흐르지 않는다(혹은 미소 전류만이 흐를 수 있다). 한편, 발광 소자(104)에 단락 개소가 있는 경우에는, 그 단락 개소에 전류가 흐르고, 단락 개소를 절연화한다. 따라서, 역방향 바이어스 기간에는, 이 단락 개소를 절연하는데 충분한 전류를 흘리도록 역방향의 전압을 발광 소자(104)에 인가한다.

[0265] 따라서, 상술한 바와 같이, 역방향 바이어스 기간에 있어서, 전위 공급선(105)에 설정하는 전위는 V_{ss} 에 한정되지 않는다. 또한, 음극(108)에 설정하는 전위도 V_{dd} 에 한정되지 않는다. 즉, 역방향 바이어스 기간에 발광 소자(104)의 단락 개소를 절연하는데 충분한 전류를 흘리도록 하면 좋다.

- [0266] 이와 같이, 발광 소자(104)의 단락 개소를 절연함으로써, 화소의 표시 불량을 개선할 수 있다. 또한, 발광 소자(104)의 수명을 연장시키는 것이 가능해진다.
- [0267] 다음에, 실시의 형태 1에서 설명된 도 1과는 다른 화소 구성에 의해, 발광 소자의 신뢰성을 높이는 화소에 관해서도 53을 이용하여 설명한다. 본 구성에 있어서도 순방향 바이어스 기간(기록 기간 및 발광 기간)과 역방향 바이어스 기간을 갖는다.
- [0268] 화소는 구동 트랜지스터(5301)과, 캐패시터(5302)와, 스위치(5303)와, 발광 소자(5304)와, 전위 공급선 (Illumination line)(5305)와, 신호선(Data line)(5306)과, 주사선(Reset line)(5307)과, 역바이어스용 스위치(5309)와, 배선(5310)을 갖고 있다. 구동 트랜지스터(5301)는 p-형 트랜지스터를 이용하고 있다.
- [0269] 구동 트랜지스터(5301)의 제1 단자(소스 단자 또는 드레인 단자)는 전위 공급선(5305)과 접속되고, 게이트 단자는 캐패시터(5302)를 통해 신호선(5306)과 접속되고, 제2 단자(소스 단자 또는 드레인 단자)는 발광 소자(5304)의 양극(화소 전극)과 접속되어 있다. 또한, 구동 트랜지스터(5301)의 게이트 단자와 제2 단자(소스 단자 또는 드레인 단자)는 스위치(5303)를 통해 서로 접속되어 있다. 따라서, 스위치(5303)가 온하고 있는 때에는 구동 트랜지스터(5301)의 게이트 단자와 제2 단자(소스 단자 또는 드레인 단자) 사이의 부분은 통전 상태가 된다. 그리고, 스위치(5303)가 오프하면, 구동 트랜지스터(5301)의 게이트 단자와 제2 단자(소스 단자 또는 드레인 단자)는 비통전 상태가 되어, 그 순간의 구동 트랜지스터(5301)의 게이트 단자(혹은 제2 단자)와 신호선(5306)과의 전위차(전압)가 캐패시터(5302)에 의해 유지될 수 있다. 또, 발광 소자(5304)의 음극(Cathode)(5308)은 Vss의 전위가 설정되어 있다. Vss는 화소의 발광 기간에 전위 공급선(5305)에 설정되는 전원 공급 전위(Vdd)를 기준으로, $V_{ss} < V_{dd}$ 를 만족하는 전위이다; 예컨대, $V_{ss} = GND$ (그라운드 전위)로 하더라도 좋다. 또한, 발광 소자(5304)의 양극은 역바이어스용 스위치(5309)를 통해 V_{ss3} 의 전위가 설정된 배선(5310)과 접속되어 있다. V_{ss3} 는 $V_{ss3} < V_{ss}$ 를 만족하는 전위이며, 역방향 바이어스 기간에 역바이어스용 스위치(5309)가 온하면 발광 소자(5304)에는 순방향 바이어스 기간과는 역인 방향으로 전압이 인가된다. 따라서, 이때 발광 소자(5304)의 양극과 음극의 전위의 높이가 역전된다.
- [0270] 다음에, 도 53의 화소 구성의 동작 원리에 관해서 자세히 설명한다.
- [0271] 화소로의 신호 기록 기간에는, 역바이어스용 스위치(5309)가 오프되고, 신호선(5306)에는 아날로그 신호 전위가 설정된다. 이 아날로그 신호 전위는 비디오 신호에 해당한다. 그리고, 화소에 비디오 신호를 기록하는 때는, 주사선(5307)에 신호를 입력하여 스위치(5303)를 on시키고, 또한 전위 공급선(5305)의 전위를 전원 공급 전위(Vdd)로 설정하여, 구동 트랜지스터(5301)의 제1 단자에 전원 공급 전위(Vdd)를 설정한다. 그렇게 하면, 구동 트랜지스터(5301) 및 발광 소자(5304)에 전류가 흘러, 캐패시터(5302)에는 전하의 축적 또는 방전이 행하여진다.
- [0272] 이 경우 역바이어스 스위치(5309)는 on 동작될 수 있어서 기록시 발광 소자(5304)로 전류가 흐르는 것이 방지될 수 있다.
- [0273] 이때, 구동 트랜지스터(5301)의 제1 단자는 소스 단자이고, 제2 단자는 드레인 단자이다. 스위치(5303)가 온으로 되어 있는 상태로 구동 트랜지스터(5301)에 흐르는 전류가 증가하면, 발광 소자(5304)에 흐르는 전류도 커지기 때문에, 발광 소자(5304)에서의 전압 강하가 커지고, 발광 소자(5304)의 전극 간 전위차가 커진다. 즉, 발광 소자(5304)의 양극의 전위는 전위 공급선(5305)의 전위에 근접한다. 결국, 구동 트랜지스터(5301)의 게이트 단자의 전위도 전위 공급선(5305)의 전위에 근접하기 때문에, 구동 트랜지스터(5301)의 게이트 단자와 소스 단자의 전위차가 감소되어 구동 트랜지스터(5301)에 흐르는 전류는 감소한다. 한편, 발광 소자(5304)에 흐르는 전류가 작아지면, 발광 소자(5304)에서의 전압 강하가 작아지고 발광 소자(5304)의 전극 간 전위차가 작아진다. 즉, 발광 소자(5304)의 양극의 전위는 음극(5308)의 전위에 근접한다. 그렇게 하면, 구동 트랜지스터(5301)의 게이트 단자도 음극(5308)의 전위에 근접하기 때문에, 구동 트랜지스터(5301)의 게이트 단자와 소스 단자 사이의 전위차가 커져, 구동 트랜지스터(5301)에 흐르는 전류가 증가한다. 이 방식으로, 구동 트랜지스터(5301)의 게이트 단자는 구동 트랜지스터(5301)에 일정한 전류가 흐르도록 하는 전위로 안정된다. 그리고, 그때의 구동 트랜지스터(5301)의 게이트 단자의 전위와 신호선(5306)의 전위와의 전위차에 해당하는 전하가 캐패시터(5302)에 축적된다.
- [0274] 이렇게 해서 이 화소에 비디오 신호의 기록이 종료한다.
- [0275] 이와 같이 구동 트랜지스터(5301) 및 발광 소자(5304)에 흐르는 전류가 일정한 정상 상태에 도달하면, 스위치(5303)를 오프시킨다. 결국, 캐패시터(5302)는 스위치(5303)가 오프한 순간의 신호선(5306)의 전위와 구동 트

랜지스터(5301)의 게이트 단자(혹은 드레인 단자)와의 전위차 V_p (전압)을 유지한다.

[0276] 화소로의 비디오 신호의 기록 종료 후, 전위 공급선(5305)에 설정하는 전위를, 구동 트랜지스터(5301)가 on 되는 경우에도, 발광 소자(5304)에 인가되는 전압이 발광 소자(5304)의 문턱 전압(V_{EL}) 이하가 되도록 설정한다.

예컨대, 전위 공급선(5305)의 전위는 발광 소자(5304)의 음극(5308)의 전위(V_{SS})와 동일한 전위, 혹은 그 이하일 수 있다. 이 전위를 전위 공급선(5305)에 설정하는 타이밍은 스위치(5303)를 오프로 하는 타이밍과 동시에 또는 그 이후이다.

[0277] 화소에 비디오 신호를 기록하고 구동 트랜지스터(5301)의 제1 단자에 접속된 전위 공급선(5305)에 전원 공급 전위(V_{dd})가 설정되어 있는 때에, 그 화소에 비디오 신호가 기록될 때에 신호선(5306)에 설정된 아날로그 신호 전위를 기준으로 하여, 신호선(5306)의 전위의 변동에 따라서 구동 트랜지스터(5301)의 온/오프가 제어되도록 된다. 즉, 신호선(5306)의 전위가, 화소로의 신호 기록 기간에 화소에 비디오 신호가 기록될 때의 아날로그 신호 전위 이상인 경우에 구동 트랜지스터(5301)는 오프하고, 화소에 비디오 신호가 기록될 때의 아날로그 신호 전위 보다 낮게 되면 구동 트랜지스터(5301)는 on 동작된다.

[0278] 이것은 화소에 비디오 신호가 기록되면 캐패시터(5302)가 전위차(V_p)를 유지하기 때문에, 신호선(5306)의 전위가 화소에 비디오 신호가 기록될 때의 아날로그 신호 전위 이상일 때에 구동 트랜지스터(5301)의 게이트 단자의 전위도, 화소에 비디오 신호가 기록될 때의 게이트 단자의 전위 이상이 되어, 구동 트랜지스터(5301)는 오프한다. 한편, 신호선(5306)의 전위가, 화소로의 신호 기록 기간에 화소에 비디오 신호가 기록될 때의 아날로그 신호 전위보다 낮게 되면 구동 트랜지스터(5301)의 게이트 단자의 전위도, 화소에 비디오 신호가 기록될 때의 게이트 단자의 전위보다 낮게 되기 때문에 구동 트랜지스터(5301)는 on 동작된다.

[0279] 따라서, 화소의 발광 기간에는, 역바이어스용 스위치(5309)를 on으로 한 채로, 구동 트랜지스터(5301)의 제1 단자에 접속된 전위 공급선(5305)에 V_{dd} 를 설정하고, 스위치(5303)를 오프로 한 상태로, 신호선(5306)에 설정하는 전위를 아날로그 방식으로 변화시킴으로써, 구동 트랜지스터(5301)의 온/오프를 제어한다. 즉, 발광 소자(5304)에 전류가 흐르고 있는 시간을 아날로그 방식으로 제어하여 계조를 표현하는 것이 가능하다.

[0280] 화소의 발광 기간에 있어서 신호선(5306)에 설정하는 전위에 관해서 설명한다. 신호선(5306)에 설정하는 전위는 주기적으로 변화되는 과형의 아날로그 전위를 이용할 수 있다.

[0281] 발광 기간에 신호선(5306)에 설정하는 전위는, 실시의 형태 1에 설명된 바와 같이, 과형(4301), 과형(4302), 과형(4303), 과형(4304), 과형(4305), 과형(4306) 또는 과형(4307), 또는 이들을 복수 연속하여 설정하더라도 좋다.

[0282] 이를 과형을 연속하여 설정함으로써, 발광 시간을 1 프레임 내에서 분산시킬 수 있다. 그 결과, 프레임 주파수가 외관상 향상되어, 화면 깜빡임을 방지할 수 있다.

[0283] 역방향 바이어스 기간에는, 스위치(5303)를 오프로 하여, 전위 공급선(5305)의 전위를 L 레벨이 되도록 하여 구동 트랜지스터(5301)를 오프한다. 그리고, 역바이어스용 스위치(5309)를 온으로 한다.

[0284] 또한, 순방향 바이어스 기간(기록 기간 및 발광 기간을 의미)에 있어서, 발광 소자(5304)의 양극으로서 기능하고 있었던 전극은 배선(5310)과 접속된다. 따라서, 순방향 바이어스 기간에 있어서 발광 소자(5304)의 양극이나 음극으로서 기능하고 있었던 각각의 전극에 설정되는 전위의 고저가, 역방향 바이어스 기간에는 반대로 된다; 즉, 역방향 바이어스 기간에 있어서는, 발광 소자(5304)에 순방향 바이어스 기간과는 역방향의 전압을 인가한다.

[0285] 이와 같이, 역방향 바이어스 기간에 있어서, 순방향 바이어스 기간과는 역방향의 전압을 발광 소자(5304)에 인가하더라도, 정상적인 발광 소자(5304)에는 전류는 흐르지 않는다. 한편, 발광 소자(5304)에 단락 개소가 있는 경우에는, 그 단락 개소에 전류가 흐른다. 그리고, 단락 개소를 절연화한다. 따라서, 역방향 바이어스 기간에는, 이 단락 개소를 절연하는데 충분한 전류를 흘리도록 역방향의 전압을 발광 소자(5304)에 인가한다.

[0286] 이와 같이, 발광 소자(5304)의 단락 개소를 절연화함으로써, 화소의 표시 불량을 개선할 수 있다. 또한, 발광 소자(5304)의 수명을 연장시키는 것이 가능해진다.

[0287] 음극(Cathode)(5308)의 전위를 순방향 바이어스 기간보다도 역방향 바이어스 기간에서 높게 하면 좋다. 이러한 방식으로, 발광 소자(5305)의 단락 개소를 절연하기 위해서 충분한 전류를 얻기 위한 전압을 설정한다.

[0288] (실시의 형태 5)

[0289] 본 실시 형태에서는, 화소마다의 기록 기간을 길게 하는 화소 구성을 갖는 표시 장치에 관해서 설명한다.

[0290] 도 12에 도시하는 표시 장치는 전위 공급선 구동 회로(1201), 신호선 구동 회로(1202), 주사선 구동 회로(1203), 화소부(1204)를 지니고, 화소부(1204)는 복수의 화소(1205)를 갖추고 있다. 행 방향으로 배치된 전위 공급선(Illumination line)(I1~Im)과 열 방향으로 배치된 신호선(Data line)(Da1~Dan 및 Db1~Dbn)에 대응하도록 화소(1205)가 매트릭스에 배치되어 있다. 행 방향으로 배치된 주사선(Reset line)(R1~Rm/2)은 2행의 화소의 스위치의 온/오프를 제어하는 배선으로서 공유되어 있다.

[0291] 예컨대, (m-1)-번째 행의 화소(1205)의 각각은 구동 트랜지스터(1206)와, 캐패시터(1207)와, 스위치(1208)와, 발광 소자(1209)와, 전위 공급선(Im-1)과, 신호선(Da1~Dan 중 하나)과, 주사선(Rm/2)을 갖고 있다. 구동 트랜지스터(1206)는 p-형 트랜지스터를 이용하고 있다. 화소(1205)는 화소부(1204)에 복수 배치된 화소중 하나의 화소를 나타낸다.

[0292] 구동 트랜지스터(1206)의 제1 단자(소스 단자 또는 드레인 단자)는 전위 공급선(Im-1)과 접속되고, 게이트 단자는 캐패시터(1207)를 통해 각각의 신호선(Da1~Dan)으로 접속되고, 제2 단자(소스 단자 또는 드레인 단자)는 발광 소자(1209)의 양극(화소 전극)과 접속되어 있다. 또한, 구동 트랜지스터(1206)의 게이트 단자와 제2 단자(소스 단자 또는 드레인 단자)는 스위치(1208)를 통해 서로 접속되어 있다. 따라서, 주사선(Rm/2)에 신호가 입력되어, 스위치(1208)가 온 하면 구동 트랜지스터(1206)의 게이트 단자와 제2 단자(소스 단자 또는 드레인 단자) 사이의 부분은 통전 상태가 되고, 스위치(1208)가 오프하면 구동 트랜지스터(1206)의 게이트 단자와 제2 단자(소스 단자 또는 드레인 단자) 사이의 부분이 비통전 상태가 되어, 그 순간의 구동 트랜지스터(1206)의 게이트 단자(혹은 드레인 단자)와 신호선(D1a~Dna)의 전위차(전압)가 캐패시터(1207)에 의해 유지될 수 있다. 또한, 발광 소자(1209)의 음극(Catode)(1210)은 Vss의 전위가 설정되어 있다. Vss는 화소의 발광 기간에 전위 공급선(I1~Im)에 설정되는 전원 공급 전위(Vdd)를 기준으로, Vss<Vdd를 만족하는 전위이다; 예컨대, Vss= GND(그라운드 전위)로 하더라도 좋다.

[0293] 즉, (m-1)-번째 행의 각각의 화소(1205)의 스위치(1208)는 주사선(Rm/2)에 설정되는 신호에 의해서 온/오프가 제어된다. 또한, m-번째 행의 각각의 화소(1205)의 스위치(1208)도 마찬가지로 주사선(Rm/2)에 설정되는 신호에 의해서 온/오프가 제어된다. 그리고, m-번째 행의 화소(1205)의 각각의 구동 트랜지스터(1206)의 게이트 단자는 캐패시터(1207)를 통해 각각의 신호선(Db1~Dbn)에 접속되어 있다.

[0294] 따라서, 주사선(Rm/2)에 설정되는 신호에 의해서, (m-1)-번째 행의 화소와, m-번째 행의 화소가 동시에 기록 기간이 된다. 그리고, (m-1)-번째 행의 각각의 화소는 각각의 신호선(Da1~Dan)으로부터 아날로그 신호 전위가 설정되어 비디오 신호의 기록이 행하여진다. 그리고, m-번째 행의 화소는 각각의 신호선(Db1~Dbn)으로부터 아날로그 신호 전위가 설정되어, 비디오 신호의 기록이 행하여진다.

[0295] (m-1)-번째 행의 화소와 m-번째 행의 화소를 예로 설명했지만, 다른 행도 마찬가지로 하나의 주사선(R1~Rm/2 중 하나)에 의해 2행의 화소가 선택되어 동시에 기록 기간이 개시된다. 따라서, 도 2에 도시하는 표시 장치와 해상도가 동일한 표시 장치라면, 화소의 기록 기간을 도 2에 비해 2배로 할 수 있다.

[0296] 도 12에 있어서는, 2행의 화소를 동시에 기록할 수 있는 구성에 관해서 도시하고 있지만, 2행에 한하지 않고, 복수행의 화소에 있어서 주사선을 공통으로 하여, 그 공통으로 한 행수의 주사선을 설치함으로써, 적절하게 기록 기간을 길게 하는 것도 가능하다.

[0297] 따라서, 종래의 구성으로서는 고해상도가 됨에 따라서 기록 기간은 감소하지만, 본 실시 형태 같은 표시 장치로 함으로써 충분한 기록 기간을 확보하는 것이 가능하다.

[0298] 또한, 본 실시 형태에 설명된 표시 장치는 기록 기간을 길게 할 수 있는 것으로부터 동작 주파수를 낮게 할 수 있어, 저소비 전력화를 꾀할 수 있다.

[0299] 도 12에 도시하는 표시 장치의 구성은 이것에 한정되지 않는다. 예컨대, 본 구성의 표시 장치의 화소(1205)에는, 도 4, 6, 7의 화소를 적용할 수도 있다.

[0300] (실시의 형태 6)

- [0301] 본 실시 형태에서는, 본 발명의 화소 구성을 갖는 풀 컬러 표시가 적합한 표시 장치의 구성에 관해서 설명한다.
- [0302] 실시의 형태 1에 설명한 바와 같이, 풀 컬러 표시의 경우에는, 전위 공급선(Illumination line)을 컬러 요소의 화소마다 설치하고, 각각의 전위 공급선의 신호 레벨의 전위를 컬러 요소마다 설정하는 것으로, 컬러마다 다른 발광 소자의 휘도를 조정할 수 있다. 따라서, 각 컬러를 위한 발광 소자가 다른 휘도 특성을 갖는 경우에도 컬러 톤을 조절할 수 있다. 예컨대, 도 48에 도시된 화소를 갖는 경우에는, R의 컬러 요소의 화소의 발광 소자의 양극에 전위를 설정하는 Iri, G의 컬러 요소의 화소의 발광 소자의 양극에 전위를 설정하는 Igi, B의 컬러 요소의 화소의 발광 소자의 양극에 전위를 설정하는 Ibi에 입력하는 H 레벨의 전위를 각각의 컬러마다의 휘도 특성에 따라서 정할 수 있다.
- [0303] 그러나, RGB의 컬러 요소로 이루어지는 풀 컬러 표시의 경우에는 각각의 행의 화소에 3개의 배선이 필요하고, RGBW로 이루어지는 풀 컬러 표시의 경우에는 4개의 배선이 필요하게 된다.
- [0304] 본 실시 형태에서는 화소의 개구율이 높고, 2이상의 컬러 요소로 이루어져, 고선명도의 풀 컬러 표시가 가능한 표시 장치에 관해서 설명한다.
- [0305] 제1 구성으로서, 예컨대, 화소의 발광 소자에 백색(W)의 발광 소자를 적용하고, 컬러 필터를 이용하여 풀 컬러 표시를 하는 것에 의해, 컬러 요소마다로부터 얻어지는 휘도를 대략적으로 동일하게 할 수 있다.
- [0306] 또한, 제2 구성으로서, 도 58에 본 실시 형태의 표시 장치의 모식도를 도시한다. 도 58은 일례로서 RGB의 각각의 발광 소자를 이용한 각각의 컬러 요소의 화소로 이루어지는 풀 컬러 표시 장치의 모식도를 나타낸다. 표시 장치는 삼각파 전위 생성 회로(5801R, 5801G, 5801B), 스위칭 회로(5802), 화소부(5803)를 갖는다. 화소부(5803)에는 복수의 화소(5804)가 매트릭스에 배치되어 있다. R의 화소열에는 신호선(Dr)로부터, G의 화소열에는 신호선(Dg)로부터, B의 화소열에는 신호선(Db)로부터 신호가 입력된다.
- [0307] 또한, 삼각파 전위 생성 회로(5801R)는 R의 컬러 요소의 화소열의 삼각파 전위를 생성한다. 삼각파 전위 생성 회로(5801G)는 G의 컬러 요소의 화소열, 삼각파 전위 생성 회로(5801B)는 B의 컬러 요소의 화소열의 삼각파 전위를 생성한다.
- [0308] 화소의 신호 기록 기간에는, 스위칭 회로(5802)에 의해, 비디오 신호(Analog video data)가 입력되는 단자와 각각의 신호선(Dr, Dg, Db)이 접속된다. 그리고, 발광 기간이 되면, 스위칭 회로(5802)는, 삼각파 전위 생성 회로(5801R)에 의해 삼각파가 입력되는 단자와 신호선(Dr)을, 삼각파 전위 생성 회로(5801G)에 의해 삼각파가 입력되는 단자와 신호선(Dg)을, 삼각파 전위 생성 회로(5801B)에 의해 삼각파가 입력되는 단자와 신호선(Db)을 접속한다.
- [0309] 이러한 방식으로, 컬러마다의 화소에 대해 다른 삼각파를 설정할 수 있다. 따라서, 컬러마다의 발광 소자의 휘도 특성에 따라서, 발광 시간을 제어할 수 있으므로, 고선명도의 풀 컬러 표시를 행할 수 있다. 또한, 화소(5804) 내에 컬러 요소의 화소마다 배선을 설치할 필요가 없기 때문에 개구율도 높게 할 수 있다.
- [0310] 도 1의 화소 구성이 화소(5804)에 대해 채용되었지만, 본 발명은 이에 한정되지 않으며, 발광 기간에 입력된 삼각파 전위가 화소로의 신호 기록 기간에 입력된 비디오 신호의 전위 보다 높은지 낮은지 여부에 의해 화소의 발광 기간을 조절할 수 있으면 어떤 화소 구성도 좋다. 그러므로, 실시 형태 1-5에 설명된 화소도 역시 자유로이 채용 가능하며, 예컨대, 후술되는 도 66-78에 도시된 화소 구성도 역시 채용 가능하다.
- [0311] 도 66의 화소는 트랜지스터(6601), 캐패시터(6602), 트랜지스터(6603), 트랜지스터(6604), 트랜지스터(6605), 캐패시터(6606), 발광 소자(6607), 신호선(6608), 주사선(6609) 및 전원선(6610)을 포함한다.
- [0312] 트랜지스터(6601)의 제1 단자(소스 단자 또는 드레인 단자)는 발광 소자(6607)의 화소 전극에 접속되고, 제2 단자(소스 단자 또는 드레인 단자)는 전원선(6610)에 접속된다. 또한, 게이트 단자는 캐패시터(6602)를 통해 배선(6613)에 접속된다. 트랜지스터(6603)의 제1 단자(소스 단자 또는 드레인 단자)는 트랜지스터(6601)의 게이트 단자에 접속되고, 제2 단자(소스 단자 또는 드레인 단자)와 게이트는 배선(6612)에 접속된다. 트랜지스터(6604)의 제1 단자(소스 단자 또는 드레인 단자)는 트랜지스터(6601)의 게이트 전극에 접속되고, 제2 단자(소스 단자 또는 드레인 단자)는 배선(6612)에 접속된다. 또한, 게이트 단자는 캐패시터(6606)를 통해 신호선(6608)에 접속된다. 트랜지스터(6605)의 게이트 단자는 주사선(6609)에 접속되고, 제1 단자(소스 단자 또는 드레인 단자)는 트랜지스터(6601)의 게이트 전극에, 접속되고, 제2 전극(소스 단자 또는 드레인 단자)는 트랜지스터(6604)의 게이트 단자에 접속된다. 각각의 설정된 전위가 배선(6613)과 대향 전극(6611)에 공급된다.

[0313] 화소의 동작을 간략히 설명한다. 우선, 선호선(6612)의 전위는 L 레벨에서 H 레벨로 변동된다. 그런 다음, 신호선(6612)으로부터 트랜지스터(6603)로 전류를 흘린다. 또한, 주사선(6609)의 전위는 L 레벨에서 H 레벨로 변경되어 트랜지스터(6605)를 on 시킨다. 이 방식으로, 트랜지스터(6604)의 게이트 단자는 캐패시터(6606)의 일측 전극에도 인가되는 충분한 on 구동 전위를 갖는다. 이후, 신호선(6612)의 전위는 H 레벨에서 L 레벨로 변동되어, 캐패시터(6606)에 저장된 전하가 트랜지스터(6604)를 통해 배선(6612)으로 흐르며, 트랜지스터(6604)의 접합이 문턱 전압에 도달한다. 이때 캐패시터(6606)의 전극의 전위는 트랜지스터(6604)의 게이트 전위에 도달한다. 이때, 비디오 신호에 대응하는 아날로그 전위가 신호선(6608)에 공급된다. 결국, 캐패시터(6606)는 트랜지스터(6604)가 문턱 전압을 가질 때의 게이트 전위와 상기 비디오 신호에 대응하는 아날로그 신호 전위 사이의 전위차에 대응하는 전하를 유지한다. 그러면, 주사선(6609)의 전위를 H 레벨에서 L 레벨로 변경하는 것으로, 캐패시터(6606)에 전위차가 유지된다.

[0314] 이후, 배선(6612)의 전위가 L 레벨에서 H 레벨로 변경된다. 이후, 트랜지스터(6603)로 전류가 흐르고, 트랜지스터(6606)를 충분히 on 구동하는 전위가 트랜지스터(6601)의 게이트 단자에 입력된다. 상기 전위는 캐패시터(6602)의 전극에도 인가된다. 이러한 방식으로, 트랜지스터(6606)와 발광 소자(6607)에 전류가 흐른다. 그런 다음, 배선(6612)의 전위가 H 레벨에서 L 레벨로 변경되고, 신호선(6608)으로는, 비디오 신호에 대응하는 아날로그 신호 전위의 범위에서 최소에서 최대로 연속 변화하는 전위, 최대에서 최소로 연속 변화하는 전위, 또는 최소에서 최대로 및 최대에서 최소로 연속 변화하는 전위가 입력된다. 이 결과, 발광 기간에 신호선(6608)에 연속 공급되는 전위가 기록 기간에 화소에 기록된 비디오 신호에 대응하는 아날로그 신호 전위 보다 높은 경우, 트랜지스터(6604)가 on 구동된다. 그러므로, 캐패시터(6602)에 저장된 전하가 트랜지스터(6604)를 통해 배선(6612)으로 방전된다. 이 방식으로 트랜지스터(6601)가 오프된다. 따라서, 발광 소자(6607)는 발광 기간 내의 임의의 시간중에 발광이 가능하여 계조 표시가 수행될 수 있다.

[0315] 도 67의 화소는 구동 트랜지스터(제1 트랜지스터)(6701), 보상 트랜지스터(제2 트랜지스터)(6702), 캐패시터(6703), 스위치(6704), 발광 소자(6705), 주사선(6706), 신호선(6707), 및 전원선(6708)을 포함한다. 구동 트랜지스터(6701)로서는 p-형 트랜지스터가, 보상 트랜지스터(6702)로서는 n-형 트랜지스터가 사용된다.

[0316] 구동 트랜지스터(6701)의 제1 단자(소스 단자 또는 드레인 단자)는 전원선(6708)에 접속되고, 제2 단자(소스 단자 또는 드레인 단자)는 보상 트랜지스터(6702)의 제2 단자(소스 단자 또는 드레인 단자)에 접속되고, 게이트 단자는 보상 트랜지스터(6702)의 게이트 단자에 접속된다. 또한, 구동 트랜지스터(6701)와 보상 트랜지스터(6702)의 게이트 단자는 캐패시터(6703)를 통해 신호선(6707)에, 또한 스위치(6704)를 통해 구동 트랜지스터(6701)와 보상 트랜지스터(6702)의 제2 단자(소스 단자 또는 드레인 단자)에 접속된다. 즉, 스위치(6704)의 온/오프 구동에 의해, 구동 트랜지스터(6701)와 보상 트랜지스터(6702)의 게이트 단자와 제2 단자(소스 단자 또는 드레인 단자) 사이의 각각의 부분은 통전 또는 비통전 상태로 될 수 있다. 스위치(6704)의 온/오프는 주사선(6706)에 신호를 입력하는 것으로 제어된다. 또한, 구동 트랜지스터(6701)와 보상 트랜지스터(6702)의 제2 단자(소스 단자 또는 드레인 단자)는 발광 소자(6705)의 화소 전극에 접속된다. 발광 소자(6705)의 대향 전극에는 저전원 공급 전위(Vss)가 공급된다. Vss는 전원선(6708)에 공급되는 전원 공급 전위(Vdd)를 기준으로, $V_{ss} < V_{dd}$ 를 만족하는 전위이다; 예컨대, $V_{ss} = GND$ (그라운드 전위)일 수 있다. 또한, 보상 트랜지스터(6702)의 제1 단자는 배선(6712)에 접속된다. 배선(6712)에 공급된 전위는 보상 트랜지스터(6702)가 on 구동시 발광 소자(6705)의 화소 전극에 인가되며, 이는 발광 소자(6705)가 이때 발광하지 않는 한 그에 한정되지 않는다. 따라서, Vss도 역시 공급될 수 있다.

[0317] 다음에, 도 67의 화소 구성의 동작 원리를 상세히 설명한다.

[0318] 화소로의 신호 기록 기간에, 신호선(6707)에 아날로그 신호 전위가 공급된다. 이 아날로그 신호 전위는 비디오 신호에 해당한다. 그런 다음, 화소로의 비디오 신호 기록시, H 레벨의 신호가 주사선(6706)에 입력되어 스위치(6704)를 on 구동한다. 구동 트랜지스터(6701)와 보상 트랜지스터(6702)는 인버터로서 기능한다. 인버터 동작시, 구동 트랜지스터(6701)와 보상 트랜지스터(6702)의 게이트 단자 간 접속점은 인버터의 입력 단자(6710)이고, 구동 트랜지스터(6701)와 보상 트랜지스터(6702)의 제2 단자 간 접속점은 인버터의 출력 단자(6711)이다. 또한, 인버터 동작시, 구동 트랜지스터(6701)와 보상 트랜지스터(6702)의 제1 단자는 소스 단자이고, 제2 단자는 드레인 단자이다.

[0319] 이 방식으로 스위치(6704)가 on 구동시, 인버터의 입력 단자(6710)와 출력 단자(6711) 사이의 부분은 통전 상태로 되어 구동 트랜지스터(6701), 보상 트랜지스터(6702) 및 발광 소자(6705)로 전류가 흐르며, 캐패시터(6703)는 전하를 축적 또는 방전한다.

- [0320] 이 방식으로, 인버터의 오프셋 삭제를 수행한다. 오프셋 삭제는 입력 단자(6710)와 출력 단자(6711) 사이의 부분이 통전 상태로 되고, 입력 전위와 출력 전위가 동등하게 되고, 입력 단자(6710)의 전위가 인버터의 논리 문턱 전위(Vinv)로 되는 것을 의미한다. 그러므로, 이 논리 문턱 수치(Vinv)는 인버터의 L 레벨과 H 레벨 사이의 중간의 전위인 것이 이상적이다.
- [0321] 인버터의 H 레벨의 전위는 전원선(6708)의 전원 공급 전위(Vdd)이고, 인버터의 L 레벨의 전위는 배선(6712)에 공급되는 전위이다. 인버터의 H 레벨의 출력인 전원 공급 전위(Vdd)와 인버터의 L 레벨의 출력인 배선(6712)으로의 공급 전위는 대향 전극(6709)의 전위를 기준으로 하여 설정된다. 그러면, 발광 소자(6705)는 인버터의 출력이 H 레벨일 때 발광하고, 인버터의 출력이 L 레벨일 때 발광하지 않도록 설정된다.
- [0322] 즉, 발광 소자(6705)가 발광시의 전압이 V_{EL} 이면, 인버터의 L 레벨의 전위(배선(6712)으로 공급되는 전위)는 $V_{SS} + V_{EL}$ 보다 낮아지는 것이 필요하다. 한편, 인버터의 H 레벨의 전위는 $V_{SS} + V_{EL}$ 보다 높아지는 것이 필요하다.
- [0323] 인버터의 L 레벨의 전위가 대향 전극(6709)에 공급되는 전위 보다 낮은 경우, 발광 소자(6705)에 역바이어스 전압이 인가된다. 그러므로, 발광 소자(6705)의 열화가 억제되며, 이는 바람직하다.
- [0324] 캐패시터(6703) 내의 전하의 방전 또는 축적은 원래 캐패시터(6703)에 축적된 전하와 신호선(6707)에 공급된 전위 사이의 상호 관계에 따라 결정된다. 그러면, 캐패시터(6703)의 전하 축적 또는 방전이 완료되면, 신호선(6707)의 전위와 논리 문턱 수치(Vinv) 사이의 전위차(전압 V_p)를 위한 전하가 캐패시터(6703) 내에 저장된다. 그러면, 주사선(6706)의 신호를 L 레벨로 변경하는 것으로, 스위치(6704)가 off 되어 이 전압(V_p)이 캐패시터(6703)에 유지된다.
- [0325] 기록 기간에, 대향 전극(Cathode)(6709)의 전위는 V_{SS2} 로 설정될 수 있다. 이 V_{SS2} 는 $V_{SS} < V_{SS2}$ 를 만족하는 전위이고, 발광 소자(6705)에 인가된 전압이 인버터의 오프셋 삭제를 수행시 발광 소자(6705)의 순방향 문턱 전압(V_{EL}) 보다 작도록 설정된다. 즉, V_{SS2} 는 $V_{inv} - V_{SS2} < V_{EL}$ 를 만족하도록 설정된다. 이에 따라, 기록 기간에 발광 소자(6705)의 발광에 기인하여 표시 불량이 생기는 것을 방지할 수 있다. 또한, 기록 기간에 발광 소자로 전류가 덜 흐르게 하는 것도 가능하여 전력 소비를 줄일 수 있다.
- [0326] 또한, V_{SS2} 는 역바이어스 전압이 발광 소자(6705)에 인가되도록 증가될 수 있다. 역바이어스 전압을 인가하는 것에 의해, 발광 소자(6705)의 신뢰성은 향상되고, 발광 소자(6705)의 결함 부분은 소거될 수 있다.
- [0327] 대향 전극(6709)에 전류가 흐르지 않는다면 다른 방법도 채용 가능하다. 예를 들면, 대향 전극(6709)은 유동 상태일 수 있으며; 따라서 전류는 발광 소자(6705)로 흐르지 않는다. 다른 방안으로, 전원선(6708)과 발광 소자(6705)의 화소 전극 사이에 트랜지스터(6701)를 통해 스위치가 제공될 수 있다. 이 스위치의 제어로, 발광 소자(6705)로 전류의 흐름이 방지될 수 있다. 즉, 도 68a에 도시된 바와 같이, 트랜지스터(6701)의 제1 단자와 전원선(6708) 사이에 스위치(6801)가 접속될 수 있다. 다른 방안으로, 도 68b에 도시된 바와 같이, 노드(6711)와 발광 소자(6705)의 화소 전극 사이에 스위치(6802)가 접속될 수 있다. 또 다른 방안으로, 트랜지스터(6701)의 제2 단자와 노드(6711) 사이에 스위치(6803)가 접속될 수 있다. 이에 따라, 화소의 신호 기록 기간에, 발광 소자(6705)의 발광은 화소로의 신호 기록 완료 후에 다른 행의 화소의 신호 기록 기간에 방지될 수 있다.
- [0328] 이 방식으로, 이 화소로의 비디오 신호의 기록이 완료된다.
- [0329] 비디오 신호를 화소에 기록한 후, 인버터의 출력의 레벨이, 화소로의 비디오 신호 기록시 신호선(6707)으로 공급된 아날로그 신호 전위를 기준으로, 신호선(6707)의 전위의 변화에 따라 제어된다. 즉, 신호선(6707)의 전위가, 화소로의 신호 기록 기간에 화소에 비디오 신호가 기록된 때의 아날로그 신호 전위 보다 높은 경우 인버터의 출력은 L 레벨로 되고, 신호선(6707)의 전위가, 화소에 비디오 신호가 기록된 때의 아날로그 신호 전위 보다 낮은 경우 인버터의 출력은 H 레벨로 된다.
- [0330] 이것은 화소에 비디오 신호가 기록되면 캐패시터(6703)가 전위차(V_p)를 유지하기 때문에, 신호선(6707)의 전위가 화소에 비디오 신호가 기록될 때의 아날로그 신호 전위 보다 높을 때에 인버터의 입력 단자(6710)의 전위도, 화소로의 비디오 신호가 기록된 때의 입력 단자(6710)의 전위 보다 높아져서, 구동 트랜지스터(6701)가 오프 구동되고, 보상 트랜지스터(6702)가 on 구동되고, 인버터의 출력은 L 레벨로 된다. 한편, 신호선(6707)의 전위가 화소에 비디오 신호가 기록될 때의 아날로그 신호 전위 보다 낮을 때에 인버터의 입력 단자(6710)의 전위도, 화소로의 아날로그 신호가 기록된 때의 입력 단자(6710)의 전위 보다 낮아져서, 구동 트랜지스터(6701)가 on 구동

되고, 보상 트랜지스터(6702)가 off 구동되고, 인버터의 출력은 H 레벨로 된다.

[0331] 따라서, 화소의 발광 기간에, 신호선(6707)으로 공급되는 전위를 아날로그 방식으로 변화시킴으로써, 화소에서 인버터의 출력의 레벨이 제어된다. 따라서, 발광 소자(6705)로의 전류 흐름을 위한 시간이 아날로그 방식으로 제어되어 계조를 표현한다.

[0332] 화소로의 신호 기록 기간에 화소에 비디오 신호가 기록될 때의 아날로그 신호 전위보다 낮게 되면 구동 트랜지스터(5301)의 게이트 단자의 전위도, 화소에 비디오 신호가 기록될 때의 게이트 단자의 전위보다 낮게 되기 때문에 구동 트랜지스터(5301)는 on 동작된다.

[0333] 따라서, 화소의 발광 기간에는, 역바이어스용 스위치(5309)를 on으로 한 채로, 구동 트랜지스터(5301)의 제1 단자에 접속된 전위 공급선(5305)에 Vdd를 설정하고, 스위치(5303)를 오프로 한 상태로, 신호선(5306)에 설정하는 전위를 아날로그 방식으로 변화시킴으로써, 구동 트랜지스터(5301)의 온/오프를 제어한다. 즉, 발광 소자(5304)에 전류가 흐르고 있는 시간을 아날로그 방식으로 제어하여 계조를 표현하는 것이 가능하다.

[0334] 도 69의 화소는 구동 트랜지스터(제1 트랜지스터)(6901), 보상 트랜지스터(제2 트랜지스터)(6902), 캐페시터(6903), 스위치(6904), 발광 소자(6905), 주사선(6906), 제1 스위치(6907), 제2 스위치(6908), 제1 신호선(6909), 제2 신호선(6910) 및 전원선(6911)을 포함한다. 구동 트랜지스터(6901)로서는 p-형 트랜지스터가, 보상 트랜지스터(6902)와 스위치(6904)로서는 n-형 트랜지스터가 사용된다.

[0335] 구동 트랜지스터(6901)의 제1 단자(소스 단자 또는 드레인 단자)는 전원선(6911)에 접속되고, 제2 단자(소스 단자 또는 드레인 단자)는 보상 트랜지스터(6902)의 제2 단자(소스 단자 또는 드레인 단자)에 접속되고, 게이트 단자는 보상 트랜지스터(6902)의 게이트 단자에 접속된다. 또한, 구동 트랜지스터(6901)와 보상 트랜지스터(6902)의 게이트 단자는 캐페시터(6903)의 일측 전극에, 또한 스위치(6904)를 통해 구동 트랜지스터(6901)와 보상 트랜지스터(6902)의 제2 단자(소스 단자 또는 드레인 단자)에 접속된다. 즉, 스위치(6904)의 온/오프 구동에 의해, 구동 트랜지스터(6901)와 보상 트랜지스터(6902)의 게이트 단자와 제2 단자(소스 단자 또는 드레인 단자) 사이의 각각의 부분은 통전 또는 비통전 상태로 될 수 있다. 스위치(6904)의 온/오프는 주사선(6906)에 신호를 입력하는 것으로 제어된다. 캐페시터(6903)의 다른 전극은 제1 스위치(6907)를 통해 제1 신호선(6909)로, 또한 제2 스위치(6908)를 통해 제2 신호선(6910)에 접속됨에 주의하라. 또한, 구동 트랜지스터(6901)와 보상 트랜지스터(6902)의 제2 단자(소스 단자 또는 드레인 단자)는 발광 소자(6905)의 화소 전극에 접속된다. 발광 소자(6905)의 대향 전극(6912)에는 저전원 공급 전위(Vss)가 공급된다. Vss는 전원선(6911)에 공급되는 전원 공급 전위(Vdd)를 기준으로, Vss<Vdd를 만족하는 전위이다; 예컨대, Vss=GND(그라운드 전위)일 수 있다. 전원 선(6911)의 전위는 이에 한정되지 않음에 주의하여야 한다. 전원 공급 전위의 값은 화소의 각 컬러에 대해 변화될 수 있다; 즉, 전원선의 전위는 RGB의 컬러 요소의 화소를 이용한 풀 컬러 표시의 경우 RGB의 각 화소에 대해, 또한 RGBW의 컬러 요소의 화소를 이용한 풀 컬러 표시의 경우 RGBW의 각 화소에 대해 공급될 수 있다.

[0336] 도 69의 화소 구성의 동작 원리를 상세히 설명한다.

[0337] 우선, 화소의 신호 기록 기간에서, 제1 스위치(6907)는 on 상태이고, 제2 스위치(6908)는 off 상태가 된다. 구동 트랜지스터(6901)와 보상 트랜지스터(6902)는 인버터로서 기능한다. 그러므로, 구동 트랜지스터(6901)와 보상 트랜지스터(6902)의 게이트 단자 간 접속점은 인버터의 입력 단자(6913)이고, 구동 트랜지스터(6901)와 보상 트랜지스터(6902)의 제2 단자 간 접속점은 인버터의 출력 단자(6914)이다.

[0338] 또한, H 레벨의 신호가 주사선(6906)에 입력되어 스위치(6904)가 on 구동된다. 따라서, 인버터의 입력 단자(6913)와 출력 단자(6914) 사이의 부분은 통전 상태가 되고 오프셋 삭제가 수행된다. 즉, 인버터의 입력 단자(6913)는 인버터의 논리 문턱 전위(Vinv)를 가진다. 그러므로, 인버터의 입력 단자(6913)의 전위는 이때 인버터의 출력 레벨의 조절을 위해 필요한 전위이다.

[0339] 그런 다음, 캐페시터(6903)는 인버터의 논리 문턱 전위(Vinv)와 기록 동작시 제1 신호선(6909)으로 공급되는 전위(Va) 사이의 전위차에 대한 전하를 축적한다.

[0340] 이후, 제1 스위치(6907)가 off 로 되고, 제2 스위치(6908)가 on으로 된다. 또한, 주사선(6906)의 레벨이 L 레벨로 변화된다. 이 결과, 스위치(6904)가 off로 되고, 캐페시터(6903)에 전압(Vp)이 유지된다. 이 방식으로, 화소에는 아날로그 신호가 제1 신호선(6909)으로부터 기록된다.

[0341] 제2 신호선(6910)에는 삼각파 전위가 공급된다. 화소는, 화소의 신호 기록 동작시 제2 신호선(6910)의 전위가 제1 신호선(6909)으로 공급되는 아날로그 신호 전위 보다 높은 기간 동안 발광 소자(6905)가 비발광 상태로 유

지되고, 화소의 신호 기록 동작시 제2 신호선(6910)의 전위가 제1 신호선(6909)으로 공급되는 아날로그 신호 전위 보다 낮은 기간 동안 발광 소자(6905)가 발광된다. 따라서, 발광 소자(6905)의 발광 시간은 화소로의 신호 기록 기간에 아날로그 신호가 기록시의 아날로그 신호 전위에 따라 제어된다. 아날로그 시간 계조 표시가 이 방식으로 행해질 수 있다.

[0342] 도 70의 화소는 구동 트랜지스터(제2 트랜지스터)(7001), 보상 트랜지스터(제3 트랜지스터)(7002), 캐패시터(7003), 스위칭 트랜지스터(제1 트랜지스터)(7004), 발광 소자(7005), 주사선(7006), 신호선(7007), 및 전원선(7008)을 포함한다. 구동 트랜지스터(7001)로서는 p-형 트랜지스터가, 보상 트랜지스터(7002) 및 스위칭 트랜지스터(7004)로서는 n-형 트랜지스터가 사용된다.

[0343] 구동 트랜지스터(7001)의 제1 단자(소스 단자 또는 드레인 단자)는 전원선(7008)에 접속되고, 제2 단자(소스 단자 또는 드레인 단자)는 보상 트랜지스터(7002)의 제2 단자(소스 단자 또는 드레인 단자)에 접속되고, 게이트 단자는 보상 트랜지스터(7002)의 게이트 단자에 접속된다. 또한, 구동 트랜지스터(7001)와 보상 트랜지스터(7002)의 게이트 단자는 캐패시터(7003)를 통해 신호선(7007)에, 또한 스위칭 트랜지스터(7004)를 통해 구동 트랜지스터(7001)와 보상 트랜지스터(7002)의 제2 단자(소스 단자 또는 드레인 단자)에 접속된다. 즉, 스위칭 트랜지스터(7004)의 제1 단자(소스 단자 또는 드레인 단자)가 구동 트랜지스터(7001)와 보상 트랜지스터(7002)의 제2 단자(소스 단자 또는 드레인 단자)에 접속되고, 제2 단자(소스 단자 또는 드레인 단자)가 구동 트랜지스터(7001)와 보상 트랜지스터(7002)의 게이트 단자에 접속되기 때문에, 스위칭 트랜지스터(7004)의 온/오프 구동에 의해, 구동 트랜지스터(7001)와 보상 트랜지스터(7002)의 게이트 단자와 제2 단자(소스 단자 또는 드레인 단자) 사이의 각각의 부분은 통전 또는 비통전 상태로 될 수 있다. 스위칭 트랜지스터(7004)의 온/오프는 스위칭 트랜지스터(7004)의 게이트 단자에 접속된 주사선(7006)에 신호를 입력하는 것으로 제어된다. 또한, 구동 트랜지스터(7001)와 보상 트랜지스터(7002)의 제2 단자(소스 단자 또는 드레인 단자)는 발광 소자(7005)의 화소 전극에 접속된다. 발광 소자(7005)의 대향 전극(7009)에는 저전원 공급 전위(Vss)가 공급된다. Vss는 전원선(7008)에 공급되는 전원 공급 전위(Vdd)를 기준으로, Vss<Vdd를 만족하는 전위이다; 예컨대, Vss=GND(그라운드 전위)일 수 있다.

[0344] 또한, 보상 트랜지스터(7002)의 제1 단자(소스 단자 또는 드레인 단자)는 다른 행의 화소의 주사선(7006A)에 접속된다. 여기서, 구동 트랜지스터(7001)는 발광 소자(7005)의 구동을 위한 트랜지스터이며, 보상 트랜지스터(7002)는 그 극성이 구동 트랜지스터(7001)에 역인 트랜지스터이다. 즉, 주사선(7006A)의 신호가 L 레벨이면, 구동 트랜지스터(7001)와 보상 트랜지스터(7002)는 인버터에서 상보적으로 on/off 된다.

[0345] 다음에, 도 70의 화소 구성의 동작 원리를 상세히 설명한다.

[0346] 화소로의 신호 기록 기간에, 신호선(7007)에 아날로그 신호 전위가 공급된다. 이 아날로그 신호 전위는 비디오 신호에 해당한다. 그런 다음, 화소로의 비디오 신호 기록시, H 레벨의 신호가 주사선(7006)에 입력되어 스위칭 트랜지스터(7004)를 on 구동한다. 이때, L 레벨의 신호가 다른 화소 행을 선택한 주사선(7006A)으로 공급된다. 그러므로, 화소로의 신호 기록시, 구동 트랜지스터(7001)와 보상 트랜지스터(7002)는 인버터로서 기능한다. 인버터 동작시, 구동 트랜지스터(7001)와 보상 트랜지스터(7002)의 게이트 단자 간 접속점은 인버터의 입력 단자(7010)이고, 구동 트랜지스터(7001)와 보상 트랜지스터(7002)의 제2 단자 간 접속점은 인버터의 출력 단자(7011)이다. 또한, 인버터 동작시, 구동 트랜지스터(7001)와 보상 트랜지스터(7002)의 제1 단자는 소스 단자이고, 제2 단자는 드레인 단자이다.

[0347] 이 방식으로 스위칭 트랜지스터(7004)가 on 구동시, 인버터의 입력 단자(7010)와 출력 단자(7011) 사이의 부분은 통전 상태로 되어 구동 트랜지스터(7001), 보상 트랜지스터(7002) 및 발광 소자(7005)로 전류가 흐르며, 캐패시터(7003)는 전하를 축적 또는 방전한다.

[0348] 이 방식으로, 인버터의 오프셋 삭제를 수행한다. 오프셋 삭제는 입력 단자(7010)와 출력 단자(7011) 사이의 부분이 통전 상태로 되고, 입력 전위와 출력 전위가 동등하게 되고, 입력 단자(7010)의 전위가 인버터의 논리 문턱 전위(Vinv)로 되는 것을 의미한다. 그러므로, 이 논리 문턱 수치(Vinv)는 인버터의 L 레벨과 H 레벨 사이의 중간의 전위인 것이 이상적이다.

[0349] 인버터의 H 레벨의 전위는 전원선(7008)의 전원 공급 전위(Vdd)이고, 인버터의 L 레벨의 전위는 주사선(7006A)로 공급되는 L 레벨의 전위이다. 인버터의 H 레벨의 출력인 전원 공급 전위(Vdd)와 주사선(7006A)으로 공급되는 신호의 L 레벨의 전위는 대향 전극(7009)의 전위를 기준으로 하여 설정된다. 그러면, 발광 소자(7005)는 인버터의 출력이 H 레벨일 때 발광하고, 인버터의 출력이 L 레벨일 때 발광하지 않도록 설정된다.

- [0350] 즉, 발광 소자(7005)가 발광시의 전압이 V_{EL} 이면, 인버터의 L 레벨의 전위(주사선(7006) 또는 7006A)로 공급되는 신호의 L 레벨의 전위)는 $V_{SS}+V_{EL}$ 보다 낮아지는 것이 필요하다. 한편, 인버터의 H 레벨의 전위는 $V_{SS}+V_{EL}$ 보다 높아지는 것이 필요하다.
- [0351] 인버터의 L 레벨의 전위가 대향 전극(7009)의 전위 보다 낮은 경우, 발광 소자(7005)에 역바이어스 전압이 인가된다. 그러므로, 발광 소자(7005)의 열화가 억제되며, 이는 바람직하다.
- [0352] 캐패시터(7003) 내의 전하의 방전 또는 축적은 원래 캐패시터(7003)에 축적된 전하와 신호선(7007)에 공급된 전위 사이의 상호 관계에 따라 결정된다. 그러면, 캐패시터(7003)의 전하 축적 또는 방전이 완료되면, 신호선(7007)의 전위와 논리 문턱 수치(V_{INV}) 사이의 전위차(전압 V_p)를 위한 전하가 캐패시터(7003) 내에 저장된다. 그러면, 주사선(7006)의 신호를 L 레벨로 변경하는 것으로, 스위칭 트랜지스터(7004)가 off 되어 이 전압(V_p)이 캐패시터(7003)에 유지된다.
- [0353] 기록 기간에, 대향 전극(Cathode)(7009)의 전위는 V_{SS2} 로 설정될 수 있다. 이 V_{SS2} 는 $V_{SS} < V_{SS2}$ 를 만족하는 전위이고, 발광 소자(7005)에 인가된 전압이 인버터의 오프셋 삭제를 수행시 발광 소자(7005)의 순방향 문턱 전압(V_{EL}) 보다 작도록 설정된다. 즉, V_{SS2} 는 $V_{INV}-V_{SS2} < V_{EL}$ 를 만족하도록 설정된다. 이에 따라, 기록 기간에 발광 소자(7005)의 발광에 기인하여 표시 불량이 생기는 것을 방지할 수 있다. 또한, 기록 기간에 발광 소자로 전류가 덜 흐르게 하는 것도 가능하여 전력 소비를 줄일 수 있다.
- [0354] 또한, V_{SS2} 는 역바이어스 전압이 발광 소자(7005)에 인가되도록 증가될 수 있다. 역바이어스 전압을 인가하는 것에 의해, 발광 소자(7005)의 신뢰성은 향상되고, 발광 소자(7005)의 결함 부분은 소거될 수 있다.
- [0355] 대향 전극(7009)에 전류가 흐르지 않는다면 다른 방법도 채용 가능하다. 예를 들면, 대향 전극(7009)은 유동 상태일 수 있으며; 따라서 전류는 발광 소자(7005)로 흐르지 않는다. 다른 방안으로, 전원선(7008)과 발광 소자(7005)의 화소 전극 사이에 트랜지스터(7001)를 통해 스위치가 제공될 수 있다. 이 스위치의 제어로, 발광 소자(7005)로 전류의 흐름이 방지될 수 있다. 즉, 도 71에 도시된 바와 같이, 트랜지스터(7001)의 제1 단자와 전원선(7008) 사이에 스위치(7101)가 접속될 수 있다. 다른 방안으로, 노드(7011)와 발광 소자(7005)의 화소 전극 사이에 스위치가 접속될 수 있다. 또 다른 방안으로, 트랜지스터(7001)의 제2 단자와 노드(7011) 사이에 스위치가 접속될 수 있다. 이에 따라, 화소의 신호 기록 기간에, 발광 소자(7005)의 발광은 화소로의 신호 기록 완료 후에 다른 행의 화소의 신호 기록 기간에 방지될 수 있다.
- [0356] 이 방식으로, 이 화소로의 비디오 신호의 기록이 완료된다.
- [0357] 비디오 신호를 화소에 기록한 후, 인버터의 출력의 레벨이, 화소로의 비디오 신호 기록시 신호선(7007)으로 공급된 아날로그 신호 전위를 기준으로, 신호선(7007)의 전위의 변화에 따라 제어된다. 즉, 신호선(7007)의 전위가, 화소로의 신호 기록 기간에 화소에 비디오 신호가 기록된 때의 아날로그 신호 전위 보다 높은 경우 인버터의 출력은 L 레벨로 되고, 신호선(7007)의 전위가, 화소에 비디오 신호가 기록된 때의 아날로그 신호 전위 보다 낮은 경우 인버터의 출력은 H 레벨로 된다.
- [0358] 이것은 화소에 비디오 신호가 기록되면 캐패시터(7003)가 전위차(V_p)를 유지하기 때문에, 신호선(7007)의 전위가 화소에 비디오 신호가 기록될 때의 아날로그 신호 전위 보다 높을 때에 인버터의 입력 단자(7010)의 전위도, 화소로의 비디오 신호가 기록된 때의 입력 단자(7010)의 전위 보다 높아져서, 구동 트랜지스터(7001)가 오프 구동되고, 보상 트랜지스터(7002)가 on 구동되고, 인버터의 출력은 L 레벨로 된다. 한편, 신호선(7007)의 전위가 화소에 비디오 신호가 기록될 때의 아날로그 신호 전위 보다 낮을 때에 인버터의 입력 단자(7010)의 전위도, 화소로의 아날로그 신호가 기록된 때의 입력 단자(7010)의 전위 보다 낮아져서, 구동 트랜지스터(7001)가 on 구동되고, 보상 트랜지스터(7002)가 off 구동되고, 인버터의 출력은 H 레벨로 된다.
- [0359] 따라서, 화소의 발광 기간에, 신호선(7007)으로 공급되는 전위를 주사선(7006, 또는 7006A 등)의 전위가 L 레벨인 상태에서 아날로그 방식으로 변화시킴으로써, 화소에서 인버터의 출력의 레벨이 제어된다. 따라서, 발광 소자(7005)로의 전류 흐름을 위한 시간이 아날로그 방식으로 제어되어 계조를 표현한다.
- [0360] 또한, 보상 트랜지스터(7002)의 제1 단자(소스 단자 또는 드레인 단자)가 주사선(7006A)에 접속되기 때문에, 배선 개수가 감소될 수 있어서 개구율을 향상시킨다. 그러므로, 발광 소자의 신뢰성을 향상시킬 수 있다. 또한, 수율이 증대되고, 표시 패널의 원가를 떨어뜨릴 수 있다.
- [0361] 도 72의 화소는 구동 트랜지스터(제2 트랜지스터)(7201), 보상 트랜지스터(제3 트랜지스터)(7202), 캐패시터

(7203), 스위칭 트랜지스터(제1 트랜지스터)(7204), 발광 소자(7205), 주사선(7206), 제1 스위치(7207), 제2 스위치(7208), 제1 신호선(7209), 제2 신호선(7210), 및 전원선(7211)을 포함한다. 구동 트랜지스터(7201)로서는 p-형 트랜지스터가, 보상 트랜지스터(7202) 및 스위칭 트랜지스터(7204)로서는 n-형 트랜지스터가 사용된다.

[0362] 구동 트랜지스터(7201)의 제1 단자(소스 단자 또는 드레인 단자)는 전원선(7211)에 접속되고, 제2 단자(소스 단자 또는 드레인 단자)는 보상 트랜지스터(7202)의 제2 단자(소스 단자 또는 드레인 단자)에 접속되고, 게이트 단자는 보상 트랜지스터(7202)의 게이트 단자에 접속된다. 또한, 구동 트랜지스터(7201)와 보상 트랜지스터(7202)의 게이트 단자는 캐패시터(7203)의 일측 전극에, 또한 스위칭 트랜지스터(7204)를 통해 구동 트랜지스터(7201)와 보상 트랜지스터(7202)의 제2 단자(소스 단자 또는 드레인 단자)에 접속된다. 즉, 스위칭 트랜지스터(7204)의 제1 단자(소스 단자 또는 드레인 단자)가 구동 트랜지스터(7201)와 보상 트랜지스터(7202)의 제2 단자(소스 단자 또는 드레인 단자)에 접속되고, 제2 단자(소스 단자 또는 드레인 단자)가 구동 트랜지스터(7201)와 보상 트랜지스터(7202)의 게이트 단자에 접속되기 때문에, 스위칭 트랜지스터(7204)의 온/오프 구동에 의해, 구동 트랜지스터(7201)와 보상 트랜지스터(7202)의 게이트 단자와 제2 단자(소스 단자 또는 드레인 단자) 사이의 각각의 부분은 통전 또는 비통전 상태로 될 수 있다. 스위칭 트랜지스터(7204)의 온/오프는 스위칭 트랜지스터(7204)의 게이트 단자에 접속된 주사선(7206)에 신호를 입력하는 것으로 제어된다. 또한, 캐패시터(7203)의 다른 전극은 제1 스위치(7207)를 통해 제1 신호선(7209)에, 제2 스위치(7208)를 통해 제2 신호선(7210)에 접속된다. 또한, 구동 트랜지스터(7201)와 보상 트랜지스터(7202)의 제2 단자(소스 단자 또는 드레인 단자)는 발광 소자(7205)의 양극(화소 전극)에 접속된다. 발광 소자(7205)의 음극은 저전원 공급 전위(Vss)가 공급되는 배선(Cathode)(7212)에 접속된다. Vss는 전원선(7211)에 공급되는 전원 공급 전위(Vdd)를 기준으로, $V_{ss} < V_{dd}$ 를 만족하는 전위이다; 예컨대, $V_{ss} = GND$ (그라운드 전위)일 수 있다. 전원선(7211)의 전위는 이에 한정되지 않음에 주의하여야 한다. 전원 공급 전위의 값은 화소의 각 컬러에 대해 변화될 수 있다; 즉, 전원선의 전위는 RGB의 컬러 요소의 화소를 이용한 풀 컬러 표시의 경우 RGB의 각 화소에 대해, 또한 RGBW의 컬러 요소의 화소를 이용한 풀 컬러 표시의 경우 RGBW의 각 화소에 대해 공급될 수 있다.

[0363] 또한, 보상 트랜지스터(7202)의 제1 단자(소스 단자 또는 드레인 단자)는 다른 행의 화소의 주사선(7206A)에 접속된다. 여기서, 구동 트랜지스터(7201)는 발광 소자(7205)의 구동을 위한 트랜지스터이며, 보상 트랜지스터(7202)는 그 극성이 구동 트랜지스터(7201)에 역인 트랜지스터이다. 즉, 주사선(7206A)의 신호가 L 레벨이면, 구동 트랜지스터(7201)와 보상 트랜지스터(7202)는 인버터에서 상보적으로 on/off 된다.

[0364] 도 72의 화소의 동작 원리는 도 70의 화소의 동작 원리와 같으며, 기록 동작시 화소로의 비디오 신호를 입력하기 위한 배선과 발광 기간시 화소로 연속 변화하는 전위를 공급하기 위한 배선이 별개로 제공되는 경우의 동작과 관련해서는 실시 형태 2와 도 69의 설명을 참조하면 된다.

[0365] 도 73에 도시된 화소는 구동 트랜지스터(7301)과, 캐패시터(7302)와, 스위치(7303)와, 발광 소자(7304)와, 전위 공급선(7305)과, 신호선(7306)과, 주사선(7307)과, 스위치(7309)를 갖고 있다. 구동 트랜지스터(7301)는 p-형 트랜지스터를 이용하고 있다.

[0366] 구동 트랜지스터(7301)의 제1 단자(소스 단자 또는 드레인 단자)는 전위 공급선(7305)과 접속되고, 게이트 단자는 캐패시터(7302)를 통해 신호선(7306)과 접속되고, 제2 단자(소스 단자 또는 드레인 단자)는 스위치(7309)를 통해 발광 소자(7304)의 양극(화소 전극)과 접속되어 있다. 또한, 구동 트랜지스터(7301)의 게이트 단자와 제2 단자(소스 단자 또는 드레인 단자)는 스위치(7303)를 통해 서로 접속되어 있다. 따라서, 스위치(7303)가 온하고 있는 때에는 구동 트랜지스터(7301)의 게이트 단자와 제2 단자(소스 단자 또는 드레인 단자) 사이의 부분은 통전 상태가 된다. 그리고, 스위치(7303)가 오프하면, 구동 트랜지스터(7301)의 게이트 단자와 제2 단자(소스 단자 또는 드레인 단자)는 비통전 상태가 되어, 그 순간의 구동 트랜지스터(7301)의 게이트 단자(혹은 제2 단자)와 신호선(7306)과의 전위차(전압)가 캐패시터(7302)에 의해 유지될 수 있다. 또, 발광 소자(7304)의 대향 전극(7308)은 Vss의 전위가 설정되어 있다. Vss는 화소의 발광 기간에 전위 공급선(7305)에 설정되는 전원 공급 전위(Vdd)를 기준으로, $V_{ss} < V_{dd}$ 를 만족하는 전위이다; 예컨대, $V_{ss} = GND$ (그라운드 전위)로 하더라도 좋다.

[0367] 다음에, 도 73의 화소 구성의 동작 원리에 관해서 자세히 설명한다.

[0368] 화소로의 신호 기록 기간에는, 신호선(7306)에 아날로그 신호 전위가 공급된다. 이 아날로그 신호 전위는 비디오 신호에 해당한다. 이 비디오 신호는 3치 이상으로 표현되는 신호이며, 아날로그 신호 전위는 시간에 따라 변화하고 3치 이상의 상태를 가지는 전위이다. 화소에 비디오 신호가 기록될 때, 주사선(7303)에 신호가 입력

되어 스위치(7303)가 on 동작된다. 또한, 스위치(7309)가 on 동작된다. 그렇게 하면, 구동 트랜지스터(7301) 및 발광 소자(7304)에 전류가 흘러, 캐패시터(7302)에는 전하의 축적 또는 방전이 행하여진다.

[0369] 이때, 구동 트랜지스터(7301)의 제1 단자는 소스 단자이고, 제2 단자는 드레인 단자이다. 스위치(7303)가 온으로 되어 있는 상태로 구동 트랜지스터(7301)에 흐르는 전류가 증가하면, 발광 소자(7304)에 흐르는 전류도 커지기 때문에, 발광 소자(7304)에서의 전압 강하가 커지고, 발광 소자(7304)의 전극 간 전위차가 커진다. 즉, 발광 소자(7304)의 양극의 전위는 전위 공급선(7305)의 전위에 근접한다. 결국, 구동 트랜지스터(7301)의 게이트 단자의 전위도 전위 공급선(7305)의 전위에 근접하기 때문에, 구동 트랜지스터(7301)의 게이트 단자와 소스 단자의 전위차가 감소되어 구동 트랜지스터(7301)에 흐르는 전류는 감소한다. 한편, 발광 소자(7304)에 흐르는 전류가 작아지면, 발광 소자(7304)에서의 전압 강하가 작아지고 발광 소자(7304)의 전극 간 전위차가 작아진다. 즉, 발광 소자(7304)의 양극의 전위는 음극(7308)의 전위에 근접한다. 그렇게 하면, 구동 트랜지스터(7301)의 게이트 단자도 음극(7308)의 전위에 근접하기 때문에, 구동 트랜지스터(7301)의 게이트 단자와 소스 단자 사이의 전위차가 커져, 구동 트랜지스터(7301)에 흐르는 전류가 증가한다. 이 방식으로, 구동 트랜지스터(7301)의 게이트 단자는 구동 트랜지스터(7301)에 일정한 전류가 흐르도록 하는 전위로 안정된다. 그리고, 그때의 구동 트랜지스터(7301)의 게이트 단자의 전위와 신호선(7306)의 전위와의 전위차에 해당하는 전하가 캐패시터(7302)에 축적된다.

[0370] 이렇게 해서 이 화소에 비디오 신호의 기록이 종료한다.

[0371] 이와 같이 구동 트랜지스터(7301) 및 발광 소자(7304)에 흐르는 전류가 일정한 정상 상태에 도달하면, 스위치(7303)를 오프시킨다. 결국, 캐패시터(7302)는 스위치(7303)가 오프한 순간의 신호선(7306)의 전위와 구동 트랜지스터(7301)의 게이트 단자(혹은 드레인 단자)와의 전위차 V_p (전압)을 유지한다.

[0372] 화소로의 신호 기록 기간에서, 화소에 비디오 신호가 기록된 후에 그리고 다른 행의 화소로 신호 기록중에, 스위치(7309)는 off 동작된다. 스위치(7309)는 스위치(7303)의 off 동작과 동시에 또는 그 이후에 off 동작된다.

[0373] 화소에 비디오 신호를 기록한 경우, 그 화소에 비디오 신호가 기록될 때에 신호선(7306)에 설정된 아날로그 신호 전위를 기준으로 하여, 신호선(7306)의 전위의 변동에 따라서 구동 트랜지스터(7301)의 온/오프가 제어되도록 된다. 즉, 신호선(7306)의 전위가, 화소로의 신호 기록 기간에 화소에 비디오 신호가 기록될 때의 아날로그 신호 전위 이상인 경우에 구동 트랜지스터(7301)는 오프하고, 화소에 비디오 신호가 기록될 때의 아날로그 신호 전위보다 낮게 되면 구동 트랜지스터(7301)는 on 동작된다.

[0374] 이것은 화소에 비디오 신호가 기록되면 캐패시터(7302)가 전위차(V_p)를 유지하기 때문에, 신호선(7306)의 전위가 화소에 비디오 신호가 기록될 때의 아날로그 신호 전위 이상일 때에 구동 트랜지스터(7301)의 게이트 단자의 전위도, 화소에 비디오 신호가 기록될 때의 게이트 단자의 전위 이상이 되어, 구동 트랜지스터(7301)는 오프한다. 한편, 신호선(7306)의 전위가, 화소로의 신호 기록 기간에 화소에 비디오 신호가 기록될 때의 아날로그 신호 전위보다 낮게 되면 구동 트랜지스터(7301)의 게이트 단자의 전위도, 화소에 비디오 신호가 기록될 때의 게이트 단자의 전위보다 낮게 되기 때문에 구동 트랜지스터(7301)는 on 동작된다.

[0375] 따라서, 화소의 발광 기간에는, 스위치(7303)가 off 동작되고 스위치(7309)가 on 된 채로, 신호선(7306)에 설정하는 전위를 아날로그 방식으로 변화시킴으로써, 구동 트랜지스터(7301)의 온/오프를 제어한다. 즉, 발광 소자(7304)에 전류가 흐르고 있는 시간을 아날로그 방식으로 제어하여 계조를 표현하는 것이 가능하다.

[0376] 또한, 구동 트랜지스터(7301)의 제2 단자는 스위치를 통해 대향 전극(7308)에 상응하는 전위가 인가되는 배선에 접속될 수 있다. 즉, 도 79에 도시된 바와 같이, 구동 트랜지스터(7301)의 제2 단자가 스위치를 통해 배선(7902)에 접속될 수 있다. 스위치(7901)는 신호가 화소에 기록시 on 동작되고, 기록 완료시 off 동작된다. 다른 행의 화소로의 신호 기록 기간과 발광 기간에, 스위치(7901)가 off 동작된다. 결국, 화소로의 신호 기록시 화소의 발광을 방지할 수 있다. 다른 것과 관련하여서는 도 73의 동작을 참조하면 된다.

[0377] 도 74에 도시된 화소는 구동 트랜지스터(7401)와, 캐패시터(7402)와, 제1 스위치(7403)와, 발광 소자(7404)와, 전원선(7405)과, 제2 스위치(7406)와, 제3 스위치(7407)와, 주사선(7408)과, 제1 신호선(7409)과, 제2 신호선(7410)을 갖고 있다. 또, 구동 트랜지스터(7401)는 p-형 트랜지스터를 이용하고 있다.

[0378] 구동 트랜지스터(7401)의 제1 단자(소스 단자 또는 드레인 단자)는 전원선(7405)과 접속되고, 게이트 단자는 캐패시터(7402)의 일측 전극과 접속되고, 캐패시터(7402)의 타측 전극은 제2 스위치(7406)를 통해 제1 신호선(7409)과, 제3 스위치(7407)를 통해 제2 신호선(7410)과 접속되어 있다. 또한, 구동 트랜지스터(7401)의 게이트 단자와 제2 단자(소스 단자 또는 드레인 단자)는 스위치(7403)를 통해 서로 접속되어 있다. 또, 발광 소자

(7404)의 음극(7411)은 Vss의 전위가 설정되어 있다. Vss는 전원선(7405)에 설정되는 전원 공급 전위(Vdd)를 기준으로 하여, Vss<Vdd를 만족하는 전위이다; 예컨대, Vss= GND(그라운드 전위)로 하더라도 좋다.

[0379] 다음에, 도 74의 화소의 동작을 설명한다.

[0380] 화소로의 신호 기록 동작시, 제2 스위치(7406)는 on 구동되고, 제3 스위치(7407)는 off 구동된다. 그러면, H 레벨의 신호가 주사선(7402)으로 입력되어 제1 스위치(7403)를 on 구동시킨다. 그 결과, 캐패시터(7402), 구동 트랜지스터(7401) 및 발광 소자(7404)로 전류가 흐른다. 그러면, 주사선(7408)의 신호는 H 레벨에서 L 레벨로 떨어지게 되고, 제1 스위치(7403)는 off 구동된다. 제1 스위치(7403)가 off로 되면, 캐패시터(7402)는 그때의 구동 트랜지스터(7401)의 게이트 단자의 전위와 제1 신호선(7409)의 전위 사이의 전위차를 유지하게 된다.

[0381] 이 방식으로, 제1 신호선(7409)로부터 화소에 비디오 신호가 기록된다.

[0382] 발광 기간에 제2 신호선(7410)에는 아날로그 방식으로 변화하는 전위가 공급된다. 화소는, i-번째 행의 화소의 신호 기록 기간(Ti)에 제2 신호선(7410)의 전위가 제1 신호선(7409)에 설정된 아날로그 신호 전위 보다 높은 기간 동안 발광 소자(7404)가 비발광 상태로 유지되고, i-번째 행의 화소의 신호 기록 기간에 제2 신호선(7410)의 전위가 제1 신호선(7409)에 설정된 아날로그 신호 전위 보다 낮은 기간 동안 발광 소자(7404)가 발광된다. 따라서, 발광 소자(7404)의 발광 시간은 각 화소의 기록 기간에 비디오 신호가 기록될 때의 아날로그 신호 전위에 따라 설정된다. 아날로그 시간 계조 표시가 이 방식으로 행해질 수 있다.

[0383] 도 75의 화소는 구동 트랜지스터(7501), 캐패시터(7502), 제1 스위치(7503), 제2 스위치(7504), 발광 소자(7505), 제1 주사선(7506), 제2 주사선(7507), 신호선(7508), 전원선(7509), 및 배선(7510)을 포함한다. 구동 트랜지스터(7501)로서는 n-형 트랜지스터가 사용된다.

[0384] 구동 트랜지스터(7501)의 소스 단자는 발광 소자(7504)의 양극(화소 전극)에 접속되며, 게이트 단자는 캐패시터(7502)를 통해 신호선(7508)에 접속되며, 드레인 단자는 제1 스위치(7503)를 통해 전원선(7509)에 접속된다. 전원선(7509)에는 전원 공급 전위(Vdd)가 설정됨을 주의하여야 한다. 또한, 구동 트랜지스터(7501)의 게이트 단자와 드레인 단자는 제2 스위치(7504)를 통해 서로 접속된다. 그러므로, 제2 스위치(7504)가 on 되면, 구동 트랜지스터(7501)의 게이트 단자와 드레인 단자 사이의 부분은 통전 상태가 된다. 제2 스위치(7504)가 off 구동되면, 구동 트랜지스터(7501)의 게이트 단자와 드레인 단자 사이의 부분은 비통전 상태로 되고, 그때의 구동 트랜지스터(7501)의 게이트 단자(또는 드레인 단자)의 전위와 신호선(7508)의 전위 사이의 전위차(전압)이 캐패시터(7502)에 의해 유지될 수 있다. 또한, 발광 소자(7505)의 음극은 Vss 전위가 설정되는 배선(7510)에 접속된다. Vss는 Vss<Vdd를 만족하는 전위이며; 예컨대, Vss=GND(그라운드 전위)일 수 있다.

[0385] 다음에, 도 75에 도시된 화소의 동작 원리를 설명한다.

[0386] 화소의 신호 기록 기간에, 제1 주사선(7506) 및 제2 주사선(7507)에는 신호가 입력되어 제1 스위치(7503)와 제2 스위치(7504)를 on 구동시킨다. 따라서, 전원선(7509)의 전원 공급 전위(Vdd)는 구동 트랜지스터(7501)의 게이트 단자와 드레인 단자에 설정된다. 결국, 캐패시터(7502), 구동 트랜지스터(7501) 및 발광 소자(7505)에 전류가 흐르며, 캐패시터(7502)는 전자의 축적 또는 방전이 일어난다. 화소의 신호 기록 기간에 신호선(7508)에는 아날로그 신호 전위가 설정된다. 이 아날로그 신호 전위가 비디오 신호에 해당한다.

[0387] 잠시후, 캐패시터(7502)로의 전류 흐름이 중단되고 구동 트랜지스터(7501)와 발광 소자(7505)로 전류가 흐른다. 이것은 구동 트랜지스터(7501)의 게이트 단자와 드레인 단자가 제2 스위치(7504)에 의해 통전 상태로 되기 때문에, 게이트 단자의 전위는 전원 공급 전위(Vdd)가 되어 구동 트랜지스터(7501)를 on 구동시키기 때문이다.

[0388] 이 상태에서, 제1 스위치(7503)를 off 구동시키면, 구동 트랜지스터(7501)와 캐패시터(7502)에 전류가 흐르고, 그 후 그곳으로의 전류 흐름이 중단된다. 이 방식으로, 구동 트랜지스터(7501)는 off 동작된다. 이때, 구동 트랜지스터(7501)의 게이트 소스 전압(Vgs)은 문턱 전압(Vth)에 대략 동등하게 된다.

[0389] 이 상태에 도달하면, 제2 스위치(7504)가 off 구동된다. 캐패시터(7502)는 구동 트랜지스터(7501)의 off 구동에 필요한 구동 트랜지스터(7501)의 게이트 단자의 전위와 제2 스위치(7504)가 off 구동시 그 순간의 신호선(7508)에 설정된 아날로그 신호 전위 사이의 전위차(Vp)를 유지한다. 이 방식으로, 아날로그 신호가 화소에 기록된다.

[0390] 전술한 제1 스위치(7503) 및 제2 스위치(7504)의 온/오프는 제1 주사선(7506) 및 제2 주사선(7507) 각각으로 펄스 신호를 입력하는 것으로 제어된다.

- [0391] 화소에 아날로그 신호의 기록 후에, 구동 트랜지스터(7501)의 온/오프는 아날로그 신호의 기록시 신호선(7508)에 공급된 아날로그 신호 전위를 기준으로 신호선(7508)의 전위 변화에 따라 제어된다. 즉, 신호선(7508)의 전위가 신호 기록 기간에서 화소로 아날로그 신호 기록시의 아날로그 신호 전위 이하인 경우 구동 트랜지스터(7501)는 off 구동되며, 신호선(7508)의 전위가 화소로 아날로그 신호 기록시의 아날로그 신호 전위보다 높은 경우 구동 트랜지스터(7501)는 on 구동된다.
- [0392] 화소에 아날로그 신호가 기록되면 캐패시터(7502)가 전위차(Vp)를 유지하기 때문에, 신호선(7508)의 전위가 화소에 아날로그 신호가 기록될 때의 아날로그 신호 전위와 같거나 낮을 때에 구동 트랜지스터(7501)의 게이트 단자의 전위도, 화소에 아날로그 신호가 기록될 때의 게이트 단자의 전위와 같거나 낮게 되어, 구동 트랜지스터(7501)는 오프한다. 한편, 신호선(7508)의 전위가, 기록 기간에 화소에 아날로그 신호가 기록될 때의 아날로그 신호 전위보다 높게 되면 구동 트랜지스터(7501)의 게이트 단자의 전위도, 화소에 아날로그 신호가 기록될 때의 게이트 단자의 전위보다 높게 되기 때문에 구동 트랜지스터(7501)는 on 동작된다.
- [0393] 따라서, 화소의 발광 기간에는, 제2 스위치(7504)를 off로 하고 제1 스위치(7503)를 on으로 한 채로, 신호선(7508)에 설정된 전위를 아날로그 방식으로 변화시킴으로써, 구동 트랜지스터(7501)의 온/오프를 제어하여, 발광 소자(7505)에 전류를 공급하는 시간을 아날로그 방식으로 제어하여 계조를 표현한다.
- [0394] 도 76의 화소는 구동 트랜지스터(7601), 캐패시터(7602), 제1 스위치(7603), 제2 스위치(7604), 발광 소자(7605), 제3 스위치(7606), 제4 스위치(7607), 제1 주사선(7608), 제2 주사선(7609), 제1 신호선(7610), 제2 신호선(7611), 및 전원선(7612)을 포함한다. 구동 트랜지스터(7601)로서는 n-형 트랜지스터가 사용된다.
- [0395] 구동 트랜지스터(7601)의 소스 단자는 발광 소자(7605)의 양극(화소 전극)에 접속되며, 게이트 단자는 캐패시터(7602)의 일측 전극에 접속된다. 캐패시터(7602)의 다른 전극은 제3 스위치(7606)를 통해 제1 신호선(7610)에, 제4 스위치(7607)를 통해 제2 신호선(7611)에 접속된다. 구동 트랜지스터(7601)의 드레인 단자는 제1 스위치(7603)를 통해 전원선(7612)에 접속된다. 전원선(7612)에는 전원 공급 전위(Vdd)가 설정됨을 주의하여야 한다. 전원선에 설정되는 전위는 Vdd로 한정되지 않는다. 예를 들면, RGB의 컬러 요소를 이용하는 풀 컬러 표시의 경우, RGB의 컬러의 각 화소에 대해 전원선의 전위의 값을 변경할 수 있다.
- [0396] 또한, 구동 트랜지스터(7601)의 게이트 단자와 드레인 단자는 제2 스위치(7604)를 통해 서로 접속된다. 그러므로, 제2 스위치(7604)가 on 되면, 구동 트랜지스터(7601)의 게이트 단자와 드레인 단자 사이의 부분은 통전 상태가 된다. 제2 스위치(7604)가 off 구동되면, 구동 트랜지스터(7601)의 게이트 단자와 드레인 단자 사이의 부분은 비통전 상태로 되고, 그때의 구동 트랜지스터(7601)의 게이트 단자(또는 드레인 단자)의 전위와 제1 신호선(7610)에 의해 설정된 아날로그 신호 전위 사이의 전위차(전압)가 캐패시터(7602)에 의해 유지될 수 있다. 또한, 발광 소자(7605)의 음극은 Vss 전위가 설정되는 배선(7613)에 접속된다. Vss는 Vss<Vdd를 만족하는 전위이며; 예컨대, Vss=GND(그라운드 전위)일 수 있다.
- [0397] 도 77의 화소는 트랜지스터(7701)와, 캐패시터(7702)와, 스위치(7703)와, 증폭기(7704)와, 발광 소자(7705)와, 신호선(7706)과, 주사선(7707)과, 전원선(7708)과, 배선(7709)과, 배선(7710)을 포함한다.
- [0398] 구동 트랜지스터(7701)의 제1 단자(소스 단자 또는 드레인 단자)는 발광 소자(7705)의 화소 전극에, 제2 단자(소스 단자 또는 드레인 단자)는 전원선(7708)에, 게이트 단자는 비교기 회로(7704)의 출력 단자에 접속된다. 비교기 회로(7704)의 제1 입력 단자는 스위치(7703)를 통해 신호선(7706)에 접속되며, 제2 입력 단자는 배선(7710)에 접속된다. 비교기 회로(7704)의 제1 입력 단자는 캐패시터(7702)를 통해 배선(7709)에도 접속된다. 스위치(7703)의 온/오프는 주사선(7707)로의 신호 입력에 의해 제어된다.
- [0399] 하기에 화소의 동작에 대해 설명한다. 화소의 신호 기록 기간에 스위치(7703)가 on 구동된다. 그런 다음, 비디오 신호에 대응하는 전위가 신호선(7706)으로부터 캐패시터(7702)의 일측 전극으로 인가된다. 다음에, 스위치(7703)가 off 구동되고, 이 비디오 신호에 대응하는 아날로그 전위가 캐패시터(7702)에 유지된다. 이 경우, 배선(7709)의 전위는 설정된 전위로 설정되는 것이 바람직하다. 이 방식으로, 화소로의 신호 기록이 완료된다.
- [0400] 후속하여, 화소의 발광 동작시, 비디오 신호에 대응하는 아날로그 전위의 범위에서 최소에서 최대로 연속 변화하는 전위, 최대에서 최소로 연속 변화하는 전위, 또는 최대에서 최소로 그리고 최소에서 최대로 반복적으로 연속 변화하는 전위가 배선(7710)에 입력된다. 결국, 캐패시터(7702)에 유지된 아날로그 전위는 비교기 회로(7704)의 제1 입력 단자에 입력되고, 아날로그 전위의 범위에서 연속 변화하는 전위가 제2 입력 단자에 입력된다. 그러면, 제1 및 제2 입력 단자로 입력되는 각 전위의 높이가 비교기 회로(7704)에서 서로 비교되고, 그 결과로써, 출력 전위가 결정된다. 비교기 회로(7704)의 출력 전위에 의해 트랜지스터(7701)의 온/오프가 제어된다.

다.

[0401] 따라서, 트랜지스터(7701)가 on 상태인 동안의 기간은 발광 소자(7705)의 발광 기간에 대응하므로, 발광 소자(7705)는 발광 기간 내에서 적절한 시간 동안 발광할 수 있어서 계조 표시를 수행할 수 있다.

[0402] 도 78의 화소는 인버터(7801), 캐패시터(7802), 스위치(7803), 스위치(7804), 발광 소자(7805), 신호선(7806), 제1 주사선(7807), 및 제2 주사선(7808)을 포함한다.

[0403] 인버터(7801)의 입력 단자는 캐패시터(7802)의 일측 전극에, 출력 단자는 발광 소자(7805)의 화소 전극에 접속된다. 캐패시터(7802)의 다른 전극은 스위치(7804)를 통해 신호선(7806)에 접속된다. 또한, 인버터(7801)의 입력 및 출력 단자는 스위치(7803)를 통해 서로 접속된다. 스위치(7804)의 온/오프는 제1 주사선(7807)에 입력된 신호에 의해 제어되며, 스위치(7803)의 온/오프는 제2 주사선(7808)에 입력된 신호에 의해 제어된다.

[0404] 화소의 기록 동작시, 스위치(7804 및 7803)는 on 구동된다. 그러면, 신호선(7806)에 비디오 신호에 대응하는 아날로그 전위가 공급된다. 결국, 캐패시터(7802)의 일측 전극에는 인버터(7801)의 논리 문턱 수치에 대응하는 전위가 입력되고, 다른 전극에는 비디오 신호에 대응하는 아날로그 전위가 입력된다. 그후, 스위치(7803 및 7804)는 off 구동되어, 캐패시터(7802)에는 인버터(7801)의 논리 문턱 전위와 비디오 신호에 대응하는 아날로그 전위 사이의 전위차가 유지된다. 이 방식으로, 화소로의 신호 기록이 종료된다.

[0405] 후속하여, 화소의 발광 동작시, 비디오 신호에 대응하는 아날로그 전위의 범위에서 최소에서 최대로 연속 변화하는 전위, 최대에서 최소로 연속 변화하는 전위, 또는 최대에서 최소로 그리고 최소에서 최대로 반복적으로 연속 변화하는 전위가 신호선(7806)에 입력된다. 결국, 발광 소자(7805)의 화소 전극에 인가된 전위는, 발광 기간에 신호선(7806)에 연속 공급된 전위가 기록 기간에 화소에 기록된 비디오 신호에 대응하는 아날로그 전위보다 높은지 낮은지 여부에 의해 변화되기 때문에, 발광 소자(7805)는 발광 기간 내에서 적절한 시간 동안 발광할 수 있어서 계조 표시를 수행할 수 있다.

[0406] 다음에, 발광 소자의 휘도 특성과 신호선에 입력하는 아날로그 전위 간의 상호 관계를 설명한다. 예를 들면, 발광 기간에 아날로그 전위로서 삼각파가 입력되는 경우에, 발광 소자의 휘도 특성과 삼각파 사이의 상호 관계를 도 59a1, 59a2, 및 59a3을 이용하여 설명한다. 일례로서, R의 화소의 발광 소자의 휘도 특성을 기준으로, G의 화소의 발광 소자로부터 얻어지는 휘도가 높고, B의 화소의 발광 소자로부터 얻어지는 휘도가 낮은 경우에 관해서 설명한다.

[0407] 이 경우에는, 신호선(Dr)(Data line R pixel)에 입력하는 삼각파 전위를 기준으로 하면, 신호선(Dg)(Data line G pixel)에 입력하는 삼각파 전위는 급경사로 한다; 즉, 삼각파 전위의 진폭을 크게 한다. 한편, 신호선(Db)(Data line B pixel)에 입력하는 삼각파 전위는 완만한 경사로 한다; 즉, 삼각파 전위의 진폭을 작게 한다.

[0408] 그 결과, 동일한 계조 표시시 각 컬러의 화소에 대해 발광 시간을 변경할 수 있. 예컨대, R의 화소는 1 프레임 기간 내에서 가장 큰 계조의 표시 기간은 Tmax(R), G의 화소는 1 프레임 기간 내에서 가장 큰 계조의 표시 기간은 Tmax(G), B의 화소는 1 프레임 기간 내에서 가장 큰 계조의 표시 기간은 Tmax(B)로 된다.

[0409] 또한, 제3 구성으로서, 비디오 신호의 전위의 폭을 각 컬러의 화소에 대해 변경할 수 있다. 즉, 도 60a1, 60a2 및 60a3에 도시한 바와 같이, R의 화소를 기준으로 하여, G의 화소의 발광 소자로부터 얻어지는 휘도가 높은 경우에는, G의 비디오 신호의 각각의 계조에 대응하는 전위를 낮은 쪽으로 이동시킨다. 한편, B의 화소의 발광 소자로부터 얻어지는 휘도가 낮은 경우에는, B의 비디오 신호의 각각의 계조에 대응하는 전위를 높은 쪽으로 이동시킨다. 이 방식으로, 동일한 계조의 표현시 각 컬러의 화소에 대해 발광 시간을 변경할 수 있다. 예컨대, R의 화소는 1 프레임 기간 내에서 가장 큰 계조의 표시 기간은 Tmax(R), G의 화소는 1 프레임 기간 내에서 가장 큰 계조의 표시 기간은 Tmax(G), B의 화소는 1 프레임 기간 내에서 가장 큰 계조의 표시 기간은 Tmax(B)로 된다.

[0410] 또한, 제4의 구성으로서, 컬러 마다 비디오 신호의 계조에 대응하는 각 전위를 이동시키는 구성과, 컬러 마다 삼각파 전위의 진폭을 바꾸는 구성을 조합한 구성이 있을 수 있다. 이 결과, 진폭을 작게 할 수 있어, 소비 전력의 저감을 꾀할 수 있다.

[0411] 또한, 제5의 구성으로서, 구동 트랜지스터의 제1 단자에 접속된 전원선에 화소의 각 컬러에 대해 다른 전위를 설정한 구성이 있다. 예를 들면, 도 66의 전원선(6610), 도 67의 전원선(6708), 도 68a, 68b, 68c의 전원선(6708), 도 69의 전원선(6911), 도 70의 전원선(7008), 도 71의 전원선(7008), 도 72의 전원선(7211), 도 73의

전원선(7305), 도 74의 전원선(7405), 도 75의 전원선(7509), 도 76의 전원선(7612), 도 77의 전원선(7708), 도 79의 전원선(7305) 등에, 각 컬러의 화소에 대해 전위를 변경할 수 있다.

[0412] 또한, 제6의 구성으로서, 화소의 컬러 마다 비디오 신호의 계조에 대응하는 각 전위를 이동시키는 구성이나 컬러 마다 삼각파 전위의 진폭을 바꾸는 구성과, 컬러 마다 구동 트랜지스터의 제1 단자에 접속된 전원선의 전위를 바꾸는 구성을 서로 조합한 구성이 있을 수 있다.

[0413] (실시의 형태 7)

[0414] 본 실시 형태에서는, 발광 소자의 발광 또는 비발광을 제어하는 화소내의 인버터로서 CMOS 인버터를 적용한 경우의 구성에 관해서 설명한다.

[0415] 도 1의 화소 구성에 있어서, 화소 내에 CMOS 인버터를 적용한 구성에 관해서 도 61을 이용하여 설명한다.

[0416] 화소는 구동 트랜지스터(6101)와, 보상 트랜지스터(6108)와, 캐패시터(6102)와, 스위치(6103)와, 발광 소자(6104)와, 전위 공급선(Illumination line)(6105)과, 신호선(Data line)(6106)과, 주사선(Reset line)(6107)과, 배선(6110)을 포함한다. 구동 트랜지스터(6101)로서는 p-형 트랜지스터, 보상 트랜지스터(6108)로서는 n-형 트랜지스터를 이용하고 있다.

[0417] 구동 트랜지스터(6101)는, 제1 단자(소스 단자 또는 드레인 단자)가 전위 공급선(6105)에 접속되고, 제2 단자(소스 단자 또는 드레인 단자)가 보상 트랜지스터(6108)의 제2 단자(소스 단자 또는 드레인 단자)에 접속되고, 게이트 단자가 보상 트랜지스터(6108)의 게이트 단자에 접속되어 있다. 또한, 구동 트랜지스터(6101) 및 보상 트랜지스터(6108)의 게이트 단자는, 캐패시터(6102)를 통해 신호선(6106)에 접속됨과 동시에, 스위치(6103)를 통해 구동 트랜지스터(6101) 및 보상 트랜지스터(6108)의 제2 단자(소스 단자 또는 드레인 단자)에 접속되어 있다. 즉, 스위치(6103)를 온/오프하는 것으로, 구동 트랜지스터(6101) 및 보상 트랜지스터(6108)의 게이트 단자와 제2 단자(소스 단자 또는 드레인 단자)를 통전 또는 비통전 상태로 할 수 있다. 스위치(6103)의 온/오프는 주사선(6107)에 신호를 입력함으로써 제어한다. 또한, 구동 트랜지스터(6101) 및 보상 트랜지스터(6108)의 제2 단자(소스 단자 또는 드레인 단자)는 발광 소자(6104)의 양극(화소 전극)과 접속되어 있다. 발광 소자(6104)의 음극(Cathode)(6109)에는 저전원 공급 전위(V_{ss})가 공급된다. V_{ss}는 발광 기간에 전위 공급선(6105)에 입력되는 H 레벨의 신호(전원 공급 전위(V_{dd}))를 기준으로, V_{ss}<V_{dd}를 만족하는 전위이다; 예컨대, V_{ss}= GND(그라운드 전위)일 수 있다.

[0418] 또한, 보상 트랜지스터(6108)의 제1 단자는 배선(6110)에 접속되어 있다. 여기서, 구동 트랜지스터(6101)는 발광 소자(6104)를 구동하는 트랜지스터이며, 보상 트랜지스터(6108)는 구동 트랜지스터(6101)와는 극성이 반전하고 있는 트랜지스터이다. 즉, 전위 공급선(6105)의 신호가 H 레벨(전원 공급 전위(V_{dd}))일 때 구동 트랜지스터(6101)와 보상 트랜지스터(6108)가 상보적으로 온/오프하는 인버터로서 기능한다. 배선(6110)의 전위는 보상 트랜지스터(6108)가 on 구동될 때 발광 소자(6104)에 인가되는 전압이 발광 소자(6104)의 순방향 문턱 전압(V_{EL}) 이하가 되도록 설정한다.

[0419] 동작에 관해서 간단히 설명한다. 화소로 신호를 기록하는 때는, 주사선(6107)에 신호를 입력하여, 스위치(6103)를 on 구동시킨다. 또한, 전위 공급선(6105)의 전위를 H 레벨로 하여, 구동 트랜지스터(6101)의 제1 단자를 전원 공급 전위(V_{dd})로 한다. 결국, 구동 트랜지스터(6101)와 보상 트랜지스터(6108)는, 상보적으로 온/오프하는 CMOS 인버터로서 기능한다. 그러므로, CMOS 인버터의 출력 단자에 해당하는 구동 트랜지스터(6101) 및 보상 트랜지스터(6108)의 제2 단자와, CMOS 인버터의 입력 단자에 해당하는 구동 트랜지스터(6101) 및 보상 트랜지스터(6108)의 게이트 단자 사이의 부분이 통전 상태로 되어, 오프셋 삭제가 수행된다. 즉, CMOS 인버터의 입력 단자는 CMOS 인버터의 논리 문턱 전위를 갖는다. 그리고, 입력 단자의 전위와 신호선(6106)에 입력되는 아날로그 신호 전위와의 전위차(V_p)에 해당하는 전하가 캐패시터(6102)에 축적된다. 이러한 방식으로, 화소로의 신호의 기록이 종료되고, 주사선(6107)의 신호가 변경되어 스위치(6103)가 오프하도록 한다. 그리고, 캐패시터(6102)에 의해 전압(V_p)이 유지된다. 또한, 전위 공급선(6105)은 L 레벨로 변경되어, 구동 트랜지스터(6101)가 on 구동하더라도 발광 소자(6104)에 인가되는 전압이 순방향 문턱 전압 이하가 되도록 한다.

[0420] 계속해서, 발광 기간에 있어서, 스위치(6103)를 오프로 한 채로, 전위 공급선(6105)의 전위를 H 레벨로 변경한다. 그리고, 신호선(6106)에 설정하는 전위를 아날로그 방식으로 변화시킴으로써 CMOS 인버터의 출력의 레벨을 제어한다. 그리고, 발광 소자(6104)에 전류가 흐르고 시간을 아날로그 방식으로 제어하여 계조를 표현할 수 있

다. 발광 소자(6104)를 발광시키고 싶은 경우에는, 구동 트랜지스터(6101)를 on으로, 보상 트랜지스터(6108)를 off로 하여, CMOS 인버터의 출력을 H 레벨로 한다. 이 H 레벨의 전위는 전위 공급선(6105)의 H 레벨의 전원 공급 전위(Vdd)이다. 한편, 발광 소자(6104)를 비발광으로 하고 싶은 경우에는, 구동 트랜지스터(6101)를 off로 하고, 보상 트랜지스터(6108)를 on으로 하여, CMOS 인버터의 출력을 L 레벨로 한다. 이 L 레벨은 배선(6110)에 설정된 전위이다.

[0421] 화소의 발광 기간에 있어서, 신호선(6106)에 설정하는 전위에 관해서 설명한다. 신호선(6106)에 설정하는 전위는 주기적으로 변화되는 파형의 아날로그 전위를 이용할 수 있다.

[0422] 발광 기간에 신호선(6106)에 설정하는 전위로서는 실시의 형태 1에 설명된 바와 같이, 파형(4301), 파형(4302), 파형(4303), 파형(4304), 파형(4305), 파형(4306) 또는 파형(4307), 또는 이들을 복수 연속하여 설정하더라도 좋다.

[0423] 이들의 파형을 연속하여 설정함으로써, 발광 시간을 1 프레임 내에서 분산시킬 수 있다. 그 결과, 프레임 주파수가 외관상 향상되어, 화면 깜빡임을 방지할 수 있다.

[0424] 자세한 동작에 관하여는 실시의 형태 1에 설명된 도 1의 것과 같으므로, 여기서는 그 설명을 생략한다.

[0425] 본 실시 형태에서 설명된 바와 같이, 발광 소자의 온/오프를 CMOS 인버터의 출력에 의해 제어함으로써, 화소 내의 트랜지스터 특성이 변동되더라도, 그 영향에 의한 화소 휘도의 변동을 저감할 수 있다. 이는 n-형 트랜지스터와 p-형 트랜지스터로 인버터를 구성하고 있기 때문에, 다소 트랜지스터의 특성에 변동이 생기더라도, 인버터의 논리 문턱 전압을 경계로서, 급격히 출력의 레벨이 변동하기 때문이다.

[0426] 또한, 본 화소 구성에 있어서, 배선(6110)과 발광 소자(6104)의 음극(6109)을 서로 접속하면 좋다.

[0427] 다음에, 도 62의 단면도를 이용하여 도 61의 화소를 갖는 표시 패널의 단면 구조에 관해서 설명한다.

[0428] 기판(6201)상에 하지막(6202)을 포함한다. 기판(6201)으로서는 유리 기판, 석영 기판, 플라스틱 기판 및 세라믹 기판 등의 절연 기판, 금속 기판, 반도체 기판 등을 이용할 수 있다. 하지막(6202)은 CVD 법이나 스퍼터링 법으로 형성할 수 있다. 예컨대, SiH₄, N₂O, NH₃ 등을 원료로 이용한 CVD 법에 의해 형성한 산화 규소막, 질화 규소막, 산화 질화 규소막 등을 적용할 수 있다. 또한, 이들의 적층을 이용하더라도 좋다. 또, 하지막(6202)은 기판(6201)으로부터 불순물이 반도체층으로 확산하는 것을 방지하기 위해서 설치하는 것으로; 기판(6201)으로서 유리 기판이나 석영 기판을 이용하고 있는 경우에는 하지막(6202)은 설치하지 않더라도 좋다.

[0429] 하지막(6202) 상에 섬 형상의 반도체층을 포함한다. 반도체층에는 p-채널을 형성하는 채널 형성 영역(6203), 소스 영역 또는 드레인 영역을 형성하는 불순물 영역(6204), n-채널을 형성하는 채널 형성 영역(6205), 소스 또는 드레인 영역을 형성하는 불순물 영역(6220), 및 저농도 불순물 영역(LDD 영역)(6221)이 형성되어 있다. 그리고, 채널 형성 영역(6203) 및 채널 형성 영역(6205) 상에 게이트 절연막(6206)을 사이에 두고 게이트 전극(6207)이 형성된다. 게이트 절연막(6206)은 CVD 법이나 스퍼터링 법에 의해 형성되는 산화 규소막, 질화 규소막, 산화 질화 규소막 등을 이용하여 형성될 수 있다. 또한, 게이트 전극(6207)은 알루미늄(A1)막, 구리(Cu)막, 알루미늄 또는 구리를 주성분으로 하는 박막, 크롬(Cr)막, 탄탈(Ta)막, 질화 탄탈(TaN)막, 티타늄(Ti)막, 텉스텐(W)막, 몰리브덴(Mo)막 등을 이용하여 형성될 수 있다.

[0430] 게이트 전극(6207)의 측면상에 측벽(6222)이 형성되어 있다. 측벽(6222)은 게이트 전극(6207)을 피복하도록 실리콘 화합물, 예컨대, 산화 실리콘막, 질화 실리콘막 또는 산화 질화 실리콘막을 형성한 후, 에치백하는 것에 의해 형성된다.

[0431] LDD 영역(6221)은 측벽(6222)의 하부에 위치하고 있다. 즉, 자기 정합적으로 LDD 영역(6221)이 형성되어 있다. 측벽(6222)은 LDD 영역(6221)을 자기 정합적 방식으로 형성하기 위해 설치하고 있는 것이고, 반드시 설치하지 않더라도 좋다.

[0432] 게이트 전극(6207), 측벽(6222) 및 게이트 절연막(6206) 상에는 제1 층간절연막이 형성된다. 제1 층간 절연막은 하층에 무기절연막(6218) 및 상층에 수지막(6208)을 갖는 구조로 되어 있다. 무기절연막(6218)으로서는, 질화 규소막, 산화 규소막, 산화 질화 규소막 또는 이들을 적층한 막을 이용할 수 있다. 수지막(6208)으로서는, 폴리이미드, 폴리아미드, 아크릴, 폴리이미드-아미드, 에폭시 등을 이용할 수 있다.

[0433] 제1 층간절연막 상에는 제1 전극(6209) 및 제2 전극(6224)가 형성된다. 제1 전극(6209)은 컨택트 홀을 통해 불순물 영역(6204) 및 불순물 영역(6220)과 전기적으로 접속되어 있으며, 제2 전극(6224)은 컨택트 홀을 통해 불

순물 영역(6220)과 전기적으로 접속되어 있다. 제1 전극(6209) 및 제2 전극(6224)으로서는, 티타늄(Ti)막, 알루미늄(Al)막, 구리(Cu)막, Ti를 포함하는 알루미늄막 등을 이용할 수 있다. 제1 전극(6209) 및 제2 전극(6224)과 동일한 층에 신호선 등의 배선을 설치하는 경우에는 낮은 저항의 구리를 이용하면 좋다.

[0434] 제1 전극(6209), 제2 전극(6224) 및 제1 층간절연막 상에 제2 층간절연막(6210)이 형성된다. 제2 층간 절연막으로서는, 무기절연막, 수지막, 또는 이들의 적층막을 이용할 수 있다. 무기절연막으로서는, 질화 규소막, 산화 규소막, 산화 질화 규소막 또는 이들을 적층한 막을 이용할 수 있다. 수지막으로서는, 폴리이미드, 폴리아미드, 아크릴, 폴리이미드-아미드, 에폭시 등을 이용할 수 있다.

[0435] 제2 층간 절연막(6210) 상에는 화소 전극(6211) 및 배선(6219)이 형성된다. 화소 전극(6211) 및 배선(6219)은 동일한 재료로 형성되며; 즉, 동일한 층에 동시에 형성되어 있다. 화소 전극(6211)이나 배선(6219)에 이용하는 재료로서는, 일 함수가 큰 재료를 이용하는 것이 바람직하다. 예컨대, 질화 티탄(TiN)막, 크롬(Cr)막, 텅스텐(W)막, 아연(Zn)막 또는 백금(Pt)막 등의 단층막과, 질화 티타늄막과 알루미늄을 주성분으로 하는 막과의 적층막과, 질화 티타늄막과 알루미늄을 주성분으로 하는 막과 질화 티타늄막의 3층 구조 등을 이용할 수 있다. 만일, 적층 구조를 채용한다면, 배선으로서의 저항도 낮게, 양호한 오음 접촉을 얻을 수 있음은 물론, 양극으로서 기능시킬 수 있다. 빛을 반사하는 금속막을 이용하는 것으로써 빛을 투과시키지 않는 양극을 형성할 수 있다.

[0436] 화소 전극(6211) 및 배선(6219)의 각 단부를 피복하도록 절연물(6212)이 제공된다. 예컨대, 절연물(6212)로서는, 포지티브형의 감광성 아크릴 수지막을 이용할 수 있다.

[0437] 화소 전극(6211) 상에는 유기 화합물을 포함하는 층(6213)이 형성되고, 유기 화합물을 포함하는 층(6213)의 일부는 절연물(6212)에 중복되고 있다. 유기 화합물을 포함하는 층(6213)은 배선(6219) 상에는 형성되어 있지 않다.

[0438] 유기 화합물을 포함하는 층(6213), 절연물(6212) 및 배선(6219) 상에는 대향 전극(6214)가 형성되어 있다. 대향 전극(6214)에 이용하는 재료로서는, 일 함수가 작은 재료를 이용하는 것이 바람직하다. 예컨대, 알루미늄(Al), 은(Ag), 리튬(Li), 칼슘(Ca), 혹은 이들 합금 또는, MgAg, MgIn, AlLi, CaF₂, 혹은 CaN 등의 금속 박막을 이용할 수 있다. 전술한 바와 같이 금속 박막을 이용하는 것에 의해 광투과 가능한 음극을 형성할 수 있다.

[0439] 대향 전극(6214)과 화소 전극(6211) 사이에 유기 화합물을 포함하는 층(6213)이 삽입된 영역에는 발광 소자(6216)가 형성되어 있다.

[0440] 절연물(6212)에 의해 유기 화합물을 포함하는 층(6213)이 격리되어 있는 영역에서는, 접합부(6217)가 형성되어, 대향 전극(6214)과 배선(6219)가 접하고 있다. 따라서, 배선(6219)은 대향 전극(6214)의 보조 전극으로서 기능하고, 대향 전극(6214)을 저 저항화할 수 있다. 결국, 대향 전극(6214)의 막 두께를 얇게 할 수 있어, 투과율을 높게 할 수 있다. 따라서, 발광 소자(6216)로부터 얻어지는 빛을 상면에서 추출하는 상면 출사 구조에서, 보다 높은 휘도를 얻을 수 있다.

[0441] 대향 전극(6214)을 보다 저 저항화하기 위해서, 금속 박막과 투명 도전막(ITO(인듐 주석 산화물), 인듐 아연 산화물(IZO), 산화 아연(ZnO) 등)과의 적층막을 이용하더라도 좋다. 전술한 바와 같이 금속 박막과 투명성을 갖는 투명 도전막을 이용하는 것에 의해, 광투과 가능한 음극을 형성할 수 있다.

[0442] 불순물 영역(6204)에는 p-형 불순물이 도핑되어 있으며, 불순물 영역(6220)에는 n-형 불순물이 도핑되어 있다. 따라서, 트랜지스터(6215)는 p-형 트랜지스터이며, 트랜지스터(6223)는 n-형 트랜지스터이다.

[0443] 즉, 트랜지스터(6215)는 도 61의 화소의 구동 트랜지스터(6101)에 대응하며, 트랜지스터(6223)는 도 61도의 화소의 보상 트랜지스터(6108)에 대응한다. 또한, 배선(6219)은 도 61의 화소에 있어서의 배선(6110)이며, 대향 전극(6214)은 도 61의 화소에 있어서의 발광 소자(6104)의 음극(6109)에 대응한다. 즉, 도 61의 화소에 있어서 배선(6110)과 발광 소자(6104)의 음극(6109)이 서로 접속되어 있다.

[0444] 도 62에 설명된 표시 패널은 대향 전극(6214)의 막을 얇게 할 수 있어, 상면에서 출사하는 빛의 투광성이 좋다. 따라서, 상면 출사 휘도가 향상될 수 있다. 또한, 대향 전극(6214)과 배선(6219)을 상호 접속함으로써, 대향 전극(6214) 및 배선(6219)을 저 저항화할 수 있어서, 소비 전력의 저감을 꾀할 수 있다. 그러므로, 예컨대, 배선(7902)과 발광 소자(7304)의 대향 전극(7308)을 도 79의 화소에 상호 접속할 수 있다.

[0445] 다음에, 도 63a, 및 63b의 모식도를 참조로 하여 표시 패널의 구성에 관해서 설명한다. 기판(6300) 상에, 신호

선 구동 회로(6301), 주사선 구동 회로(6302) 및 화소부(6303)가 형성되어 있다. 기판(6300)은 연성 인쇄 회로(FPC)(6304)에 접속되어, 신호선 구동 회로(6301)나 주사선 구동 회로(6302)에 입력되는 비디오 신호, 클록 신호, 스타트 신호 등의 신호를 외부 입력 단자인 FPC(6304)를 통해 공급한다. FPC(6304)와 기판(6300)과의 접합부에는 IC 칩(메모리 회로나 버퍼 회로 등이 형성된 반도체 칩)(6305)이 COG(Chip On Glass) 등에 의해 실장되어 있다. 여기서는 FPC(6304) 밖에 도시되어 있지 않지만, 이 FPC(6304)에는 인쇄 배선 기판(PWB)이 부착되어 있더라도 좋다. 본 명세서에 있어서의 표시 장치는 표시 패널 본체 뿐만 아니라, FPC 혹은 PWB가 부착된 표시 패널의 본체, 및 IC 칩 등을 실장한 표시 패널의 본체도 역시 포함한다.

[0446] 도 63a에 도시된 표시 패널의 화소부(6303)에는 화소가 매트릭스로 배치되어 각각의 컬러 요소마다의 화소열을 형성하고 있다. 유기 화합물을 포함하는 층(6307)은 컬러마다 일렬의 화소에 대해 설치된다. 그리고, 화소부에서, 유기 화합물을 포함하는 층(6307)을 제외한 영역(6306)으로써, 화소 전극과 동일한 재료로 형성된 배선과 대향 전극 간의 접합부를 형성한다. 즉, 도 62의 단면도에 도시된 접합부(6217)를 도 63a의 영역(6306)에 형성한다. 도 64는 화소부의 상면 모식도이다. 도 64에서, 화소 전극(6401)과 동일한 재료로써 배선(6402)이 형성되어 있다. 또한, 화소 전극(6401)은 도 62의 화소 전극(6211)에 해당하고, 배선(6402)은 도 62의 배선(6219)에 해당한다. 일렬분의 화소 전극(6401)에 대해 유기 화합물을 포함하는 층이 형성되고, 유기화합물을 포함하는 층이 화소 전극(6401)과 대향 전극 사이에 배치된 영역에 발광 소자가 형성된다. 접합부에서는 대향 전극과 배선(6402)과 서로 접하고 있기 때문에 대향 전극의 저 저항화를 꾀할 수 있다. 즉, 배선(6402)은 대향 전극의 보조 전극으로서 기능한다. 도 64에 도시된 바와 같은 화소부의 구성을 적용하는 것에 의해, 개구율이 높고, 대향 전극의 저항이 감소된 표시 패널을 제공하는 것이 가능해진다.

[0447] 도 63b에 도시된 표시 패널의 화소부(6303)에는 화소가 매트릭스로 배치되어 각각의 컬러 요소마다의 화소열을 형성하고 있다. 유기 화합물을 포함하는 층(6317)은 컬러마다 일렬의 화소에 대해 설치된다. 그리고, 화소부에서, 유기 화합물을 포함하는 층(6317)을 제외한 영역(6316)으로써, 화소 전극과 동일한 재료로 형성된 배선과 대향 전극과의 접합부를 형성한다. 즉, 도 62의 단면도에 있어서의 접합부(6217)를 도 63b에 있어서의 영역(6316)에 형성한다. 도 65는 화소부의 상면 모식도이다. 도 65에서, 화소 전극(6501)과 동일한 재료로써 배선(6502)이 형성되어 있다. 화소 전극(6501)은 도 62의 화소 전극(6221)에 해당하고, 배선(6502)은 도 62의 배선(6219)에 해당한다. 각 화소 전극(6401)에 대해 유기 화합물을 포함하는 층이 형성되고, 유기화합물을 포함하는 층이 화소 전극(6501)과 대향 전극 사이에 배치된 영역에 발광 소자가 형성된다. 접합부에서는 대향 전극과 배선(6502)과 서로 접하고 있기 때문에 대향 전극의 저 저항화를 꾀할 수 있다. 즉, 배선(6502)은 대향 전극의 보조 전극으로서 기능한다. 도 65에 도시된 바와 같은 화소부의 구성을 적용하는 것에 의해, 대향 전극의 저항이 저감된 표시 패널을 제공하는 것이 가능해진다.

[0448] 본 실시 형태에 도시한 표시 패널은 대향 전극의 투광성이 좋고 화소의 개구율이 높아서, 휙도를 낮게 하더라도 필요한 광도를 얻을 수 있다. 따라서, 발광 소자의 신뢰성을 향상시킬 수 있다. 또한, 대향 전극의 저 저항화도 꾀할 수 있기 때문에 소비 전력도 저감할 수 있다.

[0449] (실시의 형태 8)

[0450] 본 실시 형태에서는, 실시의 형태 1-6에 도시된 화소 구성을 갖는 표시 장치의 보다 적합한 구성을 관해서 설명한다.

[0451] 본 실시 형태의 표시 장치에 따르면, 주사선, 신호선 및 전위 공급선에 버퍼 회로를 설치하고 있다. 즉, 주사선 구동 회로부터의 신호가 버퍼 회로에 입력되고, 버퍼 회로로부터 주사선으로 신호가 출력된다. 또한, 신호선 구동 회로부터의 신호가 버퍼 회로에 입력되고, 버퍼 회로로부터 신호선으로 신호가 출력된다. 또한, 전위 공급선 구동 회로로부터의 신호가 버퍼 회로에 입력되고, 버퍼 회로로부터 전위 공급선으로 신호가 출력된다. 이 방식으로, 주사선 구동 회로, 신호선 구동 회로, 또는 전위 공급선의 출력 신호의 임피던스 변환을 행하여, 전류 공급 능력을 높이고 있다.

[0452] 주사선, 신호선 또는 전위 공급선에 버퍼 회로를 설치하지 않더라도, 주사선 구동 회로, 신호선 구동 회로 또는 전위 공급선 구동 회로에 버퍼 회로를 설치하여 이들의 구동 회로의 출력의 전류 공급 능력을 높게 하더라도 좋다.

[0453] 본 실시 형태에 설명되는 표시 장치의 기본적인 구성을 도 13을 이용하여 설명한다. 실시의 형태 8에 있어서, 도 2를 이용하여 설명한 표시 장치와 공통되는 부분은 공통의 부호를 이용하고 있다.

- [0454] 각각의 주사선(R1~Rm)은 일행의 화소의 스위치를 제어한다. 예컨대, 스위치로서 트랜지스터를 이용하고 있는 경우에는, 주사선(R1~Rm)에, 각 일행의 화소의 스위칭 트랜지스터의 게이트 단자가 접속되어 있다. 그리고, 일행의 스위칭 트랜지스터를 한번에 모두 on 구동할 필요가 있다. 특히, 해상도가 증가되면, 한번에 모두 on 구동되는 트랜지스터의 숫자가 증가하게 된다. 따라서, 본 실시 형태에 이용하는 버퍼 회로는 전류 공급 능력이 높은 것이 바람직하다.
- [0455] 또한, 전위 공급선(I1~Im)으로부터 구동 트랜지스터(206)의 제1 단자로 설정되는 신호는, 각 행의 화소의 구동 트랜지스터(206)와 발광 소자(209)에 전류를 공급하는데 필요하다. 따라서, 특히 전위 공급선(I1~Im)에 입력되는 신호는 전류 공급 능력이 높은 것이 요구된다.
- [0456] 또한, 도 13에 도시된 표시 장치의 주사선(R1~Rm)과 전위 공급선(I1~Im) 각각은 배선 저항을 갖고 있고, 또한 신호선(D1~Dn)과 주사선(R~Rm) 또는 전위 공급선(I1~Im) 간의 교차부에 기생 용량(교차 용량)이 형성된다. 따라서, 주사선(R1~Rm)은 각각, 저항 소자(1401)와 캐패시터(1402)를 이용하여 도 14에 도시한 바와 같은 등가 회로로 나타낼 수 있다.
- [0457] 이 등가 회로에 사각파의 입력 펄스(1403)가 입력되면, 그 응답파는 출력 펄스(1404)와 같이 라운딩이 생긴 파형을 갖는다. 즉, 펄스의 상승과 하강이 지연되어 버린다. 결국, 스위치(208)는 정상적인 타이밍에 on 구동되지 않게 되어, 비디오 신호를 화소에 정확히 기록할 수 없게 되어 버린다. 따라서, 본 실시 형태의 표시 장치에 있어서는 주사선으로부터 출력되는 신호는 버퍼 회로를 통해 전류 공급 능력을 높게 하는 것에 의해, 라운딩의 발생을 저감시킬 수 있다. 마찬가지로, 전위 공급선(I1~Im)에 관해서도 동일하게 적용될 수 있다. 특히, 각각의 전위 공급선(I1~Im)은 일행의 화소(205)의 발광 소자(210)를 발광시키기 위한 전류 공급 능력이 필요로 되기 때문에, 버퍼 회로에 의해 신호를 임피던스 변환하고, 전류 공급 능력을 높게 하는 것이 바람직하다.
- [0458] 또한, 신호선(D1~Dn)에 관해서도 기생 용량이 형성되면, 비디오 신호에 해당하는 아날로그 신호 전위를 설정하는 데 지연이 생겨 버리기 때문에, 화소로 신호를 정확히 기록할 수 없게 되어 버린다. 따라서, 본 실시 형태의 표시 장치에 있어서는 신호선으로부터 출력되는 신호도 버퍼 회로를 통해 공급함으로써 전류 공급 능력을 높게 한다.
- [0459] 도 13에 도시하는 표시 장치는 전위 공급선 구동 회로(201)로부터 출력되는 신호가 전위 공급선(I1~Im)에 설치된 각각의 버퍼 회로(1301)를 통해 전위 공급선(I1~Im)에 입력된다. 즉, 버퍼 회로(1301)를 통하는 것으로 전위 공급선 구동 회로(201)로부터 출력되는 신호의 전류 공급 능력을 높게 한다. 마찬가지로, 주사선(R1~Rm)에 각각 버퍼 회로(1302)를 설치하고 있다. 또한, 신호선(D1~Dn)의 각각도 버퍼 회로(803)를 설치하고 있다. 또, 버퍼 회로(803)는 아날로그 버퍼 회로를 이용하고 있다.
- [0460] 따라서, 각 구동 회로에서 출력되는 신호는 전류 공급 능력이 높기 때문에, 상술한 펄스 신호의 라운딩을 저감하는 것이 가능하다. 결국, 신속히 일행의 화소의 스위칭 트랜지스터를 온 구동하여, 신속히 비디오 신호를 기록할 수 있다. 따라서, 화소의 기록 기간을 짧게 할 수 있다.
- [0461] 본 실시 형태에 이용할 수 있는 버퍼 회로의 예를 다음에 설명한다. 이하, 버퍼 회로에 있어서, 입력 전위(Vin)가 입력되는 단자를 입력 단자, 출력 전위(Vout)가 출력되는 단자를 출력 단자라고 한다.
- [0462] 예컨대, 도 15a에 도시한 바와 같은 전압 팔로워 회로(1501)의 입력 단자를 신호선 구동 회로의 출력 단자에 접속하고, 전압 팔로워 회로(1501)의 출력 단자를 신호선에 접속한다. 전압 팔로워 회로를 버퍼 회로에 이용하는 경우, 특성의 변동이 작은 트랜지스터를 형성할 수 있는 IC 칩 상에 형성하면 좋다. 본 명세서에 있어서, IC 칩은 기판상에 형성된 칩 상의 분리된 집적 회로를 의미한다. 특히, IC 칩으로서는, 기판으로서 사용되는 단결정 실리콘 웨이퍼 위에 소자 분리 등에 의해 회로를 형성하고, 단결정 실리콘 웨이퍼를 임의의 형상으로 분리하여 형성하는 것이 바람직하다.
- [0463] 따라서, 버퍼 회로로서 전압 팔로워 회로(1501)를 채용하는 경우, 주사선 구동 회로, 신호선 구동 회로 및 전위 공급선 구동 회로와 함께 버퍼 회로를 형성한 IC 칩을 COG(Chip On Glass) 등에 의해 표시 패널에 실장하는 것이 바람직하다. 전압 팔로워 회로는 도 13의 표시 장치에 있어서의 버퍼 회로(1301), 버퍼 회로(1302) 및 버퍼 회로(1303)에 적용할 수 있지만, 아날로그 버퍼로서 기능하는 전압 팔로워 회로가 버퍼 회로(1302)로서 특히 적합하다.
- [0464] 또한, 도 15b에 도시한 바와 같이 n-형 트랜지스터(1502) 및 p-형 트랜지스터(1503)로 이루어지는 인버터를 버퍼 회로로서 이용하더라도 좋다. n-형 트랜지스터(1502)의 게이트 단자와 p-형 트랜지스터(1503)의 게이트 단

자는 함께 입력 단자에 접속되어, 그곳으로 입력 전위(V_{in})가 입력된다. 또한, n-형 트랜지스터(1502)의 소스 단자는 전원 공급 전위(V_{ss})에 접속되고, 그 드레인 단자는 p-형 트랜지스터(1503)의 드레인 단자와 함께 출력 단자에 접속된다. 출력 단자로부터 출력 전위(V_{out})가 출력된다. 버퍼 회로로서는 복수의 인버터를 직렬 접속하여 이용할 수 있다. 이때, 인버터로부터 출력되는 출력 전위(V_{out})가 입력 단자에 입력되는 다음 단의 인버터는 약 3배의 전류 공급 능력을 가지고 있어서, 전류 공급 능력을 효율적으로 향상시킬 수 있으며; 즉, 최초에 입력된 인버터로부터 출력되는 전위가 다음 단의 인버터에 입력되는 때는 약 3배의 전류 공급 능력의 인버터를 직렬로 접속한다. 이와 같이 하여 짹수개의 인버터를 접속하면 버퍼 회로로서 이용할 수 있다. n-형 트랜지스터(1502) 및 p-형 트랜지스터(1503)의 설계에 있어서, 채널폭(W)와 채널 길이(L)의 비율(W/L)을 조정하는 것으로 전류 공급 능력을 조정할 수 있다. 또, 도 15b에 도시한 같은 인버터를 이용한 버퍼 회로는 도 13의 표시 장치에 있어서의 버퍼 회로(1301 또는 1303)에 적용할 수 있다. 이러한 인버터를 이용한 버퍼 회로는 구성이 단순하며, 동일 기판상에 화소와 함께 주사선 구동 회로나 신호선 구동 회로가 형성된 박막 트랜지스터를 갖는 표시 패널을 제작하는 경우에는 버퍼 회로도 동일 기판상에 형성하는 것이 가능하다. 버퍼를 동일 기판 상에 형성하는 것으로 비용 절감을 꾀할 수 있다. 또한, 도 15b에 도시된 n-형 트랜지스터(1502) 및 p-형 트랜지스터(1503)로 이루어지는 CMOS 인버터는, 입력 단자에 인버터의 논리 문턱값(V_{in})에 근접한 전위가 입력되는 경우에 n-형 트랜지스터(1502) 및 p-형 트랜지스터(1503)를 통해 전류가 흐르지만, 입력 단자에 H 레벨이나 L 레벨의 전위가 입력되면 어느 하나의 트랜지스터가 off 동작되므로, 전력 소비의 낭비를 방지할 수 있다. 따라서, 도 15b에 도시한 바와 같은 CMOS 인버터를 이용하는 것으로 전력 소비를 절감할 수 있다.

[0465]

또한, 도 15c에 도시한 바와 같이 소스 팔로워 회로를 이용하여 버퍼 회로를 형성할 수도 있다. 소스 팔로워 트랜지스터(1504)와 전류원(1505)으로 이루어지고, 소스 팔로워 트랜지스터(1504)의 게이트 단자는 입력 단자에 접속되고, 드레인 단자는 전원 공급 전위(V_{dd})가 설정된 배선에 접속되고, 소스 단자는 전류원(1505)의 일측 단자와 출력 단자에 접속되어 있다. 전류원(1505)의 다른쪽의 단자는 저전원 공급 전위(V_{ss})가 설정된 배선에 접속되어 있다. 소스 팔로워 트랜지스터(1504)의 게이트-소스 전압(V_{gs})를 이용하여, 출력 전위(V_{out})는 이하의 식(1)으로 나타낼 수 있다.

수학식 1

[0466]

$$V_{out} = V_{in} - V_{gs}$$

[0467]

여기서, V_{gs} 는 소스 팔로워 트랜지스터(1504)가 전류 I_o 를 흘리는 데 필요한 전압이다.

[0468]

따라서, 출력 전위(V_{out})는 입력 전위(V_{in}) 보다 V_{gs} 만큼 낮은 전위가 된다. 그러나, 입력 전위(V_{in})에 입력되는 신호가 디지털 신호이면, 소스 팔로워 트랜지스터(1504)의 게이트-소스 전압(V_{gs})에 다소의 변동이 있더라도 소스 팔로워 회로를 버퍼로서 이용할 수 있다. 따라서, 도 13의 표시 장치에 있어서는, 소스 팔로워 회로가 버퍼 회로(1301)나 버퍼 회로(1303)로서 이용될 수 있다.

[0469]

도 15c에 도시된 소스 팔로워 회로는 구성이 단순하며, 박막 트랜지스터를 이용하여 용이하게 제작될 수 있다. 따라서, 동일 기판상에 화소와 함께 주사선 구동 회로나 신호선 구동 회로가 형성된 박막 트랜지스터를 갖는 표시 패널을 제작하는 경우에는 버퍼 회로는 동일한 기판 상에 제공될 수 있다. 버퍼 회로를 동일 기판 사에 형성하는 것으로 비용 절감을 꾀할 수 있다.

[0470]

또한, 소스 팔로워 트랜지스터(1504)로서, 도 15c에 도시한 바와 같이 n-형 트랜지스터를 이용함으로써, 화소, 주사선 구동 회로, 신호선 구동 회로, 전위 공급선 구동 회로, 버퍼 회로가 동일 기판 상에 형성된 표시 패널을 형성하는 경우, n-형 트랜지스터만으로 이루어지는 단극성 표시 패널을 제작할 수 있다.

[0471]

소스 팔로워 회로를 버퍼 회로로 이용하는 경우, 도 15d에 도시한 바와 같이 소스 팔로워 트랜지스터(1506)를 듀얼 게이트를 갖도록 형성함으로써 문턱 전압이 낮은 트랜지스터를 형성할 수 있다. 소스 팔로워 트랜지스터(1506) 이외의 구성은 도 15c와 동일하기 때문에, 공통의 부호를 이용하고 설명은 생략한다.

[0472]

도 15d와 같은 소스 팔로워 트랜지스터 회로에 의해 문턱 전압(V_{th})이 감소되고, 소스 팔로워 트랜지스터를 구성하는 각 트랜지스터 사이에서 변동이 저감되면, 소스 팔로워 회로는 아날로그 버퍼 회로로서도 이용될 수 있다. 따라서, 도 13의 표시 장치에 있어서 버퍼 회로(1301) 및 버퍼 회로(1303)는 물론이고, 버퍼 회로(1302)에도 도 15d와 같은 소스 팔로워 회로를 적용할 수 있다.

[0473]

또한, 도 16b와 같은 구성을 버퍼 회로에 적용할 수 있다. 소스 팔로워 회로는 소스 팔로워 트랜지스터(1604)와, 캐패시터(1605)와, 제1 스위치(1606)와, 제2 스위치(1607)와, 제3 스위치(1608)와, 전류원(1609)과, 전압

원(1610)으로 이루어진다. 소스 팔로워 트랜지스터(1604)의 드레인 단자는 전원 공급 전위(Vdd)가 설정된 배선에 접속되고, 소스 단자는 출력 단자와, 전류원(1609)을 통해 저전원 공급 전위(Vss)가 설정된 배선과, 제1 스위치(1606)의 일측의 단자와 접속되어 있다. 제1 스위치(1606)의 다른 쪽의 단자는 캐패시터의 일측의 단자와, 제3 스위치(1608)를 통해 입력 단자와 접속되어 있다. 캐패시터(1605)의 다른 쪽의 단자는 소스 팔로워 트랜지스터(1604)의 게이트 단자와, 또한 제2 스위치(1607) 및 전압원(1610)을 통해 저전원 공급 전위(Vss)가 설정된 배선과 접속되어 있다.

[0474] 도 16b의 소스 팔로워 회로의 동작에 관해서 간단히 설명한다. 예비 충전(precharging) 기간에 제1 스위치(1606)와 제2 스위치(1607)를 on 구동시킨다. 그러면, 캐패시터(1605)는 소스 팔로워 트랜지스터(1604)가 전류 Io를 흘리는데 필요한 게이트-소스 전압(Vgs)를 갖도록 전하를 축적한다. 그리고, 제1 스위치(1606) 및 제2 스위치(1607)를 오프로 함으로써 캐패시터(1605)는 소스 팔로워 트랜지스터(1604)의 게이트-소스 전압(Vgs)을 유지한다. 그리고, 제3 스위치(1608)를 온으로 하면, 캐패시터(1605)가 게이트-소스 전압(Vgs)을 유지한 채로 입력 단자에 입력 전위(Vin)가 입력된다. 따라서, 캐패시터(1605)의 다른 쪽의 단자에 접속된 소스 팔로워 트랜지스터(1604)의 게이트 단자에는 입력 전위(Vin)에 게이트-소스 전압(Vgs)을 가한 전위가 설정된다. 한편, 출력 전위로부터 출력되는 출력 전위(Vout)는 소스 팔로워 트랜지스터(1604)의 게이트 단자의 전위로부터 게이트-소스 전압(Vgs)를 뺀 전위이다. 결국, 출력 단자로부터 출력되는 전위는 입력 단자에 입력되는 전위와 동일하게 되어 $Vin = Vout$ 이 된다.

[0475] 따라서, 도 16b에 도시하는 소스 팔로워 회로는, 도 13의 표시 장치에 있어서 버퍼 회로(1301) 및 버퍼 회로(1303)는 물론이고, 비디오 신호의 전류 공급 능력을 향상시키는 버퍼 회로(1302)에도 적용 가능하다.

[0476] 또한, 전압 팔로워 회로에 비교해서 회로가 더욱 단순하고, 화소와 같이 주사선 구동 회로, 신호선 구동 회로, 전위 공급선 구동 회로가 동일 기판 상에 구비된 박막 트랜지스터를 갖는 표시 패널을 형성하는 경우, 버퍼로서, 도 16b에 도시하는 소스 팔로워 회로도 동일 기판 상에 형성할 수 있다. 또한, 도 16b의 소스 팔로워 회로는 동일 극성의 트랜지스터로 구성할 수 있으므로 단극성 표시 패널을 제작할 수 있다.

[0477] 도 15c 및 15d에 도시한 전류원(1505)와 도 16b에 도시한 전류원(1609)로서 포화 영역에서 동작하는 트랜지스터나, 저항 소자나, 정류 소자를 이용할 수 있다. 정류 소자로서는 특히, PN 접합 다이오드나, 다이오드 접속 트랜지스터를 이용할 수도 있다.

[0478] 여기서, 도 15d의 전류원(1505)에 다이오드 접속 트랜지스터를 적용한 경우에 관해서 도 16a를 이용하여 설명한다. 소스 팔로워 트랜지스터(1506)와 다이오드 접속 트랜지스터(1507)로 이루어지고, 소스 팔로워 트랜지스터(1506)의 드레인 단자는 전원 공급 전위(Vdd)가 설정된 배선에 접속되고, 소스 단자는 다이오드 접속 트랜지스터(1507)의 드레인 단자와 출력 단자에 접속되어 있다. 또한, 다이오드 접속 트랜지스터(1507)은 드레인 단자와 게이트 단자가 서로 접속되고, 소스 단자는 저전원 공급 전위(Vss)가 설정된 배선에 접속되어 있다.

[0479] 본 실시 형태의 표시 장치에 적용 가능한 화소 구성은 도 13에 도시한 구성에 한정되지 않고, 실시의 형태 2-5에 도시한 여러 가지 화소構成을 적용하는 것이 가능하다. 또한, 버퍼 회로도 모든 주사선 구동 회로, 신호선 구동 회로, 또는 전위 공급선 구동 회로의 출력이 입력되는 주사선, 신호선, 또는 전위 공급선에 설치할 필요는 없으며, 적절하게 설치가능하다. 특히 전위 공급선 구동 회로에서 출력되는 신호는, 일행의 화소의 발광 소자에 전류를 흘리는 만큼의 전류가 필요하기 때문에, 예컨대 도 13의 구성에 있어서, 전위 공급선 구동 회로 측의 버퍼 회로(1303)만을 설치하더라도 좋다.

[0480] (실시의 형태 9)

[0481] 본 실시 형태에서는, 본 발명의 화소 구성을 갖는 표시 장치의 주사선 구동 회로, 신호선 구동 회로, 및 전위 공급선 구동 회로에 관하여 설명한다. 즉, 본 실시 형태에 도시된 주사선 구동 회로, 신호선 구동 회로, 전위 공급선 구동 회로는 실시의 형태 1-5에 도시한 화소 구성을 갖는 표시 장치나 실시의 형태 6-7에 도시한 표시 장치에 적절하게 이용될 수 있다.

[0482] 도 25a에 도시하는 표시 장치는, 기판(2501)상에, 복수의 화소가 배치된 화소부(2502)를 지니고, 화소부(2502)의 주변에는, 전위 공급선 구동 회로(2503), 주사선 구동 회로(2504) 및 신호선 구동 회로(2505)를 형성하고 있다. 전위 공급선 구동 회로(2503)는 도 2의 전위 공급선 구동 회로(201)에 해당하고, 주사선 구동 회로(2504)는 도 2의 주사선 구동 회로(202)에 해당하며, 신호선 구동 회로(2505)는 도 2의 신호선 구동 회로(203)에 해당

한다.

[0483] 전위 공급선 구동 회로(2503), 주사선 구동 회로(2504) 및 신호선 구동 회로(2505)에 입력되는 신호는 연성 인쇄 회로(2506)를 통해 외부로부터 공급된다.

[0484] 도시되어 있지 않지만, FPC(2506)에는 COG(Chip On Glass)나 TAB(Tape Automated Bonding) 등에 의해 IC 칩이 실장되어 있더라도 좋다. 즉, 화소부(2502)로서 동일 기판 상에 형성되기 곤란한 전위 공급선 구동 회로(2503), 주사선 구동 회로(2504) 및 신호선 구동 회로(2505)의 일부의 메모리나 버퍼 회로 등을 IC 칩 상에 형성하여 표시 장치에 실장하더라도 좋다.

[0485] 또한, 도 25b에 도시한 바와 같이, 전위 공급선 구동 회로(2503) 및 주사선 구동 회로(2504)를 화소부(2502)의 한 쪽에 배치하더라도 좋다. 도 25b에 도시하는 표시 장치는 도 25a에 도시하는 표시 장치와는 전위 공급선 구동 회로(2503)의 배치만 다르기 때문에 동일한 부호를 이용하고 있다. 또한, 하나의 구동 회로에서 전위 공급선 구동 회로(2503) 및 주사선 구동 회로(2504)의 기능을 수행하는 구성을 채용하여도 좋다.

[0486] 계속해서, 도 25a 및 25b에 도시한 표시 장치의 신호선 구동 회로(2505)의 구성을 설명한다. 이것은, 도 2의 표시 장치의 신호선(D1~Dn)에 신호를 설정하기 위한 구동 회로이다. 도 31a에 도시하는 신호선 구동 회로는, 펄스 출력 회로(3101), 제1 래치 회로(3102), 제2 래치 회로(3103), D/A 변환 회로(디지털/아날로그 스위칭 회로)(3104), 기록 기간/발광 기간 선택 회로(3105) 및 아날로그 버퍼 회로(3106)를 포함한다.

[0487] 도 31a에 도시하는 신호선 구동 회로의 동작에 관해서, 도 33에 도시된 특정 구성을 이용하여 설명한다.

[0488] 펄스 출력 회로(3301)는 플립 플롭 회로(FF)(3309) 등을 복수단 이용하여 구성되고, 이엇에 클록 신호(S-CLK), 클록 반전 신호(S-CLKB), 스타트 펄스 신호(S-SP)가 입력된다. 이를 신호의 타이밍에 따라서 순차 샘플링 펄스가 출력된다.

[0489] 펄스 출력 회로(3301)에 의해 출력되는 샘플링 펄스는 제1 래치 회로(3302)에 입력된다. 제1 래치 회로(3302)에는 디지털 비디오 신호가 입력되고, 샘플링 펄스가 입력되는 타이밍에 따라서 각 단에 디지털 비디오 신호를 유지한다. 여기서, 디지털 비디오 신호는 각 단마다 3비트가 입력되어 있고, 각 비트의 비디오 신호는 제1 래치 회로(3302)에 유지된다. 하나의 샘플링 펄스에 의해서, 제1 래치 회로(3302)의 각 단의 3가지 래치 회로가 병렬 동작한다.

[0490] 제1 래치 회로(3302)가 최종단까지 디지털 비디오 신호의 유지를 완료하면, 수평 귀로 기간(horizontal retrace period) 동안에 제2 래치 회로(3303)에 래치 펄스(Latch Pulse)가 입력되고, 제1 래치 회로(3302)에 유지되어 있던 디지털 비디오 신호는 일제히 제2 래치 회로(3303)로 전송된다. 그후, 제2 래치 회로(3303)에 유지된 디지털 비디오 신호는 일행분이 동시에 DAC(D/A 변환 회로)(3304)로 입력된다.

[0491] DAC(3304)는 입력되는 디지털 비디오 신호를 아날로그 전위를 갖는 비디오 신호로 변환하고, 이것을 기록 기간/발광 기간 선택 회로(3305)에 포함된 스위칭 회로(3307)로 입력한다.

[0492] 제2 래치 회로(3303)에 유지된 디지털 비디오 신호가 DAC(3304)에 입력되어 있는 사이, 펄스 출력 회로(3301)로부터는 다시 샘플링 펄스가 출력된다. 기록 기간에 있어서는, 상술한 동작을 반복하여 1 프레임분의 비디오 신호의 처리를 행한다.

[0493] 기록 기간/발광 기간 선택 회로(3305)는 삼각파 전위 생성 회로(3308)를 포함한다. 발광 기간에 있어서는, 스위칭 회로(3307)에는, 삼각파 전위 생성 회로(3308)에 의해서 생성된 삼각파 전위가 입력된다.

[0494] 이 방식으로, 스위칭 회로(3307)에는, 기록 기간은 DAC(3304)로부터의 비디오 신호가 입력되고, 발광 기간에는 삼각파 전위 생성 회로(3308)로부터의 삼각파 전위가 입력된다. 그리고, 스위칭 회로(3307)는 기록 기간에는 비디오 신호를, 발광 기간에는 삼각파 전위를 아날로그 버퍼 회로(3306)에 입력한다.

[0495] 아날로그 버퍼 회로(3306)는 임피던스 변환하여, 입력된 전위와 동등한 전위를 신호선(D1~Dn)에 설정한다. 즉, 비디오 신호는 아날로그 버퍼 회로(3306)에서 전류 공급 능력이 향상되어, 아날로그 신호 전위로서 신호선(D1~Dn)에 설정된다. 신호선(D1~Dn)은 예컨대 도 2 또는 도 13의 표시 장치의 신호선(D1~Dn)에 해당한다.

[0496] 도 31a에 있어서, 입력되는 디지털 비디오 신호(Digital Video Data)는 아날로그 비디오 신호(Analog Video Data)로 변환되기 전에 보정하는 것이 바람직한 경우도 있다. 따라서, 도 31b에 도시한 바와 같이, 제1 래치 회로(3102)에 입력하기 전에 디지털 비디오 신호(Digital Video Data)를 보정 회로(3107)에 의해서 보정하고 나서 제1 래치 회로(3102)에 입력하도록 하는 것이 바람직하다. 보정 회로(3107)에서는 예컨대, 감마 보정 등을

할 수 있다.

[0497] 또한, 임피던스 변환은 D/A 변환 회로의 출력을 기록 기간/발광 기간 선택 회로에 입력하기 전에 수행하여도 좋다. 즉, 도 31a의 구성에 있어서, D/A 변환 회로(3104)의 출력을 임피던스 변환하여 기록 기간/발광 기간 선택 회로(3105)에 입력하는 구성으로서, 도 35a와 같은 구성으로 할 수 있다. 이때, 도 35a의構성을 도 37에 상세히 나타내고 있다. 펄스 출력 회로(3701), 제1 래치 회로(3702), 제2 래치 회로(3703), D/A 변환 회로(3704), 기록 기간/발광 기간 선택 회로(3705), 아날로그 버퍼 회로(3706), 스위칭 회로(3707), 삼각파 전위 생성 회로(3708), 플립 플롭 회로(3709) 등의 각각의 기능은, 도 33의 펄스 출력 회로(3301), 제1 래치 회로(3302), 제2 래치 회로(3303), D/A 변환 회로(3304), 기록 기간/발광 기간 선택 회로(3305), 아날로그 버퍼 회로(3306), 스위칭 회로(3307), 삼각파 전위 생성 회로(3308), 플립 플롭 회로(3309)와 동일하다. 또한, 도 31b의 구성에 있어서, D/A 변환 회로(3104)의 출력을 임피던스 변환하여 기록 기간/발광 기간 선택 회로(3105)에 입력하는 구성으로서, 도 35b와 같은 구성을 채용할 수 있다.

[0498] 도 31a, 31b 및 33을 참조하여 신호선 구동 회로에 입력되는 디지털 비디오 신호의 경우의 구성에 관해서 설명했지만, 도 32a, 32b 및 도 34를 참조하여 아날로그 비디오 신호인 경우에 관해서 하기에 설명한다. 이 경우에는, 도 31a, 31b의 경우와 달리 D/A 변환 회로는 제공되지 않을 수 있다. 또한, 아날로그 비디오 신호를 유지할 수 있는 제1 아날로그 래치 회로 및 제2 아날로그 래치 회로는 각 단에 1 비트분 만큼 설치하면 좋다. 도 32a에 도시한 바와 같이, 펄스 출력 회로(3201), 제1 아날로그 래치 회로(3202), 제2 아날로그 래치 회로(3203), 기록 기간/발광 기간 선택 회로(3204) 및 아날로그 버퍼 회로(3205)가 포함된다.

[0499] 도 32a에 도시하는 신호선 구동 회로의 동작에 관해서, 도 34에 도시한 특정 구성을 이용하여 설명한다.

[0500] 펄스 출력 회로(3401)는 플립 플롭 회로(FF)(3408) 등을 복수단 이용하여 구성되고, 그곳에 클록 신호(S-CLK), 클록 반전 신호(S-CLKB), 스타트 펄스 신호(S-SP)가 입력된다. 이들의 신호의 타이밍에 따라서 순차 샘플링 펄스가 출력된다.

[0501] 펄스 출력 회로(3401)에 의해 출력된 샘플링 펄스는 제1 아날로그 래치 회로(3402)에 입력된다. 제1 아날로그 래치 회로(3402)에는 아날로그 비디오 신호가 입력되어 있고, 샘플링 펄스가 입력되는 타이밍에 따라서, 각 단에 아날로그 비디오 신호가 유지된다. 여기서는, 아날로그 비디오 신호는 각 단마다 1 비트 입력되어 있고, 1 비트의 비디오 신호를, 각각의 단마다의 제1 아날로그 래치 회로(3402)에 유지한다.

[0502] 제1 아날로그 래치 회로(3402)가 최종단까지 아날로그 비디오 신호의 유지를 완료하면, 수평 귀로 기간 동안에 제2 아날로그 래치 회로(3403)에 래치 펄스(Latch Pulse)가 입력되고, 제1 아날로그 래치 회로(3402)에 유지되어 있던 아날로그 비디오 신호는 일제히 제2 아날로그 래치 회로(3403)로 전송된다. 그후, 제2 아날로그 래치 회로(3403)에 유지된 아날로그 비디오 신호는 일행분이 동시에 기록 기간/발광 기간 선택 회로(3404)에 포함된 스위칭 회로(3406)로 입력된다.

[0503] 그리고, 기록 기간에는, 스위칭 회로(3406)는 제2 아날로그 래치 회로(3403)로부터 입력된 비디오 신호를 아날로그 버퍼 회로(3405)로 입력하고, 아날로그 버퍼 회로(3405)는 임피던스 변환하여 신호선(D1~Dn)에 각각의 아날로그 신호 전위를 공급한다. 신호선(D1~Dn)은 예컨대 도 2 또는 도 8의 표시 장치의 신호선(D1~Dn)에 해당한다.

[0504] 이와 같이 일 화소행분의 아날로그 신호 전위를 신호선(D1~Dn)에 설정하고 있는 사이, 펄스 출력 회로(3401)는 다시 샘플링 펄스를 출력한다. 기록 기간에 있어서는, 상술한 동작을 반복하여, 1 프레임분의 비디오 신호의 처리를 행한다.

[0505] 기록 기간/발광 기간 선택 회로(3404)는 또한 삼각파 전위 생성 회로(3407)를 포함한다. 발광 기간에 있어서는, 스위칭 회로(3406)에는, 삼각파 전위 생성 회로(3407)에 의해서 생성된 삼각파 전위가 입력된다. 발광 기간에 아날로그 버퍼 회로(3305)는 임피던스 변환하여, 입력된 삼각파 전위와 동등한 전위를 신호선(D1~Dn)에 설정한다. 즉, 아날로그 버퍼 회로에서 출력 전류 능력을 향상시킨다.

[0506] 이 방식으로, 스위칭 회로(3406)에는 기록 기간시 제2 아날로그 래치 회로(3403)로부터의 비디오 신호가 입력되고, 발광 기간시 삼각파 전위 생성 회로(3407)부터의 삼각파 전위가 입력된다. 그런 다음, 스위칭 회로(3406)는 기록 기간에는 비디오 신호를, 발광 기간에는 삼각파 전위를 아날로그 버퍼 회로(3405)로 입력한다.

[0507] 외부로부터의 비디오 신호가 디지털 비디오 신호인 경우, 도 32b에 도시한 바와 같이 D/A 변환 회로(3206)에서 디지털 비디오 신호를 아날로그 비디오 신호로 변환하고 나서 제1 아날로그 래치 회로(3202)로 입력하도록 하여

도 좋다.

[0508] 또한, 임피던스 변환은 제2 래치 회로의 출력을 기록 기간/발광 기간 선택 회로에 입력하기 전에 행하더라도 좋다. 즉, 도 32a의 구성에 있어서, 제2 아날로그 래치 회로(3203)의 출력을 임피던스 변환하여 기록 기간/발광 기간 선택 회로(3204)에 입력하는 구성으로서, 도 36a과 같은 구성으로 할 수 있다. 펄스 출력 회로(3801), 제1 아날로그 래치 회로(3802), 제2 아날로그 래치 회로(3803), 기록 기간/발광 기간 선택 회로(3804), 아날로그 버퍼 회로(3805), 스위칭 회로(3806), 삼각파 전위 생성 회로(3807), 플립 플롭 회로(3808) 등의 각각의 기능은 도 34의 펄스 출력 회로(3401), 제1 아날로그 래치 회로(3402), 제2 아날로그 래치 회로(3403), 기록 기간/발광 기간 선택 회로(3404), 아날로그 버퍼 회로(3405), 스위칭 회로(3406), 삼각파 전위 생성 회로(3407), 플립 플롭 회로(3408)의 그것과 같다. 또한, 도 32b의 구성에 있어서, 제2 아날로그 래치 회로(3203)의 출력을 임피던스 변환하여 기록 기간/발광 기간 선택 회로(3204)에 입력하는 구성으로서, 도 36b와 같은 구성으로 할 수 있다.

[0509] 비디오 신호에 해당하는 아날로그 신호 전위와, 구동 트랜지스터의 온/오프를 제어하는 아날로그 방식으로 변화되는 전위를 별도의 신호선으로 화소에 입력하는 화소 구성(예컨대, 도 56의 화소 구성)을 갖는 표시 장치에 적용 가능한 신호선 구동 회로에 관해서 도 39 및 도 40을 이용하여 설명한다.

[0510] 우선, 도 39의 구성에 관해서 설명한다.

[0511] 펄스 출력 회로(3901)는 플립 플롭 회로(FF)(3907) 등을 복수단 이용하여 구성되고, 그곳으로 클록 신호(S-CLK), 클록 반전 신호(S-CLKB), 스타트 펄스 신호(S-SP)가 입력된다. 이들의 신호의 타이밍에 따라서 순차 샘플링 펄스가 출력된다.

[0512] 펄스 출력 회로(3901)에 의해 출력된 샘플링 펄스는 제1 래치 회로(3902)에 입력된다. 제1 래치 회로(3902)에는 디지털 비디오 신호가 입력되어 있고, 샘플링 펄스가 입력되는 타이밍시 각 단에 디지털 비디오 신호를 유지한다. 여기서, 디지털 비디오 신호는 각 단마다 3비트가 입력되어 있고, 각 비트의 비디오 신호를 각각 제1 래치 회로(3902)에 유지한다. 하나의 샘플링 펄스에 의해서 제1 래치 회로(3902)의 각 단의 3가지 래치 회로가 병렬 동작한다.

[0513] 제1 래치 회로(3902)가 최종단까지 아날로그 비디오 신호의 유지를 완료하면, 수평 귀로 기간 동안에 제2 아날로그 래치 회로(3903)에 래치 펄스(Latch Pulse)가 입력되고, 제1 래치 회로(3902)에 유지되어 있던 디지털 비디오 신호는 모두 일시에 제2 아날로그 래치 회로(3903)로 전송된다. 그후, 제2 래치 회로(3903)에 유지된 디지털 비디오 신호는 일행분이 동시에 DAC(D/A 변환 회로)(3904)로 입력된다.

[0514] DAC(3904)는 입력되는 디지털 비디오 신호를 아날로그 전위를 갖는 비디오 신호로 변환하여 아날로그 버퍼 회로(3905)에 입력한다.

[0515] 아날로그 버퍼 회로(3905)로부터 신호선(D1a1~D1an)에 아날로그 신호 전위가 각각 설정된다. 동시에 삼각파 전위 생성 회로(3906)로부터도 삼각파 전위가 각 신호선(D2a1~D2an)으로 설정된다. 각 신호선(D1a1~D1an)은 도 4 또는 도 7의 화소를 갖는 표시 장치의 제1 신호선(410) 또는 신호선(390)에 해당하고, 각 신호선(D2a1~D2an)은 도 4 또는 도 7의 화소를 갖는 표시 장치의 제2 신호선(411)이나 제2 신호선(391)에 해당한다.

[0516] 다음에, 도 40의 구성에 관해서 설명한다.

[0517] 펄스 출력 회로(4001)는 플립 플롭 회로(FF)(4006) 등을 복수단 이용하여 구성되고, 여기에 클록 신호(S-CLK), 클록 반전 신호(S-CLKB), 스타트 펄스 신호(S-SP)가 입력된다. 이들의 신호의 타이밍에 따라서 순차 샘플링 펄스가 출력된다.

[0518] 펄스 출력 회로(4001)에 의해 출력된 샘플링 펄스는 제1 아날로그 래치 회로(4002)에 입력된다. 제1 아날로그 래치 회로(4002)에는 아날로그 비디오 신호(Analog Data)가 입력되어 있고, 샘플링 펄스가 입력되는 타이밍에 각 단에 아날로그 비디오 신호를 유지한다. 여기서, 아날로그 비디오 신호는 각 단마다 1비트가 입력되어 있고, 1비트의 비디오 신호를 각 단마다의 제1 아날로그 래치 회로(4002)에 있어서 유지된다.

[0519] 제1 아날로그 래치 회로(4002)가 최종단까지 아날로그 비디오 신호를 유지하는 것을 종료하면, 수평 귀로 기간 동안에 제2 아날로그 래치 회로(4003)에 래치 펄스(Latch Pulse)가 입력되고, 제1 아날로그 래치 회로(4002)에 유지되어 있던 디지털 비디오 신호는 모두 한번에 제2 아날로그 래치 회로(4003)로 전송된다. 그후, 제2 래치 회로(4003)에 유지된 디지털 비디오 신호는 일행분이 동시에 아날로그 버퍼 회로(4004)로 입력된다.

- [0520] 아날로그 버퍼 회로(4004)로부터 각 신호선(D1a1~D1an)에 아날로그 신호 전위가 설정된다. 동시에, 삼각파 전위 생성 회로(4005)로부터도 삼각파 전위가 각 신호선(D2a1~D2an)으로 설정된다.
- [0521] 선택된 행의 화소 모두 일제히 신호가 기록되는 경우(점순차 방식이라고도 한다)의 신호선 구동 회로에 관해서 설명했지만, 신호선 구동 회로에 입력되는 비디오 신호를 펄스 출력 회로에서 출력되는 신호에 따라서 그대로 화소에 기록할 수 있다(점순차 방식이라고도 한다).
- [0522] 실시의 형태 1에 설명된 화소 구성에 적용 가능한 점순차 방식의 신호선 구동 회로를 도 41a를 이용하여 설명한다. 펄스 출력 회로(4101), 제1 스위치군(4102) 및 제2 스위치군(4103)으로 이루어진다. 제1 스위치군(4102) 및 제2 스위치군(4103)은 각각 복수 단의 스위치를 갖는다. 이 복수의 단은 각각 신호선에 대응하고 있다.
- [0523] 제1 스위치군(4102)의 각 단의 스위치의 한편의 단자는 비디오 신호에 해당하는 아날로그 비디오 신호(Analog Video Data)가 입력되는 배선에 접속되고, 다른쪽의 단자는 각각 대응하는 신호선에 접속되어 있다. 또한, 제2 스위치군(4103)의 각 단의 스위치의 한편의 단자는 삼각파 전위가 설정되는 배선에 접속되고, 다른쪽의 단자는 각각 대응하는 신호선에 접속되어 있다.
- [0524] 화소의 신호 기록 기간에는 펄스 출력 회로(4101)에 클록 신호(S-CLK), 클록 반전 신호(S-CLKB), 스타트 펄스 신호(S-SP)가 입력된다. 이들의 신호의 타이밍에 따라 순차로 샘플링 펄스가 출력된다. 이때, 제2 스위치군(4103)의 온/오프를 제어하는 제어 신호는 모든 단의 스위치가 오프되도록 설정한다.
- [0525] 그리고, 샘플링 펄스의 출력에 따라서, 제1 스위치군(4102)의 스위치는 1단씩 온 동작된다.
- [0526] 따라서, 기록 기간에는, 제1 스위치군(4102) 중 on 동작된 스위치의 단에 대응하는 신호선에 Analog Video Data가 입력된다. 이 방식으로, 제1 스위치군(4102)의 각 단의 스위치를 온 동작시켜, 선택되어 있는 행의 화소에 순차적으로 Analog Video Data를 기록한다.
- [0527] 계속해서, 다음 행의 화소가 선택되어, 마찬가지로 신호가 화소에 기록된다. 모든 행의 화소에 신호가 기록하면 신호 기록 기간은 종료한다.
- [0528] 화소로의 신호 기록 기간이 종료하면 발광 기간이 된다. 화소의 발광 기간에는, 펄스 출력 회로(4101)로부터 샘플링 펄스가 출력되지 않도록 한다. 즉, 펄스 출력 회로(4101)의 출력을 제1 스위치군(4102)에 입력되지 않도록 하거나, 펄스 출력 회로(4101)에 스타트 펄스 신호(S-SP)가 입력되지 않도록 할 수 있다; 즉, 제1 스위치군(4102)의 스위치가 오프로 된다.
- [0529] 또한, 제2 스위치군(4103)의 모든 스위치가 온 동작하도록 제어 신호를 입력한다. 결국, 모든 신호선에 삼각파 전위가 설정된다. 발광 기간에 있어서는, 모든 행의 화소가 선택되어 있기 때문에 모든 화소에 삼각파 전위를 설정할 수 있다. 삼각파 전위가 입력된다.
- [0530] 이 방식으로 발광 기간이 종료하면, 1 프레임 기간은 종료한다.
- [0531] 다음에, 실시의 형태 2에 설명된 화소 구성에 적용 가능한 점순차 방식의 신호선 구동 회로를 도 41b를 이용하여 설명한다. 펄스 출력 회로(4111) 및 스위치군(4112)으로 이루어진다. 스위치군(4112)은 각각 복수 단의 스위치를 갖는다. 이 복수의 단은 각각 제1 신호선에 대응하고 있다.
- [0532] 스위치군(4112)의 각 단의 스위치의 한편의 단자는 비디오 신호에 해당하는 아날로그 비디오 신호(Analog Video Data)가 입력되는 배선에 접속되고, 다른쪽의 단자는 각각 화소열에 대응하는 제1 신호선에 접속되어 있다. 또한, 삼각파 전위가 설정되는 배선은 각각 화소열에 대응하는 제2 신호선에 접속되어 있다.
- [0533] 화소의 신호 기록 기간에는, 펄스 출력 회로(4111)에 클록 신호(S-CLK), 클록 반전 신호(S-CLKB), 스타트 펄스 신호(S-SP)가 입력된다. 이들의 신호의 타이밍에 따라서 샘플링 펄스가 순차로 출력된다.
- [0534] 그리고, 샘플링 펄스의 출력에 따라서, 스위치군(4112)의 스위치는 1단씩 온 동작한다.
- [0535] 따라서, 화소로의 신호 기록 기간에는, 스위치군(4112) 중의 온 동작 상태의 스위치의 단에 대응하는 신호선에 아날로그 비디오 신호(Analog Video Data)가 입력된다. 이 방식으로, 스위치군(4112)의 각 단의 스위치를 온 동작시켜, 선택되어 있는 행의 화소에 순차로 아날로그 비디오 신호(Analog Video Data)를 기록한다.
- [0536] 선택되어 있지 않은 행의 화소는 제2 신호선에 접속되어 있고 발광 기간 중이다.
- [0537] 전술한 바와 같이, 도 41b의 구성은, 화소의 행마다 기록 기간이 설정되고, 일 화소행이 기록 기간에 있을 때

다른 화소 행은 발광 기간에 있는 실시 형태 2에 설명된 바와 같은 화소에 적용할 수 있다.

[0538] 주사선 구동 회로나 전위 공급선 구동 회로의 구성에 관해서 계속해서 설명한다.

[0539] 주사선 구동 회로나 전위 공급선 구동 회로는 펠스 출력 회로를 포함한다. 기록 기간에 있어서는, 펠스 출력 회로부터의 샘플링 펠스를 주사선 또는 전위 공급선에 출력한다. 그리고, 발광 기간에 있어서는, 샘플링 펠스의 출력이 출력되지 않도록 하고, 주사선에는 모든 화소행이 선택되지 않은 신호를 입력한다. 또한, 전위 공급 선에는, 발광 소자에 순방향 전압을 인가하기 위한 전위를 설정한다.

[0540] 주사선 구동 회로와 전위 공급선 구동 회로를 하나의 구동 회로로 형성하는 것에 의해 구동 회로의 점유 면적을 줄이고, 프레임 크기를 줄일 수 있다.

[0541] 다음에, 본 실시 형태의 D/A 변환 회로에 이용할 수 있는 구성에 관해서 설명한다.

[0542] 도 17에 도시된 것은 3비트의 디지털 신호를 아날로그 신호로 변환할 수 있는 저항 스트링형의 D/A 변환 회로이다.

[0543] 복수의 저항 소자가 직렬로 접속되어 있다. 이들 저항 소자군의 한편의 단자에는 참조 전원 공급 전위(Vref)가 설정되고, 다른쪽의 단자에는 저전원 공급 전위(예컨대, GND)가 설정되어 있다. 저항 소자군에는 전류가 흐르고, 전압 강하에 의해 각 저항 소자의 양끝의 단자의 전위가 다르다. 입력 단자 1, 입력 단자 2 및 입력 단자 3에 각각 입력되는 신호에 따라서, 스위치의 온/오프를 선택하여, 8가지 종류의 전위를 출력 단자로부터 얻을 수 있다. 구체적으로는, 입력 단자 3에 입력되는 신호에 의해 8종류의 전위중, 높은 쪽의 4개의 전위와 낮은 쪽의 4개의 전위중 어느 쪽인가가 선택된다. 그리고, 입력 단자 2에 입력되는 신호에 의해 입력 단자 3에 의해 선택되는 4개의 전위중, 높은 쪽의 2개의 전위와 낮은 쪽의 2개의 전위중 어느 쪽인가가 선택된다. 그리고, 입력 단자 1에 입력되는 신호에 의해, 입력 단자 2에 의해 선택된 2개의 전위중 높은 쪽 전위 또는 낮은 쪽 전위가 선택된다. 이렇게 해서, 8종류의 전위 중 하나의 전위가 선택된다. 따라서, 입력 단자 1, 입력 단자 2 및 입력 단자 3에 입력되는 디지털 신호를 아날로그 신호 전위로 변환할 수 있다.

[0544] 도 18에 도시된 것은 6비트의 디지털 신호를 아날로그 신호로 변환 가능한 용량 어레이형의 D/A 변환 회로이다.

[0545] 복수의 정전 용량이 다른 캐패시터를 병렬로 접속된다. 디지털 신호에 따라서 스위치 1-6의 온/오프를 제어하여, 임의의 캐패시터에 참조 전원 공급 전위(Vref)와 저전원 공급 전위(예컨대 GND) 사이의 전위차에 해당하는 전하를 축적한다. 그 후, 축적된 전하를 복수의 캐패시터로 분배한다. 결국, 복수의 캐패시터의 전압은 소정 값으로 안정된다. 이 전압으로부터 한편의 전위를 증폭기로 검출 하는 것에 의해 디지털 신호가 아날로그 신호 전위로 변환될 수 있다.

[0546] 또한, 저항 스트링형과 용량 어레이형을 조합시킨 D/A 변환 회로를 이용하더라도 좋다. 이들의 D/A 변환 회로는 단지 예시적인 것으로, 다양한 D/A 변환 회로를 적절하게 이용할 수 있다.

[0547] (실시의 형태 10)

[0548] 본 실시 형태에서는 실시의 형태 1-5에 설명된 화소 구성을 갖는 표시 패널의 구성에 관해서 도 19a 및 19b를 이용하여 설명한다.

[0549] 본 실시 형태에서, 화소부에 본 발명의 화소 구성을 갖는 표시 패널에 관해서 도 19a 및 19b를 이용하여 설명한다. 도 19a는 표시 패널을 도시하는 평면도이고, 도 19b는 도 19a의 선 A-A'을 따라 취한 단면도이다. 점선으로 표시된 신호선 구동 회로(Data line Driver)(1901), 화소부(1902), 전위 공급선 구동 회로(Illumination line Driver)(1903), 주사선 구동 회로(Reset line Driver)(1906)를 포함한다. 또한, 밀봉 기판(1904) 및 시일재(1905)를 포함한다. 시일재(1905)로 둘러싸인 내측은 공간(1907)으로 되어 있다.

[0550] 배선(1908)은 전위 공급선 구동 회로(1903), 주사선 구동 회로(1906) 및 신호선 구동 회로(1901)에 입력되는 신호를 전송하기 위한 배선이다. 배선(1908)은 외부 입력 단자인 연성 인쇄 회로(FPC)(1909)로부터 비디오 신호, 클록 신호, 스타트 신호 등을 수신한다. FPC(1909)와 표시 패널과의 접합부 상에는 IC 칩(메모리 회로나, 버퍼 회로 등이 형성된 반도체 칩)(1919)이 COG(Chip On Glass) 등의 방식으로 실장되어 있다. 여기서는 FPC 만이 도시되어 있지 않지만, 이 FPC에는 인쇄 배선 기판(PWB)이 부착되어 있어도 좋다. 본 명세서에 있어서 표시 장치는 표시 패널 본체뿐만 아니라, FPC 혹은 PWB가 부착된 상태의 것과, IC 칩 등이 실장된 것을 포함한다.

- [0551] 그 단면 구조에 관해서 도 19b를 이용하여 설명한다. 기판(1910)상에는 화소부(1902)와 그 주변 구동 회로(전위 공급선 구동 회로(1903), 주사선 구동 회로(1906) 및 신호선 구동 회로(1902))가 형성되어 있다. 신호선 구동 회로(1901)와 화소부(1902)가 표시되고 있다.
- [0552] 신호선 구동 회로(1901)는 n-형 TFT(1920)이나 n-형 TFT(1921)과 같이 단극성의 트랜지스터로 구성되어 있다. 또, 전위 공급선 구동 회로(1903) 및 주사선 구동 회로(1906)도 마찬가지로 n-형 트랜지스터로 구성하는 것이 바람직하다. 화소 구성에는 도 7이나 도 10의 화소 구성을 적용함으로써 단극성의 트랜지스터로 형성할 수 있는 단극성 표시 패널을 제작하는 것이 가능하다. 물론, 단극성의 트랜지스터 뿐만 아니라 p-형 트랜지스터도 이용하여 CMOS 회로를 형성하더라도 좋다. 본 실시 형태에서는 동일 기판 상에 주변 구동 회로를 형성한 표시 패널을 도시하지만, 본 발명은 이에 한정되지 않고, 주변 구동 회로의 전부 또는 일부를 IC 칩 등에 형성하여, COG 등으로 실장하더라도 좋다. 그 경우에는 구동 회로는 단극성으로 할 필요가 없으며, p-형 트랜지스터를 조합시켜 이용할 수 있다. 또한, 본 실시 형태에 설명되는 표시 패널에는 도 13에 도시한 표시 장치에 있어서의 베퍼 회로(1301), 베퍼 회로(1302) 및 베퍼 회로(1303)가 도시되어 있지 않지만, 주변 구동 회로에 각 베퍼 회로를 갖추고 있다.
- [0553] 화소부(1902)는 스위칭 TFT(1911)과, 구동 TFT(1912)을 포함하는 화소를 구성하는 복수의 회로를 포함한다. 또, 구동 TFT(1912)의 소스 전극은 제1 전극(1913)과 접속되어 있다. 또한, 제1 전극(1913)의 단부를 덮도록 절연물(1914)가 형성되어 있다; 여기서는, 포지티브형의 감광성 아크릴 수지막을 이용하여 형성한다.
- [0554] 커버리지를 향상시키기 위해, 절연물(1914)의 상단부 또는 하단부에 곡율을 갖는 곡면이 형성되도록 한다. 예컨대, 절연물(1914)의 재료로서 포지티브형의 감광성 아크릴을 이용한 경우, 절연물(1914)의 상단부에만 곡률 반경(0.2~3 μ m)을 갖는 곡면을 갖게 하는 것이 바람직하다. 또한, 절연물(1914)로서, 감광성의 빛에 의해서 에칭제에 불용해성인 네가티브형 수지, 또는 빛에 의해서 에칭제에 용해성인 포지티브형 수지 중의 어느 것이나 사용할 수 있다.
- [0555] 제1 전극(1913) 상에는, 유기 화합물을 포함하는 층(1916) 및 제2 전극(1917)이 형성되어 있다. 양극으로서 기능하는 제1 전극(1913)에 이용하는 재료로서는 일 함수가 큰 재료를 이용하는 것이 바람직하다. 예컨대, ITO(인듐 주석 산화물)막, 인듐 아연 산화물(IZO)막, 질화 티타늄막, 크롬막, 텅스텐막, 아연막, 또는 백금막 등의 단층막과, 질화 티타늄막과 알루미늄을 주성분으로 하는 막과의 적층막과, 질화 티타늄막, 알루미늄을 주성분으로 하는 막, 및 질화 티타늄막의 3층 구조 등을 이용할 수 있다. 적층 구조는 배선으로서의 저항을 낮춰 양호한 오옴 접촉을 이를 수 있고, 양극으로서 기능시킬 수 있다.
- [0556] 유기 화합물을 포함하는 층(1916)은 증착 마스크를 이용한 증착법, 또는 잉크 제트법에 의해서 형성된다. 유기 화합물을 포함하는 층(1916)으로는, 주기율의 제4족 금속착물을 부분적으로 사용하고, 또, 이와 조합하여 저분자량 재료 또는 고분자량 재료를 사용할 수 있다. 유기 화합물을 포함하는 층에 이용하는 재료로서는, 통상, 유기 화합물을 단층 혹은 적층으로 이용하는 경우가 많지만, 본 실시 형태에 있어서는, 유기 화합물로 이루어지는 막의 일부에 무기 화합물을 이용하는 구성도 포함한다. 더욱이, 공지의 삼중향 재료(triplet material)를 이용하는 것도 가능하다.
- [0557] 유기 화합물을 포함하는 층(1916) 상에 형성되는 제2 전극(음극)(1917)의 재료로서는 일 함수가 작은 재료(A1, Ag, Li, Ca, 또는 이들의 합금, MgAg, MgIn, AlLi, CaF₂, 또는 CaN)를 이용하면 좋다. 유기 화합물을 포함하는 층(1916)으로 생긴 광이 제2 전극(1917)을 통해 투과되는 경우에는, 제2 전극(음극)(1917)으로서, 금속 박막과 투명 도전막[예, ITO(산화 인듐 및 산화 주석 인듐 합금), 산화 인듐 산화 아연 합금(In₂O₃-ZnO), 또는 산화 아연(ZnO)]과의 적층을 이용하는 것이 좋다.
- [0558] 또한, 시일재(1905)로 밀봉 기판(1904)을 기판(1910)과 접합시키는 것에 의해, 기판(1910), 밀봉 기판(1904) 및 시일재(1905)로 둘러싸인 공간(1907)에 표시 소자(1918)가 구비된 구조로 되어 있다. 또, 공간(1907)에는 불활성 기체(질소나 아르곤) 또는 시일재(1905)로 충전될 수 있다.
- [0559] 시일재(1905)로는 에폭시계 수지를 이용하는 것이 바람직하다. 또한, 이러한 재료는 가능한 한 수분이나 산소를 투과하지 않는 재료인 것이 바람직하다. 밀봉 기판(1904)으로서는 유리 기판, 석영 기판, 또는 플라스틱 기판으로서 FRP(Fiberglass-Reinforced Plastics), PVF(폴리비닐플로라이드), 마일라(mylar), 폴리에스테르, 또는 아크릴 등으로 이루어지는 플라스틱 기판을 이용할 수 있다.
- [0560] 따라서, 본 발명의 화소 구성을 갖는 표시 패널을 얻을 수 있다.

- [0561] 도 19a 및 19b에 도시한 바와 같이, 신호선 구동 회로(1901), 화소부(1902), 전위 공급선 구동 회로(1903) 및 주사선 구동 회로(1906)를 동일 기판 상에 형성 하는 것에 의해, 표시 장치의 비용 절감을 꾀할 수 있다. 또한, 이 경우에 있어서, 신호선 구동 회로(1901), 화소부(1902), 전위 공급선 구동 회로(1903) 및 주사선 구동 회로(1906)에 이용되는 트랜지스터를 단극성으로 하는 것으로 제작 공정을 단순화할 수 있어서 추가의 비용 절감을 이룰 수 있다.
- [0562] 표시 패널의 구성으로서는, 도 19a에 도시한 바와 같이, 신호선 구동 회로(1901), 화소부(1902), 전위 공급선 구동 회로(1903) 및 주사선 구동 회로(1906)를 동일 기판 상에 형성하고 있는 구성에 한정되지 않고, 신호선 구동 회로(1901)에 해당하는 도 42a 및 42b에 도시된 신호선 구동 회로(4201)를 IC 칩 상에 형성하여, COG 등으로 표시 패널에 실장한 구성을 채용할 수 있다. 도 42a의 기판(4200), 화소부(4202), 전위 공급선 구동 회로(4203), 주사선 구동 회로(4204), FPC(4205), IC 칩(4206), IC 칩(4207), 밀봉 기판(4208), 및 시일재(4209)는 도 19a의 기판(1910), 화소부(1902), 전위 공급선 구동 회로(1903), 주사선 구동 회로(1906), FPC(1909), IC 칩(1918), IC 칩(1919), 밀봉 기판(1904), 및 시일재(1905)에 해당한다.
- [0563] 즉, 구동 회로의 고속동작이 요구되는 신호선 구동 회로만을, CMOS 등을 이용하여 IC 칩 상에 형성하여 저소비 전력화를 꾀한다. 또한, IC 칩은 실리콘 웨이퍼 등의 반도체칩을 사용함으로써 고속 동작 및 저소비 전력화를 꾀할 수 있다.
- [0564] 그리고, 주사선 구동 회로(4203)와 전위 공급선 구동 회로(4204)를 화소부(4202)로서 동일 기판 상에 형성하는 것에 의해, 비용 절감을 이룰 수 있다. 또한, 이 주사선 구동 회로(4203), 전위 공급선 구동 회로(4204) 및 화소부(4202)를 단극성의 트랜지스터로 구성하는 것으로 한층더 비용 절감을 이룰 수 있다. 화소부(4202)에 포함된 화소의 구성으로서는 실시의 형태 1-5에 설명된 화소를 적용할 수 있다. 따라서, 개구율이 높은 화소를 제공하는 것이 가능해진다.
- [0565] 이 방식으로, 고선명 표시 장치를 얻을 수 있다. 또한, FPC(4205)과 기판(4200)과의 접속부에, 기능 회로(메모리나 버퍼 회로)가 형성된 IC 칩을 실장하는 것에 의해, 기판 면적을 효과적으로 이용할 수 있다.
- [0566] 또한, 도 19a의 신호선 구동 회로(1901), 전위 공급선 구동 회로(1903) 및 주사선 구동 회로(1906)에 해당하는 도 42b의 신호선 구동 회로(4211), 전위 공급선 구동 회로(4214) 및 주사선 구동 회로(4213)를 IC 칩 상에 형성하여, COG 등으로 표시 패널에 실장한 구성을 가질 수 있다. 이 경우에는 고선명인 표시 장치의 소비 전력을 더욱 줄일 수 있다. 따라서, 표시 장치의 소비 전력을 더욱 줄이기 위해, 화소부에 이용되는 트랜지스터의 반도체층에는 폴리실리콘을 이용하는 것이 바람직하다. 도 42b의 기판(4210), 화소부(4212), FPC(4215), IC 칩(4216), IC 칩(4217), 밀봉 기판(4218) 및 시일재(4219)는 도 19a의 기판(1910), 화소부(1902), FPC(1909), IC 칩(1918), IC 칩(1919), 밀봉 기판(1904) 및 시일재(1905)에 해당한다.
- [0567] 또한, 화소부(4212)에 사용되는 트랜지스터의 반도체층에 비정질 실리콘을 이용하는 것에 의해 저비용화를 꾀할 수 있다. 더욱이, 대형의 표시 패널을 제작하는 것도 가능해진다.
- [0568] 또한, 화소의 행 방향 및 열 방향으로 주사선 구동 회로, 전위 공급선 구동 회로 및 신호선 구동 회로를 설치하지 않더라도 좋다. 예컨대, 도 26a에 도시한 바와 같이 IC 칩 상에 형성된 주변 구동 회로(2601)는 도 42b에 도시된 전위 공급선 구동 회로(4214), 주사선 구동 회로(4213) 및 신호선 구동 회로(4211)의 기능을 가질 수 있다. 도 26a의 기판(2600), 화소부(2602), FPC(2604), IC 칩(2605), IC 칩(2606), 밀봉 기판(2607), 및 시일재(2608)는 도 19a의 기판(1910), 화소부(1902), FPC(1909), IC 칩(1918), IC 칩(1919), 밀봉 기판(1904) 및 시일재(1905)에 해당한다.
- [0569] 도 26a의 표시 장치의 신호선의 접속을 도 26b를 참조하여 설명한다. 기판(2610), 주변 구동 회로(2611), 화소부(2612), FPC(2613), 및 FPC(2614)를 포함한다. FPC(2613)를 통해 주변 구동 회로(2611)에 외부 신호 및 전원 공급 전위가 입력된다. 주변 구동 회로(2611)의 출력은 화소부(2612)의 화소에 접속된 행 방향 및 열 방향의 신호선에 입력된다.
- [0570] 발광 소자(1918)에 적용 가능한 발광 소자의 예를 도 20a 및 20b에 도시한다. 즉, 실시의 형태 1-5에 설명된 화소에 적용 가능한 발광 소자의 구성에 관하여 도 20a 및 20b를 이용하여 설명한다.
- [0571] 도 20a의 발광 소자는, 기판(2001) 상에, 양극(2002), 정공 주입 재료로 이루어지는 정공 주입층(2003), 정공 수송 재료로 이루어지는 정공 수송층(2004), 발광층(2005), 전자 수송 재료로 이루어지는 전자 수송층(2006), 전자 주입 재료로 이루어지는 전자 주입층(2007), 및 음극(2008)을 이상의 순서로 적층시킨 소자 구조이다. 여

기서, 발광층(2005)은 일 종류의 발광 재료만으로 형성되기도 하지만, 두 가지 이상의 재료로 형성되더라도 좋다. 또한, 본 발명의 소자의 구조는 이 구조에 한정되지 않는다.

[0572] 또한, 도 20a에 도시된 바와 같이 각 기능층이 적층된 적층 구조 이외에, 고분자 화합물을 이용한 소자, 삼중향 여기 상태로부터 발광하는 삼중향 발광 재료를 이용한 고효율 소자 등, 다양한 소자를 적용할 수 있으며, 홀 블록층에 의해서 캐리어 재결합 영역을 제어하여, 발광 영역을 두 개의 영역으로 분할하는 것에 의해 얻어지는 백색 발광 소자 등에도 응용가능하다.

[0573] 도 20a에 도시된 본 발명의 소자의 제조 방법에 있어서, 우선, 양극(2002)(ITO)을 갖는 기판(2001) 상에, 정공 주입 재료, 정공 수송 재료 및 발광 재료를 차례로 증착한다. 다음에, 전자 수송 재료 및 전자 주입 재료를 증착하고, 마지막으로 음극(2008)을 증착으로 형성한다.

[0574] 다음에, 정공 주입 재료, 정공 수송 재료, 전자 수송 재료, 전자 주입 재료, 발광 재료에 적합한 재료를 이하에 열거한다.

[0575] 정공 주입 재료로서는, 유기 화합물 중에서 포르파린계의 화합물, 또는 프탈로시아닌(이하 "H₂Pc"로 칭한다), 구리 프탈로시아닌(이하 "CuPc"로 칭한다) 등이 유효하다. 또한, 사용하는 정공 수송 재료보다도 이온화 포텐셜의 값이 작고, 또한, 정공 수송 기능을 갖는 재료이면 정공 주입 재료로서 사용할 수 있다. 도전성고분자 화합물에 화학적 도핑을 한 재료도 있으며, 이 재료는 폴리스티렌 술폰산(이하 "PSS"로 칭한다)를 도핑한 폴리에틸렌 디옥시디오펜(이하 "PEDOT"로 칭한다), 또는 폴리아닐린 등을 들 수 있다. 또한, 절연체의 고분자 화합물도 양극의 평탄화의 측면에서 유효하여, 폴리아미드(이하 "PI"로 칭한다)가 많이 이용된다. 또한, 무기 화합물도 이용되는데, 금이나 백금 등의 금속 박막 이외에, 산화 알루미늄(이하 "알루미나"로 칭한다)의 초박막 등이 있다.

[0576] 정공 수송 재료로서 가장 널리 이용되고 있는 것은 방향족 아민계 화합물(즉, 벤젠고리-질소의 결합을 갖는 화합물)이다. 널리 이용되고 있는 재료로서, 4,4'-비스(디페닐아미노)-비페닐(이하, "TAD"로 칭한다)나, 그 유도체로, 4,4'-비스[N-(3-메틸페닐)-N-페닐-아미노]-비페닐(이하, "TPD"로 칭한다), 또는 4,4'-비스[N-(1-나프틸)-N-페닐-아미노]-비페닐(이하, "a-NPD"로 칭한다)가 있으며, 이외에, 4,4',4"-트리스(N, N-디페닐-아미노)-트리페닐아민(이하, "TDATA"로 칭한다), 4,4',4"-트리스[N-(3-메틸페닐)-N-페닐-아미노]-트리페닐아민(이하, "MTDATA"로 칭한다) 등의 스타 버스트형 방향족 아민 화합물을 들 수 있다.

[0577] 전자 수송 재료로서는, 금속착물이 많이 이용되는데, Alq₃, BA1q, 트리스(4-메틸-8-퀴노리노라토) 알루미늄(이하, "Almq"로 칭한다), 또는 비스(10-히드록시벤조[h]-퀴노리노라토) 베릴륨(이하, "BeBq"로 칭한다) 등의 퀴놀린 골격 또는 벤조퀴놀린 골격을 갖는 금속착물이 있으며, 또한, 비스[2-(2-히드록시페닐)-벤족사졸라토] 아연(이하, "Zn(BOX)₂"로 칭한다), 또는 비스[2-(2-히드록시페닐)-벤조치아조라토] 아연(이하, "Zn(BTZ)₂"로 칭한다) 등의 옥사졸계 또는 티아졸계 리간드를 갖는 금속착물도 있다. 또한, 금속착물 이외에도, 2-(4-비페니릴)-5-(4-테르트-부틸페닐)-1,3,4-옥사디아졸(이하, "PBD"로 칭한다), OXD-7 등의 옥사디아졸 유도체와, TAZ, 3-(4-테르트-부틸페닐)-4-(4-에틸페닐)-5-(4-비페니릴)-2,0,4-트리아졸(이하, "p-EtTAZ"로 칭한다) 등의 트리아졸 유도체, 및 바소페난트롤린(이하, "BPhen"으로 칭한다), BCP 등의 페난트로린 유도체가 전자 수송성을 갖는다.

[0578] 전자 주입 재료로서는, 전술한 전자 수송 재료를 이용할 수 있다. 그 외에, 불화칼슘, 불화리튬, 또는 불화세슘 등의 금속 할로겐화물이나, 산화 리튬 등의 ○알칼리 금속 산화물 등의 절연체의 초박막이 많이 이용된다. 또한, 리튬 아세틸 아세토네이트(이하, "Li(acac)"로 칭한다) 또는 8-퀴노리노라토-리튬(이하, "Liq"로 칭한다) 등의 일칼리 금속착물도 유효하다.

[0579] 발광 재료로서는, 전술한 Alq₃, Almq, BeBq, BA1q, Zn(BOX)₂, Zn(BTZ)₂ 등의 금속착물 이외에, 각종 형광 색소가 유효하다. 형광 색소로서는, 청색의 4,4'-비스(2,2-디페닐-비닐)-비페닐, 적황색의 4-(디시아노메틸렌)-2-메틸-6-(p-디메틸아미노스티릴)-4H-페란 등이 있다. 또한, 삼중향 발광 재료도 가능하고, 이 재료는 백금 또는 이리듐을 중심 금속으로 하는 착물이 주체이다. 삼중향 발광 재료로서, 트리스(2-페닐피리딘)이리듐, 비스(2-(4'-트릴)피리디나토-N,C^{2'})아세틸아세토나토이리듐(이하, "acacIr(tpy)₂"로 칭한다), 2,3,7,8,20,13,17,18-옥타에틸-21H, 23H 포르파린-백금 등이 알려져 있다.

[0580] 각 기능을 갖는 전술한 재료를 조합함으로써 고신뢰성의 발광 소자를 제작할 수 있다.

- [0581] 실시의 형태 1에 설명된 도 4, 7, 또는 10의 화소의 경우에는 도 20b에 도시한 바와 같이 도 20a와는 반대의 적층 순서로 층을 형성한 발광 소자를 이용할 수 있다. 즉, 기판(2011) 상에, 음극(2018), 전자 주입 재료로 이루어지는 전자 주입층(2017), 전자 수송 재료로 이루어지는 전자 수송층(2016), 발광층(2015), 정공 수송 재료로 이루어지는 정공 수송층(2014), 정공 주입 재료로 이루어지는 정공 주입층(2013) 및 양극(2012)을 적층시킨 소자 구조이다.
- [0582] 또한, 발광 소자는 발광을 얻기 위해서 적어도 양극 또는 음극의 한편이 투명한 것이 필요하다. 기판 상에 TFT 및 발광 소자를 형성하고; 기판에서 대향인 면에서 발광을 추출하는 상면 출사 구조, 기판 측의 면에서 발광을 추출하는 하면 출사 구조, 기판측 및 기판과 대향측인 면에서 발광을 추출하는 양면 출사 구조의 발광 소자가 있다. 본 발명의 화소 구성은 어떤 출사 구조의 발광 소자에도 적용할 수 있다.
- [0583] 상면 출사 구조의 발광 소자에 관하여 도 21a를 참조로 설명한다.
- [0584] 기판(2100) 상에 구동용 TFT(2101)가 형성되고, 구동용 TFT(2101)의 소스 전극에 접하도록 제1 전극(2102)이 형성되고, 그 위에 유기 화합물을 포함하는 층(2103)과 제2 전극(2104)이 형성되어 있다.
- [0585] 제1 전극(2102)은 발광 소자의 양극이고, 제2 전극(2104)은 발광 소자의 음극이다. 즉, 제1 전극(2102)과 제2 전극(2104) 사이에 유기 화합물을 포함하는 층(2103)이 끼워지고 있는 영역에 발광 소자가 형성된다.
- [0586] 양극으로서 기능하는 제1 전극(2102)에 이용하는 재료로서는 일 함수가 큰 재료를 이용하는 것이 바람직하다. 예컨대, 질화티타늄막, 크롬막, 텅스텐막, 아연막, 백금막 등의 단층막과, 질화 티타늄, 알루미늄을 주성분으로 하는 막과의 적층막과, 질화 티타늄막, 알루미늄을 주성분으로 하는 막 및 질화 티타늄과의 3층 구조 등을 이용할 수 있다. 적층 구조는 배선으로서의 저항을 낮춰 양호한 오옴 접촉이 이루어지도록 하고, 또한 양극으로서 기능시킬 수 있다. 빛을 반사하는 금속막을 이용하는 것으로 빛을 투과시키지 않는 양극을 형성할 수 있다.
- [0587] 음극으로서 기능하는 제2 전극(2104)에 이용하는 재료로서는 일 함수가 작은 재료(A1, Ag, Li, Ca, 또는 이들의 합금 MgAg, MgIn, AlLi, CaF₂, 또는 CaN)로 이루어진 금속 박막과, 투명 도전막[ITO(인듐 주석 산화물), 인듐 아연 산화물(IZO), 산화 아연(ZnO) 등]과의 적층을 이용하는 것이 좋다. 이와 같이 금속 박막과 투명 도전막을 이용하는 것에 의해, 빛을 투과시키는 것이 가능한 음극을 형성할 수 있다.
- [0588] 따라서, 도 21a의 화살표에 도시한 바와 같이 발광 소자부터의 광을 상면으로부터 추출할 수 있게 된다. 즉, 도 19a 및 19b의 표시 패널에 적용한 경우에는, 광은 기판(1910) 측으로 출사된다. 따라서, 상면 출사 구조의 발광 소자를 표시 장치에 이용하는 경우에는 밀봉 기판(1904)은 광 투과성을 갖는 기판을 이용한다.
- [0589] 또한, 광학 필름을 설치하는 경우에는, 밀봉 기판(1904)에 광학 필름을 설치한다.
- [0590] 실시의 형태 1에 설명된 도 4의 화소 구성의 경우에는, 제1 전극(2102)은 음극으로서 기능하는 MgAg, MgIn 또는 AlLi 등의 일 함수가 작은 재료로 이루어지는 금속막을 이용하여 형성할 수 있다. 또한, 제2 전극(2104)은 ITO(인듐 주석 산화물)막, 인듐 아연 산화물(IZO) 등의 투명 도전막을 사용하여 형성할 수 있. 이 구성에 따르면, 상면 출사의 투과율을 향상시킬 수 있다.
- [0591] 다음에, 하면 출사 구조의 발광 소자를 도 21b를 참조로 설명한다. 출사 구조 이외는 도 21a와 동일한 구조의 발광 소자이므로, 동일한 부호를 이용하여 설명한다.
- [0592] 양극으로서 기능하는 제1 전극(2102)은 일 함수가 큰 재료를 이용하는 것이 바람직하다. 예컨대, ITO(인듐 주석 산화물)막, 인듐 아연 산화물(IZO)막 등의 투명 도전막을 이용할 수 있다. 투명 도전막을 이용하는 것에 의해 광 투과 가능한 양극을 형성할 수 있다.
- [0593] 음극으로서 기능하는 제2 전극(2104)은 일 함수가 작은 재료(A1, Ag, Li, Ca, 또는 이들의 합금 MgAg, MgIn, AlLi, CaF₂, 또는 CaN)로 이루어진 금속막을 이용하여 형성될 수 있다. 전술한 바와 같이 광 반사성 금속막을 이용하는 것에 의해, 광이 투과되지 않는 음극을 형성할 수 있다.
- [0594] 따라서, 도 21b의 화살표에 도시한 바와 같이 발광 소자부터의 빛을 하면으로부터 추출할 수 있게 된다. 즉, 도 19a 및 19b의 표시 패널에 적용한 경우, 광은 기판(1910) 측으로 출사된다. 따라서, 하면 출사 구조의 발광 소자를 표시 장치에 이용하는 경우에는 기판(1910)은 광 투과성을 갖는 기판을 이용한다.
- [0595] 또한, 광학 필름을 설치하는 경우에는, 기판(1910)에 광학 필름을 설치하면 좋다.

- [0596] 양면 출사 구조의 발광 소자에 관해서 도 21c를 이용하여 설명한다. 출사 구조 이외에는 도 21a와 동일한 구조의 발광 소자이므로, 동일한 부호를 이용하여 설명한다.
- [0597] 양극으로서 기능하는 제1 전극(2102)은 일 함수가 큰 재료를 이용하는 것이 바람직하다. 예컨대, ITO(인듐 주석 산화물)막, 인듐 아연 산화물(IZO)막 등의 투명 도전막을 이용할 수 있다. 투명 도전막을 이용하는 것에 의해, 광 투과 가능한 양극을 형성할 수 있다.
- [0598] 음극으로서 기능하는 제2 전극(2104)은 일 함수가 작은 재료(A1, Ag, Li, Ca, 또는 이들의 합금 MgAg, MgIn, AlLi, CaF₂, 또는 CaN)로 이루어진 금속 박막과, 투명 도전막[ITO(인듐 주석 산화물), 산화 인듐 산화 아연 합금(In₂O₃-ZnO), 산화 아연(ZnO)]과의 적층을 이용하는 것이 좋다. 전술한 바와 같이 금속 박막과 투명 도전막을 이용하는 것에 의해, 광 투과 가능한 음극을 형성할 수 있다.
- [0599] 따라서, 도 21c의 화살표에 도시한 바와 같이 발광 소자부터의 광을 양면으로부터 추출할 수 있게 된다. 즉, 도 19a 및 19b의 표시 패널에 적용한 경우에는, 광은 기판(1910) 측과 밀봉 기판(1904) 측으로 출사된다. 따라서 양면 출사 구조의 발광 소자를 표시 장치에 이용하는 경우에는 기판(1910) 및 밀봉 기판(1904)은 광 투과성을 갖는 기판을 이용한다.
- [0600] 또한, 광학 필름을 설치하는 경우에는, 기판(1910) 및 밀봉 기판(1904)의 양측에 광학 필름을 설치하면 좋다.
- [0601] 또한, 본 발명은 백색의 발광 소자와 컬러 필터를 이용하여 풀 컬러 표시를 실현하는 표시 장치에도 적용 가능하다.
- [0602] 도 22에 도시한 바와 같이, 기판(2200) 상에, 하지막(2202)과 구동 TFT(2201)이 형성되고, 구동 TFT(2201)의 소스 전극에 접하도록 제1 전극(2203)이 형성되고, 그 위에 유기 화합물을 포함하는 층(2204)과 제2 전극(2205)이 형성되어 있다.
- [0603] 제1 전극(2203)은 발광 소자의 양극이고, 제2 전극(2205)은 발광 소자의 음극이다. 즉, 제1 전극(2203)과 제2 전극(2205) 사이에 유기 화합물을 포함하는 층(2204)이 끼워지고 있는 영역에 발광 소자가 형성된다. 도 22의 구성에 의해 백색광이 발광된다. 발광 소자의 상부에 적색의 컬러 필터(2206R), 녹색의 컬러 필터(2206G) 및 청색의 컬러 필터(2206B)가 설치되어, 풀 컬러 표시를 할 수 있다. 또한, 이를 컬러 필터를 격리하는 블랙 매트릭스("BM"이라고도 한다)(2207)가 설치된다.
- [0604] 상술한 발광 소자의 구성은 조합하여 이용할 수 있으며, 본 발명의 화소 구성을 갖는 표시 장치에 적용 가능하다. 상술한 표시 패널의 구성이나 발광 소자는 예시적인 것으로, 본 발명의 화소 구성은 다른 구성의 표시 장치에도 적용할 수도 있다.
- [0605] 다음에, 표시 패널의 화소부의 부분 단면도를 설명한다.
- [0606] 우선, 트랜지스터의 반도체층으로서 폴리실리콘(p-Si)막을 이용한 경우를 도 23a, 23b, 23c 및 도 24b를 참조로 설명한다.
- [0607] 예컨대, 반도체층의 형성을 위해, 기판 상에 비정질 실리콘(a-Si)막을 공지의 성막법으로 형성한다. 상기 비정질 실리콘막에 한정할 필요는 없고, 비정질 구조를 포함하는 반도체막(미소결정 반도체막을 포함한다)이면 좋다. 또한, 비정질 실리콘 게르마늄 막 등의 비정질 구조를 포함하는 화합물 반도체막이라도 좋다.
- [0608] 후속하여, 비정질 실리콘 막을, 레이저 결정화 법이나, RTA나 열처리로를 이용한 열 결정화 법이나, 결정화를 조장하는 금속원소를 이용한 열 결정화 법 등으로 결정화시킨다. 물론, 이들을 조합시켜 행하더라도 좋다.
- [0609] 상술한 결정화에 따라서, 비정질 반도체 막에 부분적으로 결정화된 영역이 형성된다.
- [0610] 다음에, 부분적으로 결정성이 높여진 결정성 반도체 막을 원하는 형상으로 패턴화하여, 결정화된 영역으로부터 섬 형상의 반도체 막을 형성한다. 이 반도체막을 트랜지스터의 반도체층에 이용한다.
- [0611] 도 23a 및 23b에 도시한 바와 같이, 기판(23101) 상에 하지막(23102)이 형성되고, 그 위에 반도체층이 형성되어 있다. 반도체층은 구동 트랜지스터(23118)의 채널 형성 영역(23103) 및 소스 또는 드레인 영역을 형성하는 불순물 영역(23105), 및 캐페시터(23119)의 하부 전극을 형성하는 채널 형성 영역(23106), LDD 영역(23107) 및 불순물 영역(23108)을 포함한다. 채널 형성 영역(23103) 및 채널 형성 영역(23106)에는 채널 도핑이 행해질 수 있다.

- [0612] 기판은 유리 기판, 석영 기판, 세라믹 기판 등을 이용할 수 있다. 하지막(23102)으로서는, 질화 알루미늄(AlN)이나 산화 규소(SiO₂), 산화 질화 규소(SiO_xN_y) 등의 단층이나 이들의 적층을 이용할 수 있다.
- [0613] 반도체층 상에는 게이트 절연막(23109)를 통해 게이트 전극(23110) 및 캐패시터의 상부 전극(23111)이 형성되어 있다.
- [0614] 구동 트랜지스터(23118) 및 캐패시터(23119)를 피복하도록 충간절연막(23112)이 형성된다. 충간 절연막(23112)에 컨택트 홀이 개구되고, 이를 통해 배선(23113)이 불순물 영역(23105)과 접하고 있다. 배선(23113)에 접하여 화소 전극(23114)이 형성되고, 화소 전극(23114)의 단부 및 배선(23113)을 피복하도록 제2 충간절연물(23115)가 형성되어 있다; 여기서는, 포지티브형의 감광성 아크릴 수지막을 이용하는 것에 의해 형성한다. 그리고, 화소 전극(23114) 상에, 유기 화합물을 포함하는 층(23116) 및 대향 전극(23117)이 형성되어 있다. 화소 전극(23114)과 대향 전극(23117) 사이에 유기 화합물을 포함하는 층(23116)이 끼워진 영역에는 발광 소자(23120)가 형성되어 있다.
- [0615] 또한, 도 23b에 도시한 바와 같이, 캐패시터(23119)의 하부 전극의 일부를 구성하는 LDD 영역(23202)이 상부 전극(23111)과 중복되도록 제공될 수 있다. 도 23a와 동일한 부분은 동일한 부호를 사용하며, 그 설명은 생략한다.
- [0616] 또한, 도 24a에 도시한 바와 같이, 구동 트랜지스터(23118)의 불순물 영역(23105)과 접하는 배선(23113)과 동일한 층에 형성된 제2 상부 전극(23301)을 포함하고 있더라도 좋다. 도 23a와 동일한 부분은 동일한 부호를 사용하며, 그 설명은 생략한다. 제2 상부 전극(23301)과 상부 전극(23111) 사이에 충간 절연막(23112)을 배치하여 제2 캐패시터를 구성하고 있다. 또한, 제2 상부 전극(23301)은 불순물 영역(23108)과 접하고 있기 때문에, 상부 전극(23111)과 채널 형성 영역(23106) 사이에 게이트 절연막(23102)를 배치하여 구성되는 제1 캐패시터와, 상부 전극(23111)과 제2 상부 전극(23301) 사이에 충간 절연막(23112)을 배치하여 구성되는 제2 캐패시터가 병렬로 접속되어, 제1 캐패시터와 제2 캐패시터로 이루어지는 캐패시터(23302)를 구성하고 있다. 이 캐패시터(23302)의 용량은 제1 캐패시터와 제2 캐패시터의 용량을 합한 합성 용량이므로, 작은 면적으로 큰 용량의 캐패시터를 형성할 수 있다. 즉, 본 발명의 화소 구성의 캐패시터를 이용하면, 개구율을 더욱 향상시킬 수 있다.
- [0617] 또한, 도 24b에 도시한 바와 같은 캐패시터의 구성으로서도 좋다. 기판(24101) 상에 하지막(24102)이 형성되고, 그 위에 반도체층이 형성되어 있다. 반도체층은 구동 트랜지스터(24118)의 채널 형성 영역(24103) 및 소스 또는 드레인 영역을 형성하는 불순물 영역(24105)을 포함한다. 채널 형성 영역(24103)은 채널도핑이 되고 있더라도 좋다.
- [0618] 기판은 유리 기판, 석영 기판, 세라믹 기판 등을 이용할 수 있다. 또한, 하지막(23102)으로서는, 질화 알루미늄(AlN)이나 산화 규소(SiO₂), 산화 질화 규소(SiO_xN_y) 등의 단층이나 이들의 적층을 이용할 수 있다.
- [0619] 반도체층 상에는 게이트 절연막(24106)을 통해 게이트 전극(24107) 및 제1 전극(24108)이 형성되어 있다.
- [0620] 구동 트랜지스터(24118) 및 제1 전극(24108)을 피복하도록 제1 충간 절연막(24109)이 형성된다. 제1 충간 절연막(24109)에 컨택트 홀이 개구되고, 이를 통해 배선(24110)이 불순물 영역(24105)과 접하고 있다. 또한, 배선(24110)과 동일한 재료로 이루어지는 동층의 제2 전극(24111)이 형성된다.
- [0621] 또한, 배선(24110) 및 제2 전극(24111)을 피복하도록 제2 충간 절연막(24112)이 형성된다. 제2 충간 절연막(24112)상의 컨택트 홀을 통해 배선(24110)과 접하도록 화소 전극(24113)이 형성되어 있다. 또한, 화소 전극(24113)과 동일한 재료로 이루어지는 동층의 제3 전극(24114)이 형성되어 있다. 따라서, 제1 전극(24108), 제2 전극(24111) 및 제3 전극(24114)으로 이루어지는 캐패시터(24119)가 형성된다.
- [0622] 화소 전극(24113)과 제3 전극(24114)의 단부를 피복하도록 절연물(24115)이 형성된다. 그리고, 화소 전극(24113)과 제3 전극(24114) 상에 유기 화합물을 포함하는 층(24116) 및 대향 전극(24117)이 형성된다. 화소 전극(24113)과 대향 전극(24117) 사이에 유기 화합물을 포함하는 층(24116)이 끼워진 영역에서는 발광 소자(24120)가 형성되어 있다.
- [0623] 상술한 바와 같이, 결정성 반도체 막을 반도체층으로 이용한 트랜지스터의 구성은 도 23a, 23b, 23c 및 도 24b에 도시된 구성을 들 수 있다. 도 23a, 23b, 23c 및 도 24b에 도시한 트랜지스터의 구조는 상부 게이트 구조이다. 즉, 트랜지스터는 p-형 또는 n-형 트랜지스터이다. n-형 트랜지스터의 경우, LDD 영역은 게이트 전극과

중복되거나, 중복되지 않거나, 또는 게이트 전극과 일부 중복될 수 있다. 또한, 게이트 전극은 테이퍼 형상을 가질 수 있으며, 게이트 전극의 테이퍼부의 하부에 LDD 영역이 자기 정합적으로 설치되더라도 좋다. 또한, 게이트 전극 수는 2개로 한정되지 않고 3개 이상의 게이트 전극을 갖는 멀티 게이트 구조라도 좋고, 단일 게이트 전극이라도 좋다.

[0624] 본 발명의 화소를 구성하는 트랜지스터의 반도체층(예, 채널 형성 영역, 소스 영역, 드레인 영역 등)으로서 결정성 반도체 막을 이용함으로써, 예컨대, 도 2에 있어서의 전위 공급선 구동 회로(201), 주사선 구동 회로(202), 및 신호선 구동 회로(203)를 화소부(204)와 동일 기판 상에 형성하는 것이 용이하게 된다. 또한, 도 13의 구성에 있어서는, 버퍼 회로(1301), 버퍼 회로(1302) 및 버퍼 회로(1303)도 기판 상에 용이하게 형성될 수 있다. 또한, 도 13의 신호선 구동 회로(203)의 일부는 화소부(204)와 동일 기판 상에 형성될 수 있으며, 나머지 일부는 도 19a 및 19b의 표시 패널에서와 같이 COG 등으로 실장될 IC 칩 상에 형성될 수 있다. 이 방식으로, 제조 비용의 삭감을 꾀할 수 있다.

[0625] 다음에, 반도체층으로서 폴리실리콘(p-Si)을 이용한 트랜지스터의 구성으로서, 기판과 반도체층의 사이에 게이트 전극이 끼워진 구조, 즉, 반도체층 하부에 게이트 전극이 위치하는 하부 게이트 구조의 트랜지스터를 적용한 표시 패널의 부분 단면을 도 27a 및 27b에 도시한다.

[0626] 기판(2701) 상에 하지막(2702)이 형성되어 있다. 또한, 하지막(2702) 상에 게이트 전극(2703)이 형성되어 있다. 게이트 전극과 동층에 동일한 재료로 이루어지는 제1 전극(2704)가 형성되어 있다. 게이트 전극(2703)의 재료로는 인이 첨가된 다결정 실리콘을 이용할 수 있다. 다결정 실리콘 외에, 금속과 실리콘의 화합물인 실리사이드라도 좋다.

[0627] 또한, 게이트 전극(2703) 및 제1 전극(2704)을 피복하도록 게이트 절연막(2705)이 형성되어 있다. 게이트 절연막(2705)으로서는 산화 규소막이나 질화 규소막 등이 이용된다.

[0628] 게이트 절연막(2705) 상에 반도체 층이 형성되어 있다. 반도체 층은 구동 트랜지스터(2722)의 채널 형성 영역(2706), LDD 영역(2707) 및 소스 또는 드레인 영역을 형성하는 불순물 영역(2708), 및 캐패시터(2723)의 제2 전극을 형성하는 채널 형성 영역(2709), LDD 영역(2710) 및 불순물 영역(2711)을 포함한다. 채널 형성 영역(2706) 및 채널 형성 영역(2709)에는 채널 도핑을 행할 수 있다.

[0629] 기판은 유리 기판, 석영 기판, 세라믹 기판 등을 이용할 수 있다. 하지막(2702)으로서는, 질화 알루미늄(AlN)이나 산화 규소(SiO₂), 산화 질화 규소(SiO_xN_y) 등의 단층이나 이들의 적층을 이용할 수 있다.

[0630] 반도체 층을 피복하도록 제1 층간 절연막(2712)가 형성된다. 제1 층간 절연막(2712)에는 콘택트 홀이 개구되고, 이를 통해 배선(2713)이 불순물 영역(2708)과 접하고 있다. 배선(2713)과 동층에 동일한 재료로 제3 전극(2714)이 형성되어 있다. 제1 전극(2704), 제2 전극, 및 제3 전극(2714)에 의해서 캐패시터(2723)가 구성되어 있다.

[0631] 또한, 제1 층간 절연막(2712)에는 개구부(2715)가 형성되어 있다. 구동 트랜지스터(2722), 캐패시터(2723) 및 개구부(2715)를 피복하도록 제2 층간 절연막(2716)이 형성되어 있다. 제2 층간 절연막(2716) 상의 콘택트 홀을 통해 화소 전극(2717)이 형성되어 있다. 또한, 화소 전극(2717)의 단부를 피복하도록 절연물(2718)이 형성되어 있다. 예컨대, 포지티브형의 감광성 아크릴 수지막을 이용할 수 있다. 계속해서, 화소 전극(2717) 상에 유기 화합물을 포함하는 층(2719) 및 대향 전극(2720)이 형성되고, 화소 전극(2717)과 대향 전극(2720) 사이에 유기 화합물을 포함하는 층(2719)이 끼워진 영역에는 발광 소자(2721)가 형성되어 있다. 그리고, 발광 소자(2721)의 하부에 개구부(2715)가 위치하고 있다; 즉, 발광 소자(2721)부터의 발광이 기판 측에서 얻어지는 경우, 개구부(2715)의 존재로 인해 투과율을 높일 수 있다.

[0632] 또한, 도 27a의 화소 전극(2717)과 동층에 동일한 재료를 이용하여 제4 전극(2724)을 형성하고, 도 27b와 같은 구성으로 하여도 좋다. 이 경우, 제1 전극(2704), 제2 전극, 제3 전극(2714) 및 제4 전극(2724)에 의해서 구성되는 캐패시터(2725)를 형성할 수 있다.

[0633] 다음에, 트랜지스터의 반도체 층으로서 비정질 실리콘(a-Si:H)막을 이용한 경우에 관해서 설명한다. 도 28a 및 28b는 상부 게이트의 트랜지스터를, 도 29a, 29b 및 도 30a, 30b는 하부 게이트 구조의 트랜지스터를 도시한다.

[0634] 도 28a는 비정질 실리콘을 반도체 층에 이용한 상부 게이트 구조의 트랜지스터의 단면도이다. 도시된 바와 같이, 기판(2801) 상에 하지막(2802)이 형성되어 있다. 하지막(2802)상에는 화소 전극(2803)이 형성되어 있다.

또한, 화소 전극(2803)과 동층에 동일한 재료로 이루어지는 제1 전극(2804)이 형성되어 있다.

[0635] 기판은 유리 기판, 석영 기판, 세라믹 기판 등을 이용할 수 있다. 하지막(2802)으로서는, 질화 알루미늄(AlN)이나 산화 규소(SiO₂), 산화 질화 규소(SiO_xN_y) 등의 단층이나 이들의 적층을 이용할 수 있다.

[0636] 하지막(2802) 상에 배선(2805) 및 배선(2806)이 형성되고, 화소 전극(2803)의 단부가 배선(2805)으로 피복된다. 배선(2805) 및 배선(2806)의 상부에 n-형 도전성을 갖는 n-형 반도체 층(2807) 및 n-형 반도체 층(2808)이 형성되어 있다. 또한, 배선(2806)과 배선(2807)의 사이에, 하지막(2809) 상에 반도체 층(2809)이 형성되어 있다. 반도체 층(2809)의 일부는 n-형 반도체 층(2807) 및 n-형 반도체 층(2808)으로까지 연장되어 있다. 이 반도체 층은 비정질 실리콘(a-Si:H), 또는 미소 결정성 반도체(μ -Si:H) 등의 비정질 반도체 막으로 형성되어 있다. 또한, 반도체 층(2809) 상에 게이트 절연막(2810)이 형성되어 있고, 게이트 절연막(2810)과 동층의 동일한 재료로 된 절연막(2811)이 제1 전극(2804) 상에 형성되어 있다. 게이트 절연막(2810)으로서는 산화 규소막이나 질화 규소막 등이 이용된다.

[0637] 게이트 절연막(2810) 상에, 게이트 전극(2812)이 형성되어 있다. 또한, 게이트 전극과 동층에 동일한 재료로 되는 제2 전극(2813)이 제1 전극(2804) 상에 절연막(2811)을 통해 형성되어 있다. 제1 전극(2804) 및 제2 전극(2813) 사이에 절연막(2811)을 개재시킴으로써 캐패시터(2819)가 형성된다. 화소 전극(2803)의 단부, 구동 트랜지스터(2818) 및 캐패시터(2819)를 피복하도록 층간 절연막(2814)이 형성되어 있다.

[0638] 층간 절연막(2814) 및 그 개구부에 대응하는 화소 전극(2803) 상에, 유기 화합물을 포함하는 층(2815) 및 대향 전극(2816)이 형성된다. 화소 전극(2803)과 대향 전극(2816) 사이에 유기 화합물을 포함하는 층(2815)이 개재된 영역에는 발광 소자(2817)가 형성되어 있다.

[0639] 도 22에 도시된 바와 같이, 비 백발광 소자(non-white light emitting element)를 채용할 수 있다. 즉, R(적), G(녹), B(청)의 발광 소자로 R(적), G(녹), B(청)의 컬러 요소를 제공함으로써, R(적), G(녹), B(청)의 발광 소자로부터 얻어진 광 중 불필요한 주파수 성분을 제거하여 컬러 순도를 향상시킬 수 있다. 따라서, 신뢰성 있는 컬러 재현성을 갖는 표시 장치를 얻을 수 있다. 또한, 컬러 필터를 설치하는 것에 의해 반사광이 감소될 수 있어서, 편광기를 설치하지 않더라도 외부 광이 나타나는 것이 방지된다. 따라서, 편광기를 별도로 설치하는 것에 의한 투광성의 저하 현상이 방지되고, 또한 외부광이 나타나는 것이 억제될 수 있다.

[0640] 도 28a에 도시하는 제1 전극(2804)은 도 28b에 도시한 바와 같은 제1 전극(2820)일 수 있다. 제1 전극(2820)은 배선(2805 및 2806)과 동층의 동일 재료로 형성되어 있다.

[0641] 도 29a 및 29b는 비정질 실리콘을 반도체 층으로 이용한 하부 게이트 구조의 트랜지스터를 이용한 표시 패널의 부분 단면도이다.

[0642] 기판(2901) 상에 하지막(2902)이 형성되어 있다. 하지막(2902) 상에 게이트 전극(2903)이 형성되어 있다. 또한, 게이트 전극(2903)과 동층에 동일한 재료로 이루어지는 제1 전극(2904)이 형성되어 있다. 게이트 전극(2903)의 재료로는 인이 첨가된 다결정 실리콘을 이용할 수 있다. 다결정 실리콘 이외에, 금속과 실리콘의 화합물인 실리사이드라도 좋다.

[0643] 또한, 게이트 전극(2903) 및 제1 전극(2904)을 덮도록 게이트 절연막(2905)이 형성되어 있다. 게이트 절연막(2905)으로서는 산화 규소막이나 질화 규소막 등이 이용된다.

[0644] 게이트 절연막(2905) 상에, 반도체 층(2906)이 형성되어 있다. 또한, 반도체 층(2906)과 동층에 동일한 재료로 이루어지는 반도체 층(2907)이 형성되어 있다.

[0645] 기판은 유리 기판, 석영 기판, 세라믹 기판 등을 이용할 수 있다. 하지막(2902)으로서는, 질화 알루미늄(AlN)이나 산화 규소(SiO₂), 산화 질화 규소(SiO_xN_y) 등의 단층이나 이들의 적층을 이용할 수 있다.

[0646] 반도체 층(2906)상에는 n-형 도전성을 갖는 n-형 반도체 층(2908, 2909)이 형성되고, 반도체 층(2907)상에는 n-형 반도체 층(2910)이 형성되어 있다.

[0647] n-형 반도체 층(2908, 2909) 상에는 배선(2911, 2912)이 형성되고, n-형 반도체 층(2910)상에는 배선(2911 및 2912)과 동층의 동일 재료로 이루어지는 도전층(2913)이 형성되어 있다.

[0648] 반도체 층(2907), n-형 반도체 층(2910) 및 도전층(2913)으로 이루어지는 제2 전극이 구성된다. 이 제2 전극과 제1 전극(2904) 사이에 게이트 절연막(2902)을 개재시킨 구조의 캐패시터(2920)가 형성되어 있다.

- [0649] 배선(2911)의 한편의 단부는 연장하고, 그 연장한 배선(2911) 상에 화소 전극(2914)이 형성되어 있다.
- [0650] 또한, 화소 전극(2914)의 단부, 구동 트랜지스터(2919) 및 캐패시터(2920)를 피복하도록 절연물(2915)이 형성되어 있다.
- [0651] 화소 전극(2914) 및 절연물(2915) 상에는 유기 화합물을 포함하는 층(2916) 및 대향 전극(2917)이 형성되고, 화소 전극(2914)과 대향 전극(2917) 사이에 유기 화합물을 포함하는 층(2916)이 개재된 영역에는 발광 소자(2918)가 형성되어 있다.
- [0652] 캐패시터의 제2 전극의 일부가 되는 반도체 층(2907) 및 n-형 반도체 층(2910)은 설치하지 않더라도 좋다. 즉, 제2 전극은 도전층(2913)만으로 구성될 수 있어서, 제1 전극(2904)과 도전층(2913) 사이에 게이트 절연막(2905)이 개재된 구조의 캐패시터(2922)를 형성할 수 있다.
- [0653] 또한, 도 29a에 있어서, 배선(2911)을 형성하기 전에 화소 전극(2914)을 형성하는 것으로, 도 29b에 도시한 바와 같은, 화소 전극(2914)으로 이루어지는 제2 전극(2921)과 제1 전극(2904) 사이에 게이트 절연막(2905)이 개재된 구조의 캐패시터(2922)를 형성할 수 있다.
- [0654] 도 29a 및 29b는 역스테거형의 채널 에치 구조의 트랜지스터를 도시하고 있지만; 채널 보호 구조의 트랜지스터라도 좋다. 채널 보호 구조의 트랜지스터의 경우에 관하여 도 30a 및 30b를 참조로 설명한다.
- [0655] 도 30a에 도시하는 채널 보호형 구조의 트랜지스터는 도 29a에 도시한 채널 에치형 구조의 구동 트랜지스터(2919)와는 반도체 층(2906)의 채널 형성 영역 상에 에칭 마스크인 절연막(3001)이 설치되는 점이 다르다. 도 29a와 동일한 다른 부분은 동일한 참조 번호를 이용하고 있다.
- [0656] 마찬가지로, 도 30b에 도시하는 채널 보호형 구조의 트랜지스터는 도 29b에 도시한 채널 에치 구조의 구동 트랜지스터(2919)와는 반도체 층(2906)의 채널 형성 영역 상에 에칭 마스크인 절연물(3001)이 설치되는 점이 다르다. 도 29b와 동일한 다른 부분은 동일한 참조 번호를 이용하고 있다.
- [0657] 본 발명의 화소를 구성하는 트랜지스터의 반도체 층(채널 형성 영역, 소스 영역, 드레인 영역 등)에 비정질 반도체막을 이용함으로써, 제조 비용을 삭감할 수 있다. 예컨대, 도 7에 도시하는 화소 구성을 이용하는 것으로 비정질 반도체막을 적용하는 것이 가능하다.
- [0658] 본 발명의 화소 구성에 적용할 수 있는 트랜지스터의 구조 및 캐패시터의 구조는 상술한 구성에 한정되지 않고, 다양한 구조를 이용할 수 있다.

- [0659] (실시의 형태 11)
- [0660] 본 발명은 여러 가지 전자 기기에, 구체적으로는 전자 기기의 표시부에 적용할 수 있다. 그와 같은 전자 기기로서, 비디오 카메라, 디지털 카메라, 고글형 디스플레이, 네비게이션 시스템, 음향 재생 장치(예, 차량 오디오, 오디오 컴퓨터 등), 컴퓨터, 게임 기기, 휴대 정보 단말(예, 이동 컴퓨터, 휴대 전화, 휴대형 게임기 및 전자 서적 등), 기록 매체를 갖춘 화상 재생 장치(구체적으로는 DVD(Digital Versatile Disc) 등의 기록 매체를 재생하고, 그 화상을 표시할 수 있는 디스플레이를 갖춘 장치) 등을 들 수 있다.
- [0661] 도 44a는 디스플레이를 도시하며, 이 디스플레이에는 하우징(44001), 지지대(44002), 표시부(44003), 스피커부(44004), 비디오 입력 단자(44005) 등을 포함한다. 본 발명의 화소 구성을 갖는 표시 장치를 표시부(44003)에 이용할 수 있다. 디스플레이는, 개인용 컴퓨터용, 텔레비전 방송 수신용, 광고 표시용 등의 모든 정보 표시용 표시 장치를 의미한다.
- [0662] 최근, 디스플레이의 대형화의 필요성이 증가되고 있다. 디스플레이의 대형화에 따라 가격의 상승의 문제가 일어난다. 따라서, 제조 비용을 줄이고 고품질의 제품을 저가격으로 제공하는 것이 과제가 된다.
- [0663] 예컨대, 도 7의 화소 구성을 표시 패널의 화소부에 이용함으로써, 단극성의 트랜지스터로 이루어지는 표시 패널을 제공할 수 있다. 따라서, 공정수를 줄이고 제조 비용을 삭감할 수 있다.
- [0664] 또한, 도 19a에 도시한 바와 같이 화소부와 주변 구동 회로를 동일 기판 상에 형성함으로써, 단극성의 트랜지스터로 이루어지는 회로로 구성된 표시 패널을 형성할 수 있다. 이 표시 패널을 대형 디스플레이의 표시부에 이용하는 것으로써, 디스플레이의 제조 비용을 절감할 수 있다.

- [0665] 또한, 화소부를 구성하는 회로의 트랜지스터의 반도체 층으로서 비정질 반도체(예, 비정질 실리콘(a-Si:H))를 이용함으로써, 제조 공정을 단순화할 수 있고, 더더욱 비용절감을 이를 수 있다. 이 경우에는 도 42b에 도시한 바와 같이, 화소부의 주변 구동 회로를 IC 칩 상에 형성하여, COG 등으로 표시 패널에 실장하는 것이 바람직하다. 이와 같이, 비정질 반도체를 이용하는 것으로 디스플레이의 대형화가 용이하게 된다.
- [0666] 도 44b는 카메라를 도시하며, 이 카메라는 본체(44101), 표시부(44102), 수상부(44103), 조작기(44104), 외부 접속 포트(44105), 셔터(44106) 등을 포함한다.
- [0667] 최근, 디지털 카메라 등의 고성능화에 따라 생산 경쟁이 격화하고 있다. 그리고, 고기능 제품을 저가격으로 제공하는 것이 문제가 된다.
- [0668] 도 7의 화소 구성을 화소부에 이용함으로써, 단극성의 트랜지스터로 이루어지는 화소부를 형성할 수 있다. 또한, 도 42b에 도시한 바와 같이, 동작 속도가 높은 신호선 구동 회로를 IC 칩 상에 형성하고, 비교적 동작 속도가 낮은 주사선 구동 회로나 전위 공급선 구동 회로를 화소부와 동일 기판 상에 단극성의 트랜지스터로 구성되는 회로를 형성하는 것에 의해, 고성능화 및 저비용화를 실현할 수 있다. 또한, 화소부와, 화소부와 동일 기판 상에 형성하는 주사선 구동 회로에 이용되는 트랜지스터의 반도체 층으로 비정질 실리콘과 같은 비정질 반도체를 적용하는 것으로 더더욱 비용절감을 이를 수 있다.
- [0669] 도 44c는 컴퓨터를 도시하며, 이 컴퓨터는 본체(44201), 하우징(44202), 표시부(44203), 키보드(44204), 외부 접속 포트(44205), 포인팅 마우스(44206) 등을 포함한다. 본 발명을 표시부(44203)에 이용한 컴퓨터는 화소의 개구율이 높고 고선명도의 표시가 가능해진다. 또한, 비용절감을 달성할 수 있다.
- [0670] 도 44d는 휴대형 컴퓨터이며, 본체(44301), 표시부(44302), 스위치(44303), 조작기(44304), 적외선 포트(44305) 등을 포함한다. 본 발명을 표시부(44302)에 이용한 휴대용 컴퓨터는, 화소의 개구율이 높고 고선명도의 표시가 가능해진다. 또한, 비용절감을 달성할 수 있다.
- [0671] 도 44e는 기록 매체를 갖춘 휴대형의 화상 재생 장치(구체적으로는 DVD 재생장치)이며, 본체(44401), 하우징(44402), 표시부A(44403), 표시부B(44404), 기록 매체(DVD 등) 관독부(44405), 조작기(44406), 스피커부(44407) 등을 포함한다. 표시부A(44403)는 주로 화상 정보를 표시하고, 표시부B(44404)는 주로 문자 정보를 표시한다. 본 발명을 표시부A(44403)나 표시부B(44404)에 이용한 화상 재생 장치는 화소의 개구율이 높고 고선명도의 표시가 가능해진다. 또한, 비용절감을 달성할 수 있다.
- [0672] 도 44f는 고글형 디스플레이이며, 본체(44501), 표시부(44502), 및 아암부(44503)를 포함한다. 본 발명을 표시부(44502)에 이용한 고글형 디스플레이는 화소의 개구율이 높고 고선명도의 표시가 가능해진다. 또한, 비용절감을 달성할 수 있다.
- [0673] 도 44g는 비디오 카메라이며, 본체(44601), 표시부(44602), 하우징(44603), 외부 접속 포트(44604), 리모콘 수신부(44605), 수상부(44606), 배터리(44607), 음성 입력부(44608), 조작기(44609), 아이 피스(44610) 등을 포함한다. 본 발명을 표시부(44602)에 이용한 비디오 카메라는 화소의 개구율이 높고 고선명도의 표시가 가능해진다. 또한, 비용절감을 달성할 수 있다.
- [0674] 도 44h는 휴대 전화기이며, 본체(44701), 하우징(44702), 표시부(44703), 음성 입력부(44704), 음성 출력부(44705), 조작기(44706), 외부 접속 포트(44707), 안테나(44708) 등을 포함한다.
- [0675] 최근, 휴대 전화기는 게임 기능이나 카메라 기능, 전자 화폐 기능 등을 탑재하여, 고부가가치의 휴대 전화기의 필요성이 증가되고 있다. 또한, 디스플레이도 고선명인 것이 요구되고 있다. 본 발명을 표시부(44703)에 이용한 휴대 전화기는 화소의 개구율이 높고 고선명도 표시가 가능해진다. 또한, 비용절감을 달성할 수 있다.
- [0676] 예컨대, 도 7의 화소 구성을 화소부에 이용함으로써, 화소의 개구율을 향상시킬 수 있다. 구체적으로는, 발광 소자를 구동하는 구동 트랜지스터로서 n-형 트랜지스터를 이용하는 것으로 화소의 개구율이 향상한다. 따라서, 고선명도 표시부를 갖는 휴대 전화기를 제공하는 것이 가능해진다.
- [0677] 또한, 개구율이 향상함으로써, 도 21c에 도시한 바와 같은 양면 출사 구조의 표시 장치를 표시부에 적용하는 것에 의해, 부가가치가 높고, 고선명인 표시부를 갖는 휴대 전화를 제공할 수 있다.
- [0678] 이와 같이 다기능화하여, 그 사용 빈도가 높아지는 한편으로, 일회의 충전에 의해 장시간 사용할 수 있는 것이 요구된다.
- [0679] 예컨대, 도 42b에 도시한 바와 같이 주변 구동 회로를 IC 칩 상에 형성하여, CMOS 등을 이용하는 것에 의해 저

소비 전력화를 피하는 것이 가능하다.

[0680] 전술한 바와 같이, 본 발명은 다양한 전자 기기에 적용하는 것이 가능하다.

[0681] [실시예 1]

[0682] 본 실시예에서는 본 발명의 화소 구성을 갖는 표시 장치의 구동 방법의 일례를 자세히 설명한다. 도 49에 도시된 본 실시예의 화소 구성에는 하나의 화소만이 도시되어 있지만, 표시 장치의 화소부는 실제로는 행 방향과 열 방향으로 매트릭스에 복수의 화소가 배치되어 있다.

[0683] 화소는 구동 트랜지스터(4901)와, 캐패시터(4902)와, 스위치(4903)와, 발광 소자(4904)와, 전위 공급선 (Illumination line)(4905)와, 신호선(Data line)(4906)을 포함한다. 구동 트랜지스터(4901)는 p-형 트랜지스터를 이용하고 있다.

[0684] 구동 트랜지스터(4901)의 제1 단자(소스 단자 또는 드레인 단자)는 전위 공급선(4905)과 접속되고, 게이트 단자는 캐패시터(4902)를 통해 신호선(4906)과 접속되고, 제2 단자(소스 단자 또는 드레인 단자)는 발광 소자(4904)의 양극(화소 전극)과 접속되어 있다. 또한, 구동 트랜지스터(4901)의 게이트 단자와 제2 단자(소스 단자 또는 드레인 단자)는 스위치(4903)를 통해 서로 접속되어 있다. 따라서, 스위치(4903)가 on 되면, 구동 트랜지스터(4901)의 게이트 단자와 제2 단자(소스 단자 또는 드레인 단자)는 통전 상태가 된다. 그리고, 스위치(4903)가 오프하면, 구동 트랜지스터(4901)의 게이트 단자와 제2 단자(소스 단자 또는 드레인 단자) 사이의 부분이 비통전 상태가 되어, 그 순간의 구동 트랜지스터(4901)의 게이트 단자(또는 제2 단자)와 신호선(4906) 사이의 전위차(전압)이 캐패시터(4902)에 의해 유지될 수 있다. 발광 소자(4904)의 음극은 저전원 공급 전위(Vss)의 전위가 설정된 배선(Cathode)(4908)에 접속되어 있다. Vss는 화소의 발광 기간에 전위 공급선(4905)에 설정되는 전원 공급 전위(Vdd)를 기준으로, Vss<Vdd를 만족하는 전위이다. 본 실시예로서는, Vss= 0V이다.

[0685] 도 49의 화소 구성의 동작에 관해서 도 50a-50d 및 도 55를 참조하여 설명한다. 본 실시예에 있어서 전원 공급 전위(Vdd)는 8V이다. 화소가 8계조를 나타내도록 신호선(4906)에 아날로그 신호 전위(Vsig)가 설정된다.

[0686] 화소의 신호 기록 기간에 있어서, 신호선(4906)에 설정되는 아날로그 신호 전위(Vsig)의 값은 계조수 0일 때가 0V이고, 계조수 1일 때 1V, 계조수 2일 때 2V, 계조수 3일 때 3V, 계조수 4일 때 4V, 계조수 5일 때 5V, 계조수 6일 때 6V, 계조수 7일 때 7V이다. 또한, 화소의 발광 기간에 있어서, 신호선(4906)에 설정되는 아날로그 신호 전위(Vsup)는 주기성을 가지고 규칙적으로 변화되는 아날로그 신호 전위이다.

[0687] 신호선(4906)을 통해 계조수 3을 나타내는 신호(Vsig= 3V)가 화소에 기록되는 경우에 관해서 설명한다. 본 실시예에 있어서 구체적으로 설명되는 전압값, 전위, 계조수는 특정예로써, 본 발명은 이에 한정되지 않는다.

[0688] 우선, 스위치(4903)를 온으로 한다. 전위 공급선(4905)에 전원 공급 전위(Vdd)= 8V를 설정한다. 결국, 도 50a의 화살표와 같이, 캐패시터(4902), 구동 트랜지스터(4901) 및 발광 소자(4904)로 전류가 흐른다.

[0689] 여기서, 발광 소자(4904)는 저항 소자로서 볼 수 있다. 따라서, 구동 트랜지스터(4901)의 제1 단자에 접속된 전위 공급선(4905)에 전원 공급 전위(Vdd)가 설정되어 있을 때에 구동 트랜지스터(4901)와 발광 소자(4904)는 인버터를 구성한다. 즉, 구동 트랜지스터(4901)의 게이트 단자(인버터의 입력 단자)에 H 레벨 신호(구동 트랜지스터(4901)를 충분히 오프시키는 전위)가 입력되면, 구동 트랜지스터(4901)의 제2 단자(인버터의 출력 단자)는 L 레벨 신호(발광 소자(4904)의 문턱 전압)를 출력한다. 한편, 구동 트랜지스터(4901)의 게이트 단자에 L 레벨 신호(구동 트랜지스터(4901)를 충분히 on 시키는 전위)가 입력되면, 구동 트랜지스터(4901)의 제2 단자(인버터 출력 단자)는 H 레벨 신호(전원 공급 전위(Vdd))를 출력한다.

[0690] 여기서, 인버터의 특성으로서는, 도 55에 도시된 선(5501)이 횡축을 입력 전위(Vin), 종축을 출력 전위(Vout)로 하여 얻어진다. 여기서, 발광 소자(4904)가 순방향 문턱 전압을 가지지 않는 경우에는, 점선으로 도시된 바와 같이 인버터의 출력의 L 레벨은 0V가 되지만, 발광 소자(4904)가 문턱 전압(V_{EL})을 가지면, 발광 소자(4904)의 양극의 전위가 V_{EL}에 도달할 때 발광 소자(4904)로의 전류의 흐름이 정지된다. 따라서, 인버터의 출력의 L 레벨의 전위는 발광 소자(4904)의 문턱 전압(V_{EL})=4V가 되고, H 레벨의 전위는 전원 공급 전위(Vdd)= 8V가 된다. 그리고, 인버터의 논리 문턱치(V_{inv})=6V는 입력 전위(Vin)과 출력 전위(Vout)가 같은 전위로 정의된다. 화살표로 지시하는 지점은 구동 트랜지스터(4901)의 게이트-소스 전압(V_{gs})가 대략 문턱 전압(V_{th})인 지점이다.

[0691] 따라서, 스위치(4903)가 온으로 되어 있는 때에 인버터의 입력 단자와 출력 단자 사이의 부분이 통전 상태가 되

어, 인버터의 입력 단자 및 출력 단자 사이의 전위는 오프셋 삭제된다. 오프셋 삭제시 인버터의 입력 단자 및 출력 단자의 전위는 인버터의 논리 문턱 전압(V_{inv})= 6V가 된다.

[0692] 따라서, 도 50b에 도시한 바와 같이 화소에 비디오 신호가 기록되고, 스위치(4903)를 오프로 하면, 캐패시터(4902)는, 구동 트랜지스터(4901)의 게이트 단자의 전위(V_{inv})= 6V와 아날로그 신호 전위(V_{sig})=3V와의 전위차 $V_p=3V$ 를 유지한다. 이렇게 해서, 화소로의 비디오 신호의 기록이 종료한다.

[0693] 그 상태(캐패시터(4902)가 전위차 $V_p=3V$ 를 유지한 채로의 상태)에서, 캐패시터(4902)의 일측 전극에 접속된 신호선(4906)의 전위가 조금이라도 변동하면, 그것에 따라 다른쪽의 전극에 접속된 구동 트랜지스터(4901)의 게이트 단자의 전위도 변동한다. 즉, 인버터의 입력 단자의 전위가 변동한다.

[0694] 따라서, 도 50c에 도시한 바와 같이, 전위 공급선(4905)에 전원 공급 전위(V_{dd})=8V가 설정된 상태로, 신호선(4906)의 전위(V_{sup})가, 기록시 설정된 아날로그 신호 전위($V_{sig}=3V$) 보다 높을 때는, 인버터의 입력 전위는 논리 문턱치($V_{inv}=6V$) 보다 높아지게 되고, 인버터의 출력은 L 레벨이 된다.

[0695] 한편, 도 50d에 도시한 바와 같이, 전위 공급선(4905)에 전원 공급 전위(V_{dd})= 8V가 설정된 상태로, 신호선(4906)의 전위(V_{sup})가 기록시 설정된 아날로그 신호 전위($V_{sig}=3V$) 보다 낮을 때는, 인버터의 입력 전위는 논리 문턱치($V_{inv}=6V$) 보다 낮게 되어, 인버터의 출력은 H 레벨이 된다.

[0696] 따라서, 화소의 발광 기간에 있어서 신호선(4906)에 주기성을 가지고 규칙적으로 변화되는 아날로그 신호 전위(V_{sup})를 설정함으로써, 도 50c에 도시한 바와 같은 비발광 상태와 도 50d에 도시한 바와 같은 발광 상태를 제어할 수 있다.

[0697] 아날로그 신호 전위(V_{sup})로서는, 실시의 형태 1의 도 43a-43g에 도시한 바와 같이, 파형(4301), 파형(4302), 파형(4303), 파형(4304), 파형(4305), 파형(4306) 또는 파형(4307), 또는 이들을 복수 연속하여 설정하더라도 좋다.

[0698] 이들의 파형을 연속하여 설정함으로써, 발광 시간을 1 프레임 내에서 분산시킬수 있다. 그 결과, 프레임 주파수가 외관상 향상되어, 화면 깜빡임을 방지할 수 있다.

[0699] 또한, 본 실시예에 도시한 화소 구성에 따르면, 트랜지스터의 수나 배선의 수를 줄일 수 있고, 그에 따라 화소의 개구율이 향상되고, 고선명 표시가 가능해진다.

[0700] 또한, 개구율이 높은 화소와 개구율이 낮은 화소에 동일한 광도를 얻는 경우, 개구율이 높은 화소는, 개구율이 낮은 화소에 비해, 발광 소자의 휘도를 낮게 할 수 있어, 발광 소자의 신뢰성이 향상한다. 특히, 발광 소자에 EL 소자를 이용하고 있는 경우, EL 소자의 신뢰성이 향상한다.

[0701] [실시예 2]

[0702] 본 실시 형태에서는 도 6에 도시하는 화소의 레이아웃에 관해서 도 54를 참조로 설명한다.

[0703] 화소를 구성하는 회로는, 구동 트랜지스터(5401)와, 병렬로 접속된 캐패시터(5402a) 및 캐패시터(5402b)와, 스위칭 트랜지스터(5403)와, 화소 전극(5404)과, 전위 공급선(Illumination line)(5405)와, 신호선(Data line)(5406)과, 주사선(Reset line)(5407)을 포함한다. 구동 트랜지스터(5401)는 p-형 트랜지스터를, 스위칭 트랜지스터(5403)는 n-형 트랜지스터를 이용하고 있다.

[0704] 화소 전극(5404)은, 도 6에 도시하는 화소의 발광 소자(604)의 양극에 해당한다. 따라서, 화소 전극(5404) 상에, 유기물을 포함하는 충과 대향 전극(발광 소자(604)의 음극에 해당한다)이 형성되면, 화소 전극(5404)과 대향 전극 사이에 유기물을 포함하는 충이 개재된 영역에 발광 소자(604)가 형성된다.

[0705] 구동 트랜지스터(5401)의 제1 단자(소스 단자 또는 드레인 단자)는 전위 공급선(5405)과 접속되고, 게이트 단자는 캐패시터(5402)를 통해 신호선(5406)에 접속되고, 제2 단자(소스 단자 또는 드레인 단자)는 화소 전극(5404)에 접속되어 있다. 또한, 구동 트랜지스터(5401)의 게이트 단자와 제2 단자(소스 단자 또는 드레인 단자)는 스위칭 트랜지스터(5403)를 통해 서로 접속되어 있다. 따라서, 스위칭 트랜지스터(5403)가 on 구동시 구동 트랜지스터(5401)의 게이트 단자와 제2 단자(소스 단자 또는 드레인 단자) 사이의 부분은 통전 상태가 된다. 그리고, 스위칭 트랜지스터(5403)가 오프로 되면, 구동 트랜지스터(5401)의 게이트 단자와 제2 단자(소스 단자 또는 드레인 단자) 사이의 부분은 비통전 상태가 되어, 그 순간의 구동 트랜지스터(5401)의 게이트 단자(또는 제2

단자)와 신호선(5406)과의 전위차(전압)가 캐패시터(5402)에 유지될 수 있다.

[0706] 전위 공급선(5405)에는, 일행분의 화소에 있어서, 발광을 위한 비디오 신호가 입력되어 있는 소정 화소의 발광 소자를 발광시키기 위한 전류가 흐르게 된다. 따라서, 전위 공급선(5405)의 배선 저항이 높아 전압 강하의 영향을 받으므로써, 전위 공급선(5405)에 전위를 설정하는 구동 회로에서 멀리 떨어진 화소에는 원하는 전위를 설정할 수 없게 되어 버린다. 따라서, 전위 공급선(5405)의 재료로서는 구리(Cu)를 사용하여 저저항의 배선을 형성하는 것이 바람직하다.

[0707] 구동 트랜지스터(5401)는 p-형 트랜지스터이므로, n-형 트랜지스터에 비해 일반적으로 캐리어의 이동도(μ)가 낮다. 따라서, p-형 트랜지스터를 구동 트랜지스터(5401)에 이용하는 경우에는, 발광 소자에 적당한 전류를 공급하기 위해서 구동 트랜지스터의 채널 폭(W)과 채널 길이(L)의 비율(W/L)을 크게 할 필요가 있다. 한편, 스위칭 트랜지스터(5403)는 n-형 트랜지스터이므로, 캐리어의 이동도(μ)가 크고, 따라서 W/L은 작게 하더라도 좋다. 또한, 오프 전류를 저감하기 위해서 LDD 영역을 형성하면 좋고, 또한, 스위칭 트랜지스터(5403)는 게이트 누설 전류를 저감하기 위해서 멀티 게이트 트랜지스터로 하면 좋다. 따라서, 그 채널 길이는 커진다. 따라서, 스위칭 트랜지스터(5403)는 W/L을 작게 하는 것이 바람직하다. 본 실시예에서, 스위칭 트랜지스터(5403)는 트리플-게이트 구조를 가지지만, 더블-게이트 구조를 가질 수 있으며, 게이트의 수는 한정되지 않는다.

[0708] 따라서, 구동 트랜지스터(5401)와 스위칭 트랜지스터(5403)는, 채널 폭(W)과 채널 길이(L)의 비율(W/L)을 고려하여, 트랜지스터에 흐르는 전류의 방향이 서로 직교하는 방향으로 배치하는 것이 바람직하다. 이 결과, 화소의 레이아웃 상, 블랙 매트릭스가 되는 화소를 구성하는 소자(트랜지스터나 캐패시터)나 배선의 면적이 작아지도록 효율적으로 배치하는 것이 가능해진다.

[0709] 또한, 구동 트랜지스터(5401)의 채널 폭(W)이 커지는 것을 고려하면, 전위 공급선(5405)과 접속되는 제1 단자가 되는 불순물 영역은 그 면적이 커지기 때문에, 전위 공급선(5405)과 중복되도록 배치하면 좋다. 즉, 전위 공급선(5405)에 흐르는 전류의 방향과 구동 트랜지스터(5401)에 흐르는 전류의 방향이 서로 직교하도록 구동 트랜지스터(5401)를 배치하면 좋다.

[0710] 또한, 신호선(5406)에는 비디오 신호에 해당하는 아날로그 신호 전위가 입력되기 때문에, 신호선(5406)은 배선 저항이 적은 트랜지스터의 소스 전극이나 드레인 전극과 동일한 재료로 형성하면 좋다. 또한, 신호선(5406)은 화소의 일측면 방향으로 연장되고 있고, 본 화소 레이아웃에 있어서는 직사각형의 형상을 갖는 화소에서 장측(long side) 방향으로 연장되고 있기 때문에, 그 면적은 커진다. 따라서, 신호선(5406)을 캐패시터의 상부 전극에 이용한다. 하부 전극은 트랜지스터의 게이트 전극과 동일한 재료로 형성한다. 그렇게 하면, 상부 전극과 하부 전극 사이에 트랜지스터의 층간 절연막이 개재된 캐패시터(5402a) 및 캐패시터(5402b)가 형성된다. 캐패시터(5402a) 및 캐패시터(5402b)의 각 상부 전극이 서로 접속되고, 각 하부 전극이 서로 접속되기 때문에, 캐패시터(5402a) 및 캐패시터(5402b)는 서로 별도 접속되어 있게 된다. 따라서, 캐패시터(5402a) 및 캐패시터(5402b)의 정전 용량을 단순히 합한 합성 용량을 갖는 하나의 캐패시터(5402)로 간주될 수 있다. 따라서, 캐패시터(5402a) 및 캐패시터(5402b)는 도 6에 도시하는 화소의 캐패시터(602)에 해당한다.

[0711] 캐패시터(602)는 전압을 일정 시간 유지하는데 필요하다. 따라서, 큰 전하량을 축적할 수 있는 용량치가 큰 캐패시터가 요구된다. 캐패시터(602)의 용량치를 크게 하기 위해서는, 캐패시터(602)를 구성하는 전극 사이에 개재된 유전체가 유전률이 높은 재료로 형성되더라도, 그 막 두께를 얇게 하는 것이 좋은데, 이는 화소의 제작 공정의 변경이 필요로 하기 때문에 이것에는 한계가 있다. 한편, 캐패시터(602)의 전극의 면적을 크게 하는 것으로 용이하게 용량치를 크게 할 수 있다.

[0712] 여기서, 도 54의 화소를 갖는 표시 장치는 열 방향으로 배치된 전위 공급선과 행 방향으로 배치된 신호선에 대응하여 매트릭스에 화소가 설치되고 있고, 화소의 열 방향(장측 방향)의 길이와 동일한 길이에서 신호선(5406)은 각 화소의 캐패시터(5402)의 상부 전극으로서 기능한다.

[0713] 즉, 원래 블랙매트릭스가 되는 신호선(5406)에 의해서 큰 용량치를 갖는 캐패시터(5402)가 얻어지므로, 캐패시터(5402)를 형성하기 위해서 별도로 설치하는 영역을 작게 할 수 있다. 따라서, 개구율이 대폭 향상한다.

[0714] 또한, 캐패시터(5402)는 전압을 일정기간 유지하기 때문에, 축적된 전하의 방전을 막을 필요가 있다. 그러므로, 스위칭 트랜지스터(5403)의 누설 전류(오프 전류나 게이트 누설 전류)를 저감하는 것이 바람직하다. 본 실시예의 화소의 스위칭 트랜지스터(5403)는 저농도 불순물 영역("LDD"라고도 한다)을 가지며, 또한, 멀티 게이트 구조이므로, 스위칭 트랜지스터(5403)의 누설 전류를 저감할 수 있다.

[0715] 또한, 본 실시예의 화소로서는, 스위칭 트랜지스터(5403)와 구동 트랜지스터(5401)를, 그 채널 길이 방향이 서

로 직교하는 방향으로 배치함으로써, 화소의 블랙 매트릭스가 되는 영역에, 화소를 구성하는 소자를 효율적으로 배치할 수 있다.

[0716] 또한, 본 실시예의 화소와 같이 화소의 장축 방향과 대략 동일한 길이인 캐패시터를 형성하는 것에 의해, 충분히 높은 전압 유지 능력을 갖는 캐패시터를 얻을 수 있다. 또한, 신호선(5406)을 상부 전극으로 사용함으로써, 블랙 매트릭스가 되는 배선의 영역에 캐패시터(5402)가 형성되기 때문에, 화소의 개구율을 매우 높일 수 있다.

[0717] [실시예 3]

[0718] 본 실시예에 있어서, 본 발명의 화소 구성을 이용한 표시 장치를 채용한 표시부를 갖는 휴대 전화의 구성예에 관해서도 47을 참조로 설명한다.

[0719] 표시 패널(4710)은 하우징(4700)에 탈착 가능하게 결합된다. 하우징(4700)은 표시 패널(4710)의 크기에 따라 형상이나 치수를 적절하게 변경할 수 있다. 표시 패널(4710)을 구비한 하우징(4700)은 인쇄 회로 기판(4701)에 설치되어 모듈을 구성한다.

[0720] 표시 패널(4710)은 FPC(4711)를 통해 인쇄 회로 기판(4701)에 접속된다. 인쇄 회로 기판(4701) 상에는, 스피커(4702)와, 마이크로폰(4703)과, 송수신 회로(4704)와, CPU 및 컨트롤러 등을 포함하는 신호 처리 회로(4705)가 형성되어 있다. 이러한 모듈과, 입력 수단(4706) 및 배터리(4707)를 조합시켜, 케이스(4709)에 수납한다. 표시 패널(4710)의 화소부는 케이스(4712)에 형성된 개구창으로부터 볼 수 있도록 배치된다.

[0721] 표시 패널(4710)은, 화소부와 일부의 주변 구동 회로(복수의 구동 회로 중 동작 주파수가 낮은 구동 회로)를 동일 기판 상에 TFT를 이용하여 형성하여, 일부의 주변 구동 회로(복수의 구동 회로 중 동작 주파수가 높은 구동 회로)를 IC 칩 상에 형성하고, 그 IC 칩을 COG(Chip On Glass)로 표시 패널(4710)에 실장하는 것으로 형성된다. 또한, IC 칩은 TAB(Tape Auto Bonding)나 인쇄 회로 기판을 이용하여 유리 기판에 접속될 수 있다. 도 42a는 일부의 주변 구동 회로를 화소부와 동일한 기판 상에 형성하고 다른 주변 구동 회로를 형성한 IC 칩을 COG 등으로 실장한 표시 패널의 구조예를 도시한다. 전술한 구성을 채용하는 것에 의해 표시 장치의 전력 소비를 줄일 수 있으며, 휴대 전화기의 일회의 충전에 의한 사용 시간을 길게 할 수 있다. 또한, 휴대 전화기의 비용 절감을 꾀할 수 있다.

[0722] 화소부에는 실시의 형태 1-6에 설명된 화소 구성을 적절하게 적용할 수 있다.

[0723] 예컨대, 실시의 형태 3에 설명된 도 7의 화소 구성을 적용하는 것에 의해, 저비용화를 실현하기 위해서 화소부 및 화소부와 동일 기판 상에 형성하는 주변 구동 회로를 단극성의 트랜지스터로 구성하여 제조 공정의 단점을 피할 수 있다.

[0724] 또한, 실시의 형태 2에 설명된 도 56의 화소 구성을 적용하는 것으로, 발광 기간을 길게 할 수 있으므로, 발광 소자의 순간 회도를 낮게 할 수 있고, 발광 소자의 신뢰성을 향상시킬 수 있다.

[0725] 또한, 주사선이나 신호선에 설정하는 신호를 버퍼 회로에 의해 임피던스 변환하여 전류 공급 능력을 높임으로써, 신호의 지연을 방지하고, 일 행의 화소의 기록 기간을 짧게 할 수 있다. 따라서 고선명도의 표시 장치를 제공할 수 있다.

[0726] 또한, 소비 전력을 더 저감하기 위해, 도 42b에 도시한 바와 같이, 기판 상에 TFT를 이용하여 화소부를 형성하고, 모든 주변 구동 회로를 IC 칩 상에 형성하여, 그 IC 칩을 COG(Chip On Glass) 등으로 표시 패널에 실장할 수 있다.

[0727] 본 실시예에 설명된 구성은 휴대 전화의 일례로서, 본 발명의 화소 구성은 이러한 구성의 휴대 전화는 물론, 다양한 구성의 휴대 전화에 적용할 수 있다.

[0728] [실시예 4]

[0729] 도 45는 표시 패널(4501)과 회로 기판(4502)을 조합시킨 EL 모듈을 도시한다. 표시 패널(4501)은 화소부(4503), 주사선 구동 회로(4504) 및 신호선 구동 회로(4505)를 포함한다. 회로 기판(4502) 상에는, 컨트롤 회로(4506), 신호 분할 회로(4507) 등이 형성되어 있다. 표시 패널(4501)과 회로 기판(4502)은 접속 배선(4508)을 통해 접속된다.

8)에 의해서 서로 접속되어 있다. 접속 배선으로는 FPC 등을 이용할 수 있다.

[0730] 표시 패널(4501)은, 화소부와 일부의 주변 구동 회로(복수의 구동 회로 중 동작 주파수가 낮은 구동 회로)를 동일 기판 상에 TFT를 이용하여 형성하고, 일부의 주변 구동 회로(복수의 구동 회로 중 동작 주파수가 높은 구동 회로)를 IC 칩 상에 형성하고, 그 IC 칩을 COG(Chip On Glass) 등으로 표시 패널(4501)에 실장하는 것으로 형성될 수 있다. 또한, IC 칩은 TAB(Tape Auto Bonding)나 인쇄 회로 기판을 이용하여 표시 패널(4501)에 실장하더라도 좋다. 도 42a는 일부의 주변 구동 회로를 화소부와 동일한 기판 상에 형성하고 다른 주변 구동 회로를 형성한 IC 칩을 COG 등으로 실장한 구성의 예를 도시하고 있다.

[0731] 화소부에는 실시의 형태 1-6에 설명된 화소 구성을 적절하게 적용할 수 있다.

[0732] 예컨대, 실시의 형태 3에 설명된 도 7의 화소 구성을 적용하는 것에 의해, 비용절감을 위해 화소부 및 화소부와 동일 기판 상에 형성한 주변 구동 회로를 단극성의 트랜지스터로 구성하는 것으로 제조 공정을 줄일 수 있다.

[0733] 또한, 실시의 형태 2에 설명된 도 56의 화소 구성을 적용하는 것에 의해, 발광 기간을 길게 할 수 있으므로, 발광 소자의 순간 휘도를 낮게 할 수 있어, 발광 소자의 신뢰성을 향상시킬 수 있다.

[0734] 또한, 주사선이나 신호선에 설정하는 신호를 버퍼 회로에 의해 임피던스 변환하여 전류 공급 능력을 높임으로써, 신호의 지연을 방지하고, 일 행의 화소의 기록 기간을 짧게 할 수 있다. 따라서, 고선명도의 표시 장치를 제공할 수 있다.

[0735] 또한, 전력 소비를 더욱 줄이기 위해, 기판 상에 TFT를 이용하여 화소부를 형성하고, 모든 주변 구동 회로를 IC 칩 상에 형성하고, 그 IC 칩을 COG(Chip On Glass) 등으로 표시 패널에 실장하더라도 좋다.

[0736] 또한, 실시의 형태 3에 설명된 도 7의 화소 구성을 적용하는 것에 의해, n-형 트랜지스터만으로 화소를 구성할 수 있으므로, 비정질 반도체(예, 비정질 실리콘)를 트랜지스터의 반도체 층에 적용하는 것이 가능해진다. 즉, 균일한 결정성 반도체 막을 제작하는 것이 곤란한 대형의 표시 장치의 제작이 가능해진다. 화소를 구성하는 트랜지스터의 반도체층으로서 비정질 반도체막을 이용하는 것에 의해, 제조 공정을 줄일 수 있어, 제조 비용을 절감할 수 있다.

[0737] 비정질 반도체막을, 화소를 구성하는 트랜지스터의 반도체 층에 적용하는 경우에는, 기판 상에 TFT를 이용하여 화소부를 형성하고, 모든 주변 구동 회로를 IC 칩 상에 형성하고, 그 IC 칩을 COG(Chip On Glass) 등으로 표시 패널에 실장하는 것이 바람직하다. 도 42b는 기판 상에 화소부를 형성하고 그 기판상에 주변 구동 회로를 형성한 IC 칩을 COG 등으로 실장한 구성의 예를 도시한다.

[0738] 전술한 EL 모듈로 EL TV 수상기를 완성할 수 있다. 도 46은 EL TV 수상기의 주요한 구성을 도시하는 블럭도이다. 튜너(4601)는 비디오 신호와 음성 신호를 수신한다. 비디오 신호는, 비디오 신호 증폭 회로(4602)와, 비디오 신호 증폭 회로(4602)에서 출력되는 신호를 적, 녹, 청의 각 컬러에 대응한 색신호로 변환하는 비디오 신호 처리 회로(4603)와, 그 비디오 신호를 구동 회로의 입력 사양으로 변환하기 위한 컨트롤 회로(4506)에 의해 처리된다. 컨트롤 회로(4506)는 주사선측과 신호선측에 각각 신호를 출력시킨다. 디지털 방식으로 구동하는 경우에는, 신호선측에 신호 분할 회로(4507)를 설치하여, 입력 디지털 신호를 m개로 분할하여 공급하는 구성으로서도 좋다.

[0739] 튜너(4601)에 의해 수신된 신호 중 음성 신호는 음성 신호 증폭 회로(4604)로 전송되고, 그 출력은 음성 신호 처리 회로(4605)를 통해 스피커(4606)로 공급된다. 제어 회로(4607)는 수신국(수신 주파수) 데이터와 음량 제어 데이터를 입력부(4608)로부터 수신하여, 튜너(4601)와 음성 신호 처리 회로(4605)로 신호를 송출한다.

[0740] 도 44a에 도시한 바와 같이, 도 45의 EL 모듈을 하우징(44001)에 조립하는 것으로, TV 수상기를 완성시킬 수 있다. 표시부(44003)는 EL 모듈로 구성된다. 또한, 스피커(44004), 비디오 입력 단자(44005) 등이 적절하게 설치된다.

[0741] 물론, 본 발명은 TV 수상기에 한정되지 않고, 개인용 컴퓨터의 모니터, 철도역이나 공항에 있어서의 정보 표시 패널이나 거리의 광고 표시 보드 등 특히 대형 표시 매체로서 여러 가지 장치에 적용 가능하다.

발명의 효과

[0742] 발광 소자로의 인가 전압의 공급을 스위치를 설치하지 않고서 전위 공급선의 신호에 의해 제어할 수 있는 것에

의해, 스위치로서 트랜지스터를 이용하고 있는 경우에는, 트랜지스터의 수를 줄일 수 있다. 또한, 그 트랜지스터의 온/오프를 제어하는 신호를 입력하는 배선도 제거 가능하다. 따라서, 화소의 개구율이 향상하여, 고선명도의 표시 장치를 제공할 수 있다.

[0743] 개구율의 향상에 의해, 휙도의 감소에도 필요한 광도를 얻을 수 있기 때문에, 발광 소자의 신뢰성을 향상시킬 수 있다.

도면의 간단한 설명

[0001] 도 1은 본 발명의 화소 구성을 도시한 도면이다.

[0002] 도 2는 본 발명의 화소 구성을 갖는 표시 장치를 설명하는 도면이다.

[0003] 도 3은 본 발명의 화소 구성을 갖는 표시 장치의 타이밍 차트를 도시한 도면이다.

[0004] 도 4는 본 발명의 화소 구성을 도시한 도면이다.

[0005] 도 5는 본 발명의 화소 구성을 갖는 표시 장치의 타이밍 차트를 도시한 도면이다.

[0006] 도 6은 본 발명의 화소 구성을 도시한 도면이다.

[0007] 도 7은 본 발명의 화소 구성을 도시한 도면이다.

[0008] 도 8은 본 발명의 화소 구성을 도시한 도면이다.

[0009] 도 9는 본 발명의 화소 구성을 갖는 표시 장치의 타이밍 차트를 도시한 도면이다.

[0010] 도 10은 본 발명의 화소 구성을 도시한 도면이다.

[0011] 도 11은 본 발명의 화소 구성을 갖는 표시 장치의 타이밍 차트를 도시한 도면이다.

[0012] 도 12는 본 발명의 화소 구성을 갖는 표시 장치를 설명하는 도면이다.

[0013] 도 13은 본 발명의 화소 구성을 갖는 표시 장치를 설명하는 도면이다.

[0014] 도 14는 신호의 수직 상승 및 하강의 자연의 발생을 설명하는 도면이다.

[0015] 도 15a-15d는 본 발명의 화소 구성을 갖는 표시 장치에 적용 가능한 버퍼 회로를 도시한 도면이다.

[0016] 도 16a 및 도 16b는 본 발명의 화소 구성을 갖는 표시 장치에 적용 가능한 버퍼 회로를 도시한 도면이다.

[0017] 도 17은 본 발명의 화소 구성을 갖는 표시 장치에 적용 가능한 것 D/A 변환 회로의 일례를 도시한 도면이다.

[0018] 도 18은 본 발명의 화소 구성을 갖는 표시 장치에 적용 가능한 것 D/A 변환 회로의 일례를 도시한 도면이다.

[0019] 도 19a 및 도 19b는 본 발명의 화소 구성을 갖는 표시 패널을 설명하는 도면이다.

[0020] 도 20a 및 도 20b는 본 발명의 화소 구성이 갖는 표시 장치에 적용 가능한 발광 소자의 예를 도시하는 도면이다.

[0021] 도 21a-21c는 발광 소자의 출사 구조를 설명하는 도면이다.

[0022] 도 22는 컬러 필터를 이용하여 풀 컬러 표시를 하는 표시 패널의 단면도이다.

[0023] 도 23a 및 도 23b는 표시 패널의 부분 단면도이다.

[0024] 도 24a 및 도 24b는 표시 패널의 부분 단면도이다.

[0025] 도 25a 및 도 25b는 본 발명의 표시 장치의 모식도이다.

[0026] 도 26a 및 도 26b는 본 발명의 화소 구성을 갖는 표시 패널을 설명하는 도면이다.

[0027] 도 27a 및 도 27b는 표시 패널의 부분 단면도이다.

[0028] 도 28a 및 도 28b는 표시 패널의 부분 단면도이다.

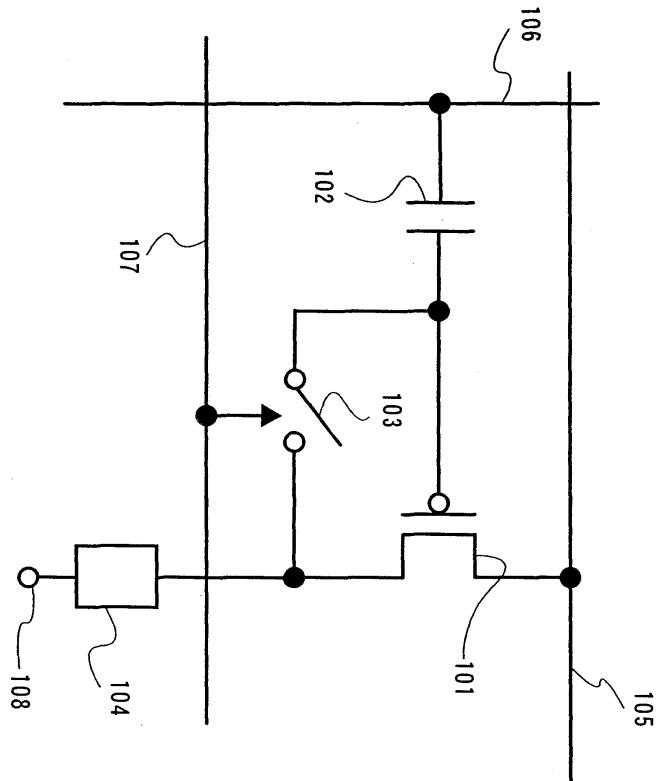
[0029] 도 29a 및 도 29b는 표시 패널의 부분 단면도이다.

- [0030] 도 30a 및 도 30b는 표시 패널의 부분 단면도이다.
- [0031] 도 31a 및 도 31b는 본 발명의 표시 장치에 적용 가능한 신호선 구동 회로의 예를 도시한 도면이다.
- [0032] 도 32a 및 도 32b는 본 발명의 표시 장치에 적용 가능한 신호선 구동 회로의 예를 도시한 도면이다.
- [0033] 도 33은 본 발명의 표시 장치에 적용 가능한 신호선 구동 회로의 예를 도시한 도면이다.
- [0034] 도 34는 본 발명의 표시 장치에 적용 가능한 신호선 구동 회로의 예를 도시한 도면이다.
- [0035] 도 35a 및 도 35b는 본 발명의 표시 장치에 적용 가능한 신호선 구동 회로의 예를 도시한 도면이다.
- [0036] 도 36a 및 도 36b는 본 발명의 표시 장치에 적용 가능한 신호선 구동 회로의 예를 도시한 도면이다.
- [0037] 도 37은 본 발명의 표시 장치에 적용 가능한 신호선 구동 회로의 예를 도시한 도면이다.
- [0038] 도 38은 본 발명의 표시 장치에 적용 가능한 신호선 구동 회로의 예를 도시한 도면이다.
- [0039] 도 39는 본 발명의 표시 장치에 적용 가능한 신호선 구동 회로의 예를 도시한 도면이다.
- [0040] 도 40은 본 발명의 표시 장치에 적용 가능한 신호선 구동 회로의 예를 도시한 도면이다.
- [0041] 도 41a 및 도 41b는 본 발명의 표시 장치에 적용 가능한 신호선 구동 회로의 예를 도시한 도면이다.
- [0042] 도 42a 및 도 42b는 본 발명의 화소 구성을 갖는 표시 패널을 설명하는 도면이다.
- [0043] 도 43a-43g는 주기적으로 변화되는 패턴을 설명하는 도면이다.
- [0044] 도 44a-44h는 본 발명의 화소 구성을 갖는 표시 장치를 화소부에 적용 가능한 전자 기기의 예를 도시하는 도면이다.
- [0045] 도 45는 EL 모듈의 예를 도시한 도면이다.
- [0046] 도 46은 EL 텔레비전 수상기의 주요한 구성을 도시하는 블럭도이다.
- [0047] 도 47은 본 발명을 적용 가능한 휴대 전화기의 예를 도시한 도면이다.
- [0048] 도 48은 본 발명의 화소 구성을 도시한 도면이다.
- [0049] 도 49는 본 발명의 화소 구성을 도시한 도면이다.
- [0050] 도 50a-50d는 본 발명의 화소 구성을 동작을 설명하는 도면이다.
- [0051] 도 51은 본 발명의 화소 구성을 갖는 표시 장치의 타이밍 차트를 도시한 도면이다.
- [0052] 도 52는 본 발명의 화소 구성을 갖는 표시 장치의 타이밍 차트를 도시한 도면이다.
- [0053] 도 53은 본 발명의 화소 구성을 도시한 도면이다.
- [0054] 도 54는 화소의 레이아웃을 설명하는 도면이다.
- [0055] 도 55는 인버터 특성을 도시한 도면이다.
- [0056] 도 56은 본 발명의 화소 구성을 도시한 도면이다.
- [0057] 도 57은 본 발명의 화소 구성을 갖는 표시 장치의 타이밍 차트를 도시한 도면이다.
- [0058] 도 58은 본 발명의 표시 장치의 모식도이다.
- [0059] 도 59a1-59a3는 신호선에 입력하는 비디오 신호와 삼각파 전위와의 관계를 설명하는 도면이다.
- [0060] 도 60a1-60a3는 신호선에 입력하는 비디오 신호와 삼각파 전위와의 관계를 설명하는 도면이다.
- [0061] 도 61은 본 발명의 화소 구성을 도시한 도면이다.
- [0062] 도 62는 본 발명의 표시 패널의 단면도이다.
- [0063] 도 63a 및 도 63b는 본 발명의 표시 패널의 구성을 도시하는 모식도이다.
- [0064] 도 64는 본 발명의 표시 패널의 화소부의 모식도이다.

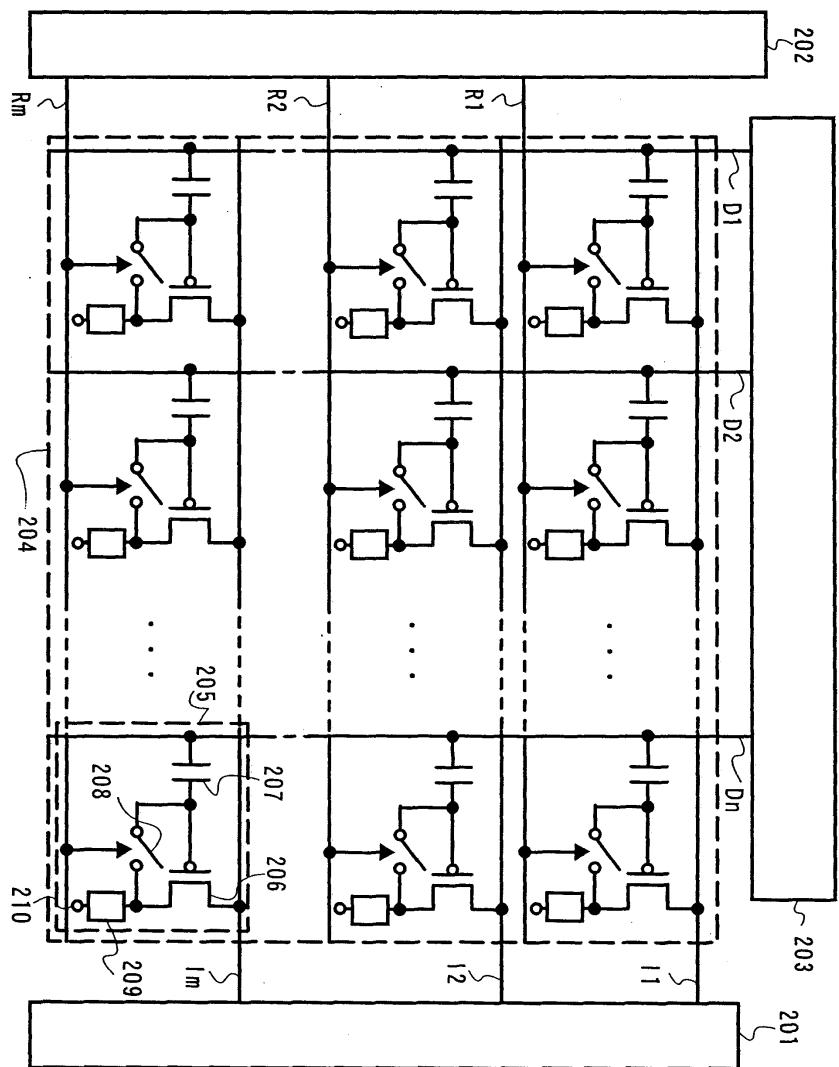
- [0065] 도 65는 본 발명의 표시 패널의 화소부의 모식도이다.
 - [0066] 도 66은 본 발명의 화소 구성을 도시한 도면이다.
 - [0067] 도 67은 본 발명의 화소 구성을 도시한 도면이다.
 - [0068] 도 68a-68c는 본 발명의 화소 구성을 도시한 도면이다.
 - [0069] 도 69는 본 발명의 화소 구성을 도시한 도면이다.
 - [0070] 도 70은 본 발명의 화소 구성을 도시한 도면이다.
 - [0071] 도 71은 본 발명의 화소 구성을 도시한 도면이다.
 - [0072] 도 72는 본 발명의 화소 구성을 도시한 도면이다.
 - [0073] 도 73은 본 발명의 화소 구성을 도시한 도면이다.
 - [0074] 도 74는 본 발명의 화소 구성을 도시한 도면이다.
 - [0075] 도 75는 본 발명의 화소 구성을 도시한 도면이다.
 - [0076] 도 76은 본 발명의 화소 구성을 도시한 도면이다.
 - [0077] 도 77은 본 발명의 화소 구성을 도시한 도면이다.
 - [0078] 도 78은 본 발명의 화소 구성을 도시한 도면이다.
 - [0079] 도 79는 본 발명의 화소 구성을 도시한 도면이다.

도면

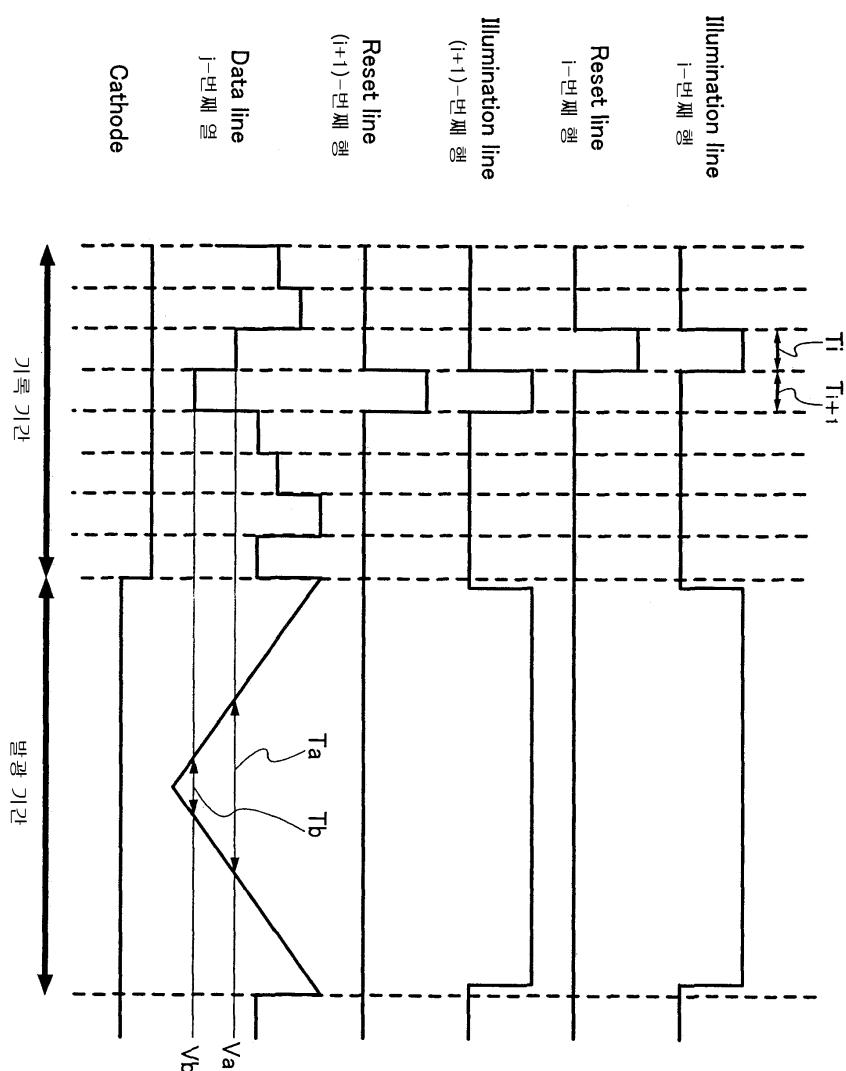
도면1



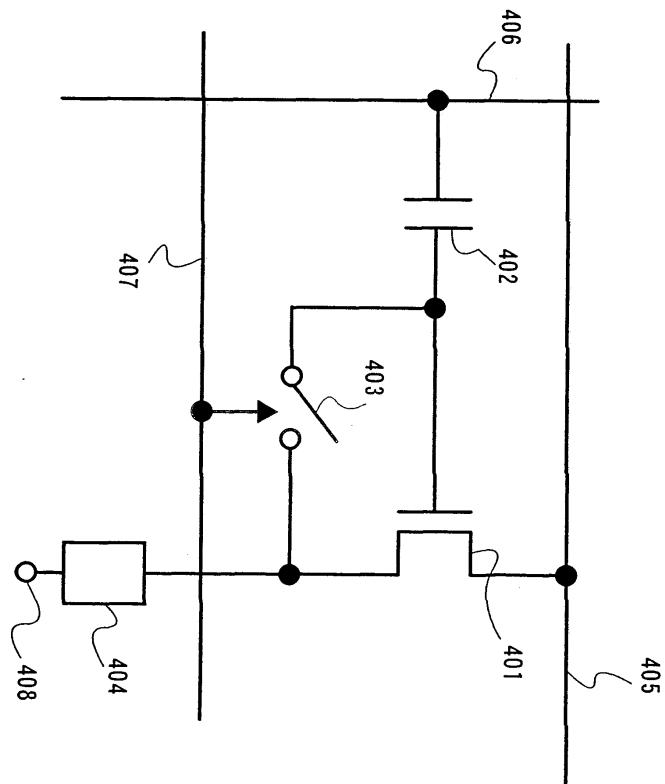
도면2



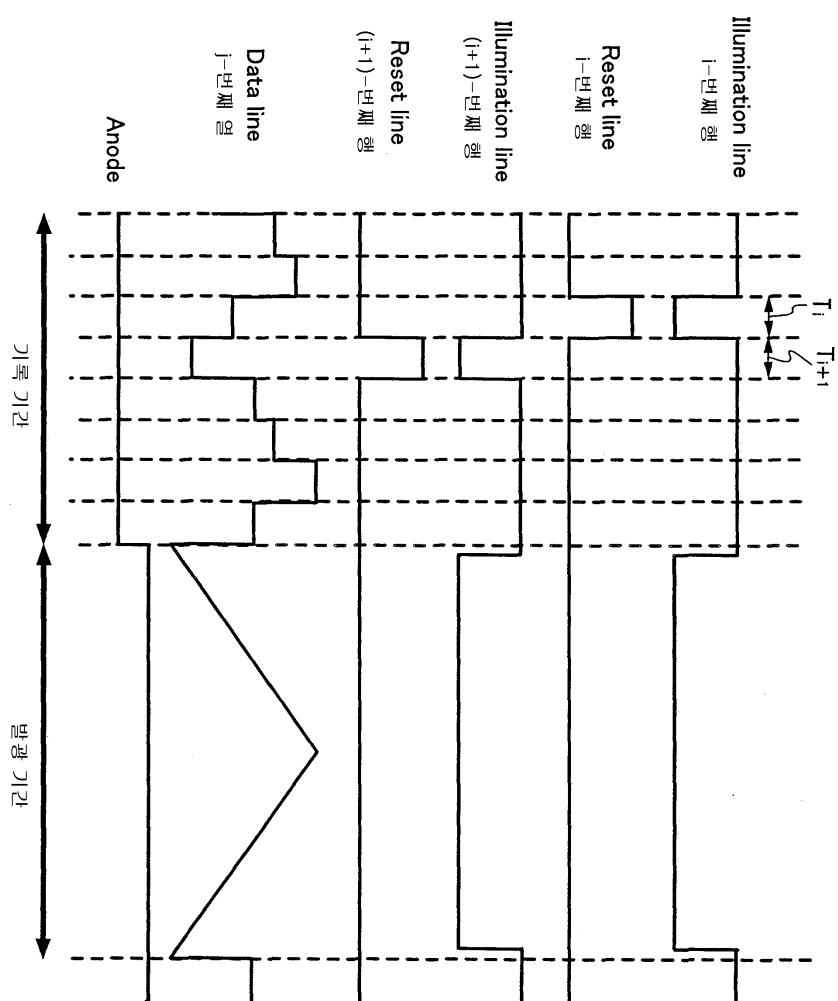
도면3



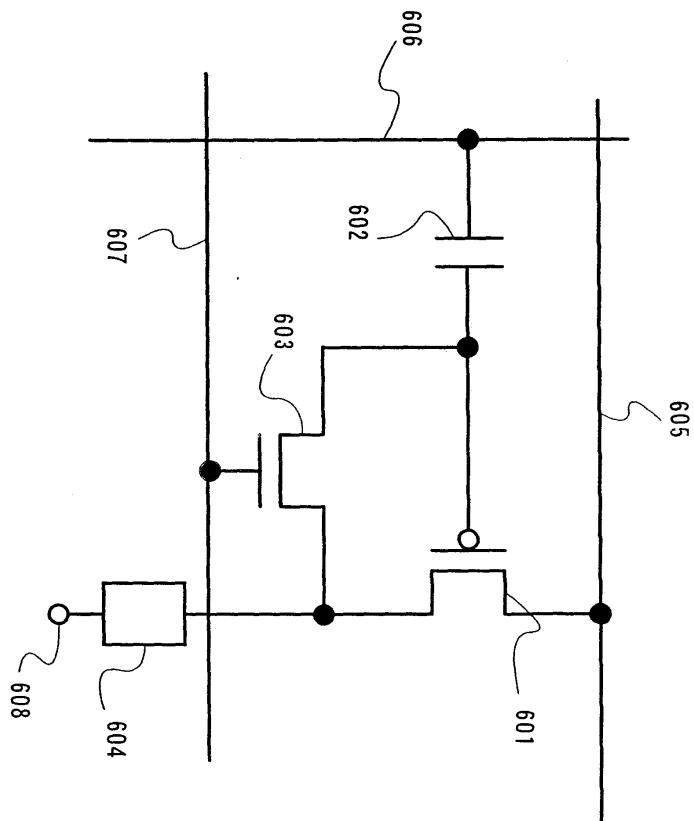
도면4



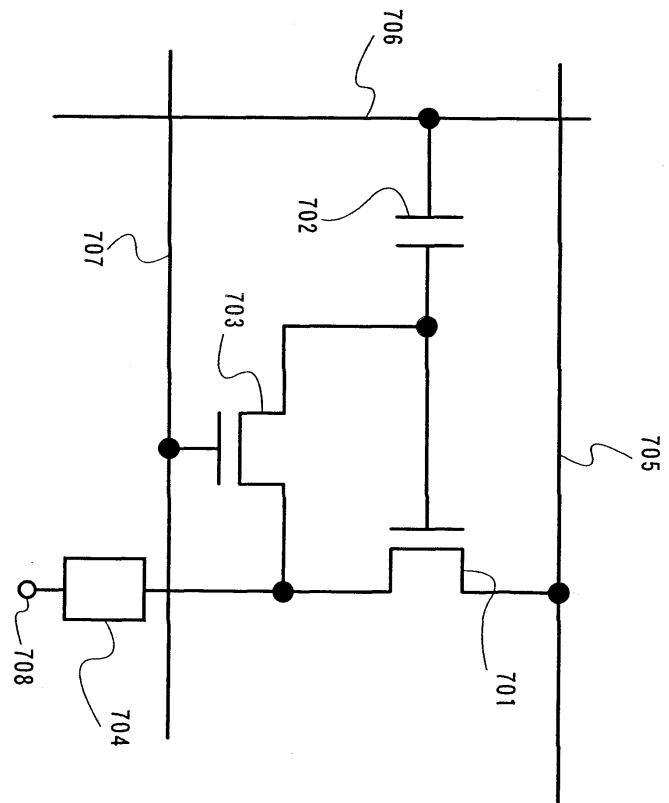
도면5



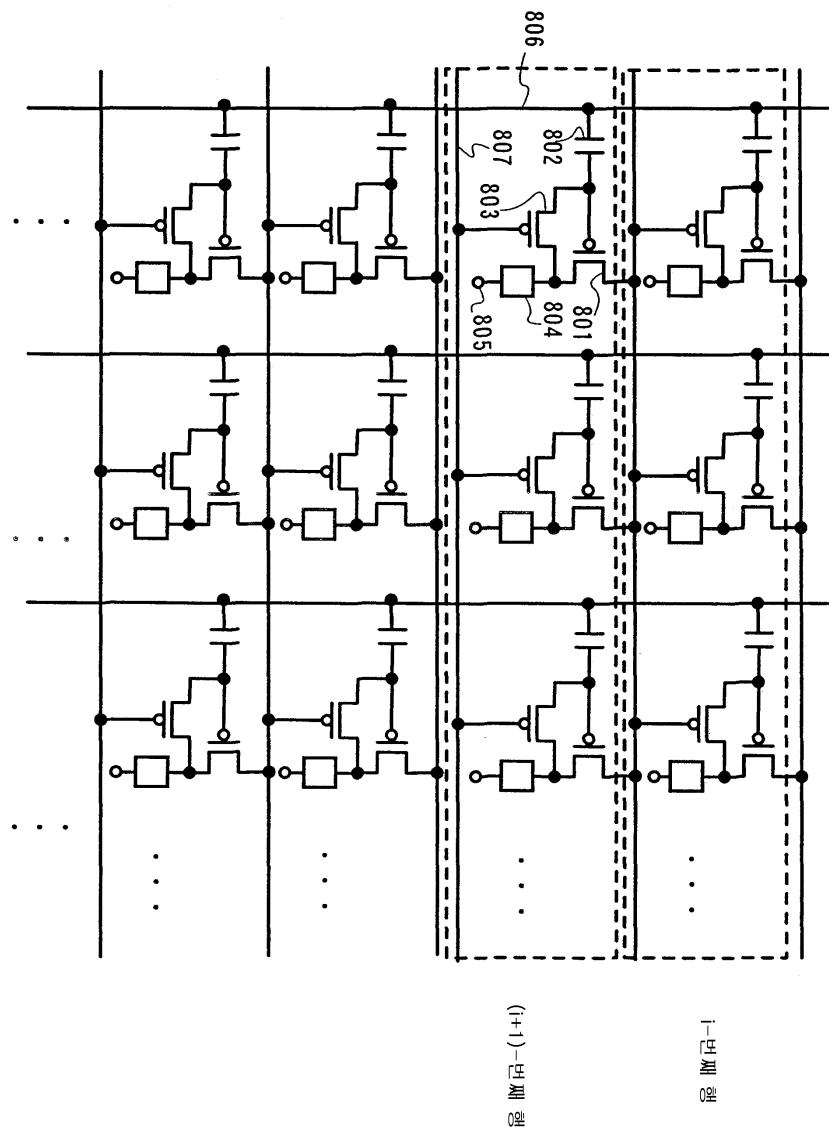
도면6



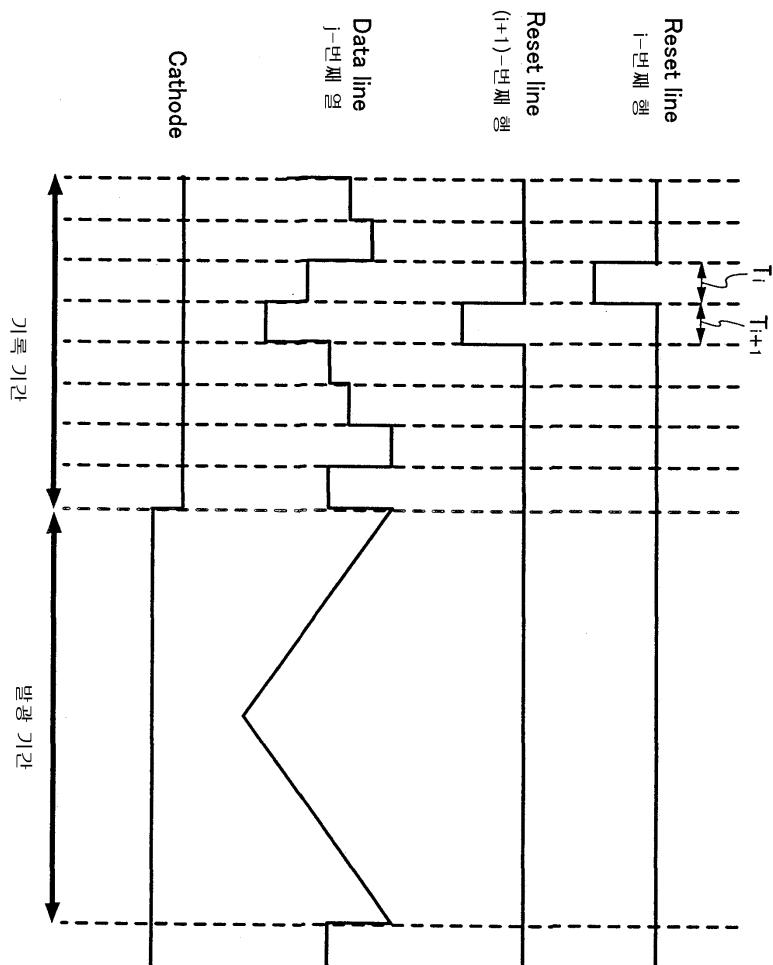
도면7



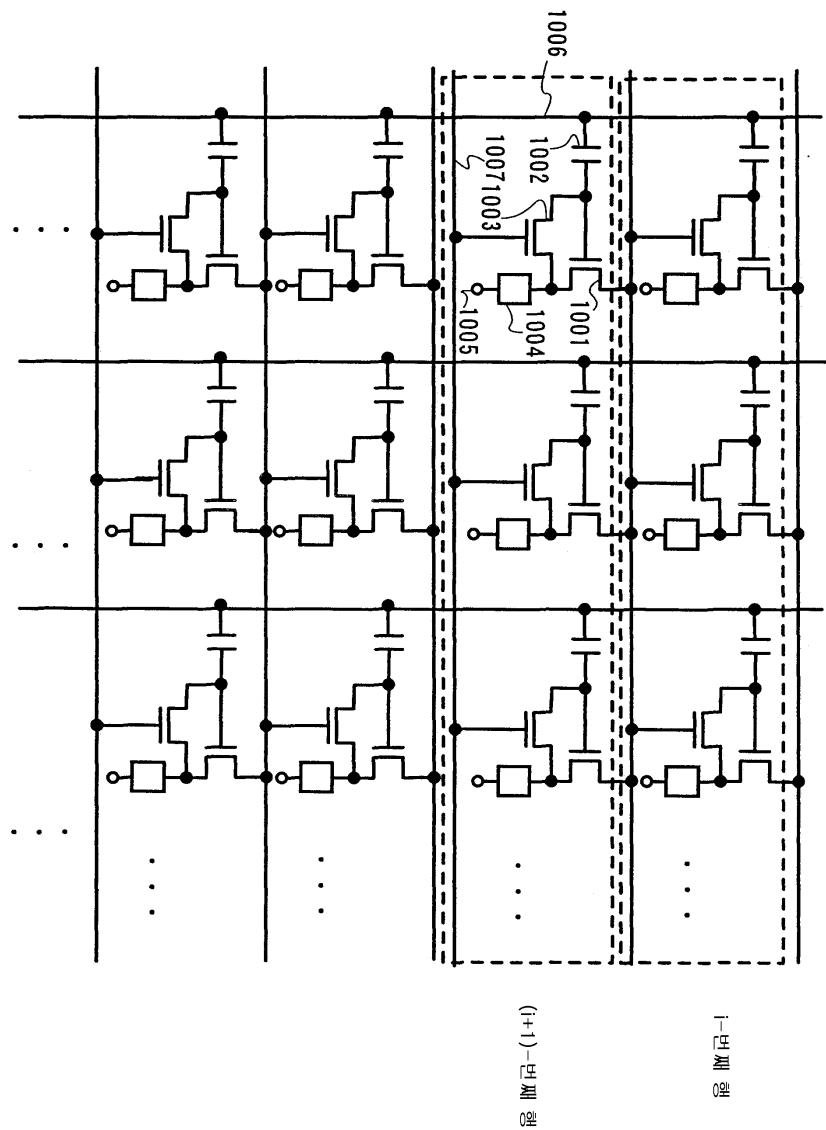
도면8



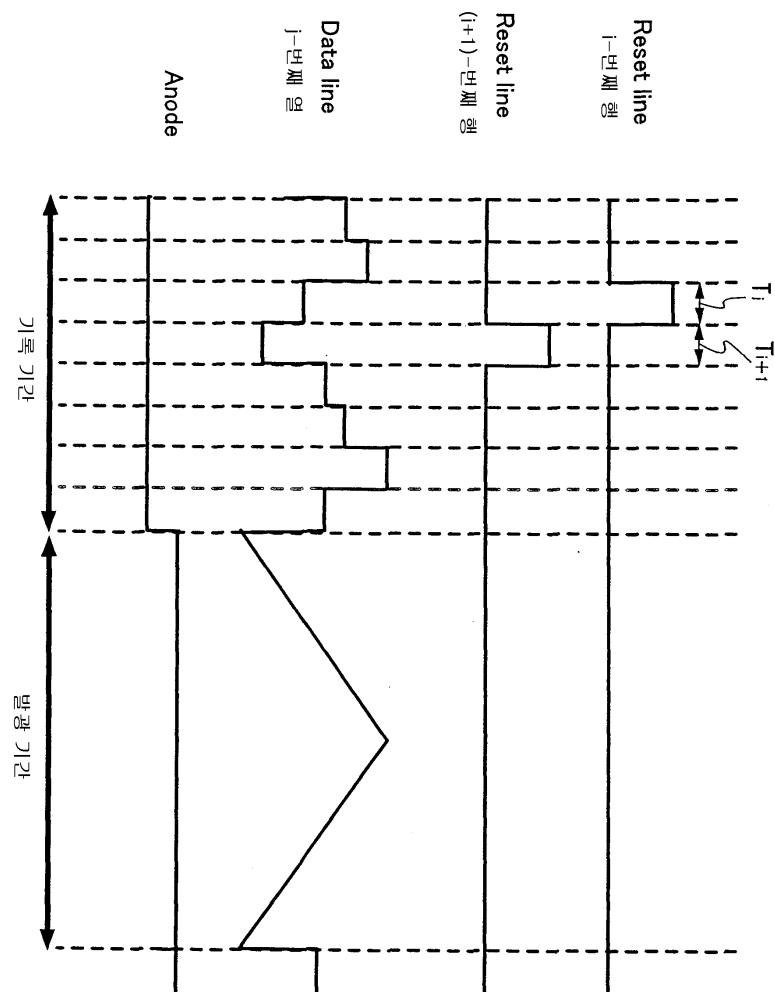
도면9



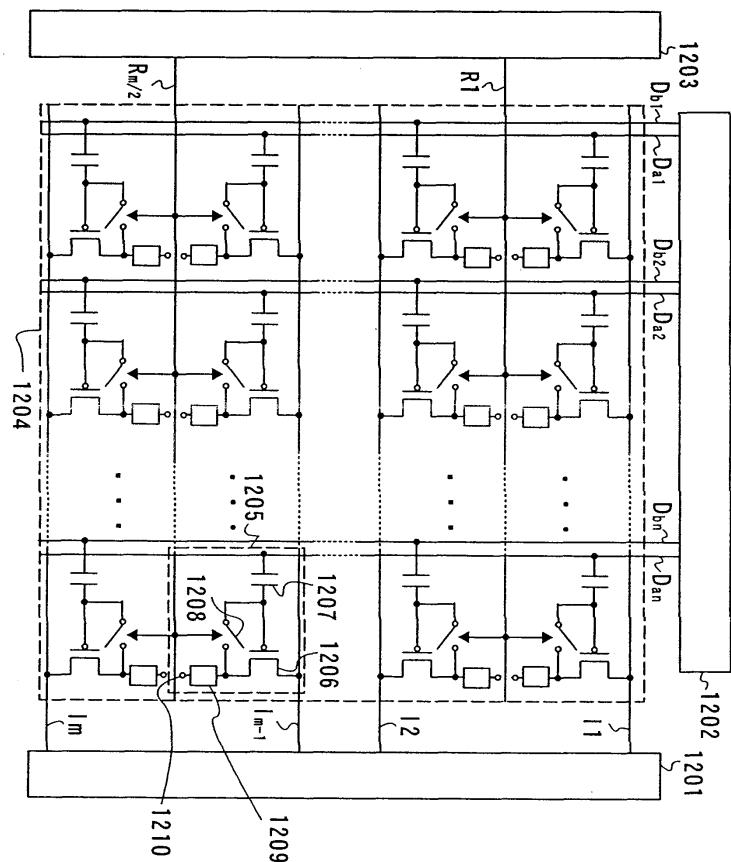
도면10



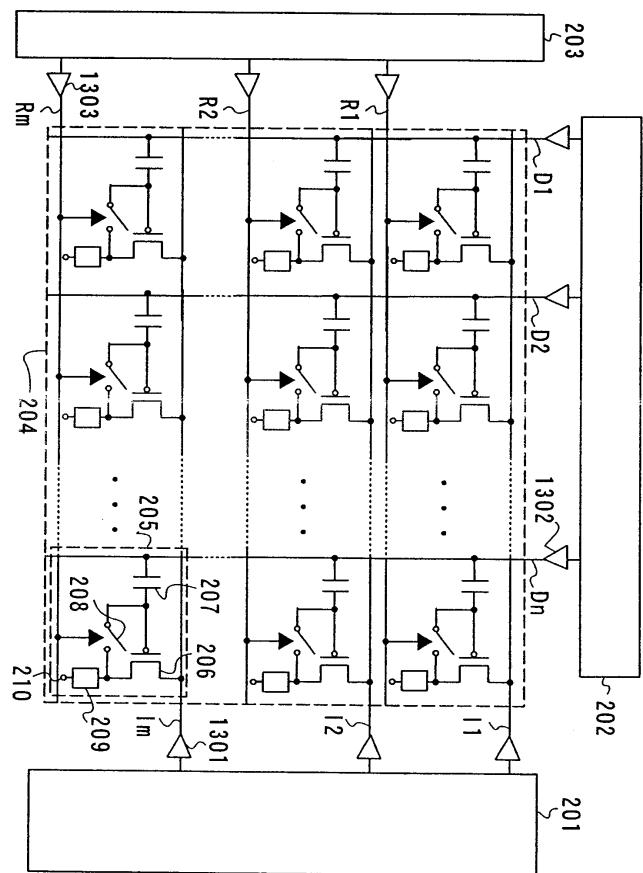
도면11



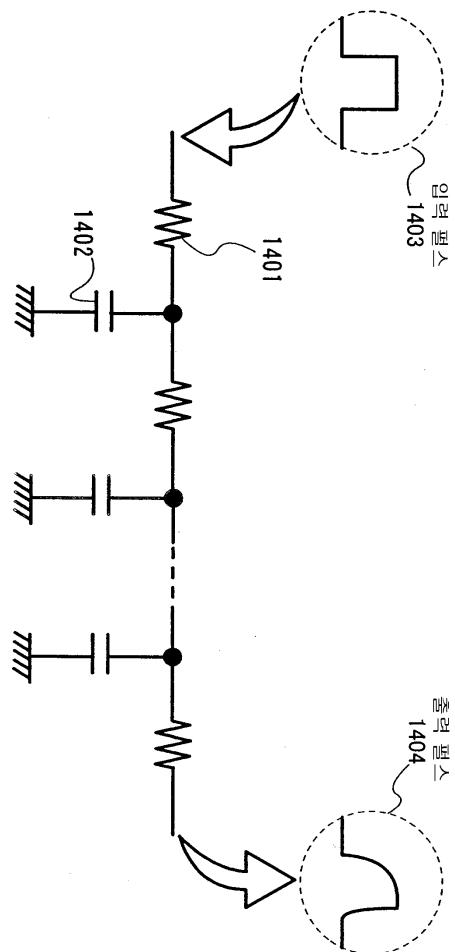
도면12



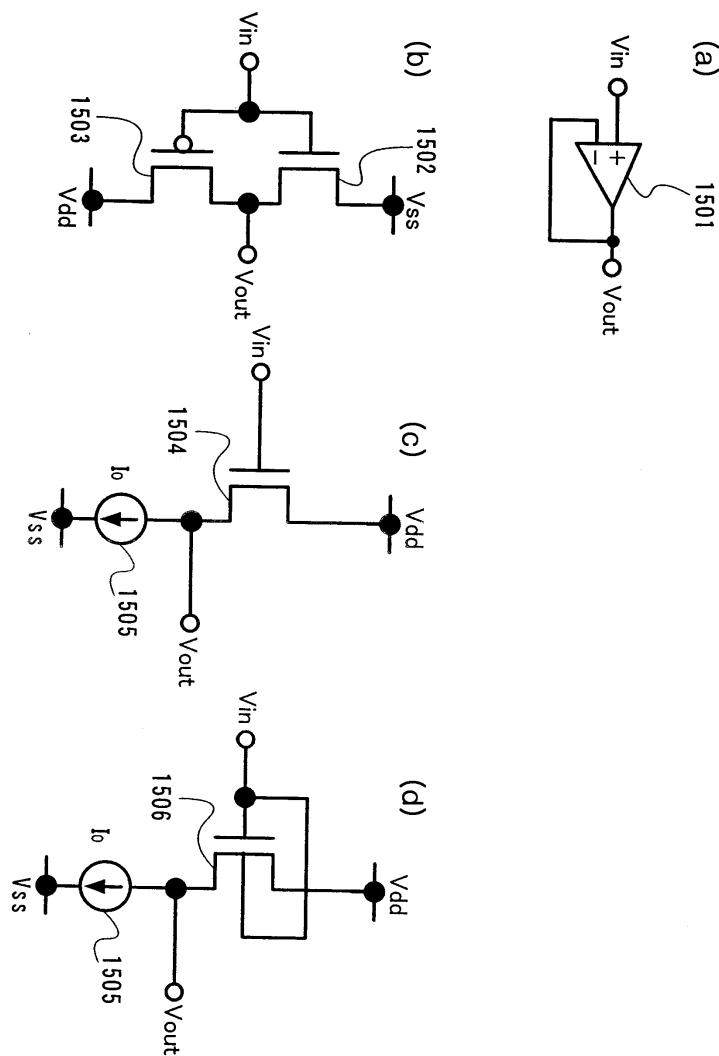
도면13



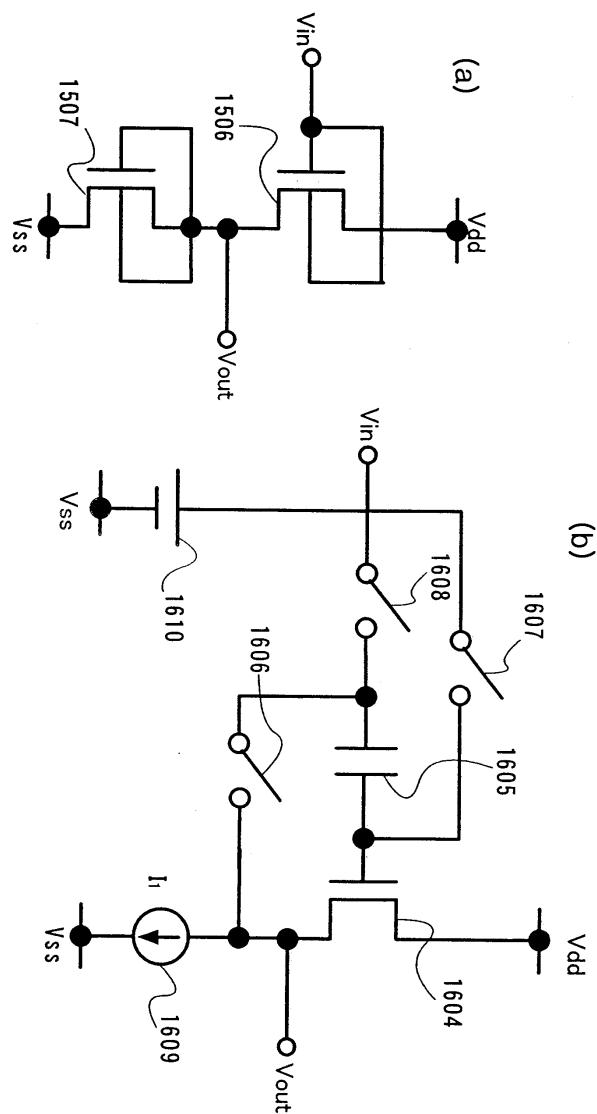
도면14



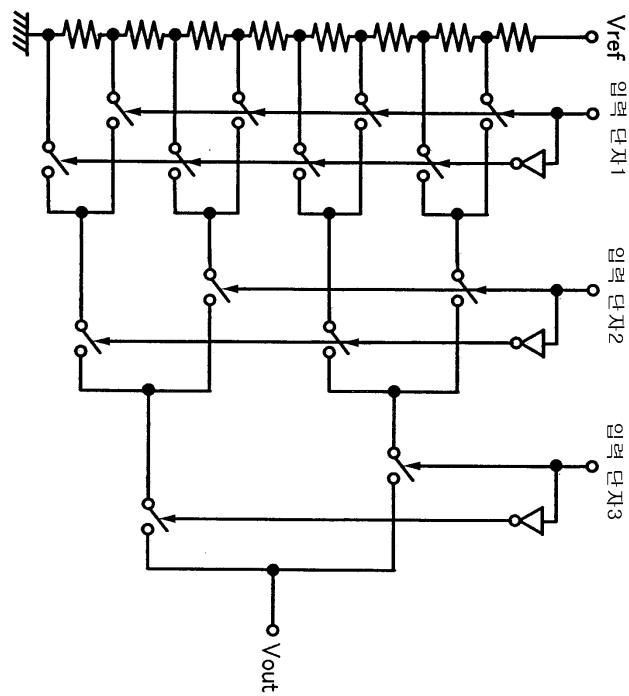
도면15



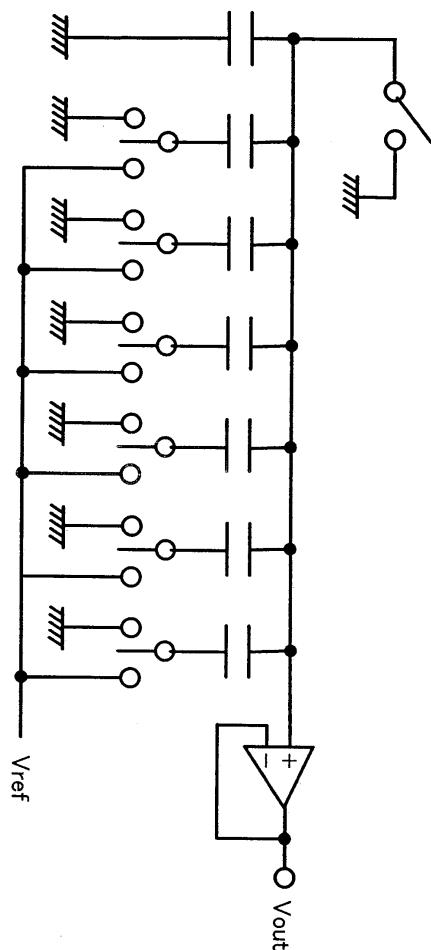
도면16



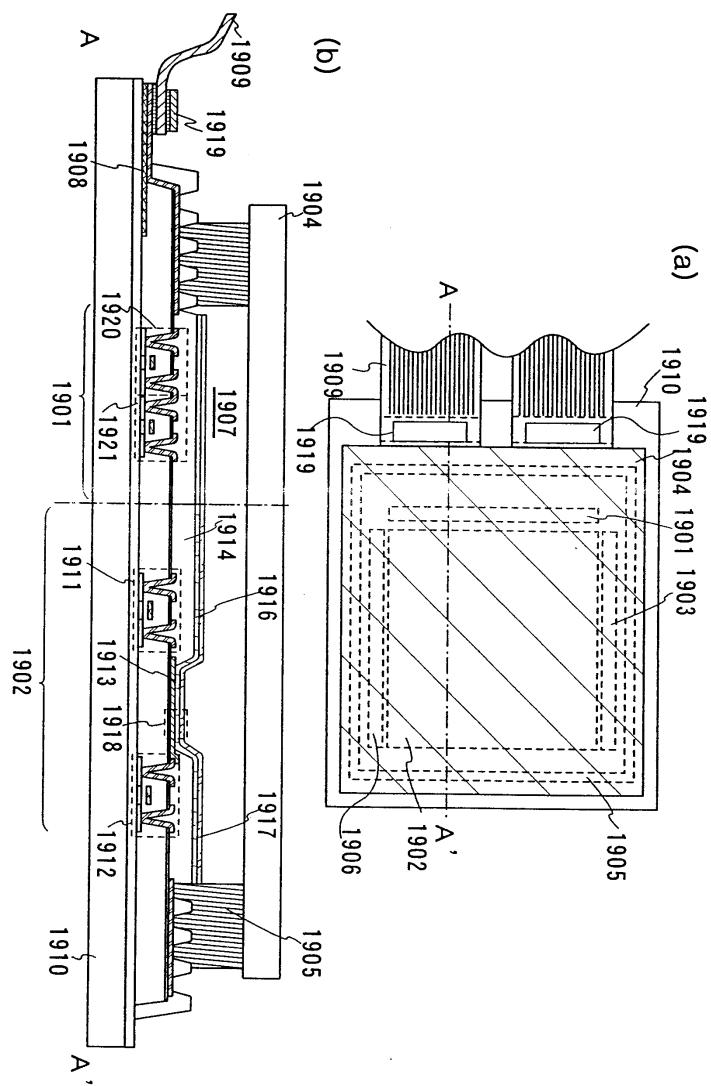
도면17



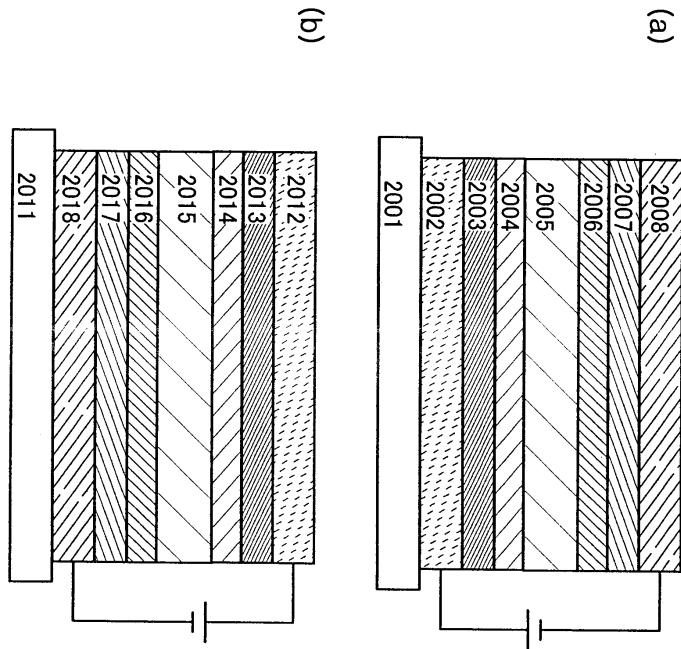
도면18



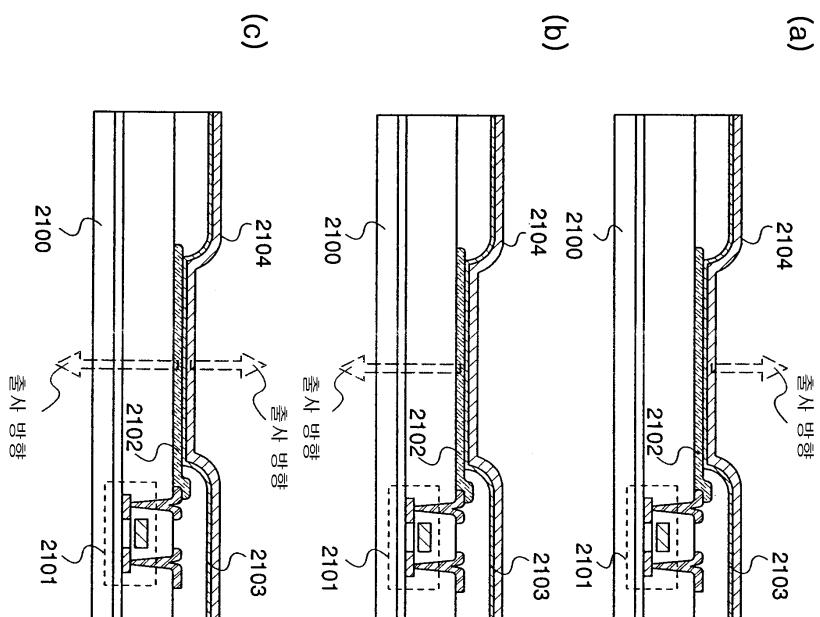
도면19



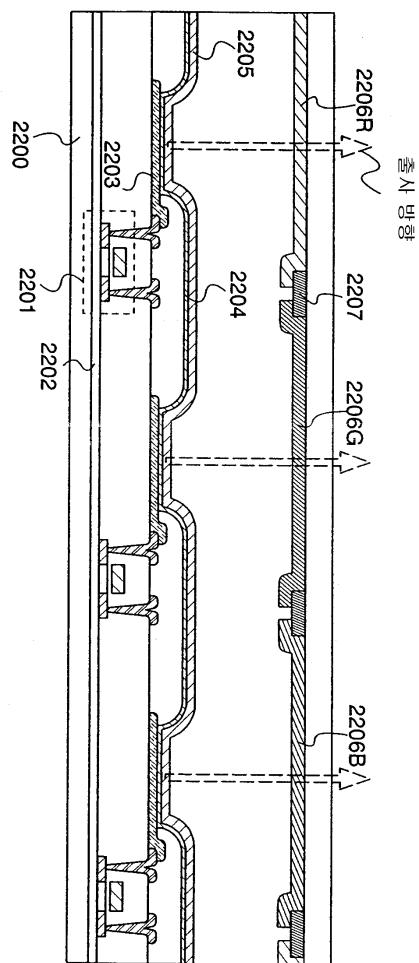
도면20



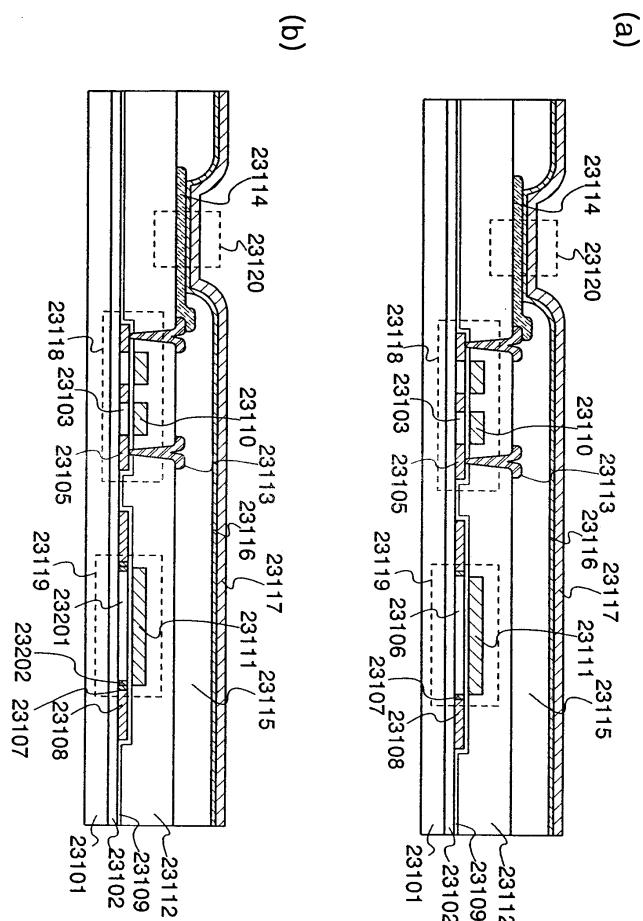
도면21



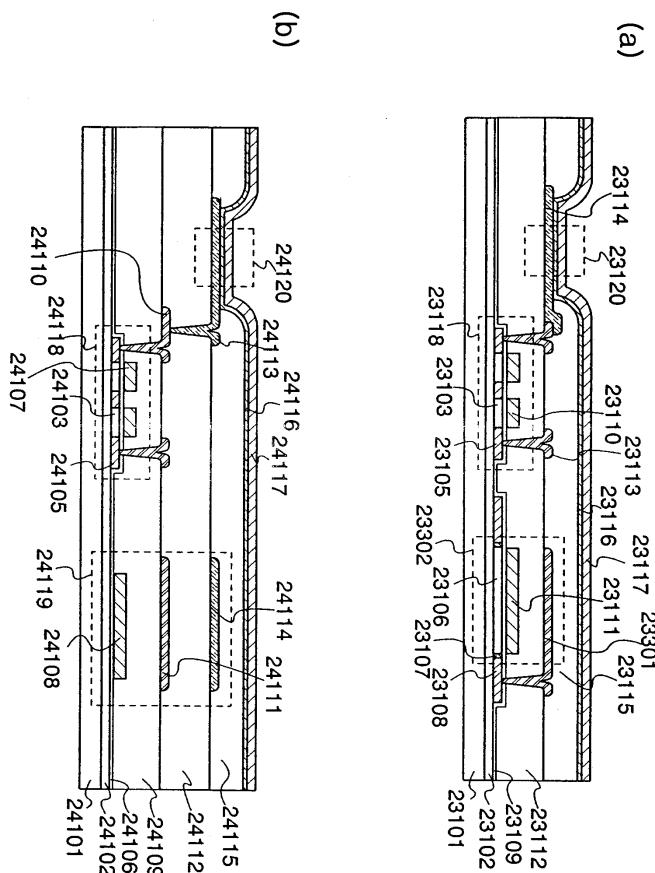
도면22



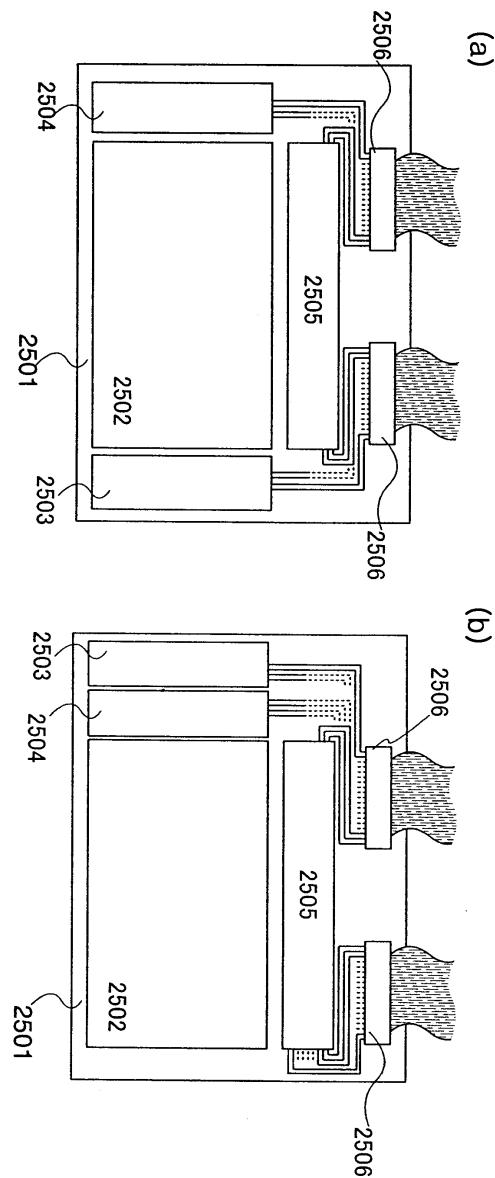
도면23



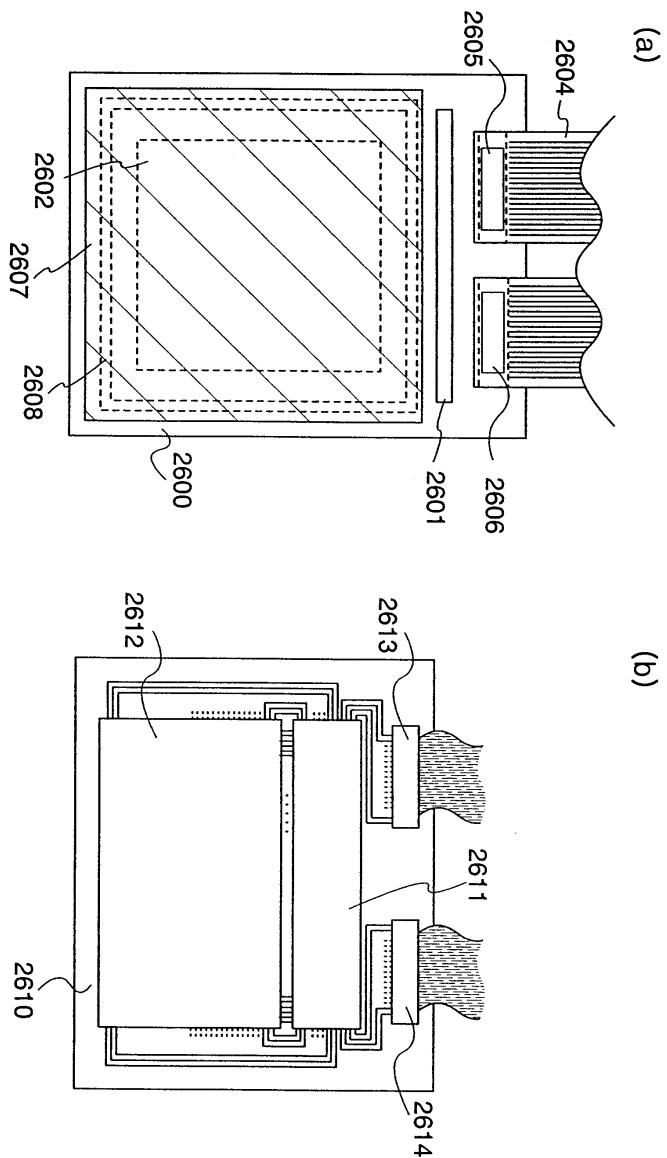
도면24



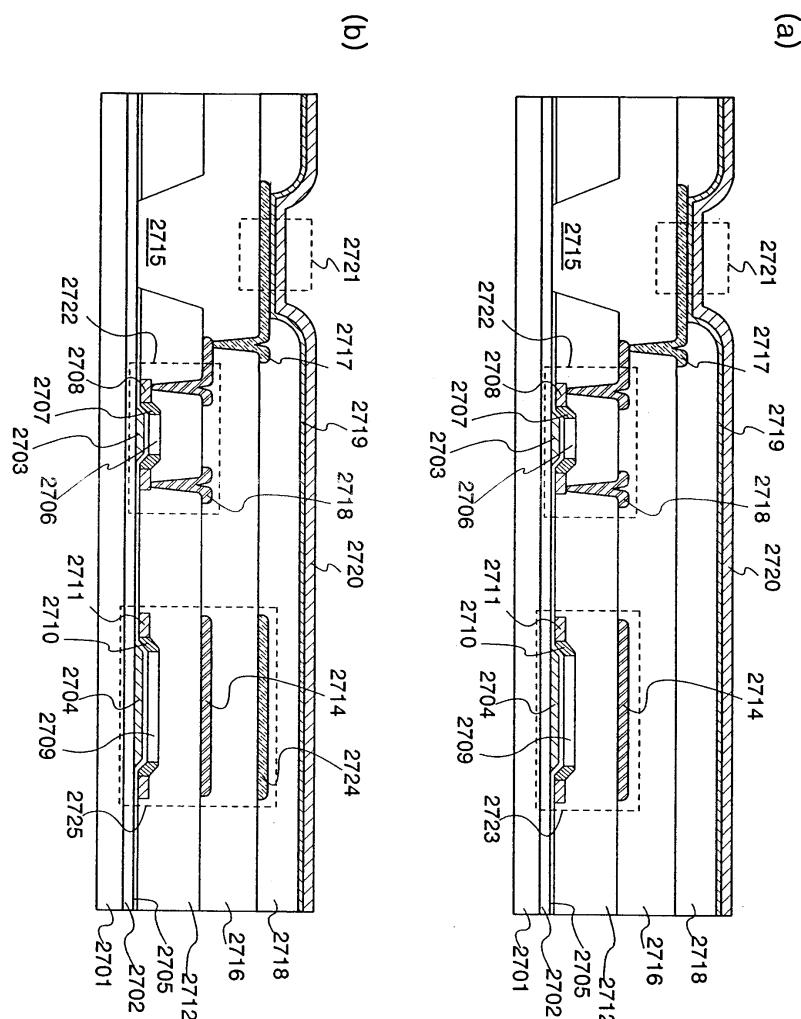
도면25



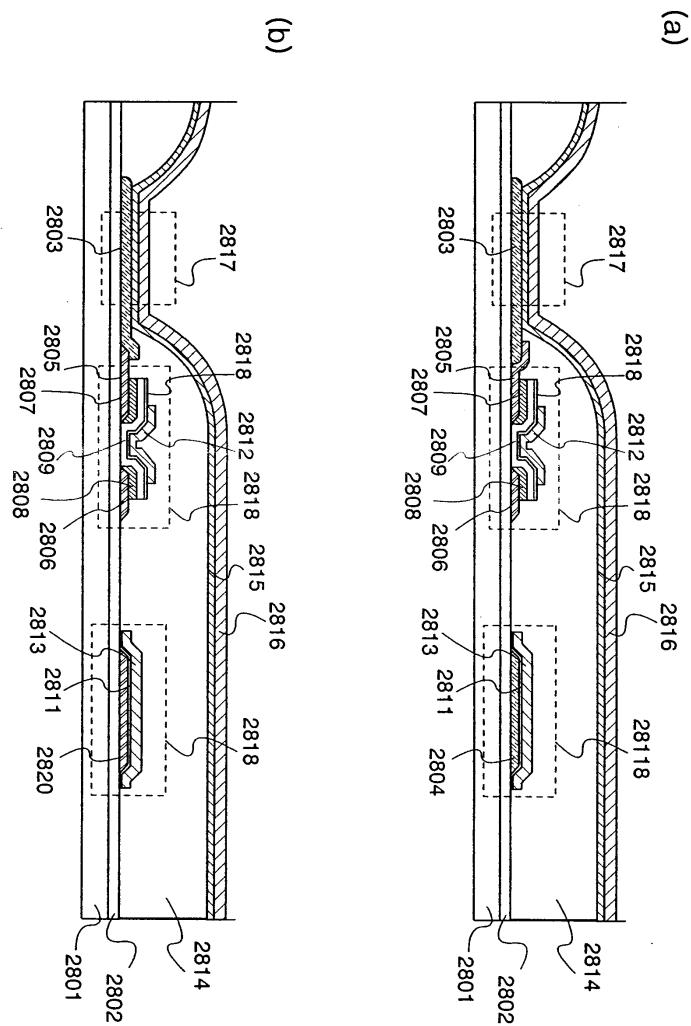
도면26



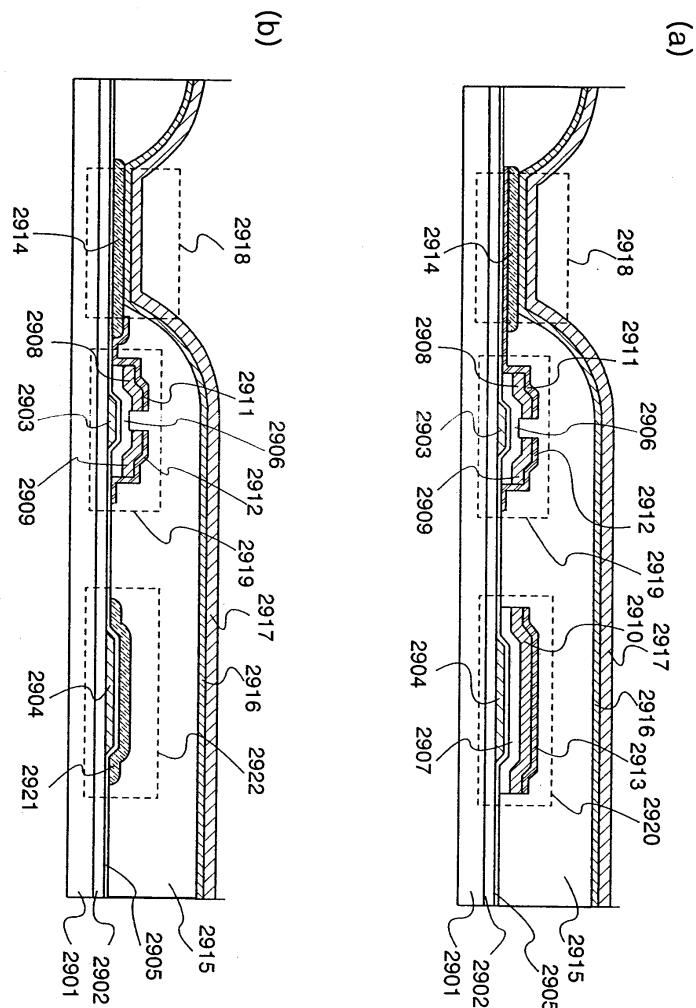
도면27



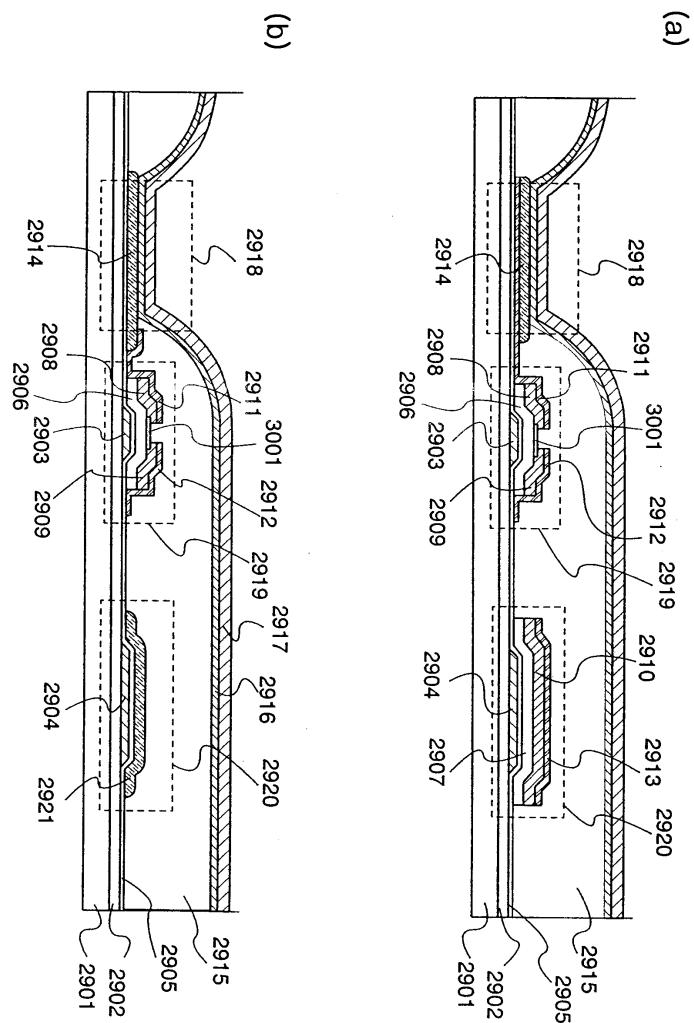
도면28



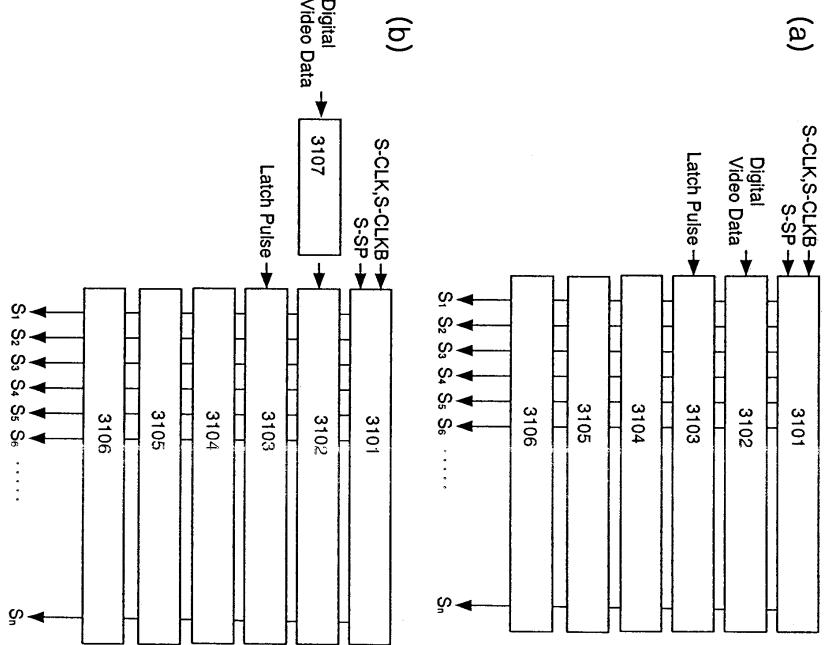
도면29



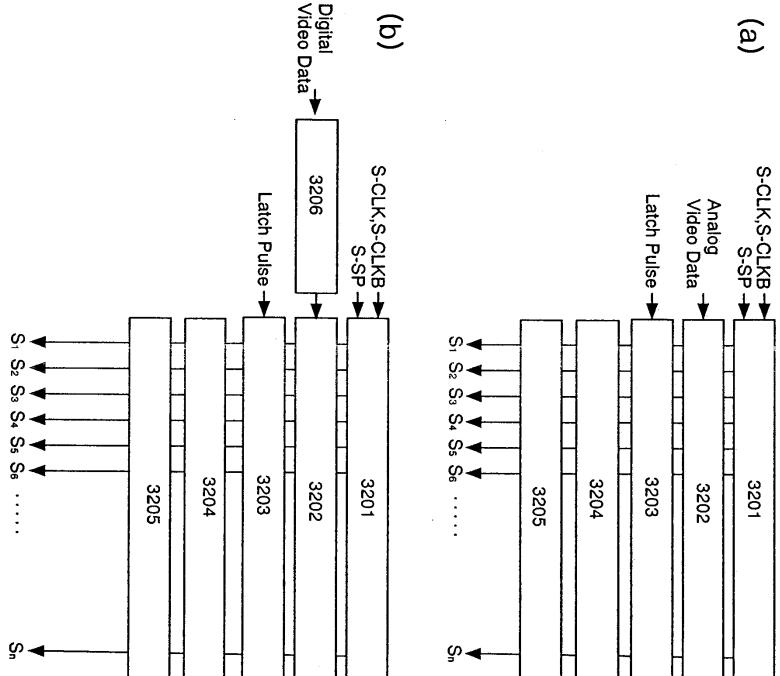
도면30



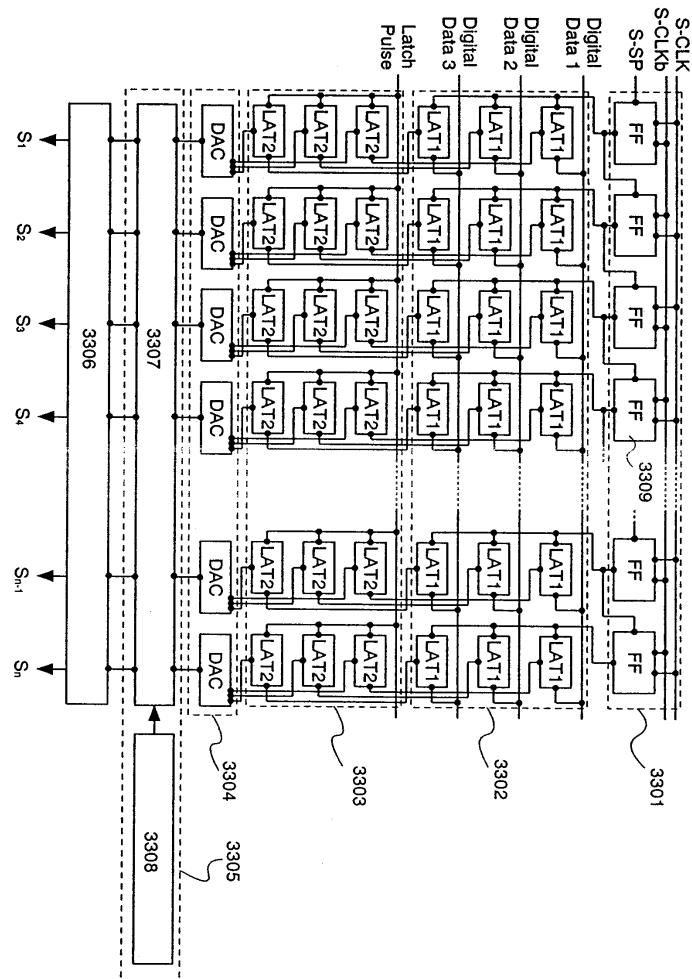
도면31



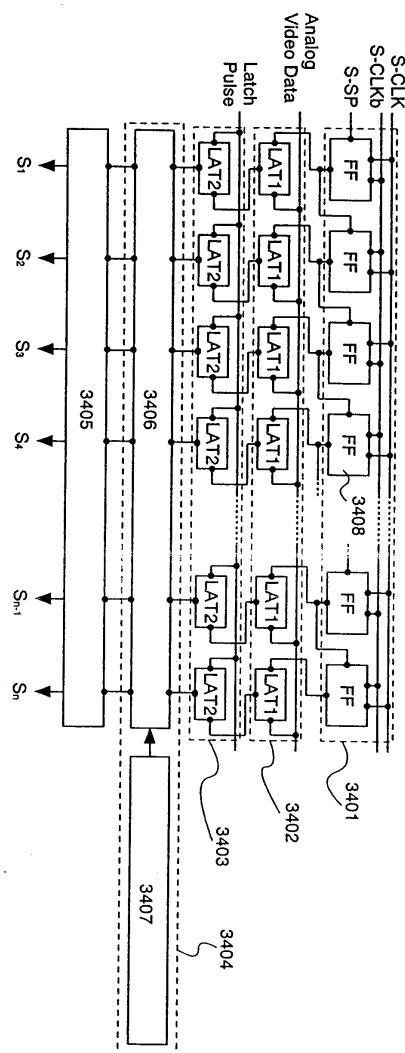
도면32



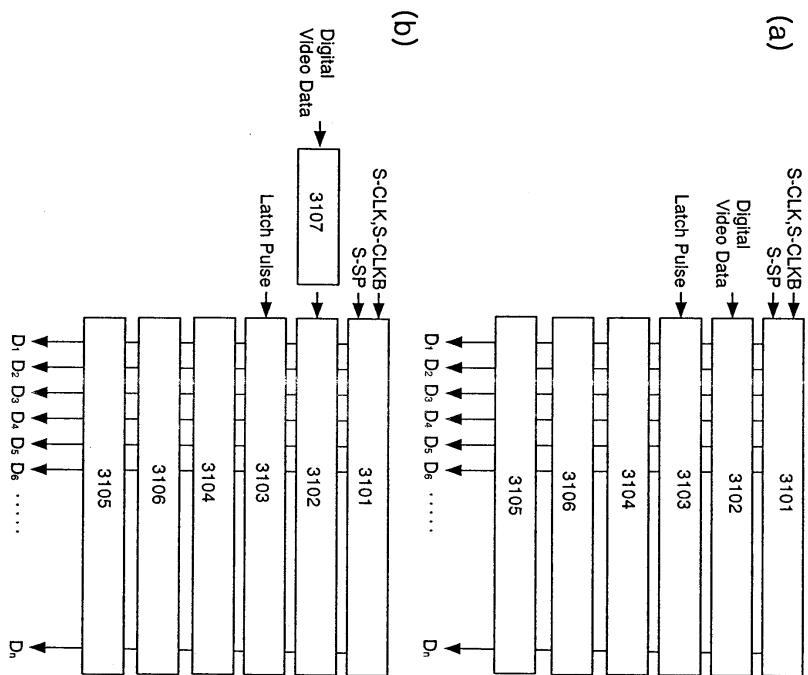
도면33



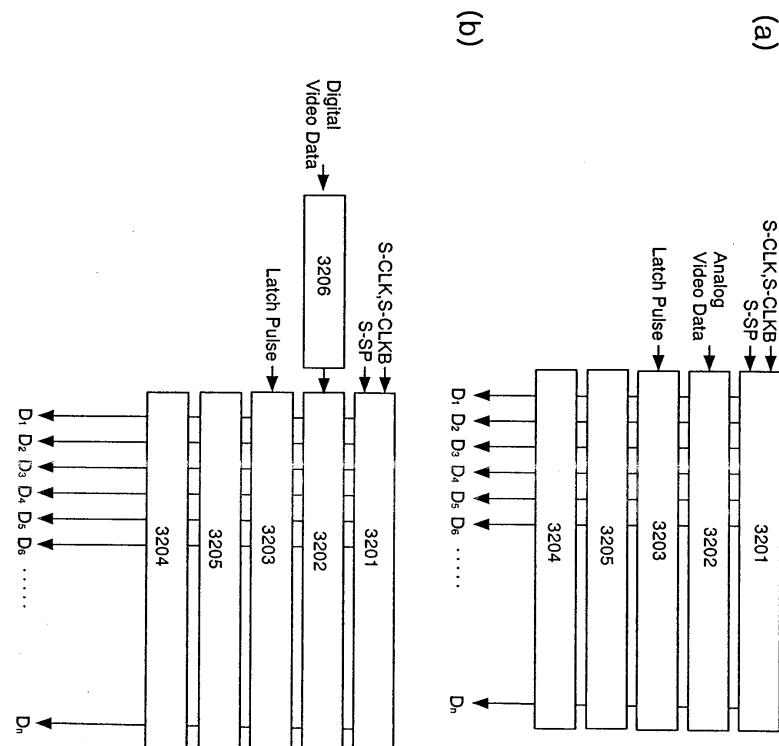
도면34



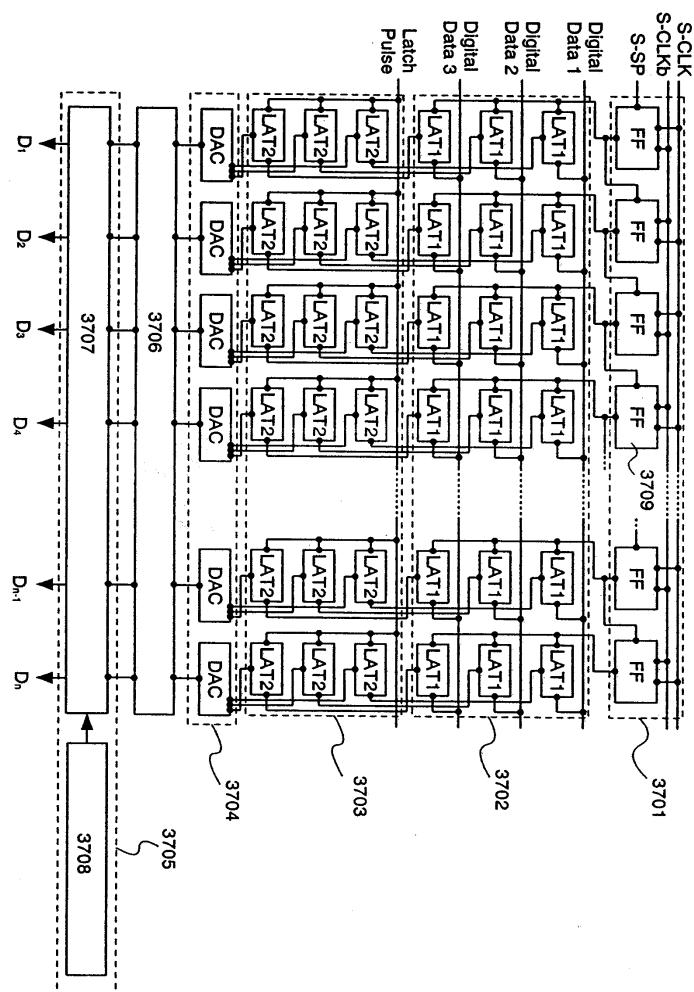
도면35



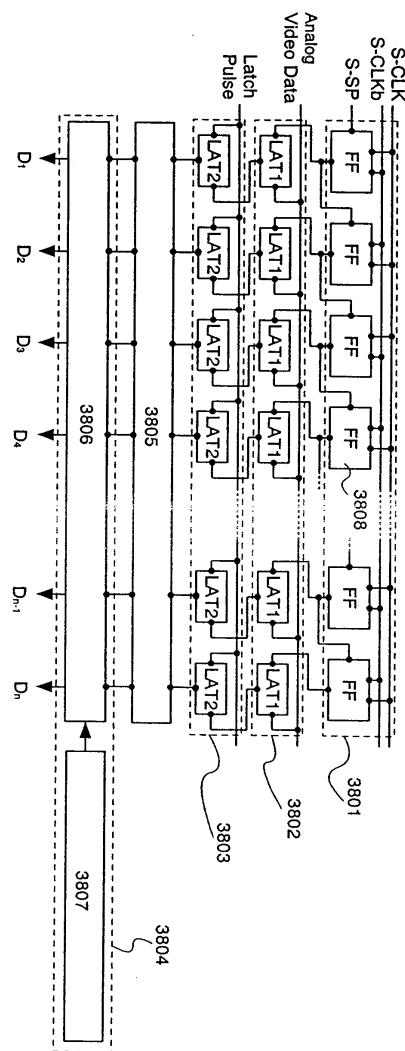
도면36



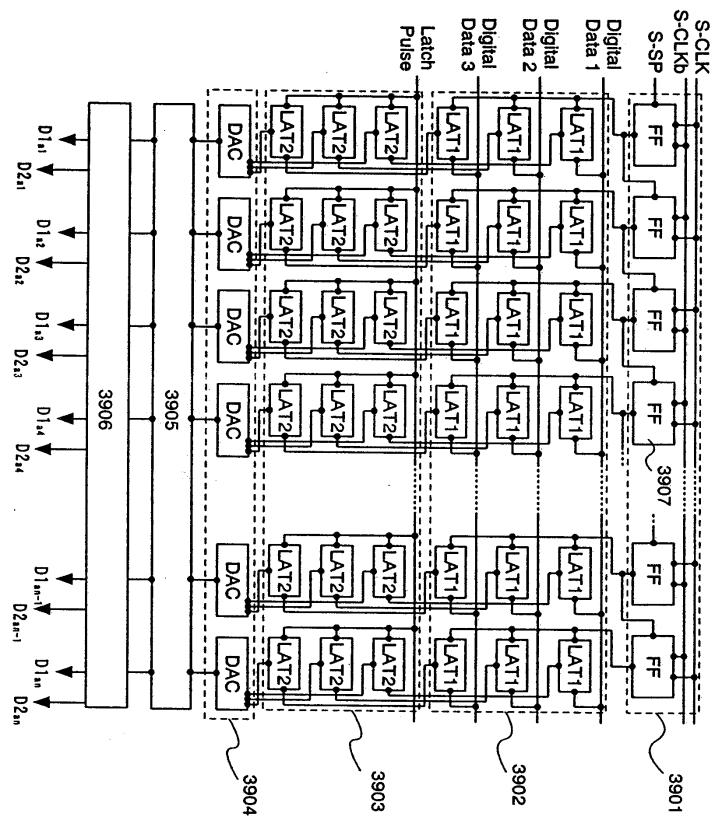
도면37



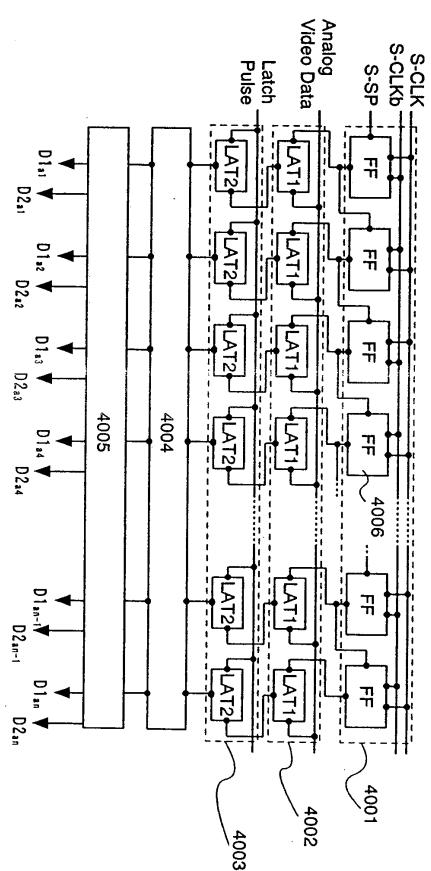
도면38



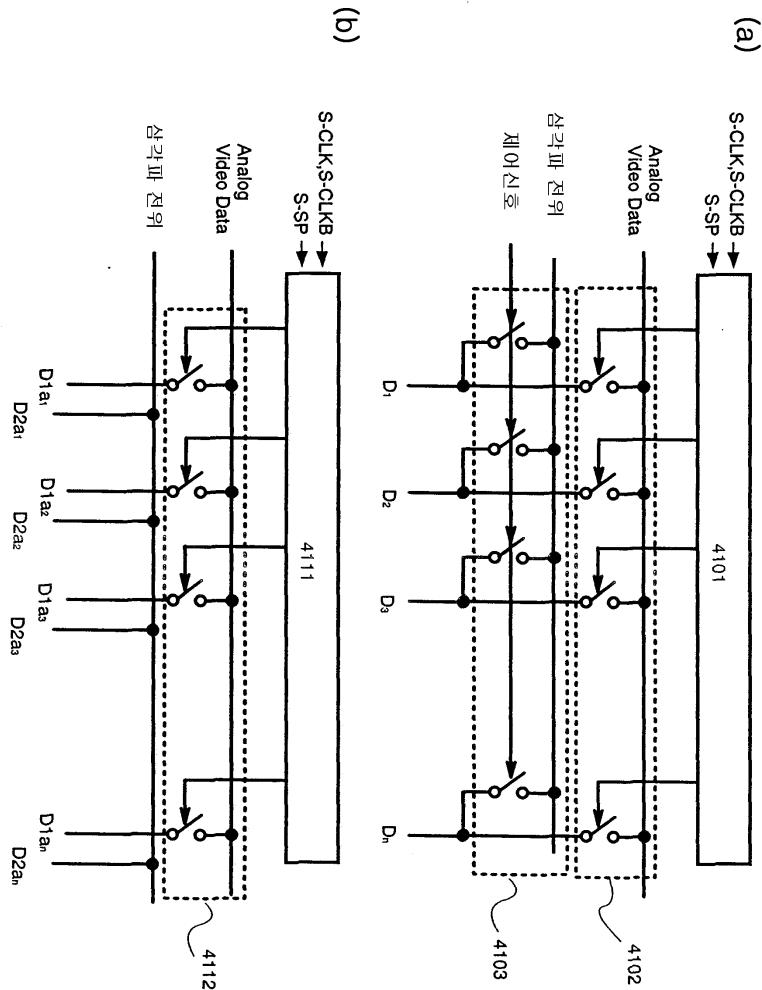
도면39



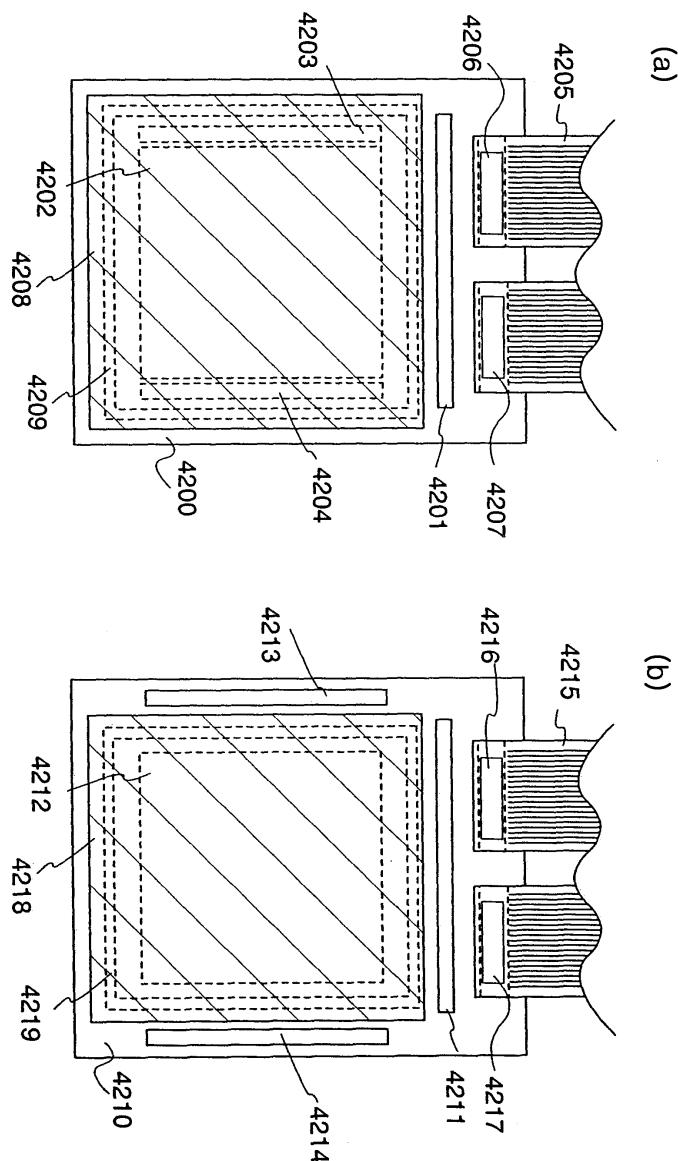
도면40



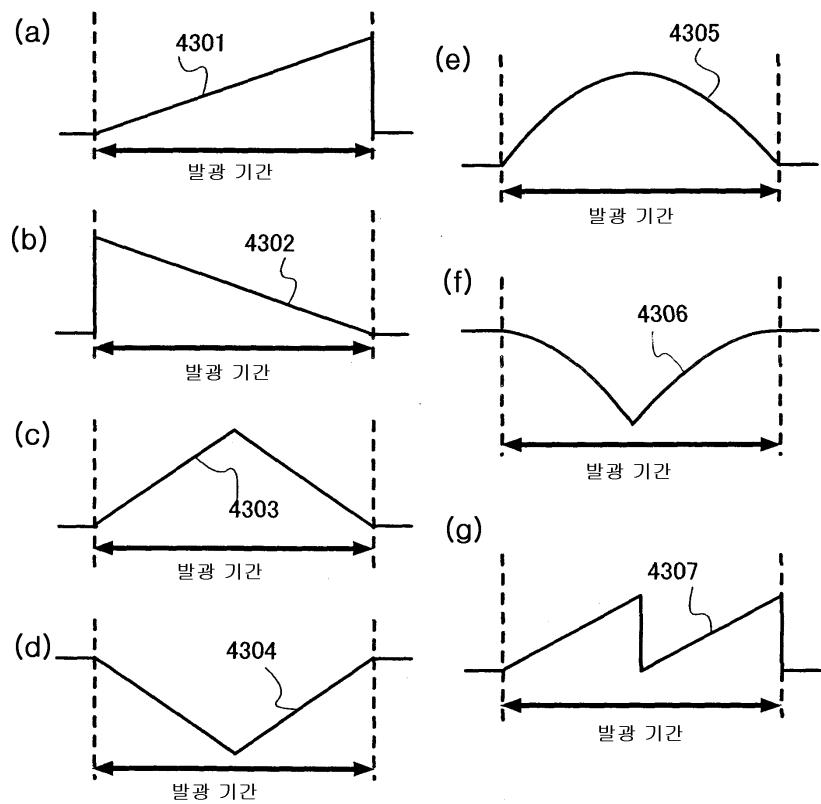
도면41



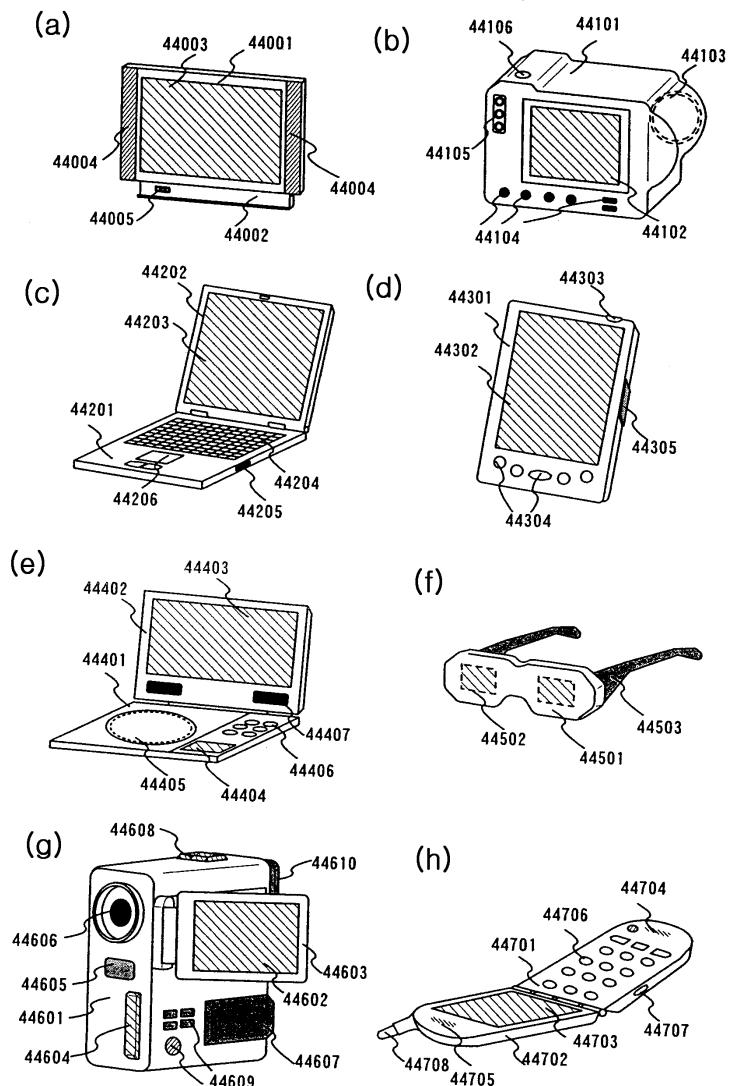
도면42



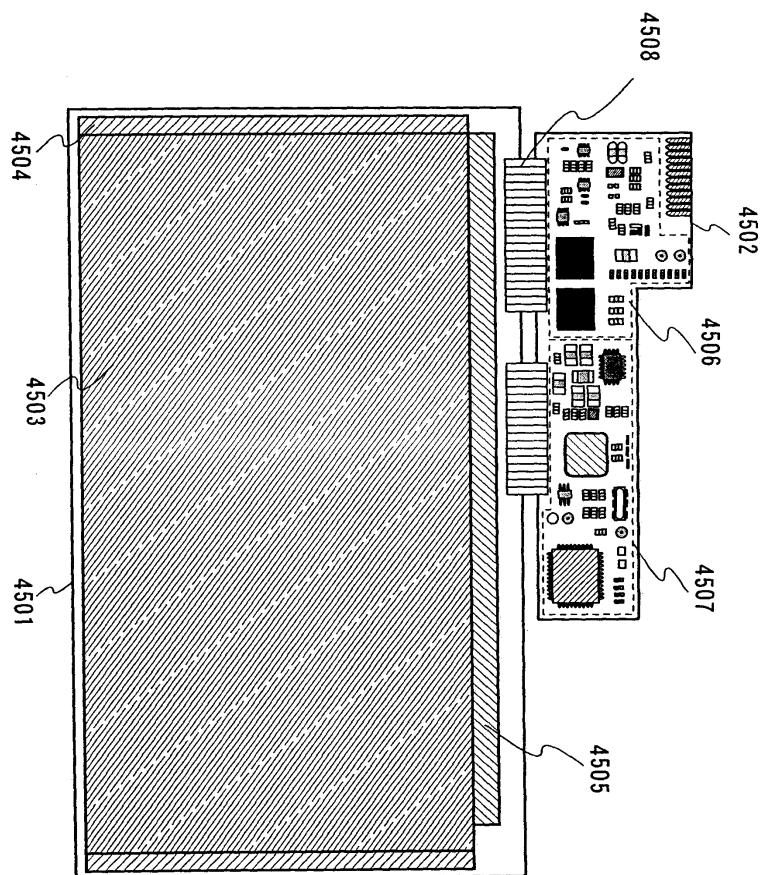
도면43



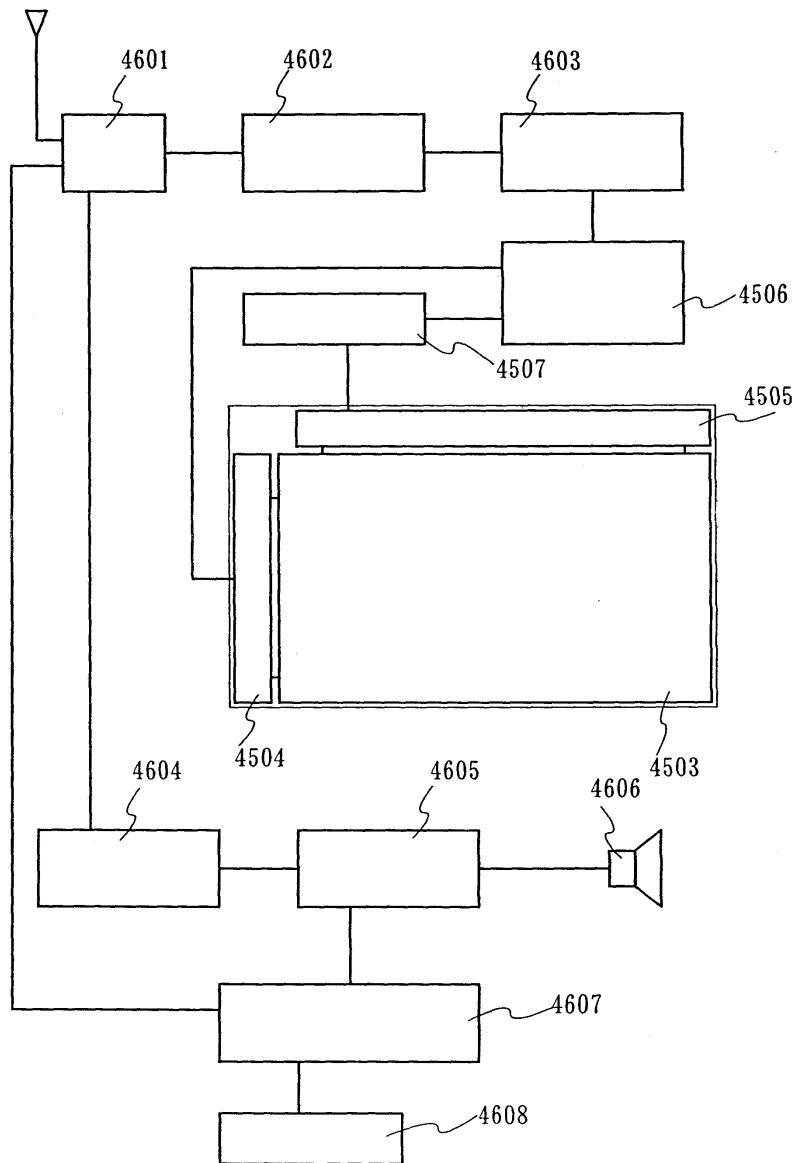
도면44



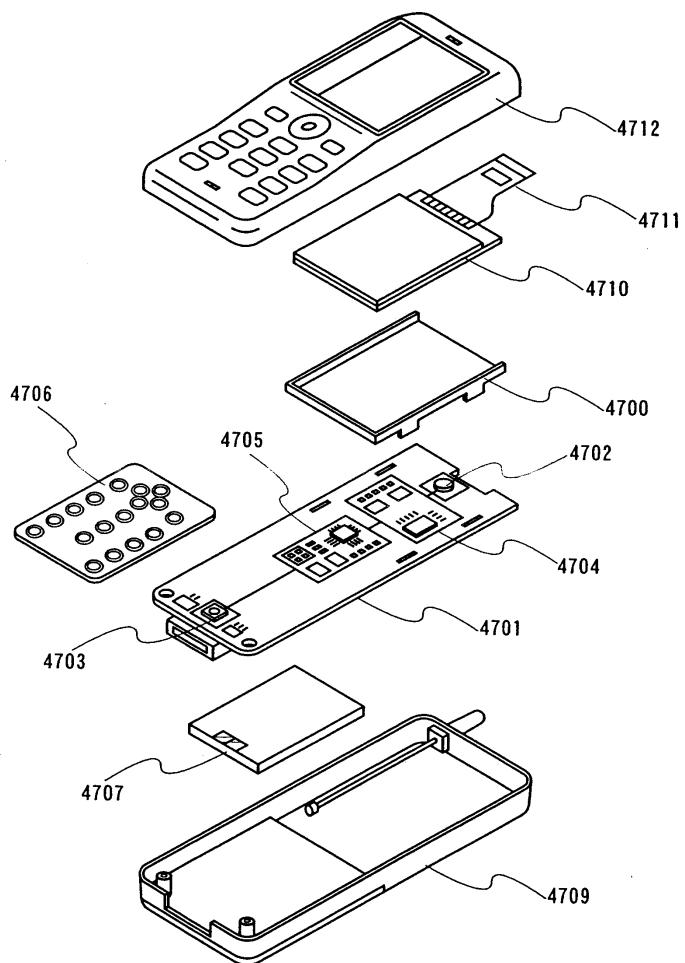
도면45



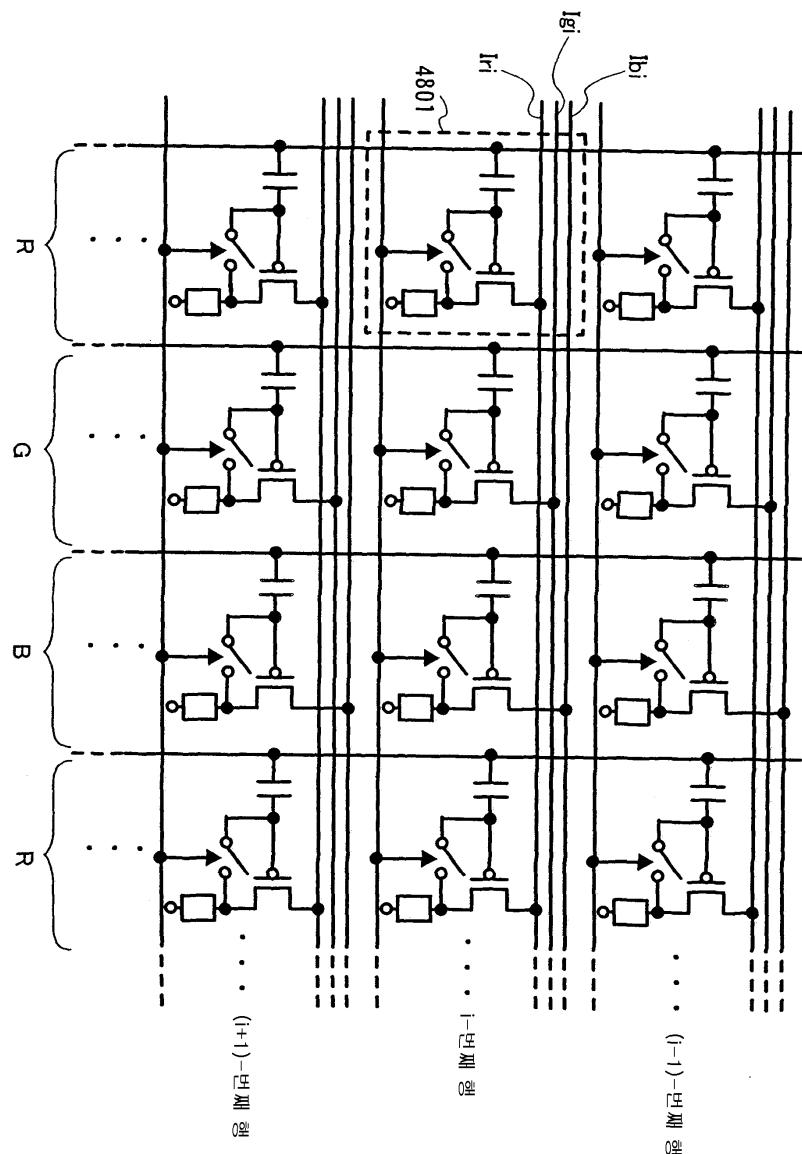
도면46



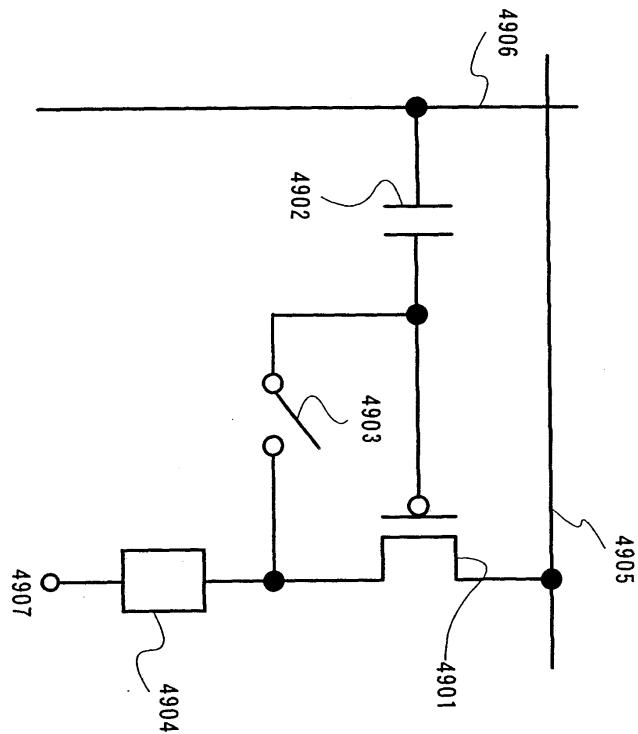
도면47



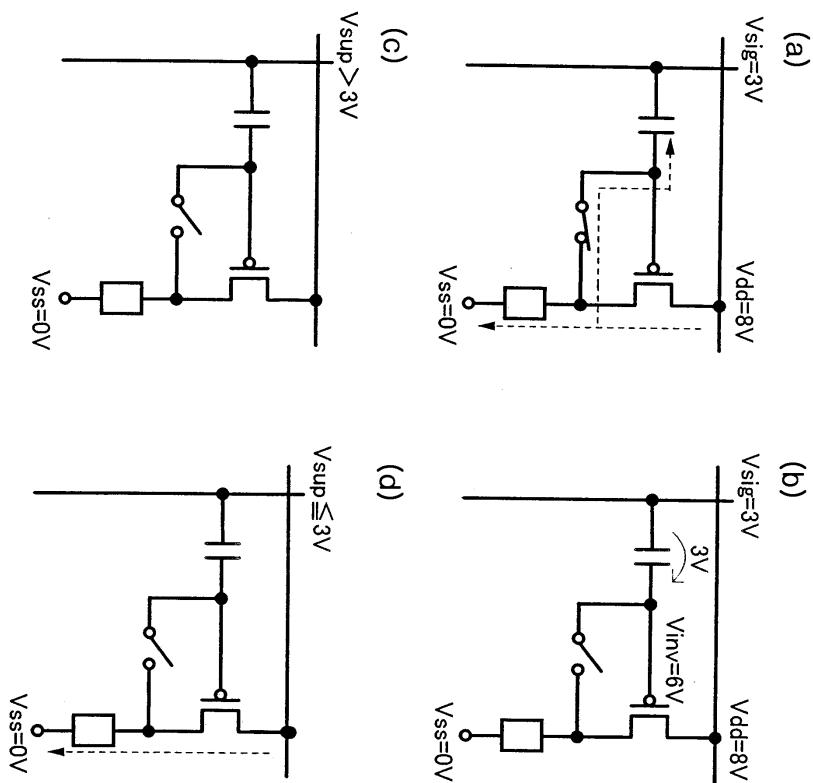
도면48



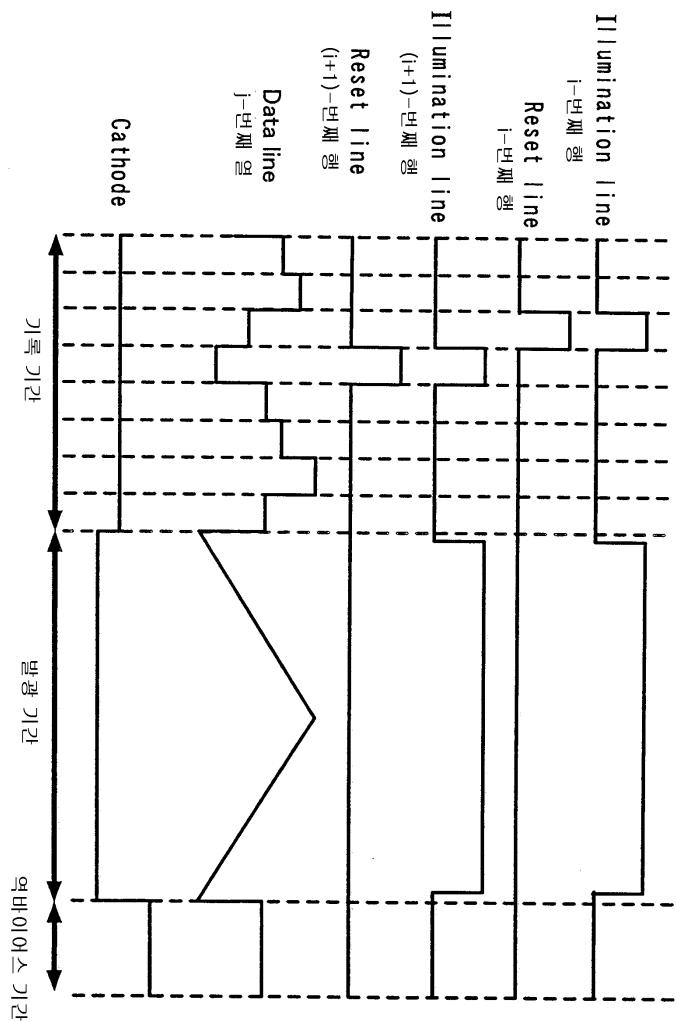
도면49



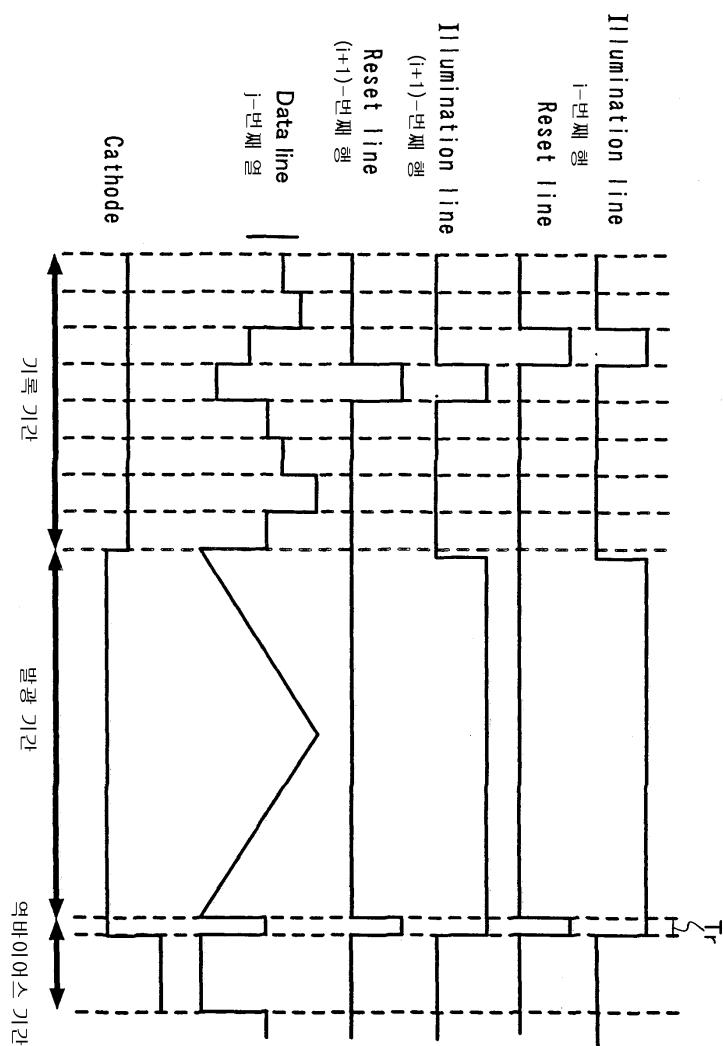
도면50



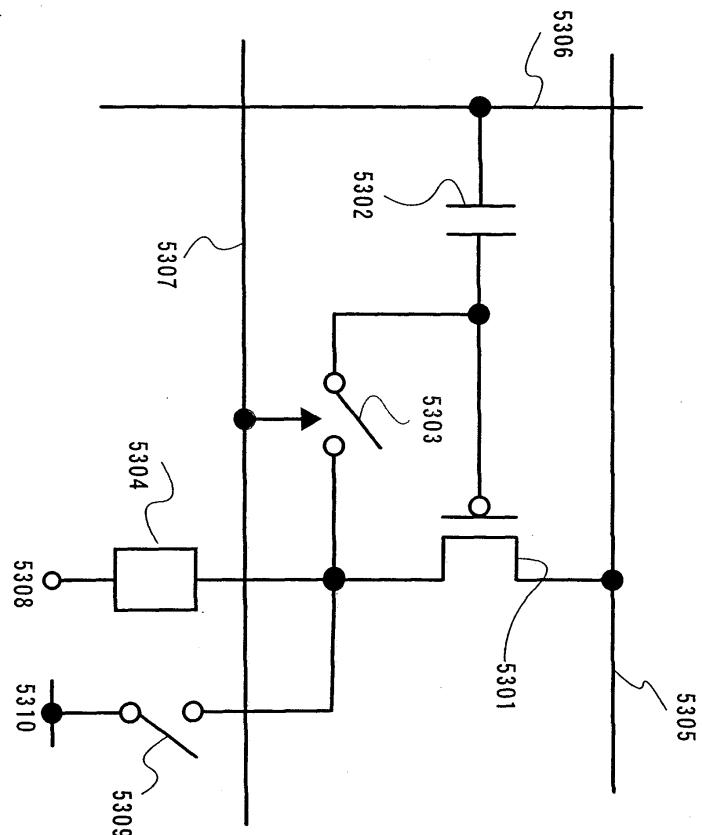
도면51



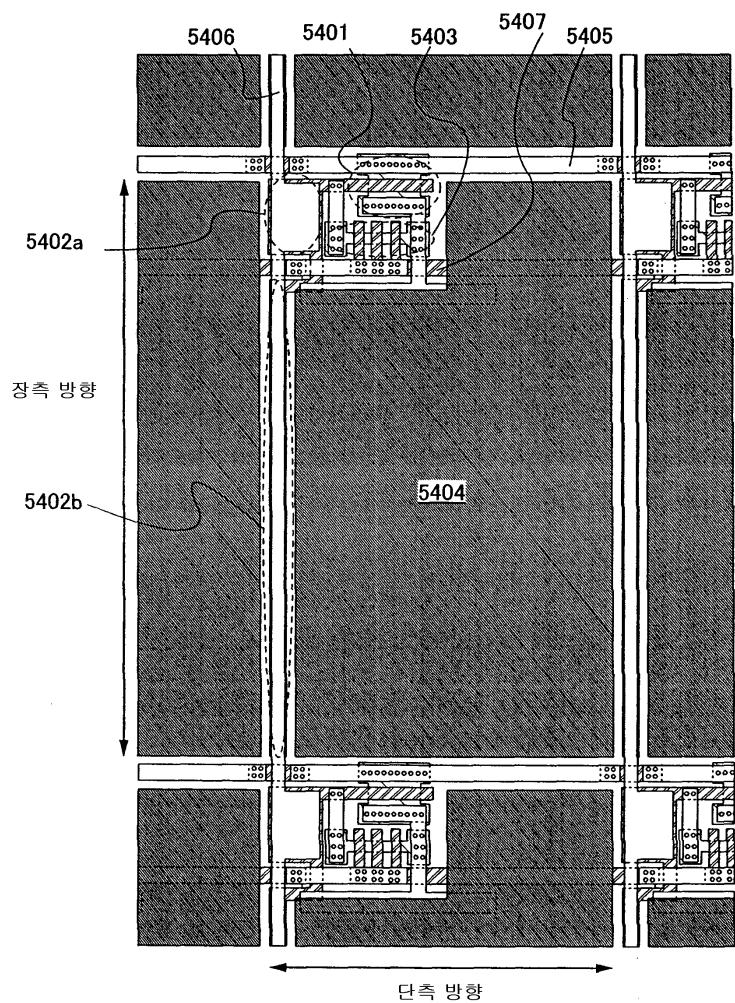
도면52



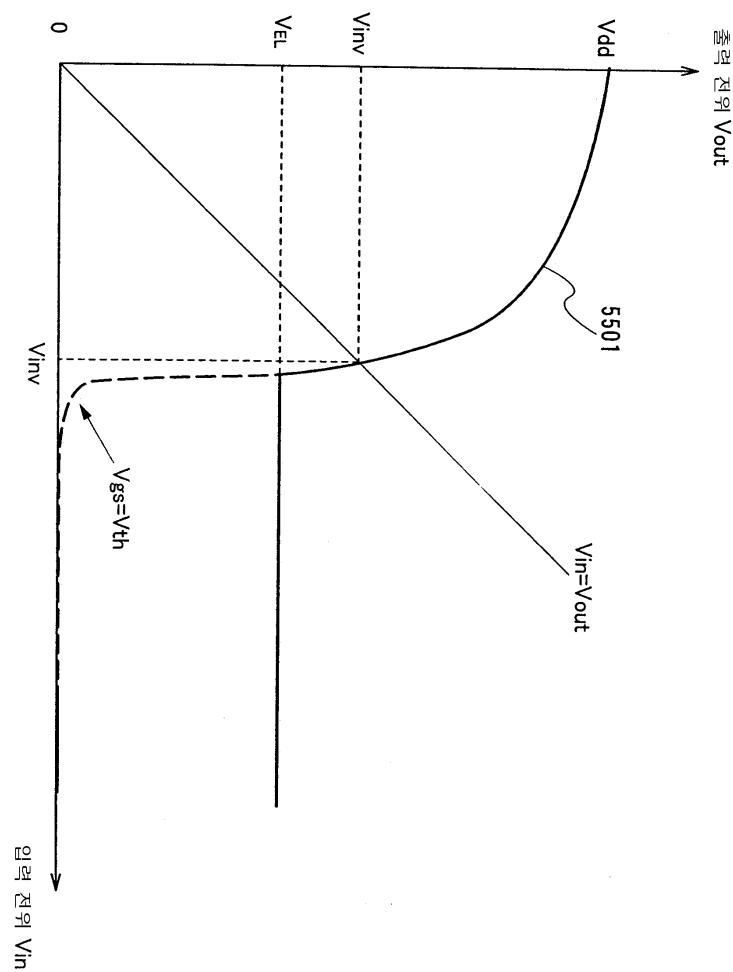
도면53



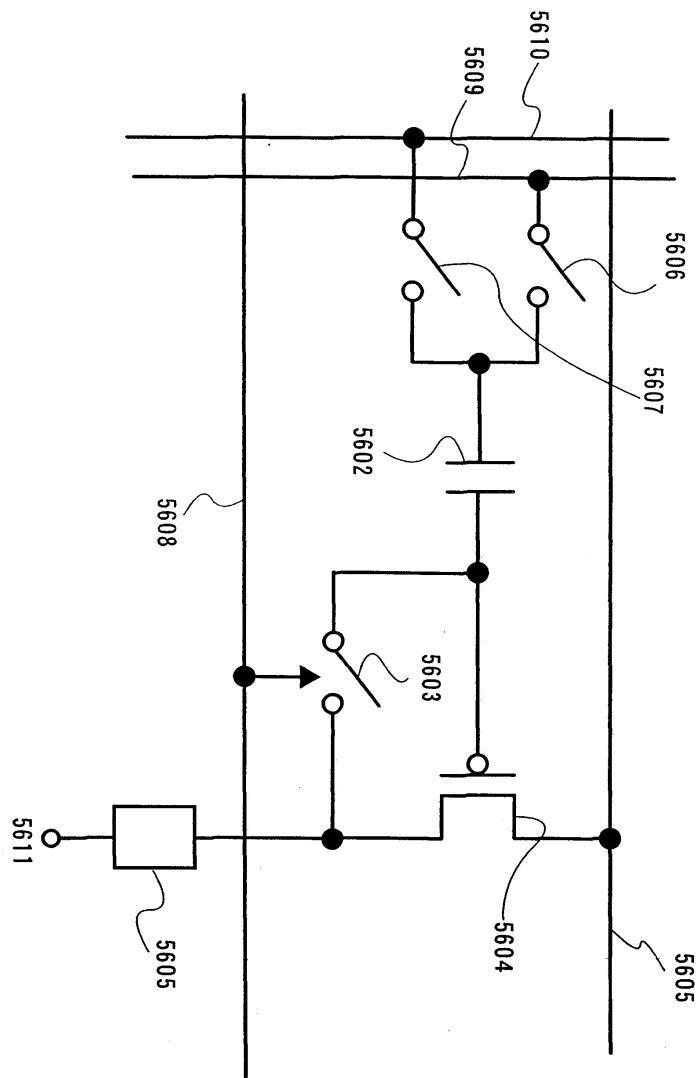
도면54



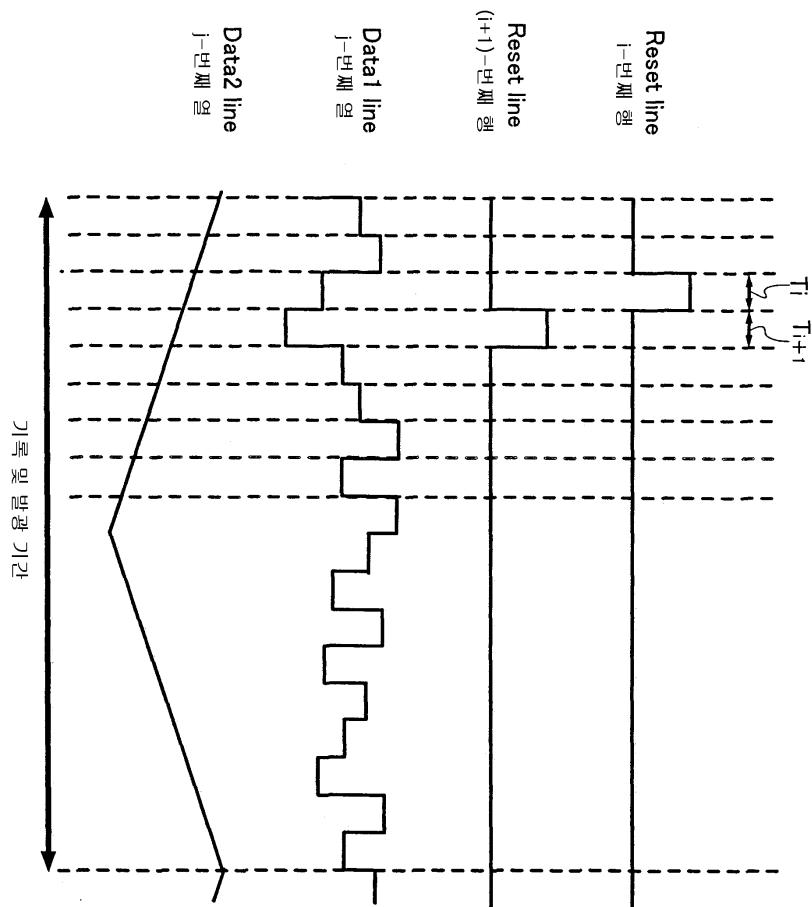
도면55



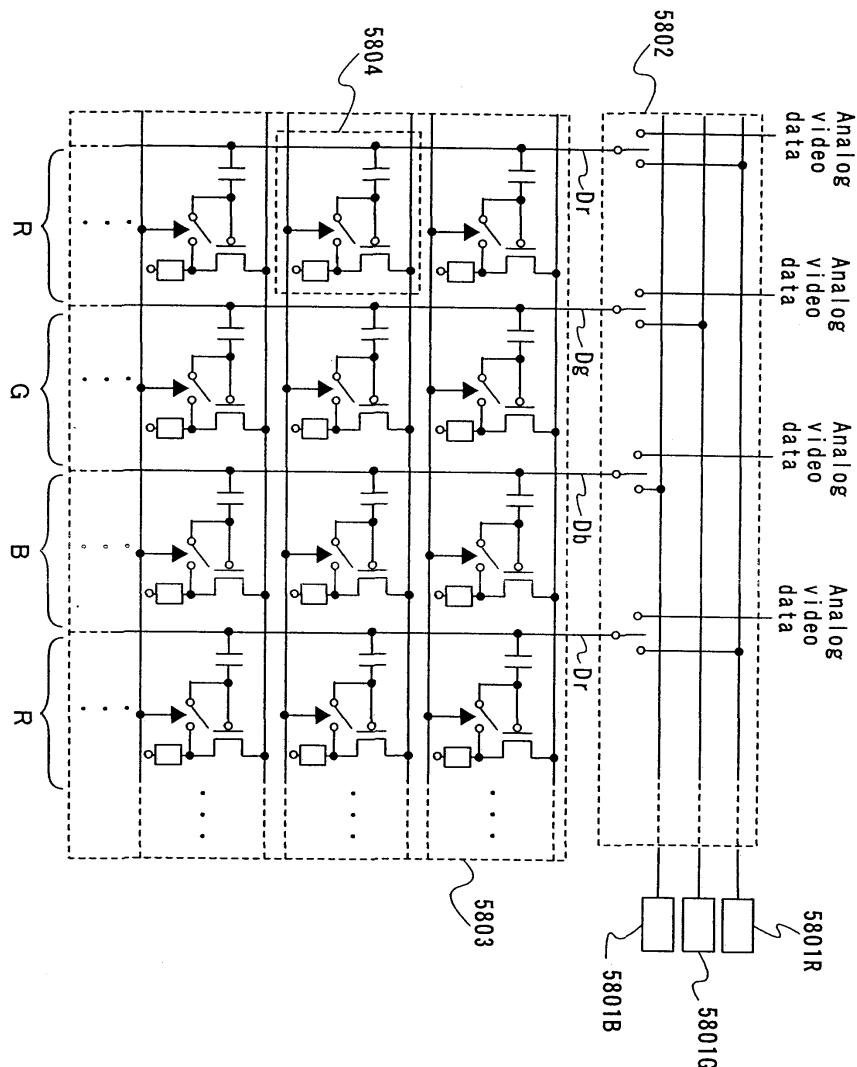
도면56



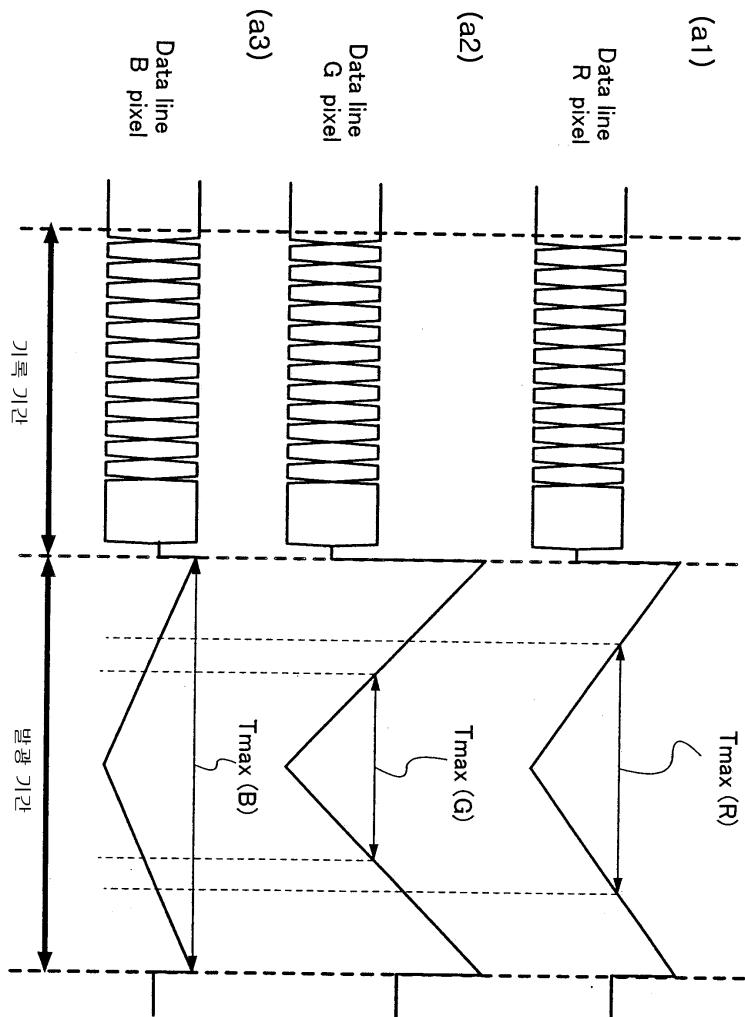
도면57



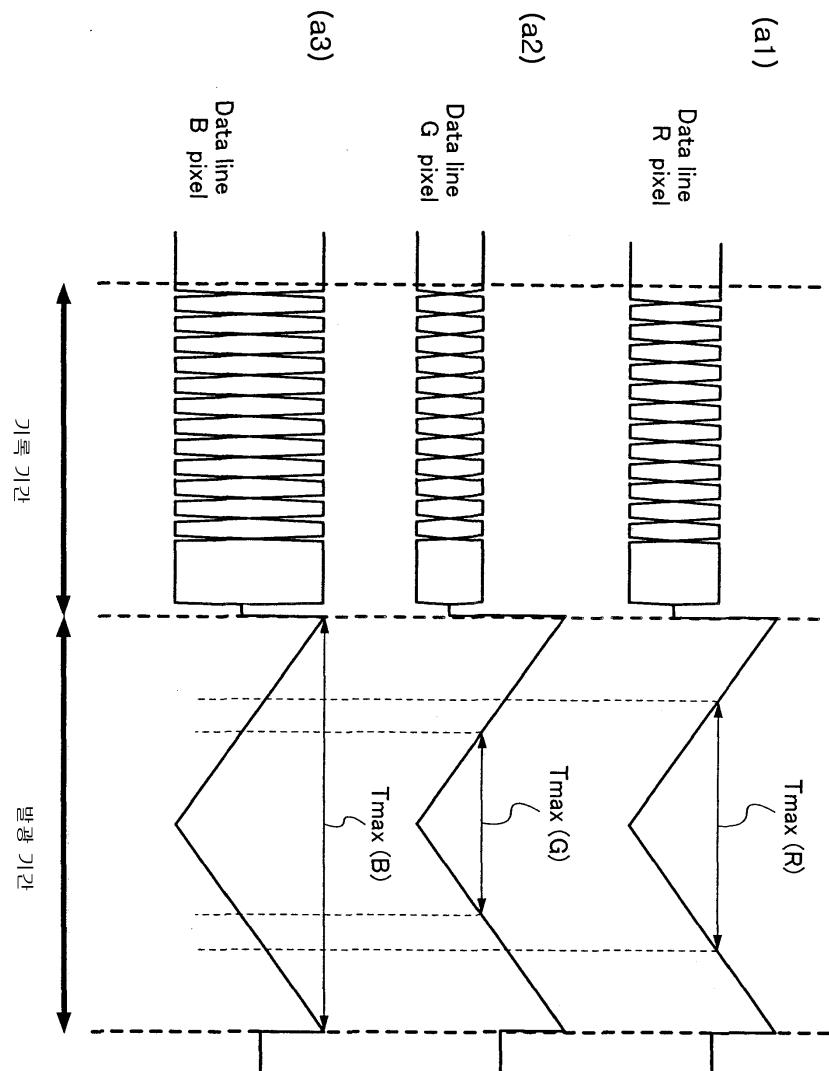
도면58



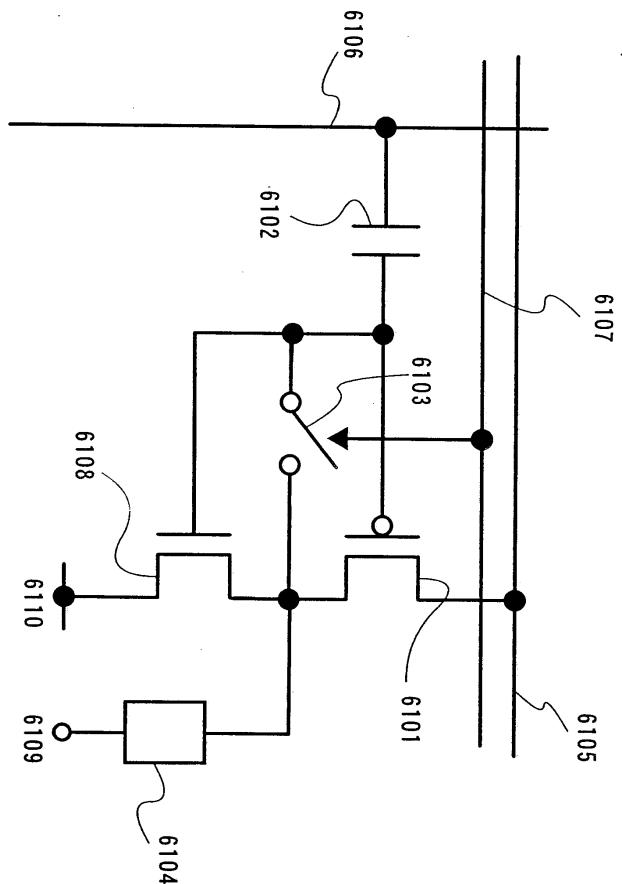
도면59



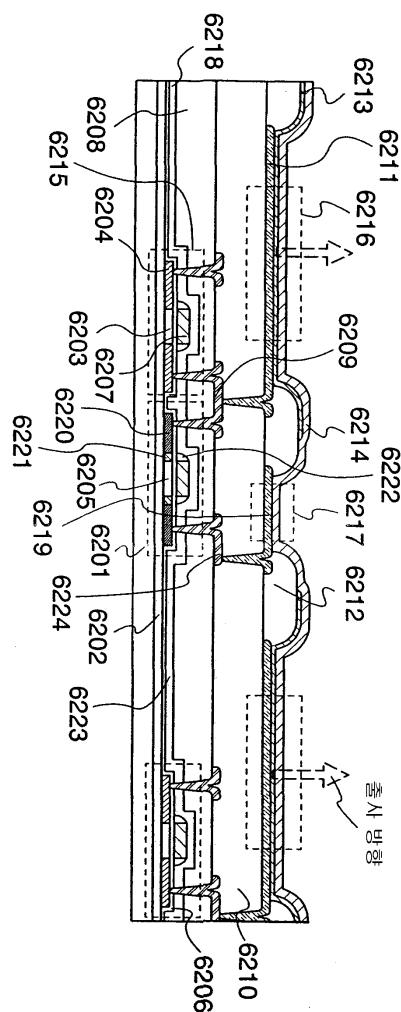
도면60



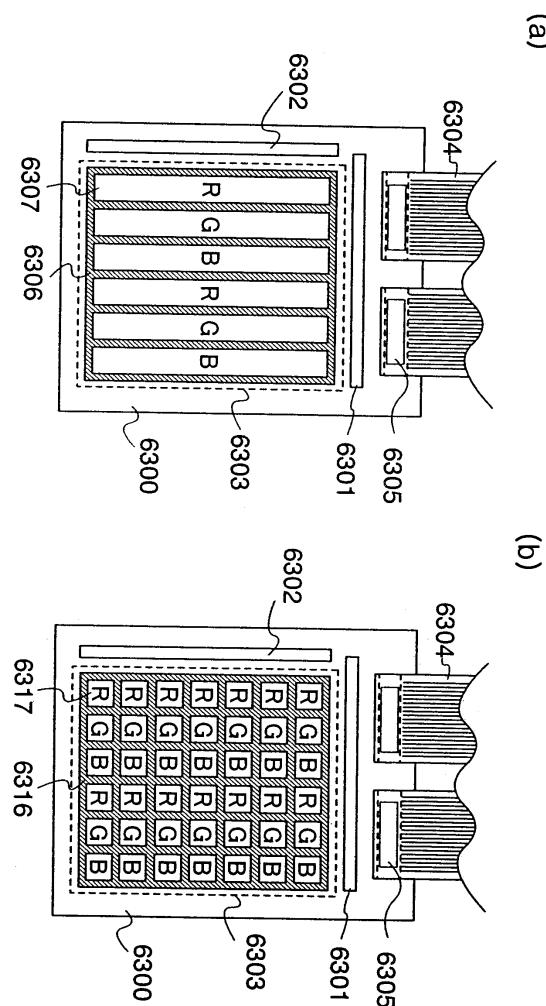
도면61



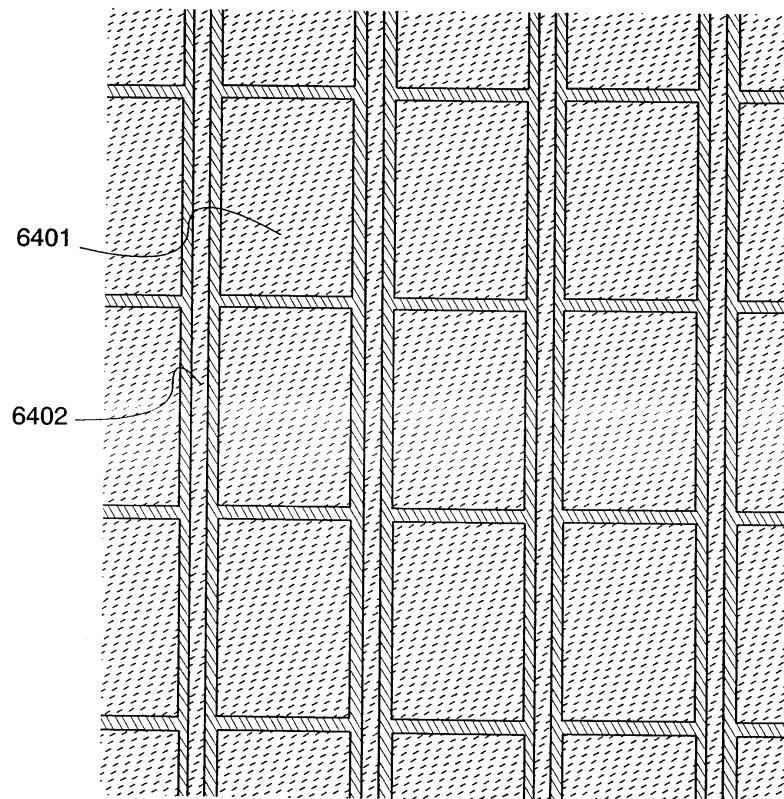
도면62



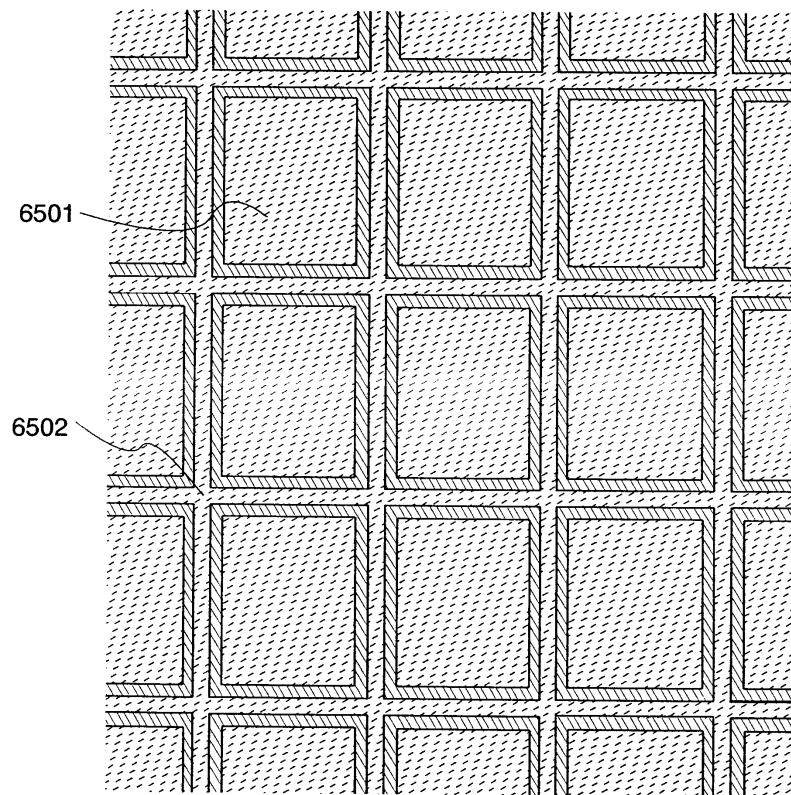
도면63



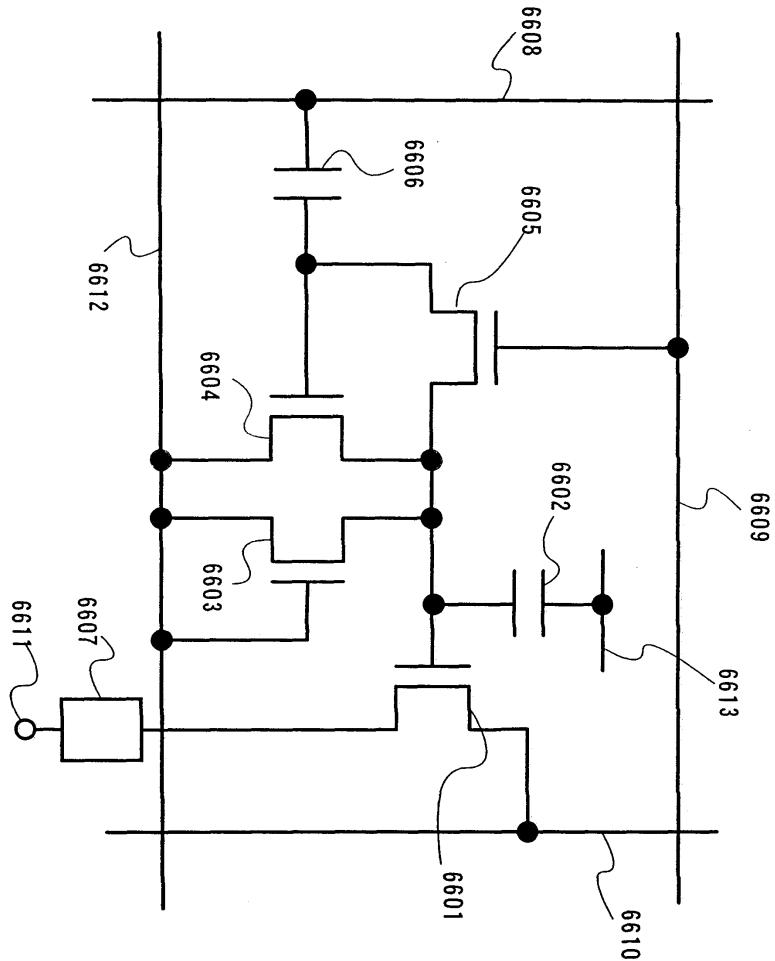
도면64



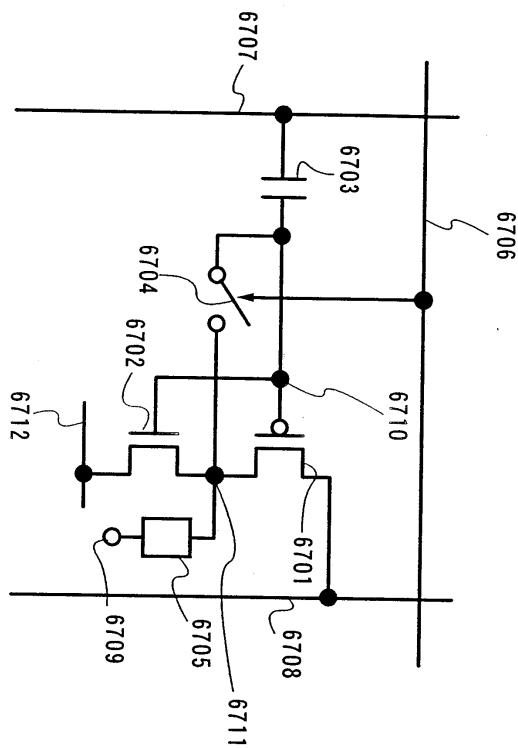
도면65



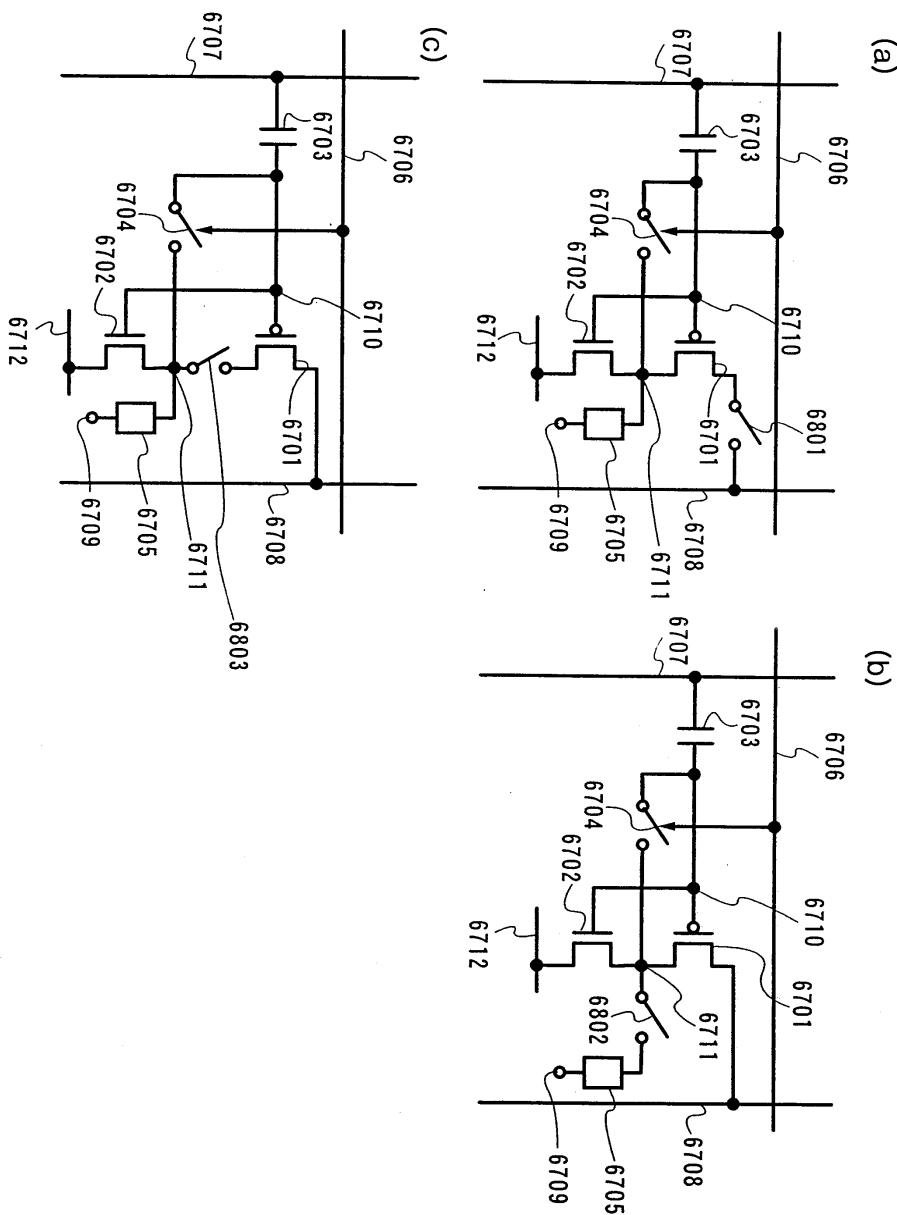
도면66



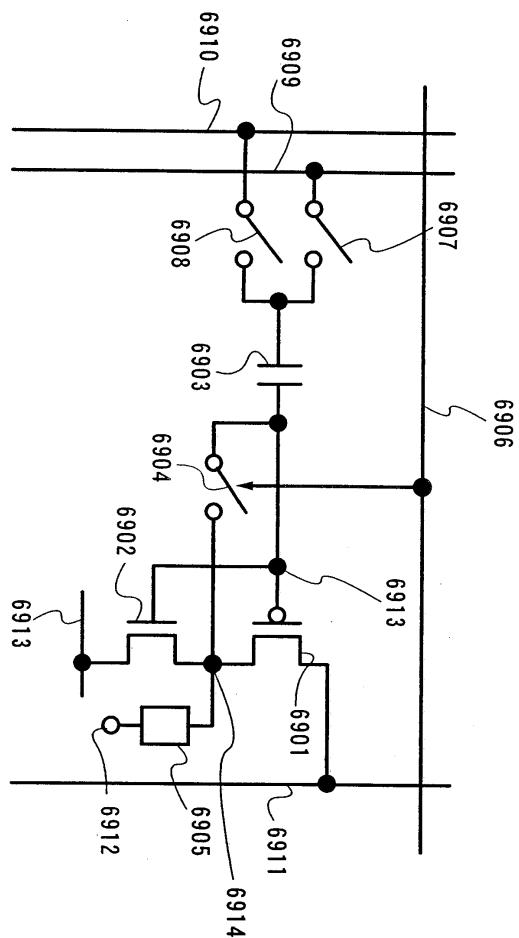
도면67



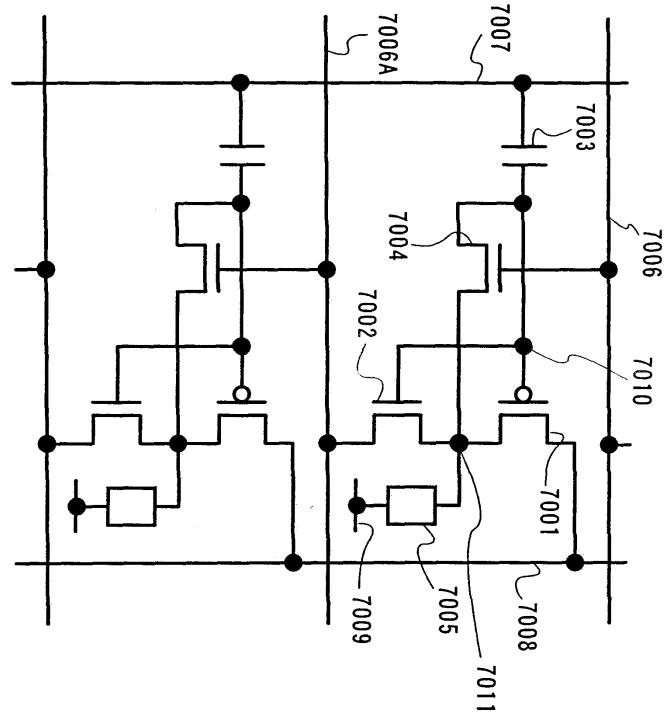
도면68



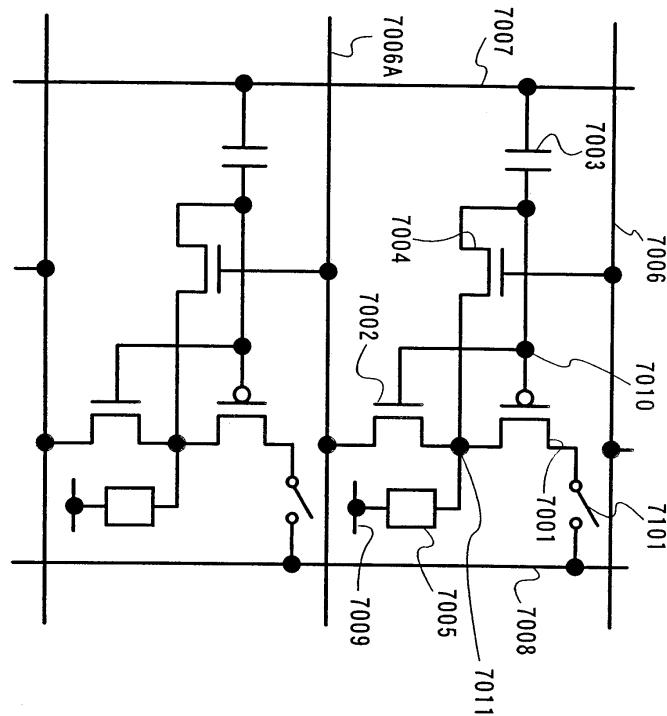
도면69



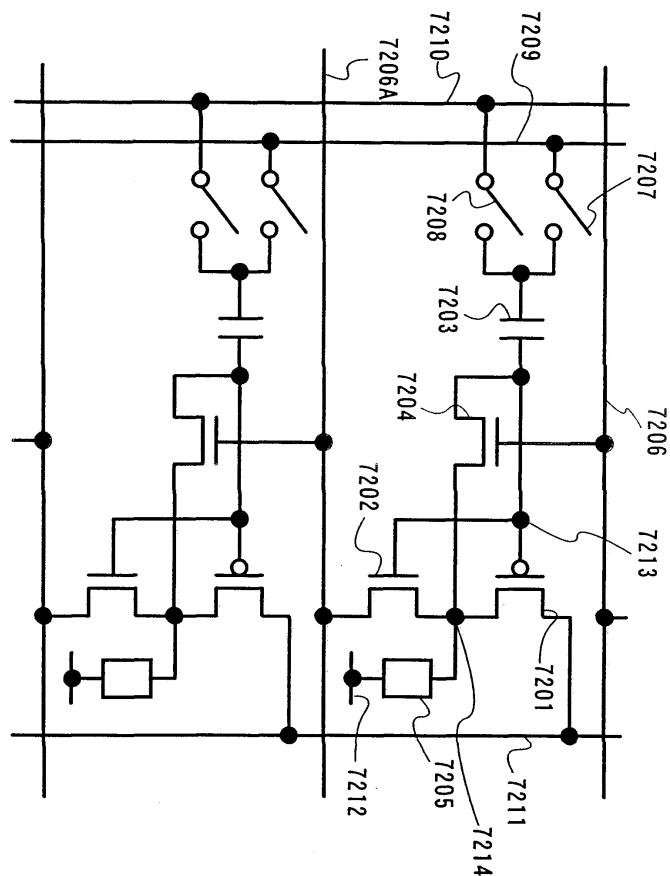
도면70



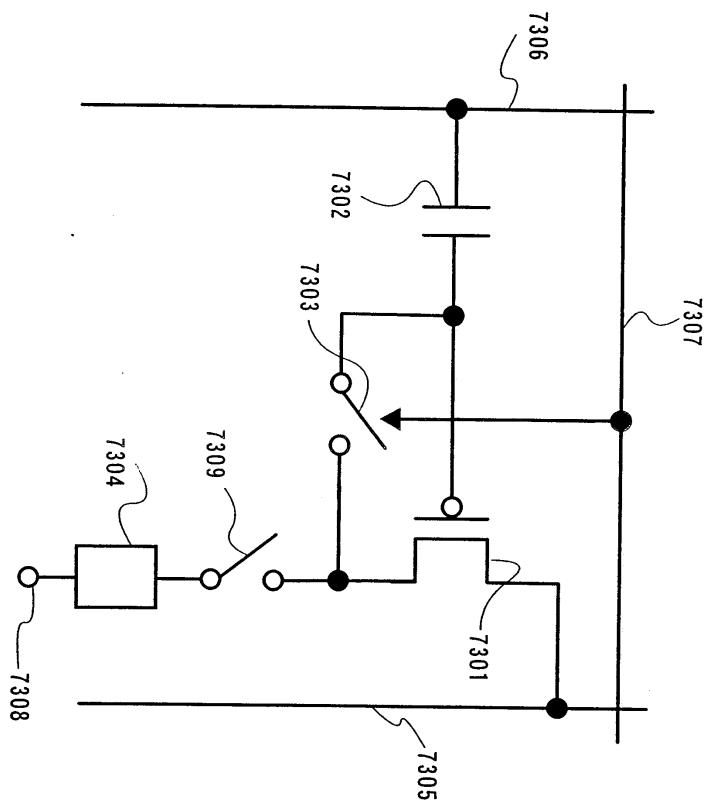
도면71



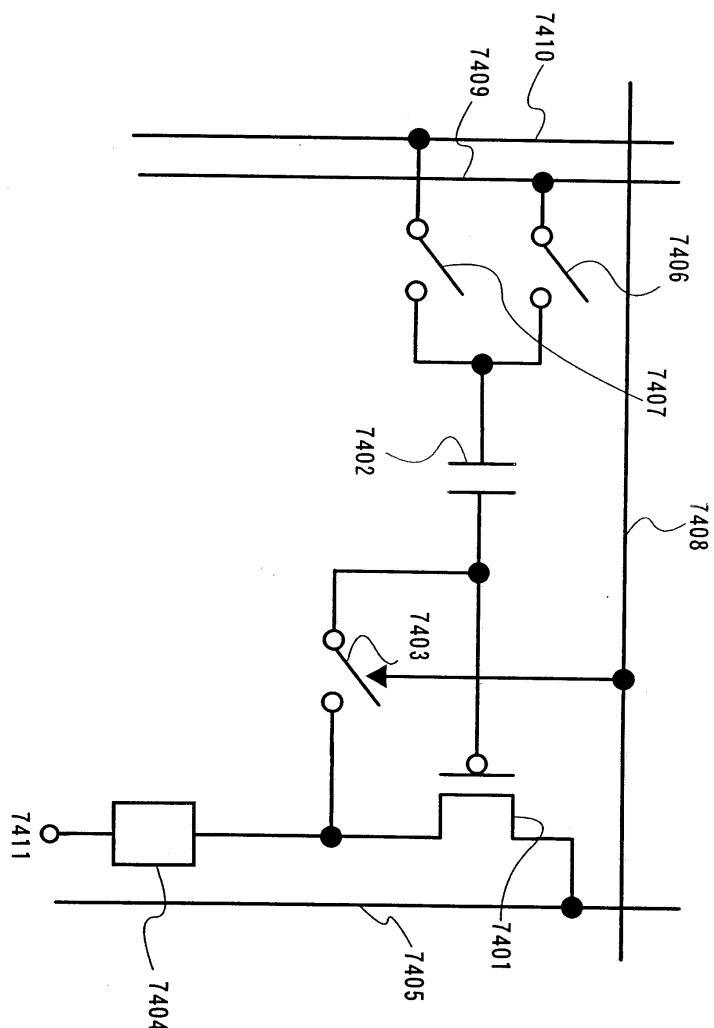
도면72



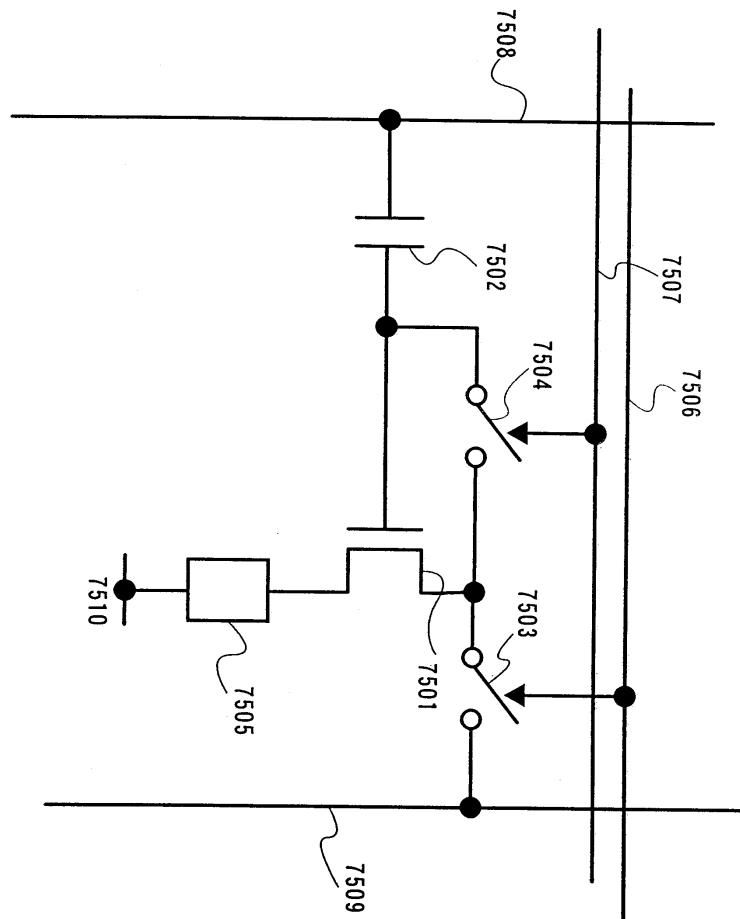
도면73



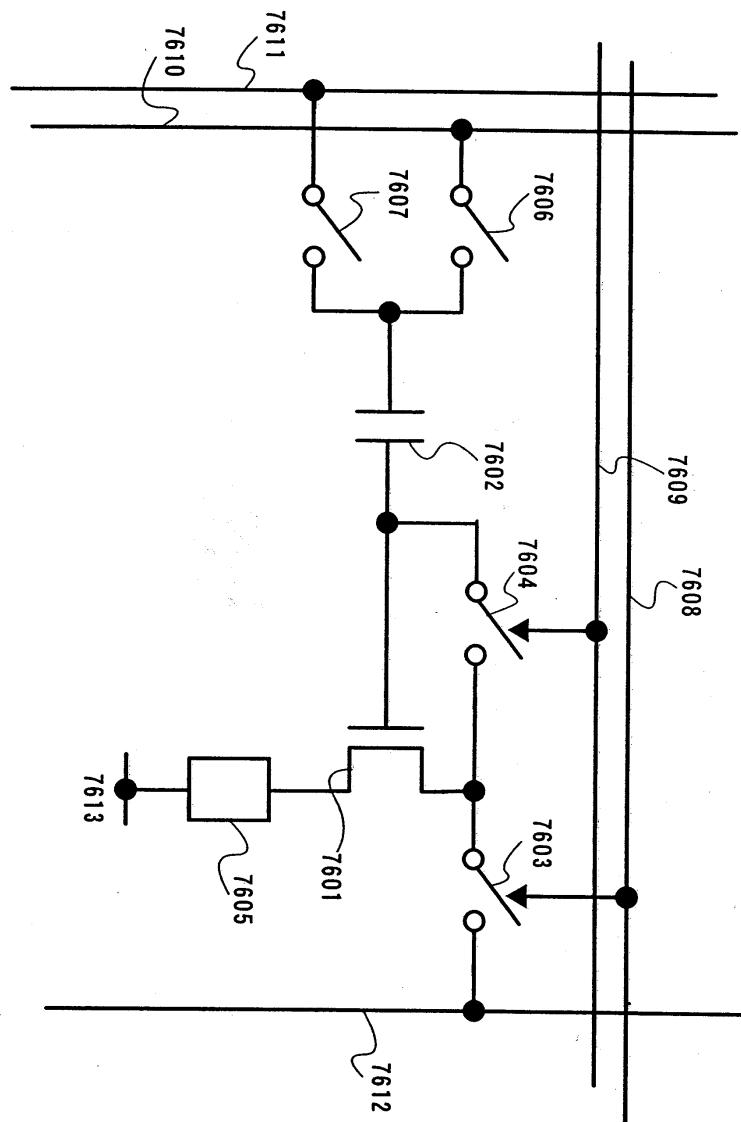
도면74



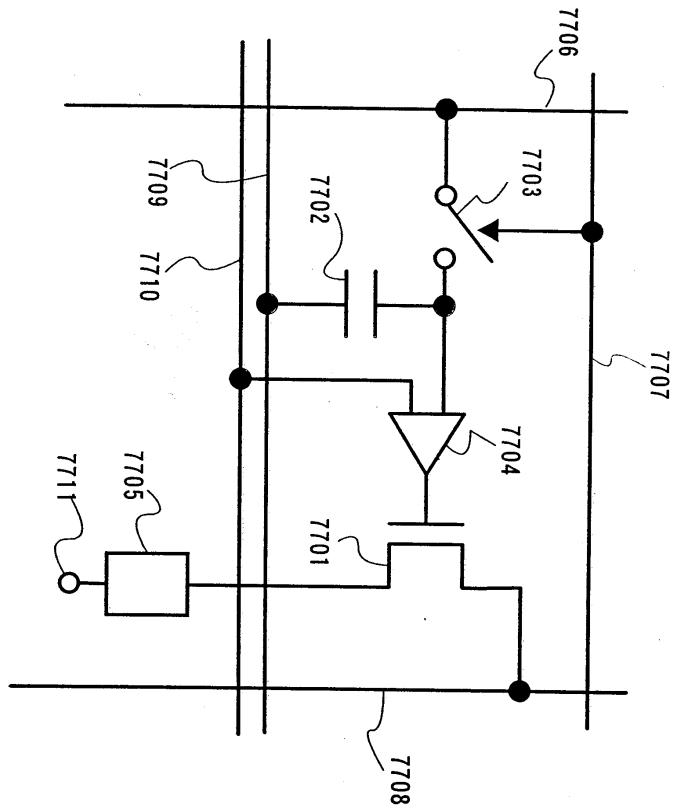
도면75



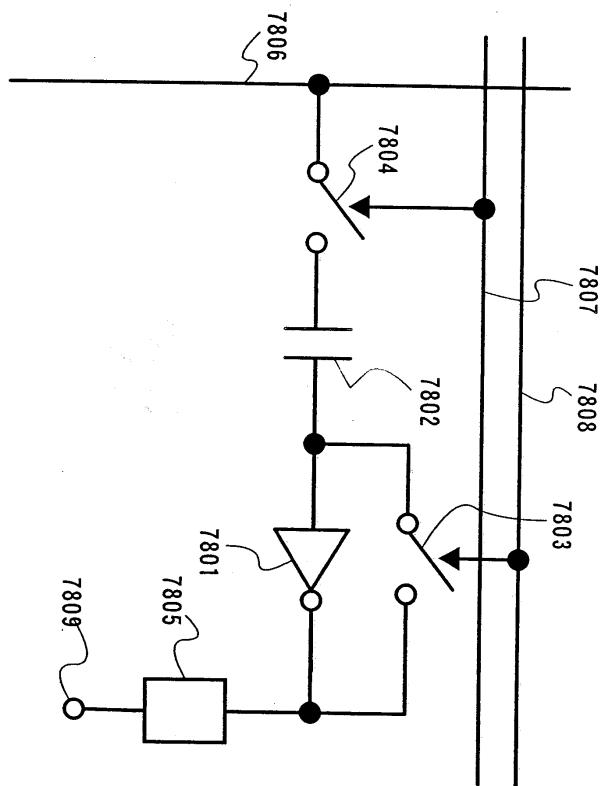
도면76



도면77



도면 78



도면79

