(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 11 月 1 日(01.11.2012)

WIPO | PCT

(10) 国際公開番号
WO 2012/147285 A1

(51) 国際特許分類:
H01L 21/82 (2006.01) *H01L 21/822* (2006.01)
G06F 17/50 (2006.01) *H01L 23/52* (2006.01)
H01L 21/3205 (2006.01) *H01L 27/04* (2006.01)

(21) 国際出願番号: PCT/JP2012/002415

(22) 国際出願日: 2012 年 4 月 6 日(06.04.2012)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2011-097021 2011 年 4 月 25 日(25.04.2011) JP

(71) 出願人 (米国を除く全ての指定国について): ルネサスエレクトロニクス株式会社(**Renesas Electronics Corporation**) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部１７５３番地 Kanagawa (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 山田 健太(**YAMADA, Kenta**) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部１７５３番地 ルネサスエレクトロニクス株式会社内 Kanagawa (JP).

(74) 代理人: 家入 健(**IEIRI, Takeshi**); 〒2210835 神奈川県横浜市神奈川区鶴屋町三丁目３３番８ アサヒビルヂング１０階 響国際特許事務所 Kanagawa (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

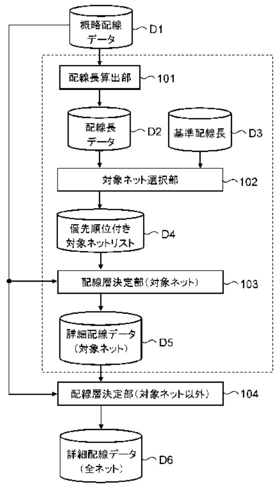
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ

[続葉有]

(54) Title: WIRING METHOD FOR SEMICONDUCTOR INTEGRATED CIRCUIT AND WIRING DEVICE

(54) 発明の名称 : 半導体集積回路の配線方法及び配線装置

[図1]



D1 Schematic wiring data
D2 Wiring length data
D3 Reference wiring length
D4 Prioritized target net list
D5 Detailed wiring data (target net)
D6 Detailed wiring data (all nets)
101 Wiring length computation section
102 Target net selection section
103 Wiring layer determination section (target net)
104 Wiring layer determination section (other than target net)

(57) Abstract: This wiring method for a semiconductor integrated circuit divides signal wiring that joins a plurality of gates into a plurality of segments and allocates any one wiring layer of n layers (n being an integer of 2 or greater) to each of the plurality of segments at least once apiece. When the n wiring layers are allocated in the wiring method for a semiconductor integrated circuit, an index indicating the extent of uniformity with which the n wiring layers are allocated for the signal wiring is calculated from the combination of the plurality of segments and n wiring layers. According to the results of the calculation of this index, the n wiring layers are allocated to the plurality of segments so as to be uniform. Thus, the variations in wiring extension in a semiconductor integrated circuit can be reduced.

(57) 要約: 複数のゲート間を結ぶ信号配線を、複数のセグメントに分割し、前記複数のセグメントのそれぞれに対して、ｎ層（ｎは２以上の整数）の配線層のいずれか１つを少なくとも１回ずつ割り当てる半導体集積回路の配線方法であって、前記ｎ層の配線層の割り当てに際し、前記複数のセグメントと前記ｎ層の配線層との組み合わせから、前記ｎ層の配線層が前記信号配線においてどの程度均等に割り当てられるかを示す指数を計算し、前記指数の計算結果に応じて、前記複数のセグメントに対して前記ｎ層の配線層が均等になるように割り当てる半導体集積回路の配線方法である。これにより、半導体集積回路の配線遅延ばらつきを低減できる。

WO 2012/147285 A1

ア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明 細 書

発明の名称 ： 半導体集積回路の配線方法及び配線装置

技術分野

[0001] 本発明は、半導体集積回路の配線方法及び配線装置に関する。

背景技術

[0002] ＬＳＩ（Large Scale Integrated Curcuit）の微細化が進展するほど、配線の幅や膜厚などの配線形状のチップ間ばらつき（製造ばらつき）に起因した配線抵抗値や配線容量値のばらつきが大きくなる。また、配線抵抗及び配線容量に起因する配線遅延は、ゲート遅延ほど微細化の恩恵を享受できないため、微細化とともに信号遅延に占める配線遅延の割合が大きくなる。以上のことから、配線遅延ばらつきによる信号遅延ばらつきが大きくなり、回路設計が難しくなっている。従って、配線遅延ばらつきを低減可能な設計手法が希求されている。

[0003] 特許文献１には、クロックスキューを低減するため、使用する配線層の大部分を同一配線層にしたクロックツリーが開示されている。同一配線層からなる配線同士であれば、その配線遅延は、製造ばらつきにより、同じように変動する。具体的には、製造ばらつきにより、ある配線の配線遅延が設計値より大きくなった場合、その配線と同一の配線層からなる他の配線の配線遅延も設計値より大きくなる。小さくなった場合も同様である。ここで、特許文献１の図１に示されるように、元々クロックツリーの各パスは同じ配線長になるように配置されている。そのため、使用する配線層を同一配線層にすれば、クロックツリーのパス間の遅延差（つまり、クロックスキュー）のばらつきは小さくなる。

[0004] また、特許文献２には、クロックスキューを低減するため、延長配線を付加することにより、各パスに使用する複数の配線層の使用比率をパス間で揃えたクロックツリーが開示されている。各パスに使用する複数の配線層の使用比率をパス間で揃えれば、各パスの配線遅延は、製造ばらつきにより、同

じように変動する。従って、特許文献１と同様の理由から、クロックスキューのばらつきは小さくなる。

[0005] なお、特許文献３には、複数の配線層を有し、各配線層からなる配線の配線密度を全体として均等化した半導体装置が開示されている。しかし、上述の配線遅延ばらつきを低減可能なものではない。

先行技術文献

特許文献

[0006] 特許文献1：特開２００９－２１３０６号公報

特許文献2：特開２００６－１６５０４７号公報

特許文献3：特開平１１－１４５３００号公報

発明の概要

発明が解決しようとする課題

[0007] 発明者は以下の課題を見出した。

クロック配線は、通常の信号配線よりも優先して配線される。そのため、特許文献１及び２に開示されたように、各パスを同じ配線長にしたり、各パスに使用する複数の配線層の使用比率をパス間で揃えたりすることができる。つまり、クロック配線については、配線層や配線長、配線のレイアウトなどにおける自由度が大きい。他方、通常の信号配線は、クロック配線や電源配線の後にレイアウトされる。ここで、チップ面積を最小化するため、通常の信号配線については、配線層や配線長、配線のレイアウトなどにおける自由度が小さい。そのため、特許文献１及び２をそのまま信号配線へ適用することは難しかった。

[0008] さらに、そもそも特許文献１及び２では、クロックスキュー（パス間の配線遅延の「差」）のばらつきを小さくすることはできたとしても、クロック配線における配線遅延自体のばらつきを低減することはできなかった。従って、特許文献１及び２により、信号配線おける配線遅延ばらつきを低減することもできなかった。

課題を解決するための手段

[0009] 本発明に係る半導体集積回路の配線方法は、

複数のゲート間を結ぶ信号配線を、複数のセグメントに分割し、

前記複数のセグメントのそれぞれに対して、ｎ層（ｎは２以上の整数）の配線層のいずれか１つを少なくとも１回ずつ割り当てる半導体集積回路の配線方法であって、

前記ｎ層の配線層の割り当てに際し、

前記複数のセグメントと前記ｎ層の配線層との組み合わせから、前記ｎ層の配線層が前記信号配線においてどの程度均等に割り当てられるかを示す指数を計算し、

前記指数の計算結果に応じて、前記複数のセグメントに対して前記ｎ層の配線層が均等になるように割り当てるものである。

[0010] 本発明に係る半導体集積回路の配線装置は、

複数のゲート間を結ぶ信号配線が複数のセグメントに分割された配線データが、格納された記憶部と、

前記複数のセグメントのそれぞれに対して、ｎ層（ｎは２以上の整数）の配線層のいずれか１つを少なくとも１回ずつ割り当てる配線層決定部と、を備え、

前記配線層決定部は、

前記複数のセグメントと前記ｎ層の配線層との組み合わせから、前記ｎ層の配線層が前記信号配線においてどの程度均等に割り当てられるかを示す指数を計算し、

前記指数の計算結果に応じて、前記複数のセグメントに対して前記ｎ層の配線層が均等になるように割り当てるものである。

[0011] 本発明では、複数のセグメントとｎ層の配線層との組み合わせから、ｎ層の配線層が信号配線においてどの程度均等に割り当てられるかを示す指数を計算し、

指数の計算結果に応じて、複数のセグメントに対してｎ層の配線層が均等

になるように割り当てる。そのため、配線遅延ばらつきを低減することができる。

発明の効果

[0012] 本発明によれば、配線遅延ばらつきが低減された半導体集積回路の配線方法及び配線装置を提供することができる。

図面の簡単な説明

[0013] [図1]実施の形態１に係る半導体集積回路の配線装置のブロック図である。

[図2]概略配線データＤ１におけるネットのイメージ図である。

[図3A]実施の形態１の実施例に係る図であって、図２に示されたネットの概略配線データＤ１に対応する詳細配線データＤ５の一例である。

[図3B]実施の形態１の比較例に係る図であって、図２に示されたネットの概略配線データＤ１に対応する詳細配線データＤ６の一例である。

[図4]実施の形態１の比較例に係る半導体集積回路の配線装置のブロック図である。

[図5A]実施の形態１の他の実施例に係る図であって、詳細配線データＤ５の一例である。

[図5B]実施の形態１の他の比較例に係る図であって、詳細配線データＤ６の一例である。

[図6]実施の形態１の実施例及び比較例に係る配線遅延ばらつき幅を比較して示したグラフである。

[図7]実施の形態２に係る半導体集積回路の配線装置のブロック図である。

[図8A]比較例に係るセグメントのイメージ図である（配線層割り当て前）。

[図8B]比較例に係るセグメントのイメージ図である（配線層割り当て後）。

[図9A]実施例に係るセグメント分割のイメージ図である（配線層割り当て前）。

[図9B]実施例に係るセグメント分割のイメージ図である（配線層割り当て後）。

[図10]実施の形態２の実施例及び比較例に係る配線遅延ばらつき幅を比較し

て示したグラフである。

[図11]単位経路を説明するための図である。

[図12]パスを説明するための図である。

発明を実施するための形態

[0014] 以下、本発明を適用した具体的な実施の形態について、図面を参照しながら詳細に説明する。ただし、本発明が以下の実施の形態に限定される訳ではない。また、説明を明確にするため、以下の記載及び図面は、適宜、簡略化されている。

[0015] （実施の形態１）

図１を参照して本発明の第１の実施の形態に係る半導体集積回路の配線装置について説明する。図１は、実施の形態１に係る半導体集積回路の配線装置のブロック図である。図１に示すように、この半導体集積回路の配線装置は、例えばＬＳＩのロジック部の自動配置配線装置である。この半導体集積回路の配線装置は、配線長算出部１０１、対象ネット選択部１０２、対象ネット用の配線層決定部１０３、対象ネット以外のネット用の配線層決定部１０４、概略配線データＤ１、配線長データＤ２、基準配線長Ｄ３、優先順位付き対象ネットリストＤ４、対象ネットの詳細配線データＤ５、全ネットの詳細配線データＤ６を備えている。各データＤ１～Ｄ６は、図示されない記憶装置に格納されている。

[0016] 配線長算出部１０１は、概略配線データＤ１から各ネットの配線長を算出する。これにより、各ネットの配線長データＤ２が得られる。ここで、図２を用いて、概略配線データＤ１におけるネットについて説明する。図２は、概略配線データＤ１におけるネットのイメージ図である。本明細書におけるネットとは、図２において太線で示されたように、あるゲート（論理回路）から出力された信号が入力される全てのゲートまでの配線網をいう。具体的には、図２では、ＡＮＤゲートＧ１から出力された信号はバッファＧ２、Ｇ３に入力され、ＡＮＤゲートＧ１からバッファＧ２、Ｇ３までの配線が、ネットの一例である。ここで、概略配線データＤ１は、各ネットにおけるｘ軸

及びｙ軸方向の配線セグメント（部分配線）、ｘ軸方向のセグメントとｙ軸方向のセグメントとの接続点の情報を含んでいる。一方、概略配線データＤ１には、各セグメントに使用する配線層の情報は含まれていない。

[0017] ここで、図２に示されたネットは、ｘ軸方向に延びた（以下、ｘ軸方向の）セグメント（部分配線）Ｓ１、Ｓ３、Ｓ４、Ｓ６とｙ軸方向に延びた（以下、ｙ軸方向の）セグメントＳ２、Ｓ５、ｘ軸方向のセグメントとｙ軸方向のセグメントとの接続点及びセグメントとゲートとの接続点Ｖから構成されている。図２に示されたネットは、黒丸で示された８つの接続点Ｖを有している。セグメントＳ１の長さをＬ（Ｓ１）などとすると、図２に示されたネットの配線長ＬはＬ＝Ｌ（Ｓ１）＋Ｌ（Ｓ２）＋Ｌ（Ｓ３）＋Ｌ（Ｓ４）＋Ｌ（Ｓ５）＋Ｌ（Ｓ６）となる。

[0018] 対象ネット選択部１０２は、各ネットの配線長データＤ２から基準配線長Ｄ３以上のネットを選択する。これにより、優先順位付き対象ネットリストＤ４が作成される。ここで、優先順位付き対象ネットリストＤ４において、配線長が長いネットから順に優先順位が付されており、配線長が長いネットから優先的に配線層決定部１０３により配線層が割り当てられる。これは、総配線長が長いネットほど、配線遅延が大きいため、信号遅延（ゲート遅延と配線遅延の合計）のばらつきに及ぼす影響も大きく、改善効果も大きくなるためである。

[0019] 対象ネット用の配線層決定部１０３は、優先順位付き対象ネットリストＤ４において優先順位の高いネットから順に、概略配線データＤ１を用いて、ネットにおけるセグメント毎に配線層を割り当てる。これにより、優先順位付き対象ネットリストＤ４に挙げられた対象ネットに対して使用配線層のデータが付加された詳細配線データが得られる。ここで、対象ネット用の配線層決定部１０３は、セグメントと配線層との組み合わせのそれぞれについて、使用可能な複数の配線層が対象ネットにおいてどの程度均等に割り当てられるかを示す指数βを計算する。そして、指数βの計算結果に応じて、使用可能な複数の配線層が均等になるように、各セグメントに対して配線層を割

り当てる。この点は、本発明において最も重要な点の１つであり、指数β等についての詳細は後述する。

[0020] 詳細配線データＤ５は、各ネットにおいて各セグメントに対して配線層が割り当てられたデータである。図３Ａは、本実施の形態の実施例に係る図であって、図２に示されたネットの概略配線データＤ１に対応する詳細配線データＤ５の一例である。図３Ａでは、３つの配線層Ｍ１～Ｍ３が使用されている。そして、セグメントＳ１、Ｓ４、Ｓ６には配線層Ｍ１が、セグメントＳ２、Ｓ５には配線層Ｍ２が、セグメントＳ３には配線層Ｍ３が割り当てられている。ここで、セグメントＳ１、Ｓ４、Ｓ６に配線層Ｍ１が割り当てられるのは、通常ゲートに接続される配線層は共通の配線層だからである。

[0021] 一般的に、配線層Ｍ１、Ｍ２、・・・、Ｍｎが下から上へ順に積層されているとすると、ｘ軸方向のセグメントには奇数番目の配線層Ｍ１、Ｍ３、・・・を用い、ｙ軸方向のセグメントには偶数番目の配線層Ｍ２、Ｍ４、・・・を用いる。あるいは、ｘ軸方向のセグメントに偶数番目の配線層Ｍ２、Ｍ４、・・・を用いれば、ｙ軸方向のセグメントに奇数番目の配線層Ｍ１、Ｍ３、・・・を用いる。さらに、図３Ａに示されるように、通常、各接続点Ｖに位置するビア（コンタクト）により接続された隣接するセグメントは上下に隣接する配線層から構成される。

[0022] 配線層決定部１０４は、配線層決定部１０３により配線層が割り当てられた対象ネット以外の全てのネットについて、概略配線データＤ１を用いて配線層を割り当てる。これにより、全てのネットに対する詳細配線データＤ６が得られる。詳細配線データＤ６は、各ネットにおける各セグメントに対して配線層が割り当てられたデータである。配線層決定部１０４は、例えば、単純にｘ軸方向のセグメントに対して配線層Ｍ１を、ｙ軸方向のセグメントに対して配線層Ｍ２を割り当てる。

[0023] 次に、図４を用いて、実施の形態１の比較例に係る半導体集積回路の配線装置について説明する。図４は、実施の形態１の比較例に係る半導体集積回路の配線装置のブロック図である。比較例に係る半導体集積回路の配線装置

は、図１において点線で囲まれた構成を有していない。つまり、配線層決定部１０４が、概略配線データＤ１に基づいて、全ネットの各セグメントに対して配線層を割り当てるのみである。これにより、全てのネットに対する詳細配線データＤ６が得られる。配線層決定部１０４は、例えば、単純にｘ軸方向のセグメントに対して配線層Ｍ１を、ｙ軸方向のセグメントに対して配線層Ｍ２を割り当てる。

[0024] 図３Ｂは、本実施の形態の比較例に係る図であって、図２に示されたネットの概略配線データＤ１に対応する詳細配線データＤ６の一例である。図３Ｂでも、３つの配線層Ｍ１～Ｍ３が使用可能であるが、ｘ軸方向のセグメントＳ１、Ｓ３、Ｓ４、Ｓ６には配線層Ｍ１が、ｙ軸方向のセグメントＳ２、Ｓ５には配線層Ｍ２が割り当てられている。つまり、図３Ａでは、セグメントＳ３に配線層Ｍ３が割り当てられているのに対し、図３Ｂでは、セグメントＳ３に配線層Ｍ１が割り当てられている。

[0025] 次に、対象ネット用の配線層決定部１０３での処理の詳細について説明する。ここでの処理における基本的概念は、配線の製造ばらつきに起因した信号遅延のばらつきを低減するために、対象ネット選択部１０２により選択された対象ネットにおいて、「可能な限り多くの配線層を、可能な限り均等な配分で使用する」というものである。

[0026] この理由を以下に述べる。あるネットに単一の配線層だけ用いた場合、その配線層からなる配線の形状ばらつきにより、配線遅延はその分だけばらつく。これは配線遅延ばらつきの要因である配線抵抗及び容量のばらつきが配線の形状ばらつきによって決定されるためである。ここで、形状ばらつきとは、例えば、露光やエッチングによる配線幅のばらつきや成膜やＣＭＰ（Chemical Mechanical Polishing）による配線膜厚のばらつきなどである。

[0027] これに対し、そのネットの配線長を変えずに多数の配線層を用いた場合、ネットの全配線層において同時に配線容量が大きくなるようにばらつく確率は小さくなる。さらに、各配線層が互いのばらつきをキャンセルし合う場合もある。そのため、配線遅延のばらつきは小さくなる。具体的には、配線遅

延を決める要因として配線容量が支配的な場合、ネットのある配線層は容量が大きくなる方向にばらつき、他の配線層は容量が小さくなるようにばらつくと、そのネットの総容量のばらつきは小さくなる。結果として、配線遅延の統計的なばらつき量（標準偏差や分散）は小さくなる。

[0028] 以下に、数式を用いて説明する。議論を簡略化するために、上述の通り、配線遅延の要因として配線容量が支配的な場合を考える。これは、主にネットの総配線長が比較的短い場合に当てはまる。この場合、配線遅延は簡易的に配線容量に比例すると考えることができる。また、やはり議論の簡略化のために、単位長さあたりの平均配線容量Ｃ０とその標準偏差σ０は箇所や配線層によらず一定であり、異なる配線層の単位長さあたりの配線容量同士の相関係数ｒ０（０≦ｒ０＜１）は一定であるとする。ここで、平均配線容量Ｃ０、標準偏差σ０、相関係数ｒ０は、測定データから定まる値である。今、あるネットの総配線長Ｌが一定値であるとする。そのネットで使用可能な配線層をＭ１、Ｍ２、・・・、Ｍｎ（ｎ：自然数）とし、それらの配線層毎の総配線長をＬ１、Ｌ２、・・・、Ｌｎとする。つまり、使用可能な配線層Ｍｉ（ｉ：自然数かつ１≦ｉ≦ｎ）の総配線長をＬｉとする。このとき、ばらつきを考慮しない場合の配線遅延Ｔは、αをある定数として、式（１）で表される。

Ｔ＝α・Σ（Ｌｉ・Ｃ０）＝α・Ｌ・Ｃ０　　　　　　　　　　　　（１）

ここで、ｉは自然数かつ１≦ｉ≦ｎであり、ΣＬｉ＝Ｌである。

従って、配線遅延Ｔの分散σ（Ｔ）^{2}は式（２）で表される。

[数1]

$$\sigma(T)^2 = \alpha^2 \times \sigma0^2 \times \left\{ \sum_i \left(L_i^2\right) + \sum_{i<j} \left(2 \times r0 \times L_i \times L_j\right) \right\} \qquad (2)$$

[0029] ここで、ｊは自然数かつ１≦ｊ≦ｎである。上述の通り、０≦ｒ０＜１であるから、式（２）は、あるｉに対してＬｉ＝Ｌ、ｊ≠ｉなるｊに対してＬｊ＝０のとき最大となり、Ｌ１＝Ｌ２＝・・・＝Ｌｎ＝Ｌ／ｎのとき最小と

なる。通常は両者の中間的な状態であるが、「可能な限り多くの配線層を、可能な限り均等な配分で使用する」ことにより、後者に近づけ、配線遅延のばらつきを低減できる。

[0030] なお、式（２）において仮にｒ０＝１とすると、$\sigma(T)^2=\alpha\cdot\sigma 0^2\cdot L^2$となり、配線遅延ばらつきは、使用する配線層の数やその長さの配分に無関係となる。しかしながら、通常は、ｒ０＝０．４程度であるため、効果は十分に期待できる。以上の議論において、分かり易くするために行ったいくつかの仮定は効果の本質を損ねるものではなく、実際にも同様の効果が得られる。

[0031] 本実施の形態では、式（３）で表される指数βが最小となるように、対象ネットの各セグメントに対して、適切な配線層を割り当てる。ここで、指数βは、複数の配線層が配線においてどの程度均等に割り当てられているかを示す。

$$\beta=\Sigma(L i^2)/(\Sigma L i)^2=\Sigma(L i^2)/L^2 \quad (3)$$

[0032] この際に、配線層の選択にあたっては、接続されるセグメント同士は（当然ながら）隣接した配線層同士となっている必要がある。式（３）の指数βは、式（２）におけるｒ０＝０の場合の、配線遅延に対する配線ばらつきの比率を表現する値であるが、実際にはｒ０＞０であっても、式（３）の最小化により配線遅延ばらつきは低減される。

[0033] その結果、図２に示されたネットにおいて、上述の通り、使用可能な配線層が３つの配線層Ｍ１、Ｍ２、Ｍ３である場合（ｎ＝３の場合）、図３Ａのように配線層が決定される。配線層Ｍ１、Ｍ２を使用した比較例に係る図３Ｂよりも配線層Ｍ１、Ｍ２、Ｍ３を使用した本実施の形態に係る図３Ａの方が、上記理由から配線遅延ばらつきは小さくなる。ここで、図３Ｂと図３Ａとでは、配線層間を接続するビア（つまり接続点Ｖ）の個数は同じであり、総配線長も変わらないため、ばらつきを考慮しない配線遅延は同一とみなすことができる。なお、使用配線層は、既に配線層が決定され、配置されている配線（電源配線、クロック配線などのように信号配線よりも配線層割り当

て順位が上位のネット）を回避するように決定される。

[0034] 次に、図５Ａ、５Ｂを用いて、実施の形態１の他の実施例及び比較例について説明する。図５Ａは、本実施の形態の実施例に係る図であって、詳細配線データＤ５の一例である。図５Ｂは、本実施の形態の比較例に係る図であって、詳細配線データＤ６の一例である。図５Ａ、５Ｂに示すように、２つのインバータＧ１１、Ｇ１２が、ｘ軸方向に延びたセグメントＳ１１、Ｓ１３、Ｓ１５、Ｓ１７、Ｓ１９とｙ軸方向に延びたセグメントＳ１２、Ｓ１４、Ｓ１６、Ｓ１８、１０個のビアＶから構成されている。各セグメントの長さは、中央のセグメントＳ１５以外のセグメントは全て長さ１、セグメントＳ１５はその倍の長さ２であるとする。つまり、Ｌ＝１０とする。ここで、式（２）におけるｒ０＝０である場合を考える。

[0035] 比較例に係る図５Ｂのように、セグメントＳ１１、Ｓ１３、Ｓ１５、Ｓ１７、Ｓ１９に配線層Ｍ１が、セグメントＳ１２、Ｓ１４、Ｓ１６、Ｓ１８に配線層Ｍ２が割り当てられたとする。このとき、Ｌ１＝６、Ｌ２＝４となる。式（１）、式（２）、ｒ０＝０、Ｌ＝１０から、配線遅延ばらつきの配線遅延に対する割合σ（Ｔ）／Ｔは式（４）のように計算される。

$$
\begin{aligned}
&\sigma(T)/T \\
&= \mathrm{sqrt}(\alpha^2 \cdot \sigma 0^2 \cdot \Sigma(Li^2)) / \alpha \cdot L \cdot C0 \\
&= \sigma 0 / C0 \cdot \mathrm{sqrt}(6^2+4^2)/10 \\
&= 0.72 \cdot \sigma 0 / C0 \qquad (4)
\end{aligned}
$$

[0036] 一方、実施例に係る図５Ａのように、セグメントＳ１１、Ｓ１９に配線層Ｍ１が、セグメントＳ１２、Ｓ１８に配線層Ｍ２が、セグメントＳ１３、Ｓ１７に配線層Ｍ３が、セグメントＳ１４、Ｓ１６に配線層Ｍ４が、セグメントＳ１５に配線層Ｍ５が、割り当てられたとする。このとき、Ｌ１＝Ｌ２＝Ｌ３＝Ｌ４＝Ｌ５＝２となる。式（１）、式（２）、ｒ０＝０、Ｌ＝１０から、配線遅延ばらつきの配線遅延に対する割合σ（Ｔ）／Ｔは式（５）のように計算される。

$$\sigma(T)/T$$

＝σ０／Ｃ０・ｓｑｒｔ（2^2＋2^2＋2^2＋2^2＋2^2）／１０

＝０．４５・σ０／Ｃ０　　　　　　　　　　　（５）

従って、実施例は比較例と比べ、配線遅延ばらつき幅が、０．４５／０．７２＝０．６２倍に縮小される（つまり、ばらつき幅が３８％削減される）。

[0037] 図６は、実施例及び比較例の配線遅延ばらつき幅を比較して示したグラフである。ここで、ばらつき幅として一般的な３σを用いて考える。例えば、単一配線における単位長さあたりの容量値の３σが２０％（３×σ０／Ｃ０＝０．２）であるとする。つまり、配線容量ばらつき幅が±２０％であるとする。このとき、式（１）から配線容量と配線遅延とは比例関係にあるから、単一配線層からなるネットの配線遅延ばらつき幅も±２０％となる。

[0038] 図６に示すように、図５Ｂの比較例における配線遅延ばらつき３×σ（Ｔ）／Ｔは、式（４）及び３×σ０／Ｃ０＝０．２から０．７２×０．２＝０．１４４となる。つまり、配線遅延ばらつき幅は±１４．４％となる。これに対し、図５Ａの実施例における配線遅延ばらつき３×σ（Ｔ）／Ｔは、式（４）及び３×σ０／Ｃ０＝０．２から０．４５×０．２＝０．０９となる。つまり、配線遅延ばらつき幅は±９％となる。配線遅延ばらつき幅が削減されることにより、設計におけるガードバンド幅が小さくなり、設計が容易となる。さらに、設計ＴＡＴ短縮、チップ面積削減、消費電力削減、性能向上などの効果が見込まれる。

[0039] （実施の形態１の変形例１）

式（３）に代わり、指数βの計算式として、ある適当な係数ｒ１（０≦ｒ１＜１）を定めて、式（６）を用いてもよい。

[数2]

$$\beta = \frac{\sum_{i}\left(L_i^2\right) + \sum_{i<j}\left(2 \times r1 \times L_i \times L_j\right)}{L^2} \qquad (6)$$

式（６）の係数ｒ１は、式（２）における相関係数ｒ０に相当するもので

ある。式（２）では、容量が遅延に対して支配的であると仮定していた。式（６）では、設計者が、容量、抵抗と配線遅延の関係を総合的に考慮して適切な係数ｒ１を設定すればよい。式（３）の場合と同様に、指数βが最小になるように、全てのセグメントに対して、適切な配線層を割り当てる。なお、指数βの計算式は他にも多く考えられ、式（３）や式（６）に限定されるものではない。

[0040]（実施の形態１の変形例２）

式（３）及び（６）では、全ての配線層を同等に扱っていた。しかしながら、実際には、配線層によって膜厚や最小配線幅、絶縁膜の比誘電率が異なる場合があり、結果として容量や抵抗、それらのばらつきが異なる。そこで、容量や抵抗、ばらつきの小さい配線層を優先的に使う場合のために、配線層毎の重み付け係数γｉ（０≦γｉ）をあらかじめ設定しておく。次式（７）で計算されるＬｉ’を、式（３）や式（６）のＬｉに代入することによりβを求める。

Ｌｉ’＝γｉ・Ｌｉ　（７）

例えば、ばらつきの小さい配線層のγｉは小さく、ばらつきの大きい配線層のγｉは大きく設定される。これにより、ばらつきの小さい配線層はばらつきの大きい配線層よりも長く使われることになる。

[0041]（実施の形態１の変形例３）

基準配線長Ｄ３以上のネットを対象ネットとする代わりに、あらかじめ対象ネットの個数を定めておき、総配線長が長いネットから順に配線層を決定していってもよい。

[0042]（実施の形態１の変形例４）

基準配線長Ｄ３以上のネットを対象ネットとする代わりに、設計者があらかじめ指定したネットを対象ネットとしてもよい。または、実施の形態１に係る基準配線長Ｄ３や変形例３の個数と併用してもよい。設計者があらかじめ遅延ばらつきがタイミング収束において問題となるネットを予想できる場合に有効である。

[0043] （実施の形態１の変形例５）

指数βが小さいほど配線遅延ばらつきは小さくなるため、指数βにあらかじめ上限値を設けてもよい。その上で、各セグメントの配線層を決定する際に、できる限り多くの配線層を使用するのではなく、指数βが上限値以下となる範囲で、使用する配線層数を減らしてもよい。ここで、使用しない配線層を先に指定した後、指数βの値を確認し、上限値を超えていれば、使用する配線層を決定し直してもよい。これにより、不必要な使用配線層の増加を回避できるため、適用対象ネット数を増やしたり、配線工程を短縮したりすることができる。

[0044] また、指数βの上限値を段階的に設けてもよい。例えば、全ネットを総配線長によりいくつかのグループに分け、グループ毎にそのグループに属するネットが満たすべき指数βの上限値を設けてもよい。ここで、総配線長が長いほど小さな上限値を設定する。変形例４を併用する場合、設計者が指定するネットごとに指数βの上限値を設定する。

[0045] （実施の形態２）

次に、図７を用いて、本発明の第２の実施の形態に係る半導体集積回路の配線装置について説明する。図７は、実施の形態２に係る半導体集積回路の配線装置のブロック図である。図７に示すように、実施の形態２に係る半導体集積回路の配線装置は、実施の形態１に係る半導体集積回路の配線装置の構成に加え、セグメント長算出部２０１、分割対象セグメント選択部２０２、セグメント分割部２０３、セグメント長データＤ７、セグメント長／配線長の基準値Ｄ８、分割対象セグメントリストＤ９、分割比率指定値Ｄ１０、セグメント分割位置データＤ１１を備えている。各データＤ７～Ｄ１１は、図示されない記憶装置に格納されている。

[0046] 実施の形態１では、概略配線データＤ１から取得したセグメント毎に１つの配線層を割り当てた。これに対し、実施の形態２では、概略配線データＤ１から取得した１つのセグメントをさらに複数のセグメントに分割し、分割されたセグメント毎の配線層を割り当てる。

[0047]　具体的には、概略配線データＤ１から取得される図８Ａに示される１つのセグメントＳ２１は、通常、図８Ｂに示すように、１つの配線層で構成される。図８Ｂの例では、セグメントＳ２１が配線層Ｍ１から構成されている。これに対して、本実施の形態では、概略配線データＤ１から取得される図８ＡのセグメントＳ２１に対して、図９Ａに示すようなセグメント分割位置Ｖ１、Ｖ２を設け、セグメントＳ２１を新たなセグメントＳＳ１、ＳＳ２、ＳＳ３に分割する。

[0048]　図７のセグメント長算出部２０１は、概略配線データＤ１から各セグメントのセグメント長を算出する。これにより、各セグメントのセグメント長データＤ７が得られる。

分割対象セグメント選択部２０２は、各セグメントのセグメント長データＤ７からネットの配線長に占めるそのセグメント長の割合（セグメント長／配線長）が基準値Ｄ８以上である全てのセグメントを選択する。これにより、分割対象セグメントリストＤ９が作成される。ここで、ネットの総配線長に占める割合が大きいセグメントほど、配線遅延ばらつき低減の障害になり易いためである。

[0049]　セグメント分割部２０３は、分割対象セグメントリストＤ９にリストアップされたセグメントに対し、所定の分割比率指定値Ｄ１０を用いて順に分割していく。これにより、セグメント分割位置データＤ１１が得られる。つまり、図９Ａに示すように、セグメントＳ２１に対しセグメント分割位置Ｖ１、Ｖ２が設けられ、セグメントＳ２１が新たなセグメントＳＳ１、ＳＳ２、ＳＳ３へ分割される。所定の分割比率指定値Ｄ１０は、例えば、「セグメントを１：１に分割する位置に１点設ける」や「１：１：１や１：２：１に分割する位置に２点設ける」などと規定されたデータである。あるいは、分割比率指定値Ｄ１０なしに、設計者が任意に分割比率を指定してもよい。

[0050]　そして、配線層決定部１０３は、実施の形態１と同様の手法を用いて、セグメント分割位置データＤ１１から定まる分割された新たなセグメントのそれぞれに対して、配線層を割り当てる。例えば、図９Ｂでは、セグメントＳ

２１から分割された新たなセグメントＳＳ１、ＳＳ２、ＳＳ３に対し、それぞれＭ１、Ｍ２、Ｍ１が割り当てられている。これにより、多くの配線層を、均等に割り当てやすくなるため、配線遅延ばらつきは低減する。ただし、この例では主にｙ軸方向に用いられるはずの配線層Ｍ２が、例外的にｘ軸方向で使用されることになる。なお、図９Ａ、９Ｂでは、ＡＮＤゲートＧ２１及びバッファＧ２２間のネットが、１つのセグメントＳ２１から構成されているが、当然のことながら、複数のセグメントから構成されるネットにおける１つのセグメントについても同様に新たなセグメントに分割することができる。

[0051] 図９Ａ、９Ｂでは、セグメントＳ２１を１：２：１に分割する位置に２点のセグメント分割位置（配線層切換位置）が設けられている。実施の形態１と同様の仮定のもとに、同様の計算を行うことにより、図８Ａ、８Ｂに示された比較例、図９Ａ、９Ｂに示された実施例による配線遅延ばらつきの配線遅延に対する割合σ（Ｔ）／Ｔは、それぞれ式（７）、式（８）のようになる。

$$\sigma(T)/T = \sigma 0/C0 \cdot \mathrm{sqrt}(4^2)/4 = \sigma 0/C0 \quad (7)$$

$$\sigma(T)/T = \sigma 0/C0 \cdot \mathrm{sqrt}(2^2+2^2)/(2+2) = 0.71 \cdot \sigma 0/C0 \quad (8)$$

従って、ばらつき幅は、０．７１／１＝０．７１倍に縮小される（ばらつき幅が２９％削減される）。

[0052] 図１０は、実施例及び比較例の配線遅延ばらつき幅を比較して示したグラフである。ここで、ばらつき幅の指標として一般的な３σを用いて考える。例えば、単一配線における単位長さあたりの容量値の３σが２０％（３×σ０／Ｃ０＝０．２）であるとする。

図１０に示すように、図８Ｂの比較例における配線遅延ばらつき３×σ（

Ｔ）／Ｔは、式（７）及び３×σ０／Ｃ０＝０．２から１×０．２＝０．２となる。つまり、配線遅延ばらつき幅は±２０％となる。これに対し、図９Ｂの実施例における配線遅延ばらつき３×σ（Ｔ）／Ｔは、式（８）及び３×σ０／Ｃ０＝０．２から０．７１×０．２＝０．１４２となる。つまり、配線遅延ばらつき幅は±１４．２％となる。本実施の形態においても、実施の形態１と同様の効果が見込まれる。

[0053] （実施の形態２の変形例１）

実施の形態２では、配線遅延ばらつきは低減される。一方、セグメント分割位置に設けられるビアにより抵抗が増加するため、配線遅延自体が増加する。そこで、セグメント分割位置の設定数、すなわちビア増加数に対する制限を設ける。ここで、セグメント分割位置が１点増えると、ビアも１個増える。あらかじめ、ネットの総配線長に比例して、使用可能なビア個数の上限値を決めておく。概略配線の結果、ネットのビア個数が既に上限値を超えている場合、セグメント分割は行わない。超えていない場合、ビア個数が上限値に達するまで、セグメント分割を行なう。セグメント分割を行う順番は、セグメント長／配線長が大きい順とする。

[0054] （実施の形態２の変形例２）

実施の形態２の変形例１では、ビア個数の上限値をネットの総配線長に比例するように設定したが、単位経路長に比例するように設定してもよい。図１１は、単位経路を説明するための図である。図１１に太線で示すように、単位経路とは、１つのゲートから１つのゲートまでを結ぶ分岐の無い経路であって、ネットの一部である。ビア個数が上限値を超えているかどうかを判断する際に、変形例１におけるネットの総配線長に代わり、この単位経路長を用いる。ある信号経路にとって、枝分かれ部分の抵抗は、その経路の信号遅延には影響しない。そのため、ビア追加による抵抗増加の影響は、ネットよりも単位経路毎に検討する方が合理的であると考えられる。

[0055] ある単位経路に対するビア個数が上限値を超えていない場合、その単位経路内でセグメント分割位置の設定を行う。複数の単位経路が同一のセグメン

トを共有している場合、そのうちのある経路のビア個数が上限値を超えていれば、そのセグメントはセグメント分割の対象とはしない。

[0056] 実施の形態１、実施の形態１の変形例１～５、実施の形態２では、「ネット」を対象といているが、「パス」を対象としてもよい。つまり、ネット単位で配線層の割り当てを最適化するのではなく、パス単位で配線層の割り当てを最適化する。図１２は、パスを説明するための図である。図１２に太線で示すように、パスとは、隣接するフリップフロップ間を繋ぐ経路に含まれる全ネットである。図１２では、フリップフロップＦＦ１とフリップフロップＦＦ２とを繋ぐパスを構成する５つのネットＮ１～Ｎ５からなる。なお、本明細書において、フリップフロップはゲートに含まれる。

[0057] ここで、図１２に示すように、ネットＮ１はフリップフロップＦＦ１からＡＮＤゲートＧ３１及びバッファＧ３２に至る配線である。ネットＮ２はＡＮＤゲートＧ３１からバッファＧ３３及びＧ３４に至る配線である。ネットＮ３はバッファＧ３４からＡＮＤゲートＧ３５に至る配線である。ネットＮ４はＡＮＤゲートＧ３５からバッファＧ３６及びＧ３７に至る配線である。ネットＮ５はバッファＧ３６からフリップフロップＦＦ２に至る配線である。

[0058] 図１や図７における配線層決定部１０３による配線層の割り当ては、総配線長が大きいパスから順に行う。複数のパスで１つのネットを共有している場合、その中で最も総配線長が長いパスにおいてそのネットに割り当てられた配線層は、他のパスの配線層の割り当てにおいては変更しない。これを実施の形態１の変形例４に適用すれば、設計者が設計上想定されるクリティカルパスをそのまま選択でき、問題となり得るネットを選択するよりも容易である。さらに、図１や図７における配線層決定部１０４による詳細配線後のタイミング検証において、配線遅延ばらつきによりタイミング収束できなかったパスを、再設計の際に、設計者が当該パスをそのまま選択することができる。

[0059] なお、上記実施の形態において説明した方法は、ＬＳＩのロジック部の自

動配置配線のみでなく、ロジック部以外の回路設計、自動でない回路設計にも適用可能である。

[0060] また、上記実施の形態では、図１や図７における詳細配線データＤ６の作成に先立ち、まず対象ネットの詳細配線データＤ５を作成している。しかしながら、既在の詳細配線データＤ６に対する修正手段として、本発明を適用してもよい。具体的には、詳細配線データＤ６から対象ネットを選択し、そのネットにおけるセグメントに割り当てられた配線層を変更すればよい。あるいは、実施の形態２のように、セグメントをさらに複数のセグメントに分割して、分割されたセグメントに割り当てられた配線層を変更してもよい。

[0061] 例えば、他のネットの配線が障害になり、１つのセグメント全体の配線層を変更することができなければ、実施の形態２と同様に、そのセグメントを分割し、分割されたセグメントのうち変更可能なものの配線層を変更すればよい。セグメント分割位置は、あらかじめ決められた比率で変更できなければ、最もそれに近い比率で変更すればよい。もちろん、障害になっている他のネットのセグメントの配線層の方を修正してもよい。さらに、対象ネットを選択する際、タイミング検証の結果、配線遅延ばらつきが原因でタイミングエラーを生じているパスに含まれるネットを対象ネットとしてもよい。

[0062] 以上、実施の形態を参照して本願発明を説明したが、本願発明は上記によって限定されるものではない。本願発明の構成や詳細には、発明のスコープ内で当業者が理解し得る様々な変更をすることができる。

[0063] この出願は、２０１１年４月５日に出願された日本出願特願２０１１－０９７０２１を基礎とする優先権を主張し、その開示の全てをここに取り込む。

符号の説明

[0064] １０１　配線長算出部

１０２　対象ネット選択部

１０３　配線層決定部

１０４　配線層決定部

２０１　　セグメント長算出部
２０２　　分割対象セグメント選択部
２０３　　セグメント分割部
Ｄ１　　概略配線データ
Ｄ２　　配線長データ
Ｄ３　　基準配線長
Ｄ４　　対象ネットリスト
Ｄ５　　詳細配線データ
Ｄ６　　詳細配線データ
Ｄ７　　セグメント長データ
Ｄ８　　基準値
Ｄ９　　分割対象セグメントリスト
Ｄ１０　　分割比率指定値
Ｄ１１　　セグメント分割位置データ
ＦＦ１、ＦＦ２　　フリップフロップ
Ｇ１、Ｇ２１、Ｇ３１、Ｇ３５　　ＡＮＤゲート
Ｇ２、Ｇ３、Ｇ２２、Ｇ３２、Ｇ３３、Ｇ３４、Ｇ３６、Ｇ３７　　バッファ
Ｇ１１、Ｇ１２　　インバータ
Ｍ１－Ｍｎ　　配線層
Ｎ１－Ｎ５　　ネット
Ｓ１－Ｓ６、Ｓ１１－Ｓ１９、Ｓ２１　　セグメント
ＳＳ１－ＳＳ３　　セグメント

請求の範囲

[請求項1] 複数のゲート間を結ぶ信号配線を、複数のセグメントに分割し、

前記複数のセグメントのそれぞれに対して、ｎ層（ｎは２以上の整数）の配線層のいずれか１つを少なくとも１回ずつ割り当てる半導体集積回路の配線方法であって、

前記ｎ層の配線層の割り当てに際し、

前記複数のセグメントと前記ｎ層の配線層との組み合わせから、前記ｎ層の配線層が前記信号配線においてどの程度均等に割り当てられるかを示す指数を計算し、

前記指数の計算結果に応じて、前記複数のセグメントに対して前記ｎ層の配線層が均等になるように割り当てる半導体集積回路の配線方法。

[請求項2] 前記ｎ層の配線層の割り当てに際し、

長さが長い前記信号配線から順に、前記ｎ層の配線層の割り当てを実行することを特徴とする請求項１に記載の半導体集積回路の配線方法。

[請求項3] 前記ｎ層の配線層の割り当てに際し、

前記複数のセグメントの少なくとも１つをさらに複数の新たなセグメントに分割し、当該新たなセグメントのそれぞれに対して、前記ｎ層の配線層の割り当てを実行することを特徴とする請求項１又は２に記載の半導体集積回路の配線方法。

[請求項4] 前記配線層決定部は、

互いに接続された隣接するセグメントには、互いに隣接した配線層を割り当てることを特徴とする請求項１～３のいずれか一項に記載の半導体集積回路の配線方法。

[請求項5] 前記ｎ層の配線層の割り当てに際し、

前記複数のゲートのそれぞれに接続されたセグメントには、いずれも同一の配線層を割り当てることを特徴とする請求項１～４のいずれ

か一項に記載の半導体集積回路の配線方法。

[請求項6] 前記信号配線は、互いに隣接する前記複数のゲート間を結ぶネットであることを特徴とする請求項１～５のいずれかに一項に記載の半導体集積回路の配線方法。

[請求項7] 前記複数のゲートは、２つのフリップフロップであり、

前記信号配線は、互いに隣接する前記２つのフリップフロップ間を結ぶパスであることを特徴とする請求項１～５のいずれか一項に記載の半導体集積回路の配線方法。

[請求項8] 前記指数をβとして、次式により与えられることを特徴とする請求項１～７のいずれか一項に記載の半導体集積回路の配線方法。

[数1]

$$\beta = \frac{\sum_{i}\left(L_i^2\right) + \sum_{i<j}\left(2 \times r \times L_i \times L_j\right)}{L^2}$$

ただし、Ｌは前記信号配線の総配線長、Ｌｉはｉ番目（１≦ｉ≦ｎ）の配線層が割り当てられたセグメントの総配線長、Ｌｊはｊ番目（１≦ｊ≦ｎ）の配線層が割り当てられたセグメントの総配線長、ｒ（０≦ｒ＜１）は任意の係数である。

[請求項9] 前記係数ｒ＝０として前記指数βを計算することを特徴とする請求項８に記載の半導体集積回路の配線方法。

[請求項10] 前記指数βが最小となる前記組み合わせにより前記ｎ層の配線層の割り当てを実行することを特徴とする請求項８又は９に記載の半導体集積回路の配線方法。

[請求項11] 複数のゲート間を結ぶ信号配線が複数のセグメントに分割された配線データが、格納された記憶部と、

前記複数のセグメントのそれぞれに対して、ｎ層（ｎは２以上の整数）の配線層のいずれか１つを少なくとも１回ずつ割り当てる配線層決定部と、を備え、

前記配線層決定部は、

前記複数のセグメントと前記ｎ層の配線層との組み合わせから、前記ｎ層の配線層が前記信号配線においてどの程度均等に割り当てられるかを示す指数を計算し、

前記指数の計算結果に応じて、前記複数のセグメントに対して前記ｎ層の配線層が均等になるように割り当てる半導体集積回路の配線装置。

[請求項12] 前記信号配線の長さを算出する配線長算出部を更に備え、

前記配線層決定部は、前記配線長算出部により算出された長さが長い前記信号配線から順に、前記ｎ層の配線層の割り当てを実行することを特徴とする請求項１１に記載の半導体集積回路の配線装置。

[請求項13] 前記複数のセグメントの少なくとも１つをさらに複数の新たなセグメントに分割するセグメント分割部を更に備え、

前記配線層決定部は、当該新たなセグメントのそれぞれに対して、前記ｎ層の配線層の割り当てを実行することを特徴とする請求項１１又は１２に記載の半導体集積回路の配線装置。

[請求項14] 前記配線層決定部は、

互いに接続された隣接するセグメントには、互いに隣接した配線層を割り当てることを特徴とする請求項１１～１３のいずれか一項に記載の半導体集積回路の配線装置。

[請求項15] 前記配線層決定部は、

前記複数のゲートのそれぞれに接続されたセグメントには、いずれも同一の配線層を割り当てることを特徴とする請求項１１～１４のいずれか一項に記載の半導体集積回路の配線装置。

[請求項16] 前記信号配線は、互いに隣接する前記複数のゲート間を結ぶネットであることを特徴とする請求項１１～１５のいずれかに一項に記載の半導体集積回路の配線装置。

[請求項17] 前記複数のゲートは、２つのフリップフロップであり、

前記信号配線は、互いに隣接する前記２つのフリップフロップ間を結ぶパスであることを特徴とする請求項１１～１５のいずれか一項に記載の半導体集積回路の配線装置。

[請求項18] 前記指数をβとして、次式により与えられることを特徴とする請求項１１～１７のいずれか一項に記載の半導体集積回路の配線装置。

[数2]

$$\beta = \frac{\sum_{i}\left(L_i^2\right) + \sum_{i<j}\left(2 \times r \times L_i \times L_j\right)}{L^2}$$

ただし、Ｌは前記信号配線の総配線長、Ｌｉはｉ番目（１≦ｉ≦ｎ）の配線層が割り当てられたセグメントの総配線長、Ｌｊはｊ番目（１≦ｊ≦ｎ）の配線層が割り当てられたセグメントの総配線長、ｒ（０≦ｒ＜１）は任意の係数である。

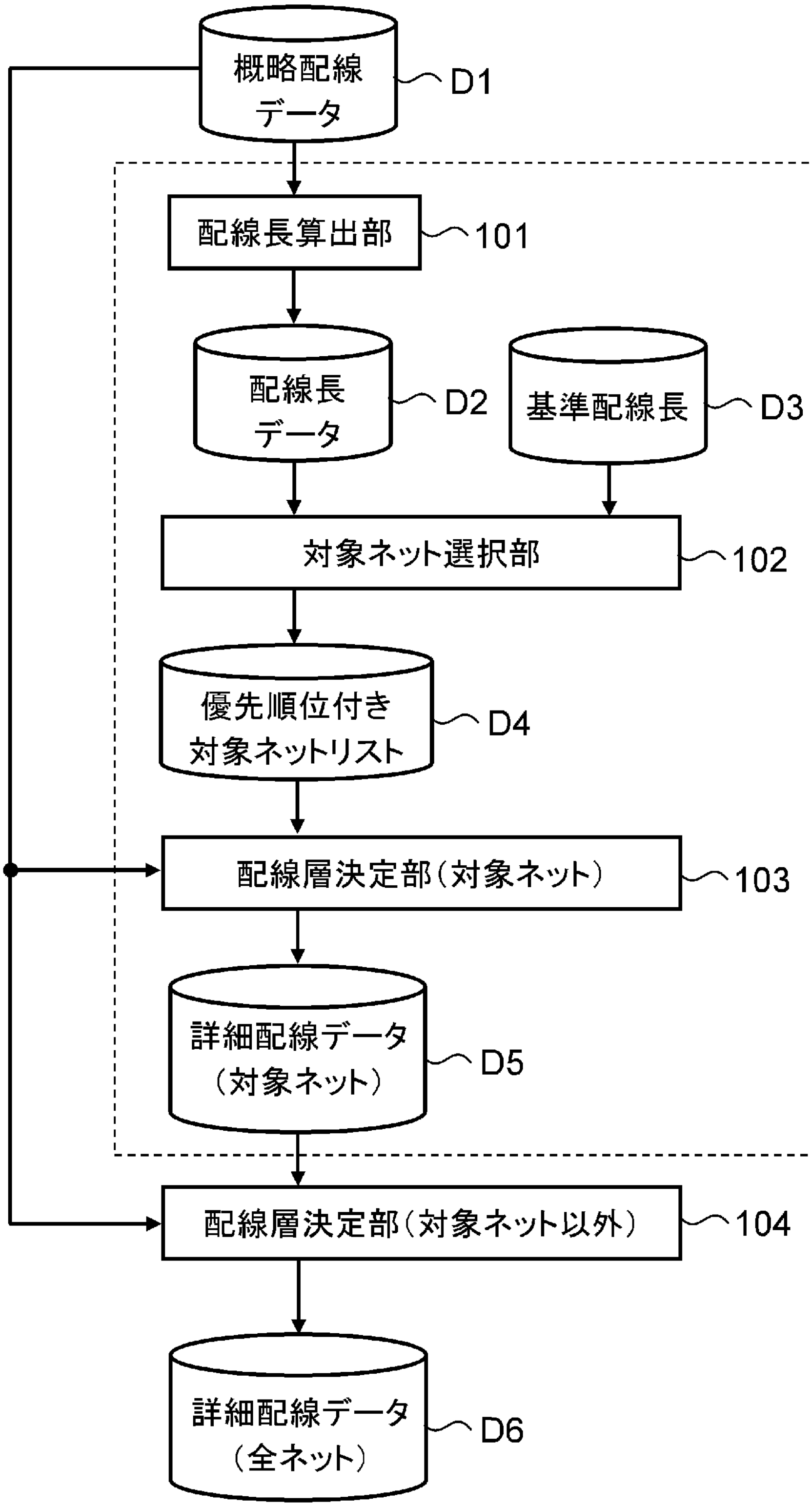
[請求項19] 前記配線層決定部は、

前記係数ｒ＝０として前記指数βを計算することを特徴とする請求項１８に記載の半導体集積回路の配線装置。

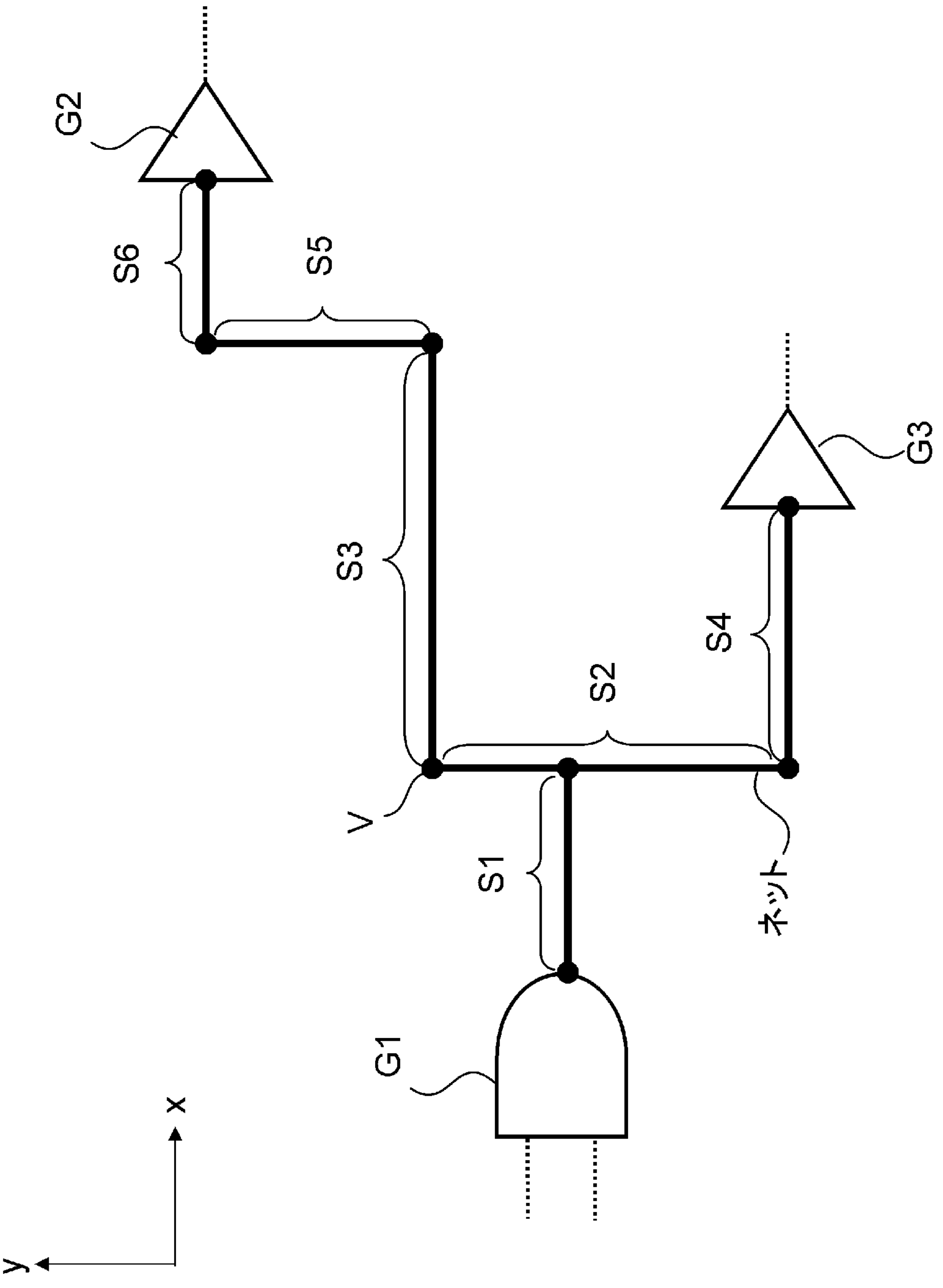
[請求項20] 前記配線層決定部は、

前記指数βが最小となる前記組み合わせにより前記ｎ層の配線層の割り当てを実行することを特徴とする請求項１８又は１９に記載の半導体集積回路の配線装置。

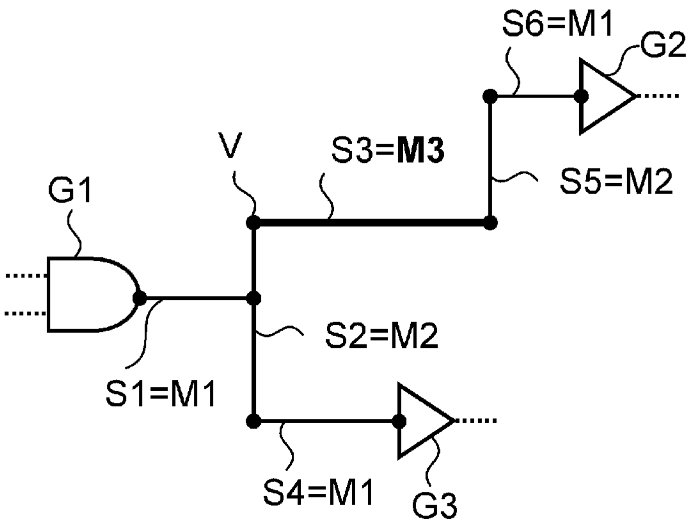
［図1］


概略配線データ
D1
配線長算出部
101
配線長データ
D2
基準配線長
D3
対象ネット選択部
102
優先順位付き対象ネットリスト
D4
配線層決定部（対象ネット）
103
詳細配線データ（対象ネット）
D5
配線層決定部（対象ネット以外）
104
詳細配線データ（全ネット）
D6

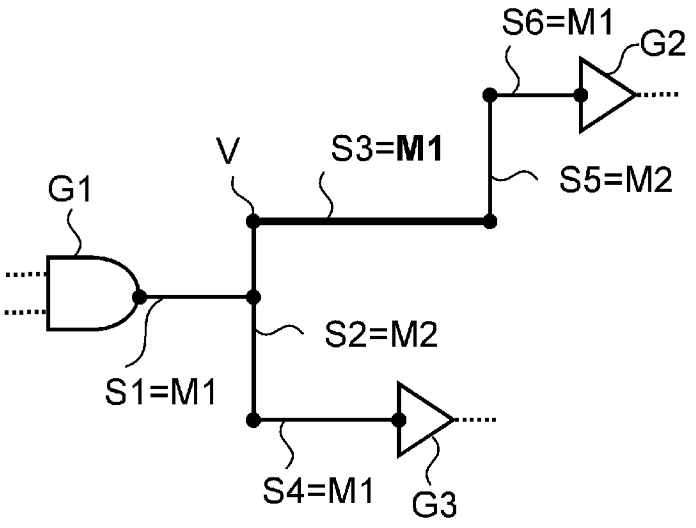
[図2]



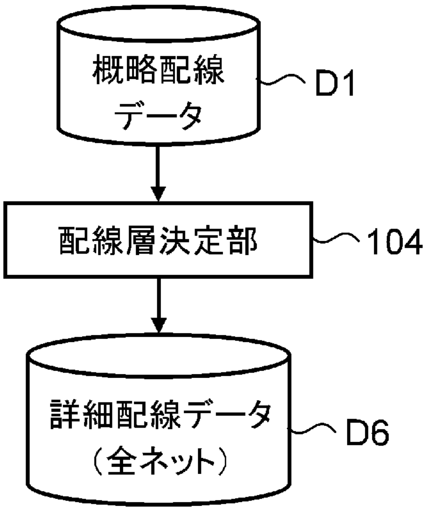
[図3A]


S6=M1
G2
V
S3=M3
S5=M2
G1
S2=M2
S1=M1
S4=M1
G3

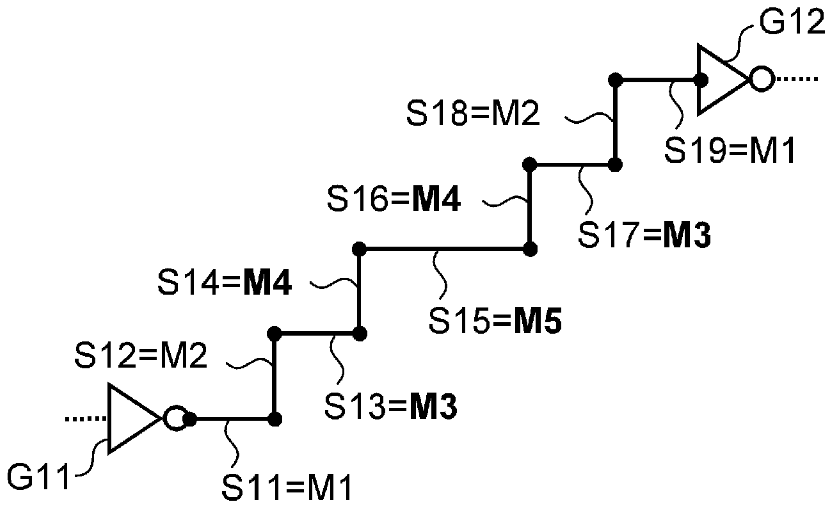
[図3B]


S6=M1
G2
V
S3=M1
S5=M2
G1
S2=M2
S1=M1
S4=M1
G3

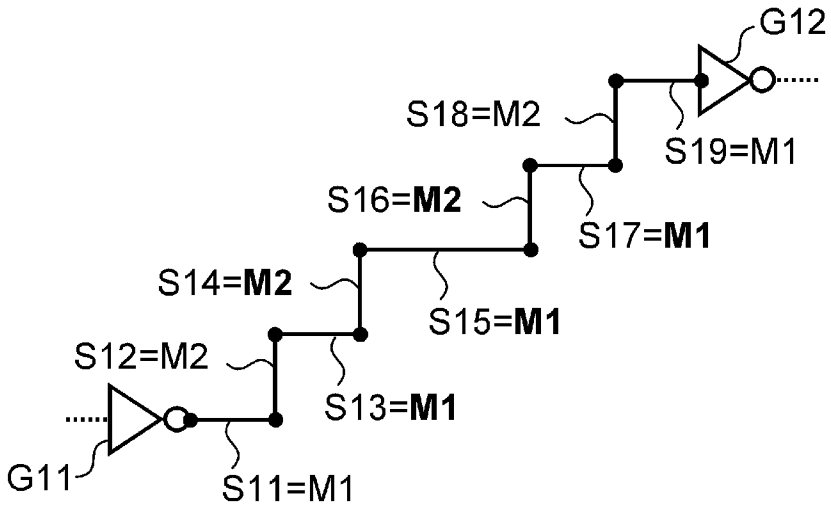
[図4]


概略配線
データ
D1
配線層決定部
104
詳細配線データ
（全ネット）
D6

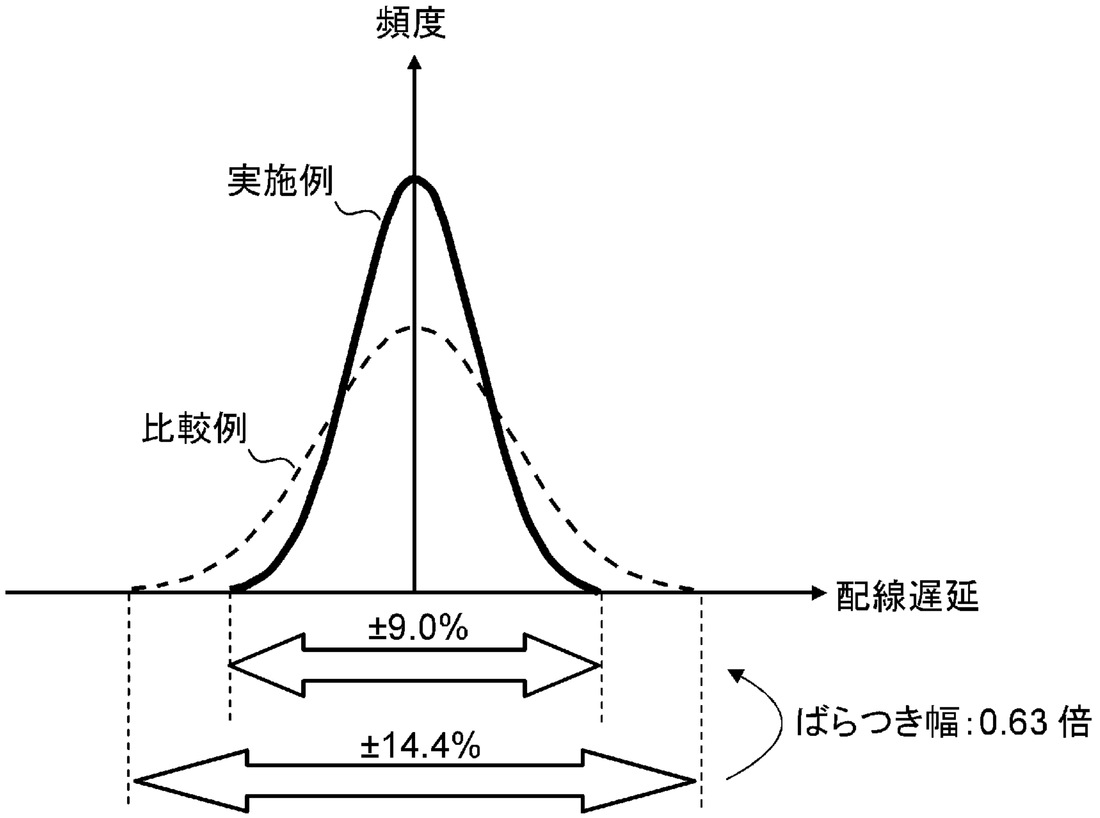
[図5A]


G12
S18=M2
S19=M1
S16=M4
S17=M3
S14=M4
S15=M5
S12=M2
S13=M3
G11
S11=M1

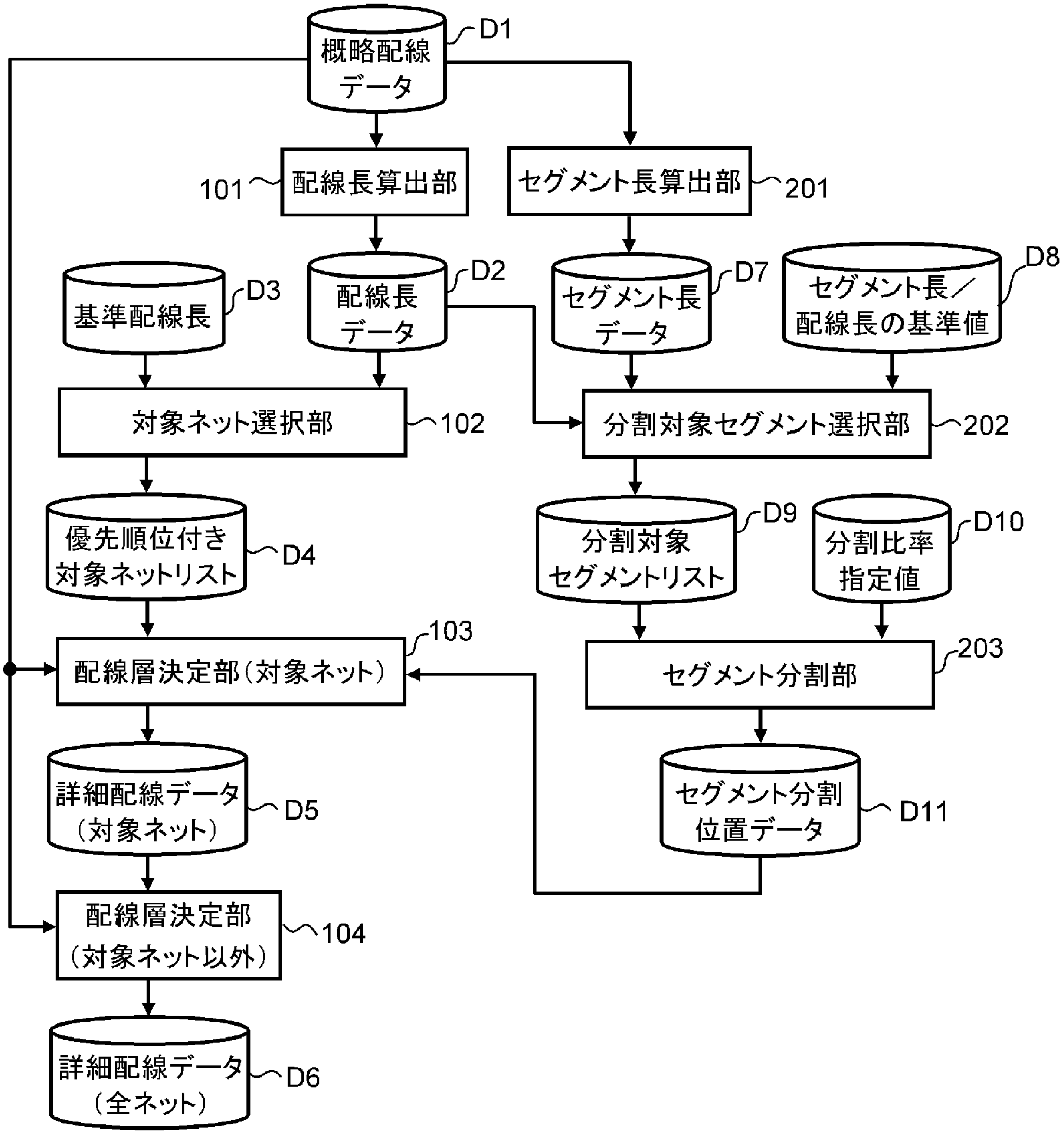
[図5B]


G12
S18=M2
S19=M1
S16=M2
S17=M1
S14=M2
S15=M1
S12=M2
S13=M1
G11
S11=M1

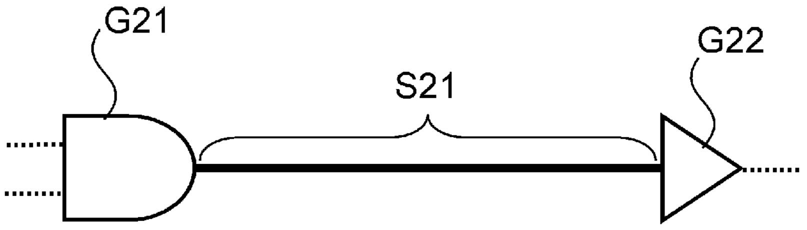
[図6]



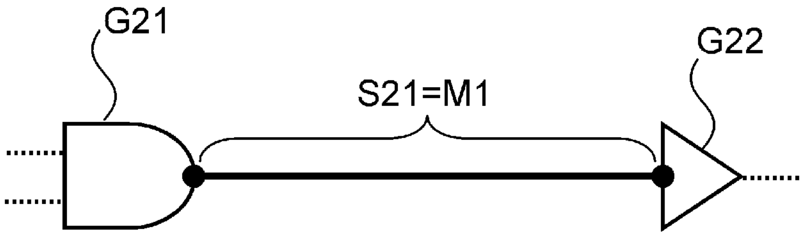
［図7］


概略配線データ
D1
配線長算出部
101
セグメント長算出部
201
配線長データ
D2
基準配線長
D3
セグメント長データ
D7
セグメント長／配線長の基準値
D8
対象ネット選択部
102
分割対象セグメント選択部
202
優先順位付き対象ネットリスト
D4
分割対象セグメントリスト
D9
分割比率指定値
D10
配線層決定部（対象ネット）
103
セグメント分割部
203
詳細配線データ（対象ネット）
D5
セグメント分割位置データ
D11
配線層決定部（対象ネット以外）
104
詳細配線データ（全ネット）
D6

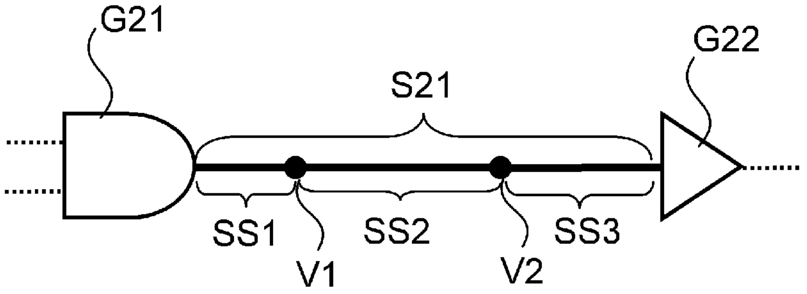
［図8A］


G21
S21
G22

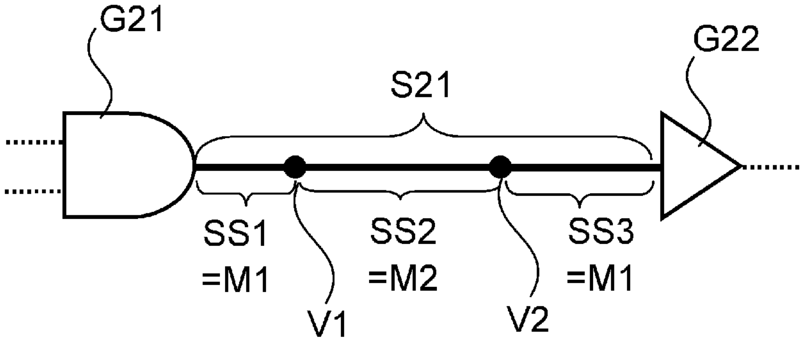
[図8B]


G21
G22
S21=M1

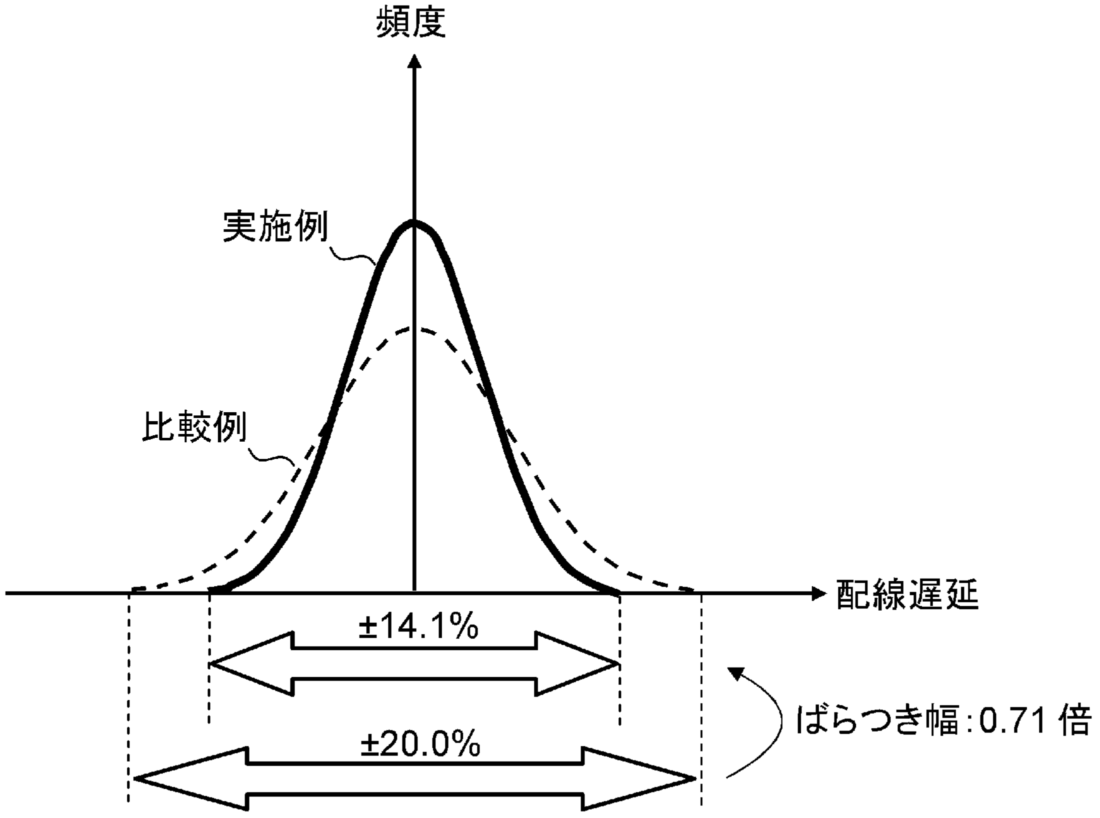
[図9A]


G21
G22
S21
SS1
SS2
SS3
V1
V2

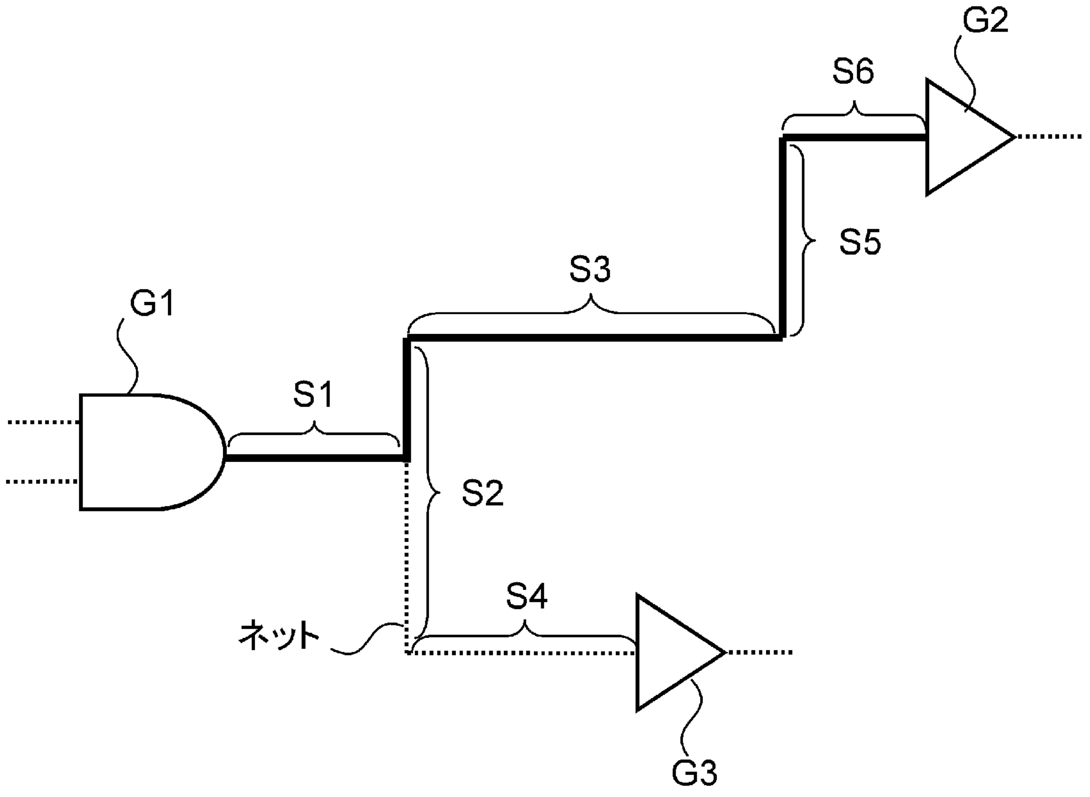
[図9B]


G21
G22
S21
SS1
=M1
SS2
=M2
SS3
=M1
V1
V2

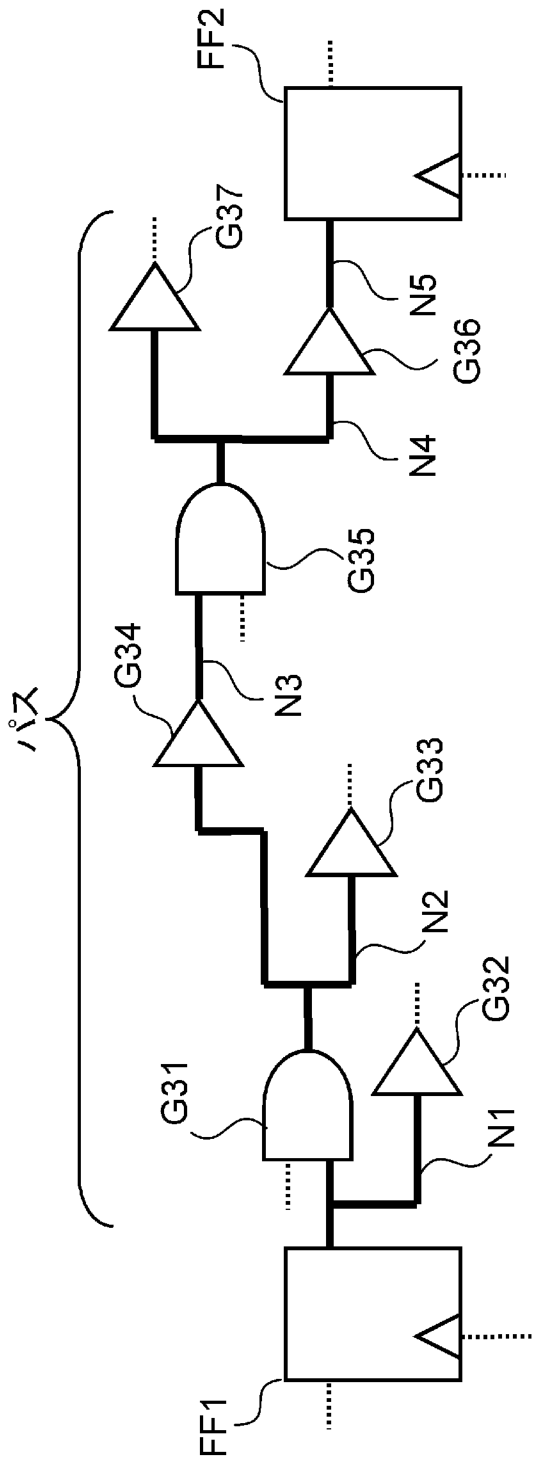
[図10]



［図11］



[図12]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2012/002415

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/82(2006.01)i, *G06F17/50*(2006.01)i, *H01L21/3205*(2006.01)i, *H01L21/822*(2006.01)i, *H01L23/52*(2006.01)i, *H01L27/04*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/82, G06F17/50, H01L21/3205, H01L21/822, H01L23/52, H01L27/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
IEEE Xplore, CiNii, JSTPlus(JDreamII)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 61-048071 A (International Business Machines Corp.), 08 March 1986 (08.03.1986), page 4, lower right column, line 19 to page 5, lower left column, line 13 & US 4713773 A & EP 170971 A2 & DE 3587055 A & DE 3587055 T	1-20
Y	JP 2006-209702 A (NEC Electronics Corp.), 10 August 2006 (10.08.2006), paragraphs [0072] to [0079]; fig. 5, 16, 17 & US 2006/0190876 A1 & US 2008/0263495 A1 & US 2009/0070725 A1	1-20

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search 23 April, 2012 (23.04.12)	Date of mailing of the international search report 01 May, 2012 (01.05.12)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

国際調査報告	国際出願番号　ＰＣＴ／ＪＰ２０１２／００２４１５

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/82(2006.01)i, G06F17/50(2006.01)i, H01L21/3205(2006.01)i, H01L21/822(2006.01)i, H01L23/52(2006.01)i, H01L27/04(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/82, G06F17/50, H01L21/3205, H01L21/822, H01L23/52, H01L27/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１２年
日本国実用新案登録公報	１９９６－２０１２年
日本国登録実用新案公報	１９９４－２０１２年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

IEEE Xplore, CiNii, JSTPlus(JDreamII)

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 61-048071 A（インターナショナル・ビジネス・マシーンズ・コーポレーション） 1986.03.08, 第4頁右下欄第19行－第5頁左下欄第13行 & US 4713773 A & EP 170971 A2 & DE 3587055 A & DE 3587055 T	1-20
Y	JP 2006-209702 A（ＮＥＣエレクトロニクス株式会社） 2006.08.10, 【0072】-【0079】, 第5, 16, 17図 & US 2006/0190876 A1 & US 2008/0263495 A1 & US 2009/0070725 A1	1-20

□　Ｃ欄の続きにも文献が列挙されている。　　□　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２３．０４．２０１２	０１．０５．２０１２

国際調査機関の名称及びあて先	特許庁審査官（権限のある職員）
日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	５Ｏ　３６５７ 平野　崇 電話番号　０３－３５８１－１１０１　内線　３５５９