(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4951002号
(P4951002)

(45)発行日　平成24年6月13日(2012.6.13)　(24)登録日　平成24年3月16日(2012.3.16)

(51)Int.Cl.			F I		
H03F	1/26	(2006.01)	H03F	1/26	
H03F	3/189	(2006.01)	H03F	3/189	
H03F	3/68	(2006.01)	H03F	3/68	Z

請求項の数 9　(全 9 頁)

(21)出願番号　特願2008-542908 (P2008-542908)
(86)(22)出願日　平成18年11月28日 (2006.11.28)
(65)公表番号　特表2009-517953 (P2009-517953A)
(43)公表日　平成21年4月30日 (2009.4.30)
(86)国際出願番号　PCT/IB2006/054484
(87)国際公開番号　WO2007/063494
(87)国際公開日　平成19年6月7日 (2007.6.7)
審査請求日　平成20年7月15日 (2008.7.15)
(31)優先権主張番号　05300998.1
(32)優先日　平成17年12月2日 (2005.12.2)
(33)優先権主張国　欧州特許庁 (EP)

(73)特許権者　507219491
エヌエックスピー　ビー　ヴィ
ＮＸＰ　Ｂ．Ｖ．
オランダ国　５６５６エイジー　アインドーフェン　ハイ　テク　キャンパス　６０
High Tech Campus 60, NL-5656 AG Eindhoven, Netherlands
(74)代理人　100147485
弁理士　杉村　憲司
(74)代理人　100134005
弁理士　澤田　達也
(74)代理人　100143568
弁理士　英　貢

最終頁に続く

(54)【発明の名称】低雑音増幅器

(57)【特許請求の範囲】

【請求項１】

一次巻線段及び二次巻線段を有する変成器と、第１の増幅器と、抵抗素子とを具える低雑音増幅器において、増幅されるべき信号の信号源が前記一次巻線と並列に接続され、前記二次巻線段が前記第１の増幅器の入力端子に接続され、前記第１の増幅器の出力端が前記抵抗素子を用いた帰還接続により前記変成器の一次巻線段に接続されている低雑音増幅器。

【請求項２】

請求項１に記載の低雑音増幅器において、この低雑音増幅器が更に、前記変成器の二次巻線段及び前記第１の増幅器と直列に接続されている第２の増幅器を具えている低雑音増幅器。

【請求項３】

請求項２に記載の低雑音増幅器において、この低雑音増幅器の出力が第１の増幅器の出力端と第２の増幅器の出力端との間に得られるようになっている低雑音増幅器。

【請求項４】

請求項２又は３に記載の低雑音増幅器において、前記第２の増幅器が高入力インピーダンスを有している低雑音増幅器。

【請求項５】

請求項１～４のいずれか一項に記載の低雑音増幅器において、前記第１の増幅器が高入力インピーダンスを有している低雑音増幅器。

【請求項６】
請求項１～５のいずれか一項に記載の低雑音増幅器において、前記変成器の二次巻線段の中間点が接地されている低雑音増幅器。
【請求項７】
システム・イン・パッケージで構成した請求項１～６のいずれか一項に記載の低雑音増幅器。
【請求項８】
請求項１に記載の低雑音増幅器において、この低雑音増幅器がシステム・イン・パッケージで構成され、前記変成器がシステム・イン・パッケージ構成の外部に存在している低雑音増幅器。
【請求項９】
請求項１～８のいずれか一項に記載の低雑音増幅器を具えるチューナ。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、低雑音増幅器に関するものであり、特に、雑音指数を低くする必要があるシリコンチューナ及び伝送チェーンで用いられる低雑音増幅器に関するものである。
【背景技術】
【０００２】
低雑音増幅器（ＬＮＡ）は、通信システムで一般的に用いられる電子増幅器を具え、アンテナが受信した微弱な信号を増幅する。ＬＮＡは概して、アンテナや、受信システムの無線周波（ＲＦ）部のフロントエンドに配置されているが、これらの配置に限定されるものではない。受信機フロントエンド全体の雑音指数は、受信機の最初の数段により決定されることが知られている。雑音指数は、デバイスの出力雑音電力と、標準の雑音温度（普通は２９０Ｋ）における入力端子での熱雑音に起因する雑音電力部分との比である。個々の素子を含むようなシステムでは、システムに加えられた各素子に対し雑音が導入され、この雑音は、熱雑音、すなわち、ジョンソン雑音や、散弾雑音や、フリッカ雑音により生じるおそれがあるものである。更に、雑音は入力信号に含まれる雑音信号の結果として加えられるおそれがある。しかし雑音指数は概して、ＬＮＡの入力端での抵抗R_Cによる熱雑音によって導入され、この熱雑音は４ｋＴＢ／R_Cで表すことができ、R_Cに反比例する。
【０００３】
ＬＮＡを用いると、ＬＮＡの利得により受信機の後段の雑音を減少させることができるが、ＬＮＡの雑音は受信した信号に直接入り込む。従って、ＬＮＡは、できるだけ雑音及び歪みが加わっていない間に所望の信号電力を増幅し、システムの後段でこの信号を修復しうるようにする必要がある。
【０００４】
ＬＮＡは代表的に、受信信号に対する熱雑音が最小となるようにする一方で、受信信号を増幅するように設計されている。
【０００５】
ＬＮＡは、システム・イン・パッケージ（ＳｉＰ）配置で用いうる。ＳｉＰは、複数の構成要素を単一のパッケージに集積化しうるものである。代表的には、かかる配置により、ＣＰＵ、論理回路、アナログ回路及びメモリ機能のような様々な構成要素を組み合わせ、システム全体のサイズを縮小しうる。ＳｉＰを用いることによりシステムのボードスペースが縮小され、このことが最終的にはデバイスのサイズの縮小につながる。
【０００６】
しかし、既知のＬＮＡ、特にＳｉＰ配置を用いて構成されたＬＮＡは、雑音指数の減少を制限してしまう。代表的には、ＴＶチューナ用の従来のＬＮＡにより現在まで達成された最も良い雑音指数は約４ｄＢである。
【発明の開示】

【発明が解決しようとする課題】
【０００７】
本発明の目的は、上述した既知の増幅器よりも優れた低雑音増幅器を提供することにある。
【課題を解決するための手段】
【０００８】
本発明によれば、一次巻線段及び二次巻線段を有する変成器と、第１の増幅器と、抵抗素子とを具える低雑音増幅器において、前記二次巻線段が前記第１の増幅器の入力端子に接続され、前記第１の増幅器の出力端が前記抵抗素子を用いた帰還接続により前記変成器の一次巻線段に接続されている低雑音増幅器を提供する。
【０００９】
その結果、本発明による低雑音増幅器は、利得係数を一定に保った状態で、従来技術デバイスに比べて雑音指数を低くすることができる。雑音指数が低くなければ雑音信号に埋もれてしまう極めて小さい又は微弱な入力信号をも、雑音指数を低くすることにより、検出することが可能となる。
【００１０】
低雑音増幅器は更に、前記変成器の二次巻線段及び前記第１の増幅器と直列に接続されている第２の増幅器を具えているのが好ましい。前記変成器の二次巻線段の中間点は接地されている。この低雑音増幅器の出力は第１の増幅器の出力端と第２の増幅器の出力端との間に生じるようにしうる。
【００１１】
更に、低雑音増幅器をシステム・イン・パッケージで構成しうる。その結果、本発明の低雑音増幅器を縮小したシステムボードスペース上に構成することができ、このことが最終的にデバイスのサイズの縮小につながる。
【００１２】
以下、添付の図面を参照して本発明を更に説明する。
【００１３】
図１は、変成器結合回路１０１を含むＬＮＡを具える既知の回路構成を示したものである。このＬＮＡは更に、電圧フォロワとして構成したトランジスタ１０２を有することができる。変成器は一次及び二次巻線を有し、巻数比は１：ｎである。ｎは二次巻線の巻数に対応し、１以上である。
【００１４】
この変成器が理想変成器として動作するものとすると、この変成器は、電圧利得を生じるが、いかなる電力利得も生じない。電力Ｐは次式（１）で与えられる。
$P = V \cdot I$　　（１）
電力は一定なので、次式（２）が得られる。
$P_{in} = P_{out}$　　（２）
式（１）を用いると、式（２）は、次式（３）となる。
$V_{in} \cdot I_{in} = V_{out} \cdot I_{out}$　　（３）
又、インピーダンスの点からみると、式（３）は、次式（５）となる。
【数１】

$$V_{in}^2 / Z_{in} = V_{out}^2 / R_c \qquad (4)$$

【００１５】
変成器の電圧利得は次式（５）で表せる。
$V_{out} = n \cdot V_{in}$　　（５）
【００１６】
ＬＮＡの入力インピーダンスは次式（６）で与えられる。
$Z_{in} = R_C / n^2$　　（６）

ただしｎは変成器の二次巻線の巻数であり、抵抗R_Cは変成器の二次巻線と並列に接続されている。電圧利得G_Vは、入力インピーダンス$Z_{in}=R_S$であることを参照すると次式（７）で与えられる。

$G_V=20Log(2V_{out}/V_S)$　　（７）

ただしV_SはＬＮＡへの入力電圧信号であり、V_{out}はＬＮＡからの出力電圧である。式（７）は次式（８）のように書き換えられる。

$G_V=20Log\{2n[Z_{in}/(Z_{in}+R_S)]\}$　　（８）

【００１７】

図２に示される図１の等価回路を参照すると、ＬＮＡの雑音指数は次式（９）で与えられる。

$NF=10Log[1+(N_{added}/N_{in})]$　　（９）

ただし、N_{added}はＬＮＡ要素により生じる雑音であり、N_{in}は入力信号により生じる雑音である。式（９）は、ボルツマン定数ｋ、雑音温度Ｔ及び信号の帯域幅Ｂの点から次式（１０）のように書き換えることができる。

$NF=10Log[1+((4kTB)/Z_{in})/((4kTB)/R_S)]$　　（１０）

【００１８】

式（６）によるＬＮＡの入力インピーダンスの点から及び$Z_{in}=R_S$であるという仮定から、R_S、R_C及びn^2を用いたＬＮＡに対する雑音指数は、次式（１１）のようになる。

$NF=10Log(1+(n^2\cdot R_S/R_C))$　　（１１）

【００１９】

一例として、$R_S=75\Omega$、ｎ＝２及び$R_C=650\Omega$とすると、式（６）、式（８）及び式（１１）により入力インピーダンス$Z_{in}=162.5\Omega$、利得$G_V=8.7dB$及び雑音指数ＮＦ＝１．６５ｄＢがそれぞれ得られる。

【発明を実施するための最良の形態】

【００２０】

図３を参照するに、本発明の第１の実施例によるＬＮＡ３００は２つの電圧増幅器３０１、３０２を有し、これらの電圧増幅器の利得はいずれもG_Vである。またＬＮＡには、一次巻線３０３及び二次巻線３０４を有する変成器３０５も設けられている。増幅すべき信号V_Sの信号源は一次巻線と並列に接続されている。

【００２１】

第１の増幅器３０１の入力端は二次巻線３０４の第１の端部に接続され、第２の増幅器３０２の入力端は二次巻線３０４の第２の端部に接続されている。更に二次巻線３０４は、この二次巻線の各端部における出力電圧が$V_{in}\cdot n/2$となるように配置されたセンタータップを有している。センタータップは接地するのが好ましい。

【００２２】

第２の増幅器３０２の出力は、ＬＮＡに対する第１の出力端子に供給される以外に、帰還抵抗R_Cを介して一次巻線３０３の第１の端部に帰還されている。ＬＮＡの第２の出力端子には第１の増幅器３０１の出力が与えられる。増幅すべき入力信号の信号源は、直列入力抵抗R_Sを用いて、前記一次巻線の第１の端部と並列に接続されている。

【００２３】

第１の増幅器３０１及び第２の増幅器３０２はそれぞれ、変成器の二次巻線のインピーダンスと比べて高い入力インピーダンスを有し、これらの増幅器は、当業者にとって明らかなように、個々の素子で形成されるトランジスタ型の増幅器に又はいかなる適切な集積回路の演算増幅器にもしうる。

【００２４】

演算増幅器を用いて本発明を実施する場合、帰還機構は演算増幅器の負の出力端からの負帰還となる。

【００２５】

各増幅器の入力インピーダンスが高いので、変成器の二次巻線から流れる電流は０に近

づくことになる。このことより変成器のローディングが回避され、ＬＮＡの出力端子での電圧は変成器の両端間の電圧に比例することになる。

【００２６】

変成器３０５は電圧利得ｎを、一次及び二次巻線の巻数比に依存して規定する。更に、一次及び二次巻線の入力インピーダンスは高く、計算を容易にするためにこの入力インピーダンスは無限大であるものとする。

【００２７】

ＬＮＡの入力インピーダンスZ_{in}は、アクティブシステムを構成する変成器、抵抗R_C及び増幅器３０２によって形成される。計算を容易にするために、このアクティブシステムは理想的に無雑音であるものとする。

【００２８】

その結果、以下の回路解析で示すように、本発明の場合と同じ入力インピーダンスZ_{in}及び利得を有する従来技術のＬＮＡ回路よりも、本発明のＬＮＡ回路の雑音指数は低くなる。図４ａ及び４ｂは、本発明によるＬＮＡの入力インピーダンスを求めるための図３の等価回路である。

【００２９】

変成器の一次巻線３０３のインピーダンスは高い為、解析を容易にするためにこのインピーダンスが無限大であるものとすると、この一次巻線に電流は流れず、以下の解析ではこの電流による影響を無視することができる。第１の増幅器３０１及び第２の増幅器３０２の入力インピーダンスは互いに等しいので、増幅器３０１及び３０２の入力端における電圧はそれぞれ、$(n/2)\cdot V_{in}$及び$(-n/2)\cdot V_{in}$で与えられる。

【００３０】

よって、図３の回路を図４ａに示されるような等価回路で表すことができる。増幅器３０２が利得G_Vをもたらすので、出力電圧は$(-n/2)\cdot G_V \cdot V_{in}$となる。このため、図４ａの回路は更に、図４ｂに示される回路に簡略化できる。ＬＮＡの入力インピーダンスは、

$$Z_{in}=V_{in}/I_{in} \qquad (12)$$

で表わされ、

$$I_{in}=V_{in}\cdot(1+(n/2)G_V)/R_C \qquad (13)$$

であるものとする。

【００３１】

従って、本発明によるＬＮＡの入力インピーダンスは次式（１４）となる。

$$Z_{in}=R_C/(1+(n/2)G_V) \qquad (14)$$

【００３２】

図５ａ、５ｂ及び５ｃは、雑音指数を算出するための図３の等価回路を示している。個々の素子から生じ、且つ入力信号によりもたらされる熱雑音、すなわちジョンソン雑音は概して、式４ｋＴＢで表すことができる。従って、式（９）で与えられている雑音指数の一般式より、本発明の雑音指数は、

$$NF=10\mathrm{Log}[1+(N_{added}/N_{in})]$$
$$=10\mathrm{Log}[1+(4kTB/R_C)/(4kTB/R_S)] \qquad (15)$$

で、又は更に簡単に、

$$NF=10\mathrm{Log}[1+(R_S/R_C)] \qquad (16)$$

で表わすことができる。

【００３３】

一例として、$R_S=75\Omega$、$n=2$及び$R_C=500\Omega$とすると、式（１４）及び式（１６）により、入力インピーダンスは$Z_{in}=162.5\Omega$となり、利得は$G_V=8.8$ｄＢとなり、雑音指数はＮＦ＝０．６１ｄＢとなる。この例では、図１の従来技術の例と比較して適切な入力インピーダンスZ_{in}が達成されるようにR_Cの値を選択した。従って、従来技術の例よりも小さなR_Cによって従来技術の例と等しい利得及び入力インピーダンスが達成され、その結果雑音指数がより小さくなることがわかる。

【００３４】
図６は、本発明の第１の実施例による対称性のあるＬＮＡの具体的な回路構成を示している。第１のトランジスタ６０２の出力端子は、帰還抵抗R_Cを介して変成器６０１の一次巻線６０３の第１の端子に帰還接続されている。一次巻線の第２の端子は接地されている。二次巻線６０４の第１の端子は第１のトランジスタ６０２の入力端に接続され、この第１のトランジスタ６０２は電圧フォロワとして構成されている。二次巻線６０４の第２の端子は、電圧フォロワとして構成されている第２のトランジスタ６０５の入力端に接続されている。ＬＮＡの出力は、第１のトランジスタ６０２の出力端子と第２のトランジスタ６０５の出力端子との間で測定される。
【００３５】
図３の実施例の場合と同様な解析を行うと、雑音指数は式（１６）で示されることになる。
【００３６】
従来技術の例による式（１１）で与えられる雑音指数と、本発明の第１の実施例による式（１６）で与えられるＬＮＡの雑音指数とを比較することから明らかなように、本発明の雑音指数のほうが前記の従来技術のＬＮＡの雑音指数よりも低くなる。
【００３７】
式（１４）を用いることにより、本発明の雑音指数は前記の従来技術のＬＮＡと比較して、$1+[(n/2)\cdot G_V\cdot R_S]/[R_C+R_S]$分の１となる。
【００３８】
図７は、本発明の第２の実施例による非対称性のＬＮＡ回路構成を示している。第１の実施例と同様にトランジスタ７０２の出力端子は、帰還抵抗R_Cを介して一次巻線７０３の第１の端子に帰還接続されている。一次巻線７０３の第２の端子は接地されている。二次巻線７０４の第１の端子は、電圧フォロワとして構成されているトランジスタ７０２の入力端に接続されている。二次巻線の第２の端子は接地されている。
【００３９】
この場合も、図３の実施例の場合と同様な解析を行うことにより、雑音指数は式（１６）で示されるものになる。更に、式（１１）で与えられる従来技術の例に対する雑音指数と、式（１６）で与えられる本発明の更なる実施例によるＬＮＡに対する雑音指数とを比較することから明らかなように、本発明の雑音指数は従来技術のＬＮＡの雑音指数の$1+[n\cdot G_V\cdot R_S]/[R_C+R_S]$分の１となる。
【００４０】
対称性のある回路構成における雑音指数及び入力インピーダンスは、ｎをｎ／２に代えた非対称性の実施例における雑音指数及び入力インピーダンスと等しくなる。
【００４１】
対称性のある回路構成により、耐グラウンドバウンスを良好にし、また２次相互（混）変調インターセプト又はＩＰ２のような２次の直線性を改善する。更に対称な２つの出力は互いにし、非対称な２つの出力としても使用することができる。
【００４２】
その結果、本発明による低雑音増幅器は、利得係数及び入力インピーダンスを一定に保った状態で、従来技術のデバイスと比べて雑音指数を低くすることができる。雑音指数が低くなければ雑音信号に埋もれてしまう極めて小さい又は微弱な入力信号も、雑音指数を低くすることにより、検出することが可能となる。
【図面の簡単な説明】
【００４３】
【図１】図１は、従来技術による低雑音増幅器を示す回路図である。
【図２】図２は、図１による低雑音増幅器の雑音指数を計算するための図１の等価回路図である。
【図３】図３は、本発明の第１の実施例による対称性のある低雑音増幅器を示す回路図である。

【図４ａ】図４ａは、図３の本発明の実施例による低雑音増幅器の入力インピーダンスを計算するための図３の等価回路図である。
【図４ｂ】図４ｂは、図３の本発明の実施例による低雑音増幅器の入力インピーダンスを計算するための図３の等価回路図である。
【図５ａ】図５ａは、図３の本発明の実施例による低雑音増幅器の雑音指数を計算するための図３の等価回路図である。
【図５ｂ】図５ｂは、図３の本発明の実施例による低雑音増幅器の雑音指数を計算するための図３の等価回路図である。
【図５ｃ】図５ｃは、図３の本発明の実施例による低雑音増幅器の雑音指数を計算するための図３の等価回路図である。
【図６】図６は、図３における本発明の実施例による対称性のある低雑音増幅器を示す回路図である。
【図７】図７は、本発明の他の実施例による非対称性のＬＮＡ回路構成を示す図である。

【図１】

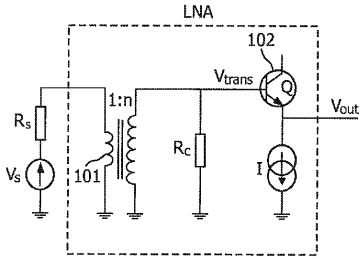

FIG. 1 （従来技術）

【図２】

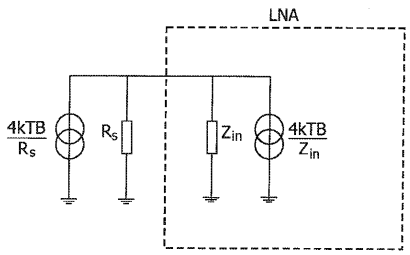

FIG. 2 （従来技術）

【図３】

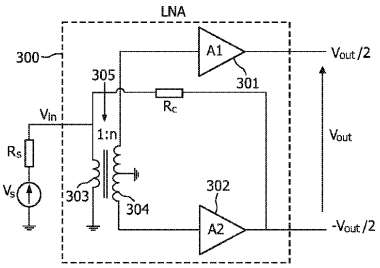

FIG. 3

【図４ａ】

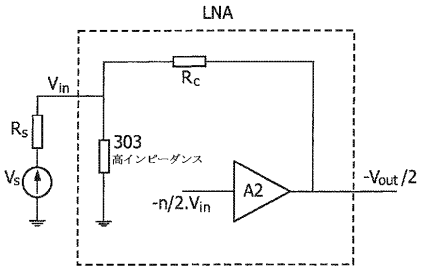

FIG. 4a

【図４ｂ】

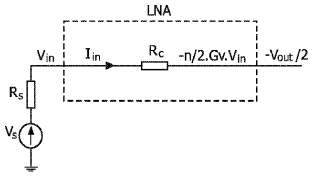

FIG. 4b

【図５ａ】

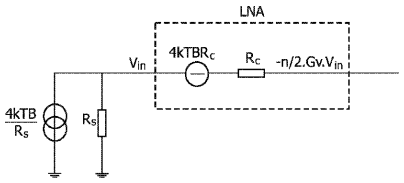

FIG. 5a

【図５ｂ】

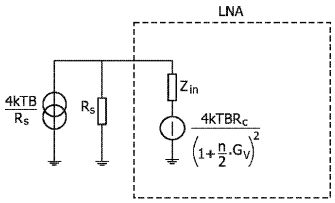

FIG. 5b

【図５ｃ】

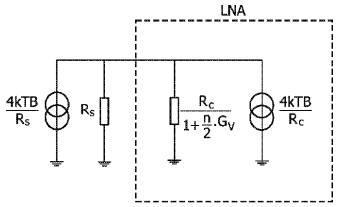

FIG. 5c

【図６】

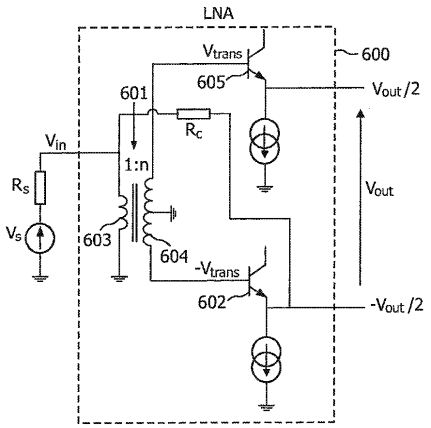

FIG. 6

【図７】

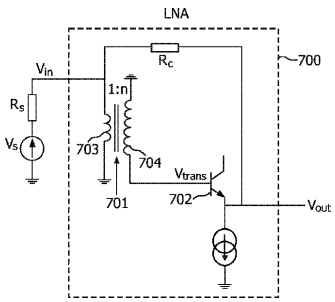

FIG. 7

フロントページの続き

(72)発明者　オリヴィエ　クラン
イギリス国　サリー　アールエイチ１　５エイチエイ　レッドヒル　クロス　オーク　レーン　エヌエックスピー　セミコンダクターズ　アイピー　デパートメント内

審査官　安井　雅史

(56)参考文献　特開平１０－０７５１２８（ＪＰ，Ａ）
特開２００２－１００９４２（ＪＰ，Ａ）
実開昭５５－０９３１１２（ＪＰ，Ｕ）
特開平０５－１９１１５７（ＪＰ，Ａ）
米国特許第２９３４７０９（ＵＳ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H03F　1/26
H03F　1/34
H03F　3/189
H03F　3/68