

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



# [12] 发明专利说明书

专利号 ZL 01819463. X

H01L 27/24 (2006.01)

H01L 21/02 (2006.01)

B29C 59/02 (2006.01)

B81C 1/00 (2006.01)

[45] 授权公告日 2008 年 11 月 19 日

[11] 授权公告号 CN 100435347C

[22] 申请日 2001.9.27 [21] 申请号 01819463. X

[30] 优先权

[32] 2000. 9. 27 [33] US [31] 60/235,853

[86] 国际申请 PCT/US2001/030296 2001. 9. 27

[87] 国际公布 WO2002/027768 英 2002. 4. 4

[85] 进入国家阶段日期 2003. 5. 26

[73] 专利权人 NUP2 公司

地址 美国新罕布什尔州

[72] 发明人 D·舍帕德

[56] 参考文献

JP2000 - 133704A 2000. 5. 12

JP11 - 305055 A 1999. 11. 5

JP7 - 66438 A 1995. 3. 10

US6118135 A 2000. 9. 12

US6117720 A 2000. 9. 12

US6118135A 2000. 9. 12

US5173442A 1992. 12. 22

审查员 刘 震

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 肖春京 黄力行

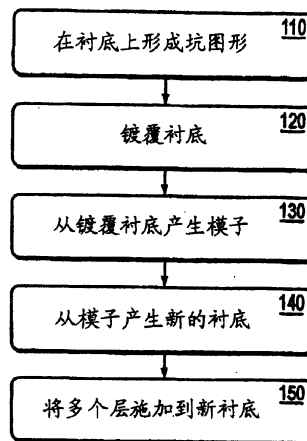
权利要求书 3 页 说明书 11 页 附图 8 页

[54] 发明名称

半导体器件的制造

[57] 摘要

利用具有凹陷图形的衬底，完成微电子器件的制造。在一种方法中，原版模子被用来复制具有坑图形的衬底。在另一种方法中，用腐蚀方法来产生衬底。一系列具有所需电学特性的层叠的层被施加到衬底，并以产生电学器件以及其间的连接的方式被整平。此微电子器件能够包括一系列的行和列，并被用来在其交叉点处储存数据。



1. 一种制造电子器件的方法，此方法包含下列步骤：
  - a. 制造具有与所需坑和沟道图形互补的抬高的形貌的模子；
  - b. 将该模子施加到可模塑衬底，以便将所述图形加于其中；以及
  - c. 将一系列具有所需电性质的层施加到所述图形，以便产生电子器件，

所述沟道包括沿第一方向延伸的第一系列沟道和沿垂直于所述第一方向的第二方向延伸的第二系列沟道，所述第一系列沟道和第二系列沟道在交叉点相交，所述坑位于所述交叉点处。

2. 如权利要求 1 所述的方法，其中，模子根据下列步骤制造，包括：

- a. 提供可腐蚀的原版衬底；
- b. 将所期望的图形腐蚀到原版衬底中；
- c. 利用原版衬底在所述模子上形成所述抬高的形貌。

3. 如权利要求 1 所述的方法，其中，用注模方法将图形加于衬底上。

4. 如权利要求 1 所述的方法，其中，坑是锥形坑而沟道是 V 形槽。

5. 如权利要求 1 所述的方法，其中，所述电子器件包括非线性元件的矩阵。

6. 如权利要求 1 所述的方法，各个层在至少某些坑处形成非线性元件，各非线性元件将第一系列沟道与第二系列沟道连接起来。

7. 如权利要求 6 所述的方法，其中，电子器件是具有数据内容的存储器电路，非线性元件按确定数据内容的方案被分布在各个坑中。

8. 如权利要求 6 所述的方法，其中，电子器件是具有数据内容的存储器电路，非线性元件按确定数据内容的方案被选择性地启动。

9. 如权利要求 7 所述的方法，其中，非线性元件是二极管。

10. 如权利要求 7 所述的方法，其中，各个坑具有至少两个尺寸，所述非线性元件形成在大尺寸的坑的交叉点处而不形成在小尺寸的坑的交叉点处。

11. 如权利要求 1 所述的方法，其中，衬底是绝缘的。

12. 一种制造具有数据内容的存储器件的方法，此方法包含下列步骤：

a. 在衬底上确定坑和沟道的图形，此沟道包括沿第一方向延伸的第一系列沟道以及沿垂直于第一方向的第二方向延伸的第二系列沟道，其中，(i)第一系列沟道和第二系列沟道在交叉点处交叉，且(ii)坑位于交叉点处；以及

b. 在至少某些坑处形成非线性元件，  
各非线性元件将第一系列沟道和第二系列沟道连接。

13. 如权利要求 12 所述的方法，其中，各非线性元件按确定数据内容的方案被分布在各个坑中。

14. 如权利要求 12 所述的方法，其中，各非线性元件按确定数据内容的方案被选择性地启动。

15. 如权利要求 12 所述的方法，其中，非线性元件是二极管。

16. 如权利要求 12 所述的方法，其中，各个坑具有至少两个尺寸，非线性元件形成在大尺寸的坑的交叉点处而不形成在小尺寸的坑的交叉点处。

17. 如权利要求 12 所述的方法，其中，衬底是绝缘的。

18. 一种制造微电子器件的方法，此方法包含下列步骤：

a. 在衬底上确定凹陷的图形；

b. 将一系列各具有预定电学性质的层施加到该图形；以及

c. 在施加至少一些层中的每一层之后，进行整平，以便清除当时淀积在衬底上的，但不清除淀积在凹陷图形中的至少一些层，这些层配合形成电子电路，

所述沟道包括沿第一方向延伸的第一系列沟道和沿垂直于所述第一方向的第二方向延伸的第二系列沟道，所述第一系列沟道和第二系列沟道在交叉点相交，所述坑位于所述交叉点处。

19. 如权利要求 18 所述的方法，其中，至少某些整平步骤用抛光方法完成。

20. 如权利要求 18 所述的方法，其中，各个坑具有至少两个尺寸，非线性元件形成在大尺寸的坑的交叉点处而不形成在小尺寸的坑的交叉点处。

21. 一种微电子器件，包含：

其中具有凹陷断面图形的衬底；

多个各具有预定电学特性的层叠的层，所有层叠的层被设在断面图

形中，且某些层也位于衬底上，所述层配合形成电子器件断面图形包含一系列坑和沟道，该沟道包括沿第一方向延伸的第一系列沟道以及沿垂直于第一方向的第二方向延伸的第二系列沟道，其中，(i) 第一系列沟道和第二系列沟道在交叉点处交叉，且(ii) 坑位于交叉点处。

22. 如权利要求 21 所述的微电子器件，其中，所述坑具有至少两个深度，非线性元件形成在大尺寸的坑的交叉点处而不形成在小尺寸的坑的交叉点处。

23. 如权利要求 22 所述的微电子器件，其中，非线性元件是二极管。

24. 如权利要求 21 所述的微电子器件，其中，多个层叠的层被整平到预定高度。

## 半导体器件的制造

### 相关申请的相互引用

本申请要求 2000 年 9 月 27 日提交的美国临时申请 No. 60/235853 的利益，此处将该申请的整个公开引作参考。

### 发明领域

本发明涉及微电子器件及其制造。

### 发明背景

微电子器件制造成本的主要部分是平版印刷设备的投资成本。这种设备借助于用诸如光刻、电子束平版印刷之类的众所周知的方法在衬底上绘制图形而生产集成电路。光刻要求使用昂贵的图形化掩模。衬底通过掩模图形暴露于紫外线，随之以腐蚀，在衬底上形成电路轨迹。通过重复这一精细工艺来产生一系列相邻层叠的电路层，从而形成微电子器件。当器件几何形状变得更为复杂且特征尺寸减小时，制造成本就上升。对于小于 1 微米的特征，为了产生掩模，可能需要电子束平版印刷，且为了执行衬底平版印刷，可能需要深紫外线（X 射线）曝光系统。利用电子束平版印刷，电子束被用来在掩模衬底表面上绘制特征。由于通常用单个电子束相继地绘制各个特征，故这一工艺非常慢。而且，为了使得到的器件能够工作，多个平版印刷步骤必须彼此对准。

微电子器件制造的另一种方法是“双重镶嵌”工艺。此技术基本上涉及到在衬底中腐蚀沟槽，在沟槽中腐蚀更深的沟道（亦即通路），在沟槽和通路中电化学镀覆有源层，以及用化学机械抛光（CMP）方法清除过量的填注。目前，仅仅单个材料层（亦即铜，可能还有势垒和/或粘附层）被镀覆在腐蚀的沟槽和通路中。结果，就其能够被用来产生的电路而言，此工艺是有限的。而且，沟槽和通路是利用光刻而被图形化的

因此，对于不使用掩模或平版印刷且不局限于单个材料层的微电子器件制造工艺存在着需求。

### 发明的概述

本发明的目的是一种微电子器件制造工艺，在某些实施方案中，

此工艺不要求使用掩模或平版印刷。通过在衬底上产生凹陷的图形而完成此工艺。一系列的层被施加到衬底表面和凹陷表面，然后将衬底表面整平（例如用抛光方法）到所需要的程度。整平过程从衬底表面但不从凹陷图形中清除一个或多个淀积层或层的一部分。因此，凹陷特征的深度决定了工艺结束时将保留在其中的层的数目。

因此，在一个方面，本发明的目的是在具有凹陷断面图形的衬底上制造微电子器件。在图形被确定（例如用下面所述模塑方法，或用腐蚀或其它常规工艺）之后，施加一系列各具有预定电学性质的层。此器件被整平（例如用抛光方法），以便清除至此施加的一个或多个层。整平过程不影响凹陷图形中的淀积材料。通常用腐蚀方法对器件进行进一步处理，以便进一步从至此施加且通过整平而暴露的一个或多个层清除材料。最终，在断面图形中淀积各个叠层，某些层也位于衬底上。这些层共同组成了微电子器件。

在另一方面，本发明涉及到用模塑衬底来制造电子器件。此方法避免了将细微图形腐蚀进入衬底的需要。根据本发明的这一方面，产生了一种具有互补于所需细微特征图形的抬高了形貌的模子。此模子被施加到可模塑的衬底，以便将图形加于其中，亦即产生互补于抬高了形貌的凹陷图形。一系列具有所需电学性质的层被施加到凹陷的图形中，从而产生电子器件。在一个实施方案中，借助于将图形腐蚀进入原版衬底，对图形化的原版衬底进行镀膜，以及在金属片上电成型互补于被腐蚀图形的形貌以用作模子，来制造模子。用例如注模方法，此模子可以被用来将原始图形加于可模塑的衬底上。例如，此图形可以包含锥形、正方形和/或圆坑以及正方形、圆的和/或V形槽沟道。

在一个示例性实施方案中，本发明被用来制造根据美国专利 No. 3245051、5673218、以及 5889694 中的任何一个的存储器件。在此情况下，凹陷的图形包括沿第一方向延伸的第一系列沟道以及沿基本上垂直于第一方向的第二方向延伸的第二系列沟道。它们被加于（例如用上述的模塑方法）不导电的衬底中。第一系列沟道和第二系列沟道在交叉点处交叉，并将坑定位在交叉点处。在某些坑中，根据其深度，被施加的多个层形成非线性元件（例如二极管）。各个非线性元件将第一系列沟道与第二系列沟道连接起来。各个非线性元件按确定

存储器数据内容的方案被分布在各个坑中。交叉的沟道之间的连接表示一个二进制位的状态（例如 0），而不连接表示另一个二进制位状态（例如 1）。

### 附图说明

在所附权利要求中确切地指出了本发明。参照结合附图的下列描述，可以更好地理解本发明的优点，其中：

图 1 是本发明方法一个实施方案的流程图；

图 2A 是根据本发明构成的断面衬底表面的俯视图；

图 2B 是图 2A 所示衬底沿 2B-2B 线的剖面图；

图 2C 是图 2A 所示衬底沿 2C-2C 线的另一个剖面图；

图 3 是施加图 1 所示各个层的步骤的实施方案的流程图；

图 4 是施加图 3 各个层的步骤的实施方案的流程图；

图 5A 是淀积各个层之后，图 2A 所示衬底沿 2B-2B 线的剖面图；

图 5B 是淀积各个层之后，图 2A 所示衬底沿 2C-2C 线的剖面图；

图 6A 是整平之后，图 2A 所示衬底沿 2B-2B 线的剖面图；

图 6B 是整平之后，图 2A 所示衬底沿 2C-2C 线的剖面图；

图 7A 是金属腐蚀之后，图 2A 所示衬底沿 2B-2B 线的剖面图；

图 7B 是金属腐蚀之后，图 2A 所示衬底沿 2C-2C 线的剖面图；

图 8A 是硅腐蚀之后，图 2A 所示衬底沿 2B-2B 线的剖面图；

图 8B 是硅腐蚀之后，图 2A 所示衬底沿 2C-2C 线的剖面图；

图 9A 是施加绝缘层之后，图 2A 所示衬底沿 2B-2B 线的剖面图；

图 9B 是施加绝缘层之后，图 2A 所示衬底沿 2C-2C 线的剖面图；

图 10A 是整平之后，图 2A 所示衬底沿 2B-2B 线的剖面图；

图 10B 是整平之后，图 2A 所示衬底沿 2C-2C 线的剖面图；

图 11A 是用腐蚀方法清除势垒层之后，图 2A 所示衬底沿 2B-2B 线的剖面图；

图 11B 是用腐蚀方法清除势垒层之后，图 2A 所示衬底沿 2C-2C 线的剖面图；

图 12A 是淀积金属之后，图 2A 所示衬底沿 2B-2B 线的剖面图；

图 12B 是淀积金属之后，图 2A 所示衬底沿 2C-2C 线的剖面图；

图 13A 是整平之后，图 2A 所示衬底沿 2B-2B 线的剖面图；

图 13B 是整平之后，图 2A 所示衬底沿 2C-2C 线的剖面图；而

图 14 示出了掩模的代表性实施方案。

### 具体实施方式

可以用模塑工艺来制造根据本发明的器件，此工艺免去了将凹陷图形腐蚀进入各个衬底的需要。图 1 示出了这一工艺。参照图 1，“原版”衬底被腐蚀成具有凹陷的图形（步骤 110）。然后以相似于常规 CD 和 DVD 制造的方式镀覆此原版衬底（例如溅射镍）（步骤 120）。镀覆了金属的原版被电成型，以便产生具有互补于衬底凹陷图形的抬高形貌的模子（步骤 130）。电成型是借助于在原版上直接镀覆而复制原版表面的工艺。镀覆材料被施加，直至达到所需的厚度。剩下的空腔区被回填以提高强度，然后安装在框架中。换言之，凹陷变成抬高的特征。原版复制电成型的变种可以包括在此原版上淀积希望出现在模具面中的复制材料，随之以模具被从原版化学或物理分离。

这样制造的模子被用来从可模塑材料产生新的衬底（步骤 140）。在一个实施方案中，注模方法被用来产生具有与原版相同的凹陷图形的新衬底。新衬底通常由塑料或玻璃制成，虽然其它可模塑材料（典型但并不必须是不导电的）也是合适的。最后，一系列层被施加到新衬底（步骤 150）。这些层提供了所希望的微电子器件电性质。

图 2A 示出了具有根据本发明构成的细微凹陷图形的衬底 200 的一部分的俯视图。根据本发明，特征尺寸典型为几百纳米到几微米，但更大或更小的特征也是可能的。利用模塑方法，能够从原版制作衬底 200，或本身可以是用来产生模子的原版；可选择地，被腐蚀了的衬底本身能够被用作微电子器件的基础。下面的讨论描述了微电子器件代表性部分的制作，其中各个导电路径或建立经由非线性器件（例如二极管、晶体管等）到相邻路径的连接，或者不建立连接。一系列的行 210 和列 220 被腐蚀进入到衬底 200 中。通常，行 210 与列 220 彼此基本上垂直，并在深度变化的坑 230 的矩阵处相交。坑 230 的深度决定于在衬底表面处确定坑 230 顶部的正方形的尺寸（亦即面积）。借助于选择不同的正方形尺寸，能够为得到的锥形坑选择相等的深度。对于半导体和 MEMS 制造领域的熟练人员来说，这种结构的形成是众所周知的。

在一个实施方案中，利用硅在 KOH 中的腐蚀来形成行 210 和列 220。腐蚀工艺的结果是多个大坑 230a 和小坑 230b，统称为坑 230。



在一个实施方案中，坑 230 是锥形形状，且行 210 和列 220 是 V 形槽，虽然其它形状也是可能的。在一个具体实施方案中，在 100 毫升水中 44 克的浓度和 85℃ 的温度下，KOH 的腐蚀速率沿  $\langle 100 \rangle$  晶向为每分钟 1.4 微米，而沿  $\langle 111 \rangle$  晶向仅仅为每分钟 0.0035 微米。结果，当形成锥形坑 230 时，就形成与水平成大约 54.74 度角的侧壁，并将具有有效的腐蚀停止作用。通过选择其宽度来控制行 210 和列 220 的所需深度。如图所示，为了提供更高的电导率，可以采用二个各为行 210 宽度一半的并排的列 220。这导致具有大约相同于行 210 的总面积的成对列 220。在此实施方案中，行 210 的深度约为列 220 深度的二倍。坑 230 的深度确定了行与列之间在其交叉处是否形成连接。

图 2B 和 2C 剖面图示出了结果。由于列 220 和行 210 是 V 形槽，故图 2B 中可见的行 210 部分和图 2C 中可见的列 220 部分向着图平面缩小亦即成角度。同样，在图 2B 和 2C 中可见的坑 230 的后壁也缩小，并表现出列 220 进入坑比较浅或行 210 进入坑比较深。行 210 与小坑 230b 几乎同样深。

实际上，这种阵列的腐蚀掩模看起来可能不像图 2A 俯视图所示的最终腐蚀图形。这是因为 KOH 的腐蚀停止层在不受触动的  $\langle 111 \rangle$  平面上；若此平面被另一个腐蚀表面中断，则腐蚀将继续，直至达及不受触动的  $\langle 111 \rangle$  表面，即整个硅区域被清除。圆形的 KOH 腐蚀将底切其掩模，直至形成正方形的锥形坑。下面更详细地来讨论这些腐蚀特性。

可以用几种方法来得到图 2A 所示的腐蚀图形的实际形成。一种方法是用第一 KOH 腐蚀来腐蚀行 210 和列 220。然后掩蔽表面，以便仅仅暴露形成坑 230 的正方形。正方形掩模窗口应该是要使坑 230 在表面下方的已知距离处而所希望的坑 230 的尺寸。表面然后被将产生垂直侧壁的腐蚀（例如 RIE 腐蚀）各向异性地腐蚀到此深度。接着执行定时的 KOH 腐蚀，使坑 230 中剩下的深度被腐蚀。由于这些剩下的深度被腐蚀，故这些正方形锥形坑的顶部各个区域（RIE 腐蚀的底部上方部分）将由于寻找  $\langle 111 \rangle$  平面而腐蚀得比其原先 RIE 腐蚀的正方形更宽。借助于将行 210 与列 220 的各个互连矩形腐蚀成稍许重叠的正方形坑，坑顶部区域的这一回腐蚀将引起坑 230 腐蚀进入各个矩形终端，从而形成所希望的表面形貌。后一个腐蚀被定时，致使互连完全与正方形合并；亦即，互连与正方形的连接在连接点处不具有任何浅

接缝（如在腐蚀不足时可能出现的那样），且不被过度腐蚀得使互连的深度影响到其中部。在单个定时 KOH 腐蚀中形成正方形坑以及互连二者的其它掩模图形也是可能的。在 KOH 腐蚀的情况下，通过选择行和列的宽度，能够控制所希望的行 210 和列 220 的深度。

上述图 2A-2C 所示的衬底 200 能够被制作在常规的结晶硅晶片上。此晶片可以是本征的或轻掺杂的结晶硅，致使其上构成的电路由于相对于此衬底被反偏置而彼此电隔离。可选择地，利用氧化物生长或利用材料淀积，此衬底 200 可以被加工形成绝缘层。

在硅衬底的情况下，如上所述，利用 KOH 腐蚀将形成与水平大约成 54.74 度角度并在已经形成锥形坑时具有有效腐蚀停止层的侧壁。若表面特征为矩形，则短边尺寸将决定坑的深度。若表面尺寸为 1 微米，则锥形特征将被腐蚀大约 7072Å 深。若生长厚度为 1000Å 的氧化物（这消耗大约 450Å 的硅表面，并在原来的硅表面上产生大约 550Å 的氧化物表面），则得到的坑的深度从硅表面原来的水平测量将约为 6120Å，而从新氧化物表面测量将约为 6670Å。此坑在硅表面原来水平处将约为 8652Å 宽，而在新氧化物的表面处将约为 10286Å（1.0286 微米）宽。若希望有不同尺寸的表面特征，则所有这些尺寸可按比例换算。

这一几何图形的另一个作用是，若以与溅射之类的更为一致的淀积工艺相反的诸如电子束蒸发之类的线性淀积工艺来淀积材料，淀积在晶片上的材料层能够导致垂直于锥形坑壁（亦即与晶片表面成 54.74 度角的壁）测量的厚度仅仅 0.5773 倍于表面淀积的涂层。

虽然衬底可以被直接使用，但最好遵循图 1 所列的手续，并使用被腐蚀了的衬底作为原版。模塑、压印、模压、以及旋涂式玻璃（SOG）之类的技术，能够被用来复制细微的凹陷图形，从而产生施加了多个材料层的复制衬底 200'，以便产生微电子器件。为了用 SOG 技术来产生复制的衬底，首先用 SOG 技术施加电成型的原版，然后被脱层（为了降低 SOG 的粘附性，可以在 SOG 之前，将脱模剂或单层材料旋涂到电成型的原版上）。可选择地，将聚酰亚胺材料淀积在电成型的原版上，然后可以用相似于 SOG 方法的方式脱层。借助于将聚酰亚胺施加的电成型原版浸入在去离子水（DI 水）中，或若电成型的原版施加有薄层二氧化硅，则借助于将施加有聚酰亚胺的电成型原版浸入在氢氟

酸 (HF) 中, 某些聚酰亚胺能够从表面脱离。此二种方法都要求电成型的原版不由分别会与 DI 或 HF 反应的材料制成, 对于本技术领域的熟练人员来说, 这些材料是众所周知的。

在参照图 3 的概述中, 所示的一系列步骤被用来制作存储器件, 其中交叉的行与沟道之间的连接 (利用非线性器件) 表示一个二进制状态, 而不连接则表示另一个状态。首先, 一系列层被施加到复制的衬底 (步骤 300)。随后, 各个层被整平回到被复制衬底 200' 的表面 (步骤 310)。接着, 执行定时的金属腐蚀 (步骤 320), 随之以定时的硅腐蚀 (步骤 330)。施加绝缘层 (步骤 340), 然后整平 (步骤 350)。将从各层的原来施加和随后的整平 (步骤 300-310) 留下的任何势垒材料腐蚀掉 (步骤 360)。最后, 淀积金属层 (步骤 370) 并整平金属层 (步骤 380), 从而产生存储器件。

在图 4、图 5A、以及图 5B 中被更详细地示出了以 500 总体表示的系列层的淀积 (步骤 300)。(应该指出的是, 随后的成对附图表示图 2B 和 2C 所示相同的剖面)。参照这些图, 若复制的衬底 200' 不是绝缘的, 则施加绝缘层 (步骤 400, 在图 5A 和 5B 中未示出)。在所示实施方案中, 淀积了  $1000\text{\AA}$  的底部金属层 510 (步骤 410), 分别随之以  $250\text{\AA}$  的  $N^+$  非晶硅 ( $N^+ \alpha \text{Si:H}$ ) 层 520 (步骤 420)、 $1000\text{\AA}$  的  $\alpha \text{Si:H}$  层 530 (步骤 430)、 $1000\text{\AA}$  的顶部金属层 540 (步骤 440)、以及势垒层 550 (步骤 450)。底部金属层 510 和顶部金属层 540 可以是钨、铬、或钼, 而势垒层 550 可以是氮化硅。顶部金属层 510 和底部金属层 540 的金属以及它们的厚度的选择, 对于本发明并不重要, 只要保持器件的功能要求即可。

例如, 底部金属层 510 可以由与直接在其上的层 520 形成欧姆接触的任何材料制成。可选择地, 底部金属层 510 应该厚得足以承载适合于对任何电路电容提供所需工作速度的电流。层 520 可以是在底部金属层 510 与直接在层 520 上的层 530 之间形成欧姆接触连接的任何适当的半导体。层 520 应该厚得足以防止底部金属层 510 与层 530 以非线性方式相互作用 (亦即非整流接触)。层 530 可以是与顶部金属层 540 形成整流接触的任何材料 (例如非晶硅、Lucent 制造的  $\alpha$ -T6 材料、或包括用来制造有机发光二极管 (OLED) 的有机半导体材料)。层 530 应该厚得足以产生整流接触恰当工作所需的适当结深度。顶部

金属层 540 可以是与直接在其下的层 530 形成整流接触的任何材料。在一个实施方案中，用化学气相淀积（CVD）方法来施加层 500，虽然其它的常规淀积方法也是可能的。

若偏离正方形的坑被用来代替锥形坑，则当这些层被腐蚀时，所有厚度应该薄得足以不产生规定设计特征尺寸的无法接受的形状比（亦即在对于其宽度而言太高的各个行或列之间的非常高而细的区域）。而且，如薄膜晶体管（TFT）制造领域熟练人员理解的那样，应该避免某些材料。例如，非晶硅的淀积在 200-400℃或以上发生。淀积在其上的金属应该在淀积过程中保持稳定，以便不与淀积的硅发生不利的反应。诸如铝之类的某些金属会与非晶硅的晶粒边界发生连续的反应，因而即使作为顶部金属也是不合适的，除非加入额外的势垒金属。

再次参照图 3，一旦施加，层 500 就被整平（步骤 310）。图 6A 和 6B 示出了同时整平所有材料以便与衬底 200 高度相符合的结果。在一个可选实施方案中，用 CMP 和腐蚀的组合来完成这一整平。参照图 6A 和 6B，CMP 抛光步骤将势垒层 550 和顶部金属层 540 清除到了非晶硅层 530 的最高点。随后，执行定时腐蚀，以便将非晶硅层 530 的高度降低到与衬底 200' 的高度符合。最后，重复 CMP 抛光步骤，以便清除衬底 200' 表面上的任何保留的顶部金属层 550 或底部金属层 510。可选择地，可以采用其它的整平方法，例如氧化物整平，其中，以非共形的方式在表面上淀积氧化物材料（或以与待要整平的表面材料几乎相同的速率被腐蚀的材料），以便其表面平坦。由于此材料被腐蚀，故氧化物以及表面材料的厚度被减小，直至达到所需的平坦深度。这一技术以及其它的技术，对本技术领域的熟练人员来说是熟知的。

如图 7A 和 7B 所示，定时金属腐蚀（步骤 320）清除了未被剩下的势垒层 550 或硅层 520 和 530 保护的暴露的金属层 540 和 510。结果就在坑 230a' 和 230b' 中形成了凹陷 560。此外，暴露在列 220 中的金属层 540 和 510 也被清除，从而隔离了各个导电行 210。

接着，定时硅腐蚀（步骤 330）清除了硅层 530 和 520 的任何暴露的硅。如图 8A 和 8B 所示，仅仅留下的硅位于大坑 230a' 中。如上所述，大坑 230a' 确定行 210 与列 220 在何处交叉以形成非线性元件。

各个大坑 230a' 保留一层 N<sup>+</sup> 非晶硅 520 和一层非晶硅 530, 它们共同形成二极管 (例如肖特基二极管)。此 N<sup>+</sup> 掺杂层 520 与行 210 中的下金属层 510 形成欧姆接触, 而未被掺杂的非晶硅层 530 与顶部金属层 540 形成肖特基势垒, 如下所述被连接到列 220。

用诸如等离子体增强化学气相淀积 (PECVD) 或溅射之类的常规工艺进行的绝缘层 (例如氧化硅) 淀积 (步骤 340), 导致图 9A 和 9B 所示的结构。坑 230' 的锥形形状导致不完全被覆盖的势垒层 550 (因为绝缘材料不容易进入势垒层 550 下方)。若坑 230 具有笔直的 (垂直的) 侧壁而不是带角度的侧壁, 或若淀积进行得更为共形一些, 则势垒材料的侧壁可能被非常薄的绝缘材料施加。借助于定时快速腐蚀浸入来清除这一侧壁施加而不明显地减少淀积层的本体, 则可能对此进行改正。延伸在衬底 200' 上的绝缘层 570 被整平回到衬底 200' 的水平。图 10A 和图 10B 示出了暴露在大坑 230a' 中的未被绝缘的势垒层 550。如图 11A 和图 11B 所示, 将暴露的势垒层 550 腐蚀掉 (步骤 360), 就暴露了深坑 230a' 中的顶部金属层 540。可选择地, 可以略去这一抛光步骤, 并如通常在剥离工艺中所做的那样仅仅腐蚀掉势垒, 这也将从势垒材料上清除绝缘材料。在清除势垒材料之后, 更深的坑 230a' (亦即其中希望形成非线性元件的坑) 中硅材料顶部上的金属就被暴露。

在绝缘层 570 的顶部上淀积最后的金属层 580 (步骤 370)。如图 12A 和 12B 所示, 部分最后金属层 580 延伸在衬底 200' 上。这一部分被整平回到衬底 200' 的水平。现在能够识别得到的导电金属行 210 和列 220, 图 13A 和 13B 示出了此微电子电路。借助于加入适合于形成诸如熔丝、抗熔丝、可变电阻材料 (例如相位改变材料) 之类的可编程导电路径的材料层, 根据本发明以及其整个内容此处被列为参考的美国专利 5673218 的二极管阵列, 能够被制作成一次或多次可编程存储器。在这一改变中, 可以用从顶部金属层到底部金属层的电通路完全相同地形成所有的储存位置 (亦即全部用最深的坑形成)。

此处衬底的特征被示为已经用上述 KOH 形成, 但可能已经用一系列被定时来控制腐蚀深度的 RIE 腐蚀 (在此情况下, 特征可能具有更多的偏离正方形的形状) 或化学腐蚀 (其中的特征可能具有更多的倒转蘑菇帽形状) 形成。因为坑的深度和表面处的宽度 (不是其底部的

宽度)正是构造根据本发明的器件的关键因素,故正式由此使用偏离正方形的或蘑菇帽形的特征。应该指出的是,对于腐蚀已经产生垂直侧壁处从一种深度的特征到相邻的不同深度的特征的轨迹连续性,应该采用共形淀积,以便确保在一种特征的底部上升到侧壁到相邻特征的底部之间形成连接。

图 14 示出了用来形成衬底特征的另一种技术。利用这一方法,产生了腐蚀掩模 600,它包括各个坑 230 的特征 610a 或 610b (总称为 610),但不包括连接各个坑 230 的沟道。这些掩模特征 610 能够被形成为对应于二种不同坑深度的二种尺寸中的一种。图 14 示出了具有圆形的特征 610;但也能够产生其中特征 610 具有与得到的腐蚀坑成 45 度角取向的正方形形状的掩模(亦即金刚石取向的坑中的正方形取向掩模窗口)。掩模的行和列的取向与<111>硅晶体取向偏离 45 度。如图 14 所示,KOH 腐蚀将底切此掩模形状,以达到锥形腐蚀停止层,除非此底切被相邻特征的角落合并而形成各个坑之间的沟道。较大的特征 610b 将导致更深的坑,而较小的特征 610a 将导致更浅的坑。比较靠近的特征 610 (亦即形成行的圆)将具有更深的沟道,而间隔更宽的特征(亦即形成列的圆)将具有更浅的沟道。圆的尺寸和间隔被选择成使任何二个相邻的圆无论其尺寸大小都导致使仅仅适当的剩余材料层保留在其间的沟道中的沟道深度。利用这种方法,坑的深度由自然的腐蚀停止层控制,而沟道深度由腐蚀定时来控制。为了有助于确保坑的深度由于沟道已经形成的时间而完全达到,如上所述可以执行初始的 RIE 腐蚀。若用电子束平版印刷来产生衬底,则借助于改变电子束的功率,能够选择二种掩模特征尺寸,从而可以用比小圆特征更高的电子束功率来绘制大圆特征。聚焦曝光测试的特性将确定二种特征尺寸的适当功率电平。

本发明是基于淀积在断面衬底上的各个层能够通过整平和腐蚀被加工成使留下的材料形成其中特征被自对准的电路的方法。表面在材料淀积之前的不同高度,决定了随着整平的进行表面上任何一个给定点处哪些材料被暴露。还可以通过腐蚀来选择性地加工暴露的表面。可以预见具有几种不同宽度和深度的坑,从而能够重复工艺,以便产生包含多个材料层的能够制作更复杂器件的坑。例如,利用加入薄的介电层,能够组合 TFT 类的晶体管。

本发明能够包括其它的工艺步骤。例如，在有形成于特征底部的待要成为焊点的金属区的场合，在没有绝缘材料 570 的表面上淀积顶部金属而半导体材料 520 和 530 与底部金属和顶部金属串连，可能是可取的。为了做到这一点，可以用遮光掩模来阻挡绝缘材料和半导体材料在焊点区域中的淀积。顶部金属现在将在这一区域中形成到底部金属的直接连接。由于焊点特征能够具有 50-200 微米或以上的面积，故能够完成这种遮光掩蔽，从而使掩模与衬底的对准成为可能而无需先进的平版印刷和对准工具。其它的遮光掩模步骤可以被用来制造一起置于衬底一个区域内的场效应晶体管 (FET) 的阵列，使薄的氧化物或某些其它介质能够被淀积在栅区上而不被淀积在衬底的其它区域上。可选择地，可以采用低分辨率光刻技术 (代替遮光掩模)，随之进行剥离。

说明了各个优选实施方案之后，本技术领域的熟练人员可以理解，在本发明所要求保护的范围与构思内，各种改变是可能的。因此认为本发明仅仅由权利要求的范围限定。

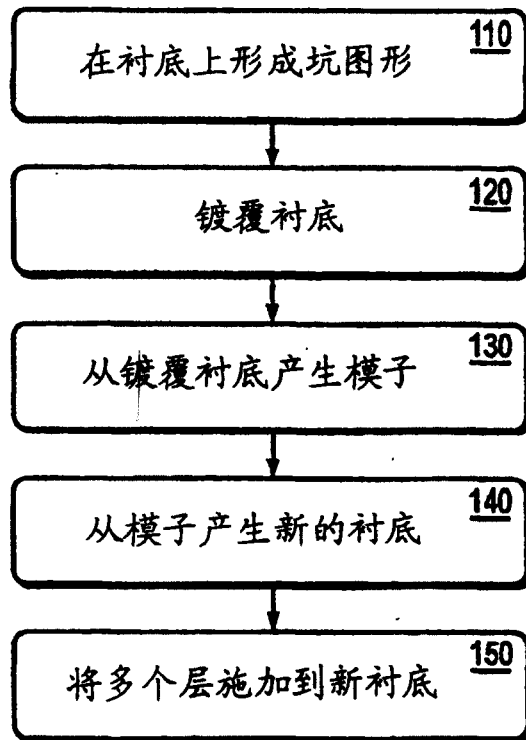


图 1



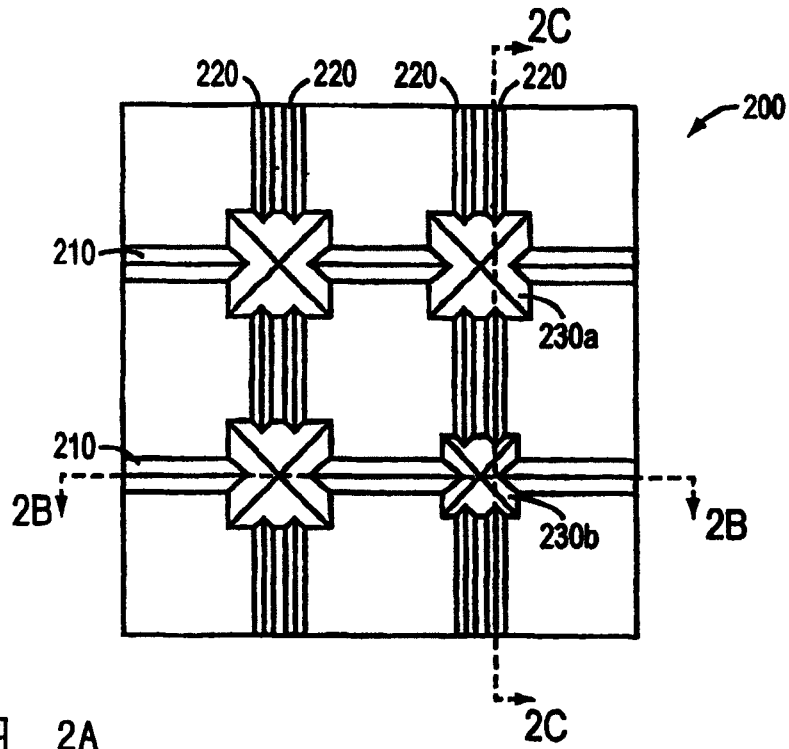


图 2A

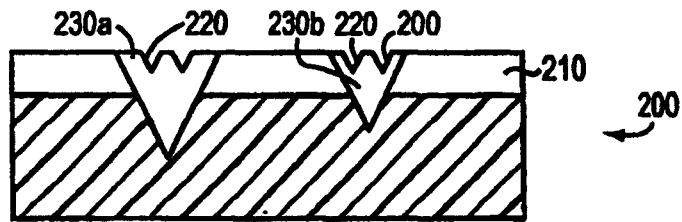


图 2B

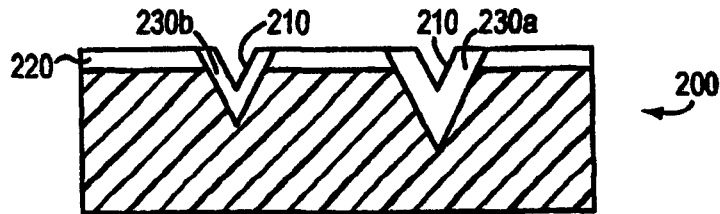


图 2C

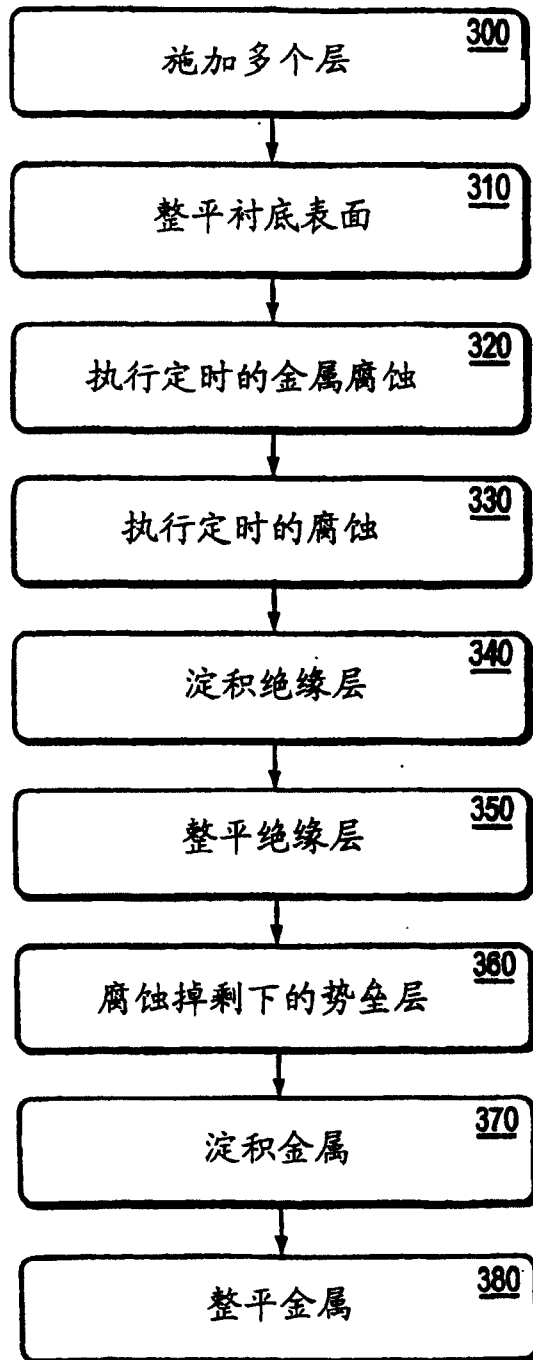


图 3

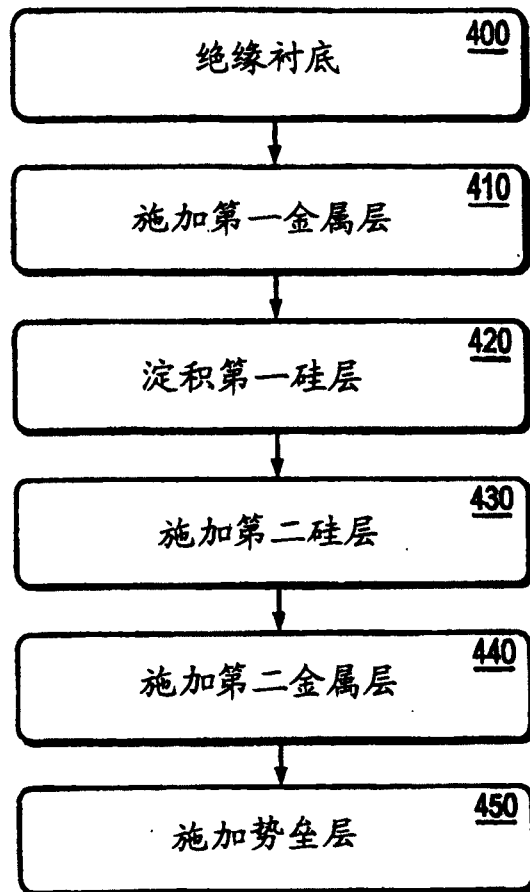


图 4

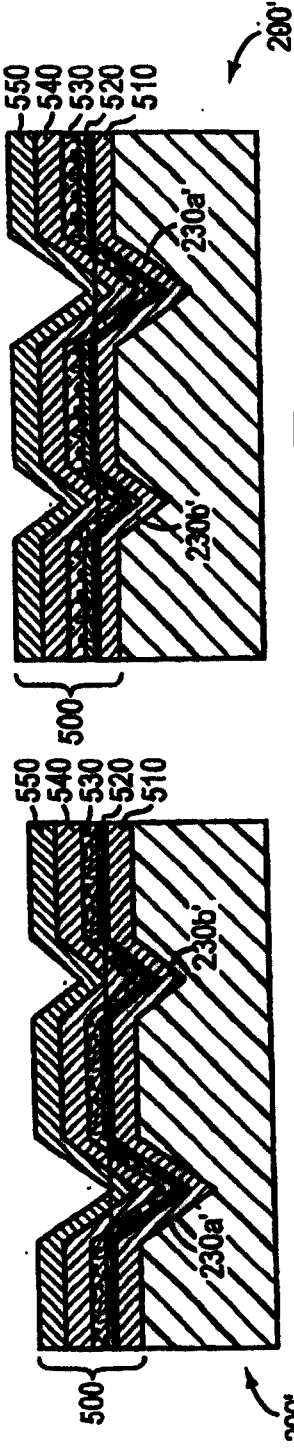


图 5A

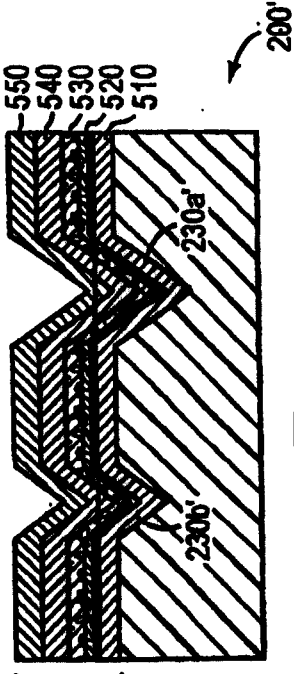


图 5B

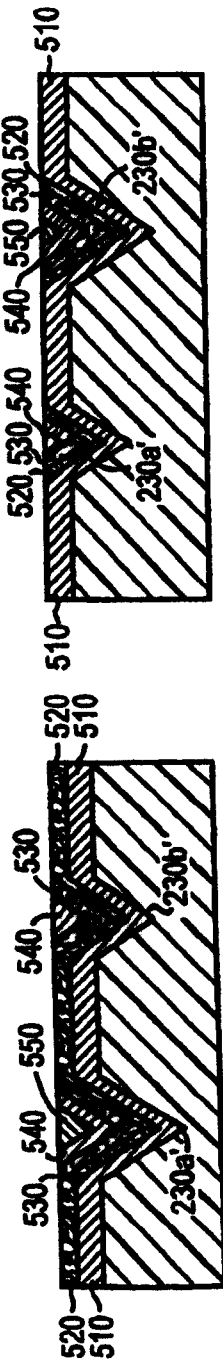


图 6A

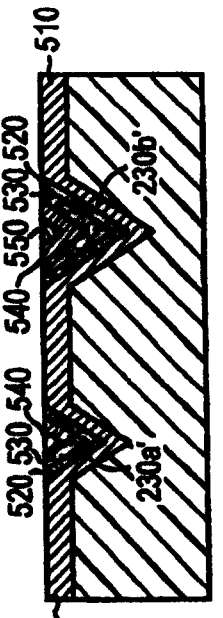


图 6B

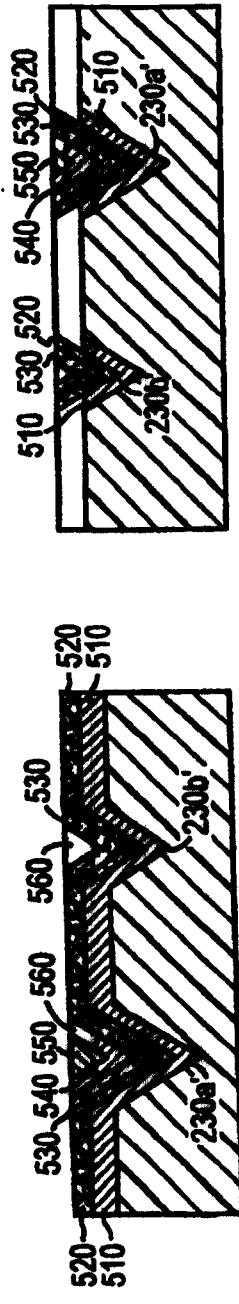


图 7A

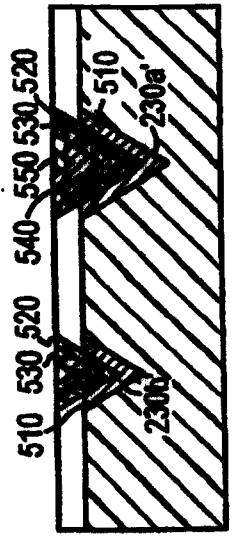


图 7B

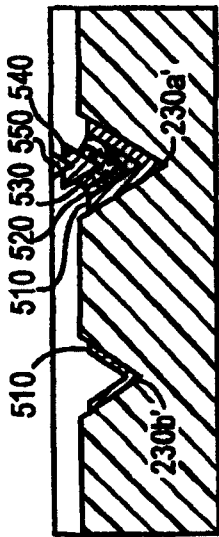


图 8B

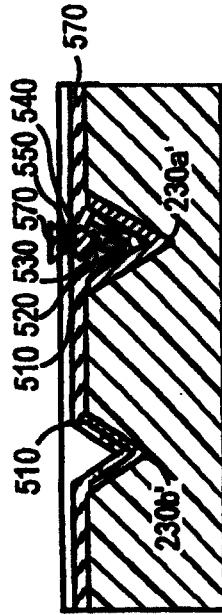


图 9B

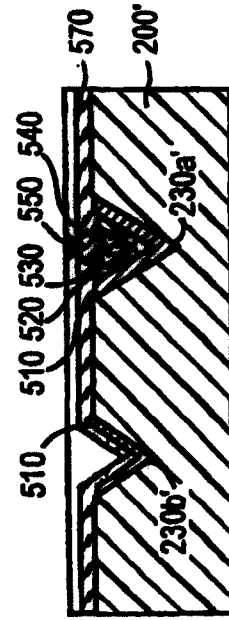


图 10B

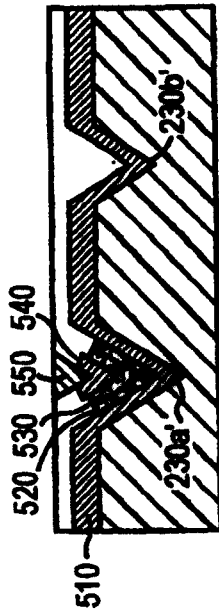


图 8A

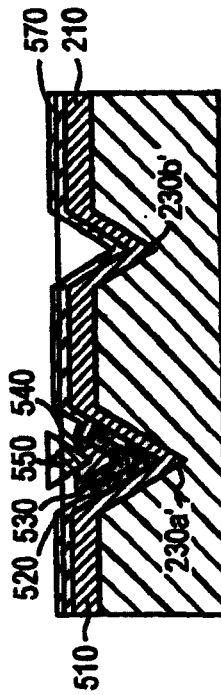


图 9A

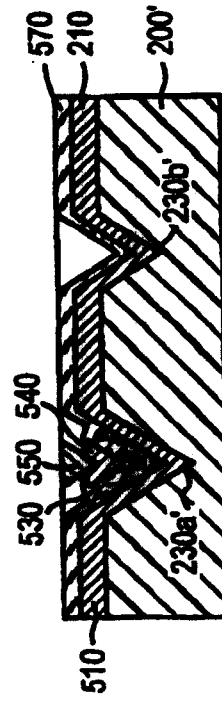


图 10A

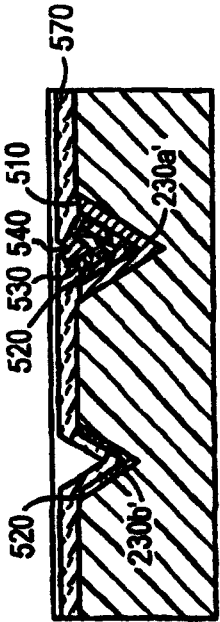


图 11B

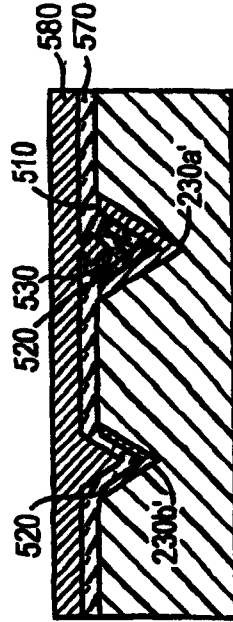


图 12B

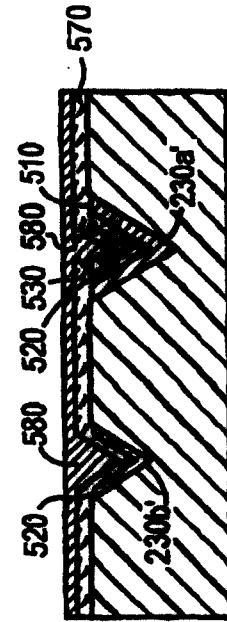


图 13B

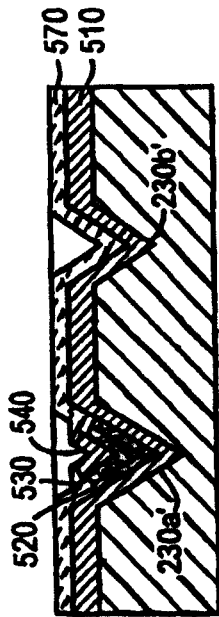


图 11A

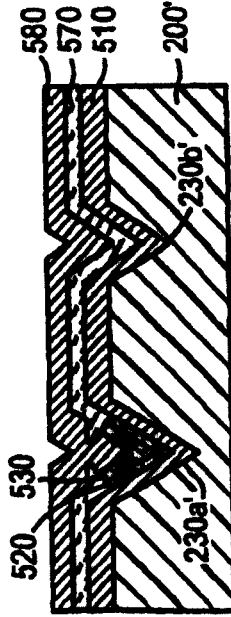


图 12A

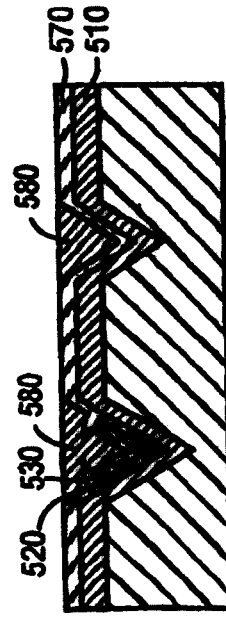


图 13A

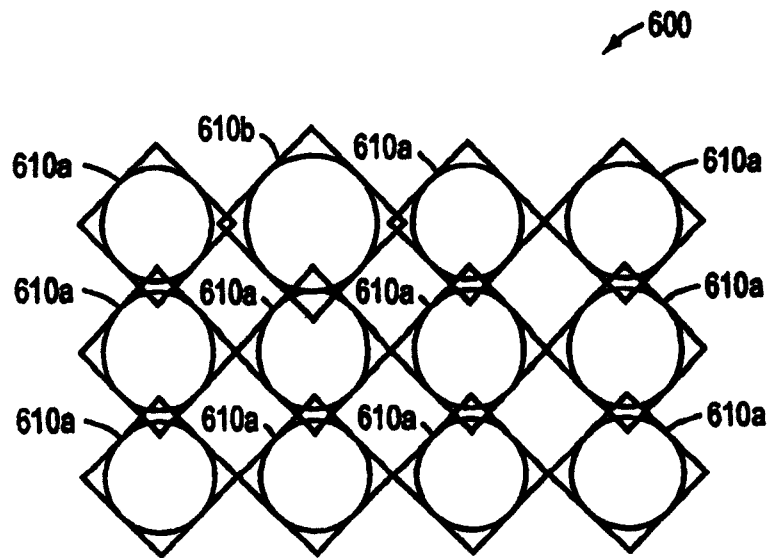


图 14