

EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

part positioned on the separation region side; a pixel transistor provided on the upper surface part side; a floating diffusion region that is provided on the upper surface part side and that holds the signal charge photoelectrically converted by the photoelectric conversion part; and a capacitive element connected to the floating diffusion region. The capacitive element includes a first electrode provided in the separation region adjacent to the side surface part of the photoelectric conversion region with a dielectric film interposed therebetween, and a second electrode provided inside the side surface part of the photoelectric conversion region so as to be adjacent to the first electrode.

(57) 要約: 光電変換領域での素子の配置自由度を高める。光検出装置は、厚さ方向において互いに反対側に位置する第1の面部及び第2の面部を有し、かつ厚さ方向に延伸する分離領域で区画された光電変換領域を有する半導体層を備えている。そして、上記光電変換領域は、上記半導体層の上記第1の面部側に位置する上面部と、上記分離領域側に位置する側面部と、上記上面部側に設けられた画素トランジスタと、上記上面部側に設けられ、かつ光電変換部で光電変換された信号電荷を保持する浮遊拡散領域と、上記浮遊拡散領域に接続された容量素子と、を備えている。そして、上記容量素子は、上記光電変換領域の上記側面部と誘電体膜を介して互いに隣り合って上記分離領域に設けられた第1電極と、上記光電変換領域の上記側面部の内側に上記第1電極と隣り合って設けられた第2電極とを有する。

明 細 書

発明の名称：光検出装置及び電子機器

技術分野

[0001] 本技術（本開示に係る技術）は、光検出装置及び電子機器に関し、特に、浮遊拡散領域と電氣的に接続された容量素子を有する光検出装置及びそれを用いた電子機器に適用して有効な技術に関するものである。

背景技術

[0002] 固体撮像装置や側拒装置などの光検出装置は、光電変換された信号電荷を浮遊拡散領域に転送する転送トランジスタや、浮遊拡散領域で蓄積（保持）された信号電荷に基づく画素信号を出力する読出し回路（画素回路）を備えている。

[0003] 特許文献1には、浮遊拡散領域、転送トランジスタ、読出し回路に含まれる画素トランジスタなどを半導体層の光電変換領域に設けた固体撮像装置が開示されている。また、この特許文献1には、トレンチ型の分離領域で区画された光電変換領域も開示されている。

[0004] 一方、特許文献2には、浮遊拡散領域と電氣的に接続された容量素子を光電変換領域に設けた技術が開示されている。

先行技術文献

特許文献

[0005] 特許文献1：特開2021-101491号

特許文献2：WO2020/105634号

発明の概要

発明が解決しようとする課題

[0006] ところで、近年、高解像のイメージセンサが市場で求められており、画素サイズを縮小したイメージセンサの開発が進められている。

[0007] しかしながら、画素サイズの縮小に伴って、転送トランジスタ、画素トランジスタ、容量素子などの素子を光電変換領域に配置する配置自由度が低く

なる。

[0008] 本技術の目的は、光電変換領域での素子の配置自由度を上げることが可能な技術を提供することにある。

課題を解決するための手段

[0009] (1) 本技術の一態様に係る光検出装置は、
厚さ方向において互いに反対側に位置する第1の面部及び第2の面部を有し、かつ厚さ方向に延伸する分離領域で区画された光電変換領域を有する半導体層を備えている。

そして、上記光電変換領域は、
上記半導体層の上記第1の面部側に位置する上面部と、
上記分離領域側に位置する側面部と、
上記上面部側に設けられた画素トランジスタと、
上記上面部側に設けられ、かつ光電変換部で光電変換された信号電荷を保持する浮遊拡散領域と、
上記浮遊拡散領域に接続された容量素子と、
を備えている。

そして、上記容量素子は、
上記光電変換領域の上記側面部の外側に誘電体膜を介在して設けられた第1電極と、
上記光電変換領域の上記側面部の内側に上記第1電極と隣り合って設けられた第2電極と、
を有する。

[0010] (2) 本技術の他の態様に係る電子機器は、
上記光検出装置と、
被写体からの像光を上記光検出装置の撮像面上に結像させる光学レンズと、
、
上記光検出装置から出力される信号に信号処理を行う信号処理回路と、
を備えている。

図面の簡単な説明

- [0011] [図1]本技術の第1実施形態に係る固体撮像装置の一構成例を示すチップレイアウト図である。
- [図2]本技術の第1実施形態に係る固体撮像装置の一構成例を示すブロック図である。
- [図3]本技術の第1実施形態に係る読出し回路の一構成例を示す等価回路図である。
- [図4A]図1の画素アレイ部に含まれる4つの画素の一構成例を模式的に示す平面図である。
- [図4B]図4Aの1つの画素を拡大した要部平面図である。
- [図5A]図4のa4-a4切断線に沿った縦断面構造を模式的に示す縦断面図である。
- [図5B]図5Aの一部を拡大した模式的縦断面図である。
- [図6A]図4のb4-b4切断線に沿った縦断面構造を模式的に示す縦断面図である。
- [図6B]図6Aの一部を拡大した模式的縦断面図である。
- [図7A]本技術の第1実施形態に係る固体撮像装置の製造方法の工程を模式的に示す縦断面図である。
- [図7B]図7Aに続く工程を模式的に示す縦断面図である。
- [図7C]図7Bに続く工程を模式的に示す縦断面図である。
- [図7D]図7Cに続く工程を模式的に示す縦断面図である。
- [図7E]図7Dに続く工程を模式的に示す縦断面図である。
- [図7F]図7Eに続く工程を模式的に示す縦断面図である。
- [図7G]図7Fに続く工程を模式的に示す縦断面図である。
- [図8]第1実施形態の変形例1-1を示す模式的に示す要部縦断面図である。
- [図9]第1実施形態の変形例1-2を示す模式的に示す要部縦断面図である。
- [図10]本技術の第2実施形態に係る固体撮像装置において、4つの画素の一構成例を模式的に示す平面図である。

[図11]図10のa10-a10切断線に沿った縦断面構造を模式的に示す縦断面図である。

[図12]図10のb10-b10切断線に沿った縦断面構造を模式的に示す縦断面図である。

[図13]本技術の第3実施形態に係る固体撮像装置において、4つの画素の一構成例を模式的に示す平面図である。

[図14]図13のa13-a13切断線に沿った縦断面構造を模式的に示す縦断面図である。

[図15]図13のb13-b13切断線に沿った縦断面構造を模式的に示す縦断面図である。

[図16]本技術の第4実施形態に係る固体撮像装置において、読出し回路の一構成例を示す等価回路図である。

[図17]本技術の第4実施形態に係る固体撮像装置において、2つの画素の一構成例を模式的に示す平面図である。

[図18]図17のa17-a17切断線に沿った縦断面構造を模式的に示す縦断面図である。

[図19]本技術の第5実施形態に係る電子機器の一構成例を示す図である。

発明を実施するための形態

[0012] 以下、図面を参照して本技術の実施形態を詳細に説明する。

なお、以下の説明で参照する図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。

[0013] また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。また、本明細書中に記載された効果はあくまで例示であって限定されるものではなく、また他の効果があってもよい。

[0014] また、以下の実施形態は、本技術の技術的思想を具体化するための装置や

方法を例示するものであり、構成を下記のものに特定するものではない。即ち、本技術の技術的思想は、特許請求の範囲に記載された技術的範囲内において、種々の変更を加えることができる。

[0015] また、以下の説明における上下等の方向の定義は、単に説明の便宜上の定義であって、本技術の技術的思想を限定するものではない。例えば、対象を 90° 回転して観察すれば上下は左右に変換して読まれ、 180° 回転して観察すれば上下は反転して読まれることは勿論である。

[0016] また、以下の実施形態では、空間内で互に直交する三方向において、同一平面内で互に直交する第1の方向及び第2の方向をそれぞれX方向、Y方向とし、第1の方向及び第2の方向のそれぞれと直交する第3の方向をZ方向とする。そして、以下の実施形態では、後述する半導体層21の厚さ方向をZ方向として説明する。

[0017] 〔第1実施形態〕

この第1実施形態では、光検出装置として、裏面照射型CMOS (Complementary Metal Oxide Semiconductor) イメージセンサである固体撮像装置に本技術を適用した一例について説明する。

また、この第1実施形態では、浮遊拡散領域に接続された容量素子を有する読出し回路について説明する。

[0018] ≪固体撮像装置の全体構成≫

まず、固体撮像装置1Aの全体構成について説明する。

[0019] 図1に示すように、本技術の第1実施形態に係る固体撮像装置1Aは、平面視したときの二次元平面形状が方形状の半導体チップ2を主体に構成されている。即ち、固体撮像装置1Aは、半導体チップ2に搭載されており、半導体チップ2を固体撮像装置1Aとみなすことができる。この固体撮像装置1A(101)は、図19に示すように、光学レンズ102を介して被写体からの像光(入射光106)を取り込み、撮像面上に結像された入射光106の光量を画素単位で電気信号に変換して画素信号として出力する。

[0020] 図1に示すように、固体撮像装置1Aが搭載された半導体チップ2は、互

いに直交するX方向及びY方向を含む二次元平面において、中央部に設けられた方形状の画素アレイ部2 Aと、この画素アレイ部2 Aの外側に画素アレイ部2 Aを囲むようにして設けられた周辺部2 Bと、を備えている。半導体チップ2は、製造プロセスにおいて、後述の半導体層2 1を含む半導体ウエハをチップ形成領域毎に小片化することによって形成される。したがって、以下に説明する固体撮像装置1 Aの構成は、半導体ウエハを小片化する前のウエハ状態においても概ね同様である。即ち、本技術は、半導体チップの状態及び半導体ウエハの状態において適用が可能である。

[0021] 画素アレイ部2 Aは、例えば図1 9に示す光学レンズ（光学系）1 0 2により集光される光を受光する受光面である。そして、画素アレイ部2 Aには、X方向及びY方向を含む二次元平面において複数の画素3（センサ画素）が行列状に配置されている。換言すれば、画素3は、二次元平面内で互いに直交するX方向及びY方向のそれぞれの方向に繰り返し配置されている。

[0022] 図1に示すように、周辺部2 Bには、複数のボンディングパッド1 4が配置されている。複数のボンディングパッド1 4の各々は、例えば、半導体チップ2の二次元平面における4つの辺の各々の辺に沿って配列されている。複数のボンディングパッド1 4の各々は、半導体チップ2と外部装置とを電気的に接続する入出力端子として機能する。

[0023] <ロジック回路>

半導体チップ2は、図2に示すロジック回路1 3を備えている。図2に示すように、ロジック回路1 3は、垂直駆動回路4、カラム信号処理回路5、水平駆動回路6、出力回路7及び制御回路8などを含む。ロジック回路1 3は、電界効果トランジスタとして、例えば、nチャネル導電型のMOS FET（Metal Oxide Semiconductor Field Effect Transistor）及びpチャネル導電型のMOS FETを有するCMOS（Complementary MOS）回路で構成されている。

[0024] 図2に示す垂直駆動回路4は、例えばシフトレジスタによって構成されている。垂直駆動回路4は、所望の画素駆動線1 0を順次選択し、選択した画

素駆動線 10 に画素 3 を駆動するためのパルスを供給し、各画素 3 を行単位で駆動する。即ち、垂直駆動回路 4 は、画素アレイ部 2 A の各画素 3 を行単位で順次垂直方向に選択走査し、各画素 3 の光電変換部が受光量に応じて生成した信号電荷に基づく画素 3 からの画素信号を、垂直信号線 11 を通してカラム信号処理回路 5 に供給する。

[0025] 図 2 に示すカラム信号処理回路 5 は、例えば画素 3 の列毎に配置されており、1 行分の画素 3 から出力される信号に対して画素列毎にノイズ除去等の信号処理を行う。例えばカラム信号処理回路 5 は、画素固有の固定パターンノイズを除去するための CDS (Correlated Double Sampling : 相関 2 重サンプリング) 及び AD (Analog Digital) 変換等の信号処理を行う。

[0026] 図 2 に示す水平駆動回路 6 は、例えばシフトレジスタによって構成されている。水平駆動回路 6 は、水平走査パルスをカラム信号処理回路 5 に順次出力することによって、カラム信号処理回路 5 の各々を順番に選択し、カラム信号処理回路 5 の各々から信号処理が行われた画素信号を水平信号線 12 に出力させる。

[0027] 図 2 に示す出力回路 7 は、カラム信号処理回路 5 の各々から水平信号線 12 を通して順次に供給される画素信号に対し、信号処理を行って出力する。信号処理としては、例えば、バッファリング、黒レベル調整、列ばらつき補正、各種デジタル信号処理等を用いることができる。

[0028] 図 2 に示す制御回路 8 は、垂直同期信号、水平同期信号、及びマスタクロック信号に基づいて、垂直駆動回路 4、カラム信号処理回路 5、及び水平駆動回路 6 等の動作の基準となるクロック信号や制御信号を生成する。そして、制御回路 8 は、生成したクロック信号や制御信号を、垂直駆動回路 4、カラム信号処理回路 5、及び水平駆動回路 6 等に出力する。

[0029] <光電変換回路及び読出し回路>

半導体チップ 2 は、図 3 に示す光電変換回路 15 及び読出し回路 (画素回路) 16 を備えている。

光電変換回路 15 は、これに限定されないが、例えば、光電変換部 25 と

、この光電変換部25で光電変換された信号電荷を保持（蓄積）する電荷保持部26と、この光電変換部25で光電変換された信号電荷を電荷保持部26に転送する転送トランジスタTRと、を備えている。光電変換回路15は、画素3毎に設けられている。

読出し回路16は、これに限定されないが、画素トランジスタQとして、例えば、増幅トランジスタAMPと、選択トランジスタSELと、リセットトランジスタRSTと、切替トランジスタFDGと、を備えている。即ち、この第1実施形態の読出し回路16は、4トランジスタ構成になっている。

[0030] ここで、この第1実施形態では、一例として、画素3毎に1つの読出し回路16を割り与えた回路構成になっているが、この第1実施形態に限定されるものではない。例えば、2つの画素3を一単位として1つの読出し回路16を割り与えた回路構成としてもよく、また、3つ以上の画素3を一単位として1つの読出し回路16を割り与えた回路構成としてもよい。

[0031] <光電変換回路>

（光電変換部）

図3に示す光電変換部25は、例えばpn接合型のフォトダイオード（PD）で構成され、受光量に応じた信号電荷を生成する。また、光電変換部25は、生成した信号電荷を一時的に保持（蓄積）する。光電変換部25は、カソード側が転送トランジスタTRのソース領域と電氣的に接続され、アノード側が基準電位線（例えばグランド）と電氣的に接続されている。

[0032] （転送トランジスタ）

図3に示す転送トランジスタTRは、光電変換部25で光電変換された信号電荷を電荷保持部26に転送する。転送トランジスタTRは、ソース領域が光電変換部25のカソード側と電氣的に接続され、ドレイン領域が電荷保持部26と電氣的に接続されている。そして、転送トランジスタTRのゲート電極は、図2に示す画素駆動線10のうちの転送トランジスタ駆動線と電氣的に接続されている。

[0033] （電荷保持部）

電荷保持部 26 は、これに限定されないが、例えば、図 3 に示すように、2 つの浮遊拡散領域（フローティングディフュージョン（Floating Diffusion）領域）FD1 及び FD2 と、容量素子 Cp と、を有する。浮遊拡散領域 FD1 は、転送トランジスタ TR と、切替トランジスタ FDG との間に接続されている。浮遊拡散領域 FD2 は、切替トランジスタ FDG と、リセットトランジスタ RST との間に接続されている。容量素子 Cp は、浮遊拡散領域 FD2 に接続されている。

[0034] 浮遊拡散領域 FD1 は、光電変換部 25 から転送トランジスタ TR を介して転送された信号電荷を一時的に蓄積して保持する。

浮遊拡散領域 FD2 及び容量素子 Cp は、切替トランジスタ FDG が導通状態（ON 状態）のとき、光電変換部 25 から転送トランジスタ TR を介して転送された信号電荷を一時的に蓄積して保持する。

[0035] <読出し回路>

図 3 に示すように、読出し回路 16 は、その入力段が電荷保持部 26 の浮遊拡散領域 FD1 と電氣的に接続されている。そして、この読出し回路 16 は、切替トランジスタ FDG が非導通状態（OFF 状態）のとき、電荷保持部 26 の浮遊拡散領域 FD に保持された信号電荷を読み出し、切替トランジスタ FDG が導通状態（ON 状態）のとき、電荷保持部 26 の浮遊拡散領域 FD1、FD2 及び容量素子 Cp に保持された信号電荷を読み出す。そして、読出し回路 16 は、読み出した信号電荷に基づく画素信号を出力する。換言すれば、読出し回路 16 は、光電変換部 25（フォトダイオード PD）で光電変換された信号電荷を、この信号電荷に基づく画素信号に変換して出力する。

[0036] 読出し回路 16 に含まれる画素トランジスタ Q（AMP, RST, SEL, FDG）と、光電変換回路 15 に含まれる転送トランジスタ TR とは、絶縁ゲート型の電界効果トランジスタとして、例えばゲート絶縁膜が酸化シリコン（SiO₂）膜からなる MOSFET（Metal Oxide Semiconductor Field Effect Transistor）で構成されている。また、これらの画素トランジスタ

Qや転送トランジスタTRとしては、ゲート絶縁膜が窒化シリコン (Si_3N_4) 膜、或いは窒化シリコン膜及び酸化シリコン膜などの積層膜からなるMISFET (Metal Insulator Semiconductor FET) でも構わない。

[0037] 読出し回路16に含まれる画素トランジスタQ (AMP, RST, SEL, FDG) のうち、選択トランジスタSELと、リセットトランジスタRSTと、切替トランジスタFDGとは、主にスイッチング素子として機能する。そして、残りの増幅トランジスタAMPは、主に増幅素子として機能する。

[0038] 図3に示す増幅トランジスタAMPは、ソース領域が選択トランジスタSELのドレイン領域と電氣的に接続され、ドレイン領域が電源線VDD及びリセットトランジスタRSTのドレイン領域と電氣的に接続されている。そして、増幅トランジスタAMPのゲート電極は、電荷保持部26の浮遊拡散領域FD1、転送トランジスタTRのドレイン領域、及び切替トランジスタFDGのソース領域と電氣的に接続されている。

[0039] 図3に示す選択トランジスタSELは、ソース領域が垂直信号線11 (VSL) と電氣的に接続され、ドレイン領域が増幅トランジスタAMPのソース領域と電氣的に接続されている。そして、選択トランジスタSELのゲート電極は、図2に示す画素駆動線10のうちの選択トランジスタ駆動線と電氣的に接続されている。

[0040] 図3に示すリセットトランジスタRSTは、ソース領域が電荷保持部26の浮遊拡散領域FD2及び切替トランジスタFDGのドレイン領域の各々と電氣的に接続され、ドレイン領域が電源線VDD及び増幅トランジスタAMPのドレイン領域の各々と電氣的に接続されている。そして、リセットトランジスタRSTのゲート電極は、図2に示す画素駆動線10のうちのリセットトランジスタ駆動線と電氣的に接続されている。

[0041] 図3に示す切替トランジスタFDGは、ソース領域が電荷保持部26の浮遊拡散領域FD1、転送トランジスタTRのドレイン領域、及び増幅トランジスタAMPのゲート電極の各々と電氣的に接続され、ドレイン領域が電荷

保持部 26 の浮遊拡散領域 F D 2 及びリセットトランジスタ R S T のドレイン領域の各々と電氣的に接続されている。そして、切替トランジスタ F D G のゲート電極は、図 2 に示す画素駆動線 10 のうちの切替トランジスタ駆動線と電氣的に接続されている。

[0042] 図 3 に示す転送トランジスタ T R は、転送トランジスタ T R がオン状態となると、光電変換部 25（フォトダイオード P D）で生成された信号電荷を電荷保持部 26 に転送する。

[0043] 図 3 に示すリセットトランジスタ R S T は、リセットトランジスタ R S T がオン状態となると、電荷保持部 26（F D 1, F D 2, C p）の電位（信号電荷）を電源線 V D D の電位にリセットする。

図 3 に示す選択トランジスタ S E L は、読出し回路 16 からの画素信号の出力タイミングを制御する。

[0044] 図 3 に示す増幅トランジスタ A M P は、画素信号として、電荷保持部 26 に保持された信号電荷のレベルに応じた電圧の信号を生成する。増幅トランジスタ A M P は、ソースフォロア型のアンプを構成しており、光電変換部 25（フォトダイオード P D）で生成された信号電荷のレベルに応じた電圧の画素信号を出力するものである。増幅トランジスタ A M P は、選択トランジスタ S E L がオン状態となると、電荷保持部 26 の電位を増幅し、その電位に応じた電圧を、垂直信号線 11（V S L）を介してカラム信号処理回路 5 に出力する。

[0045] 図 3 に示す切替トランジスタ F D G は、電荷保持部 26 による電荷保持を制御すると共に、増幅トランジスタ A M P で増幅される電位に応じた電圧の像倍率を調整する。

[0046] 切替トランジスタ F D G は、変換効率を切り替える際に用いられる。一般に、暗い場所での撮影時には画素信号が小さい。 $Q = C V$ に基づき、電荷電圧変換を行う際に、電荷保持部 26 の F D 容量 C（フローティングディフュージョン容量 C）が大きければ、増幅トランジスタ A M P で電圧に変換した際の電圧 V が小さくなってしまう。一方、明るい場所では、画素信号が大き

くなるので、電荷保持部26のFD容量Cが大きくなければ、電荷保持部26で、光電変換部25（フォトダイオードPD）の電荷を受けきれない。さらに、増幅トランジスタAMPで電圧に変換した際の電圧Vが大きくなりすぎないように（言い換えると、小さくなるように）、電荷保持部26のFD容量Cが大きくなっている必要がある。これらを踏まえると、切替トランジスタFDGをオンにしたときには、切替トランジスタFDGのゲート容量が増えるので、全体のFD容量Cが大きくなる。一方、切替トランジスタFDGをオフにしたときには、全体のFD容量Cが小さくなる。このように、切替トランジスタFDGのオン／オフを切り替えることで、FD容量Cを可変にし、変換効率を切り替えることができる。

[0047] この第1実施形態に係る固体撮像装置1Aの動作時には、画素3の光電変換部25で生成された信号電荷が画素3の転送トランジスタTRを介して電荷保持部26に保持（蓄積）される。そして、電荷保持部26に保持された信号電荷が読出し回路16により読み出されて、読出し回路16の増幅トランジスタAMPのゲート電極に印加される。読出し回路16の選択トランジスタSELのゲート電極には水平ラインの選択用制御信号が垂直シフトレジスタから与えられる。そして、選択用制御信号をハイ（H）レベルにすることにより、選択トランジスタSELが導通し、増幅トランジスタAMPで増幅された、浮遊拡散領域FDの電位に対応する電流が垂直信号線11に流れる。また、読出し回路16のリセットトランジスタRSTのゲート電極に印加するリセット用制御信号をハイ（H）レベルにすることにより、リセットトランジスタRSTが導通し、浮遊拡散領域FDに蓄積された信号電荷をリセットする。

[0048] 図3に示す光電変換部25、転送トランジスタTR、浮遊拡散領域FD1、FD2及び容量素子Cpの各々は、後述する半導体層21（図5A及び図6A参照）に搭載されている。また、これに限定されないが、図3の読出し回路16に含まれる画素トランジスタQ（AMP、RST、SEL）も、例えば半導体層21に搭載されている。

[0049] 《固体撮像装置の具体的な構成》

次に、半導体チップ2（固体撮像装置1A）の具体的な構成について、図4Aから図6Bを用いて説明する。

[0050] 図4Aでは、図面を見易くするため、後述する多層配線層55の図示を省略し、図5A及び図6Aでは、多層配線層55に含まれる第1配線層57よりも上層の図示を省略している。また、図1は半導体チップ2の光入射面側を描いているが、図4Aは半導体チップ2の光入射面側とは反対側（多層配線層側）から見た平面図である。また、図6Aでは、図5Aに示す平坦化膜61、光学フィルタ63及びマイクロレンズ64の図示を省略している。

[0051] 図5A示すように、半導体チップ2は、一方向（Z方向）である厚さ方向において互いに反対側に位置する第1の面部S1及び第2の面部S2を有する半導体層21と、この半導体層21の厚さ方向（Z方向）に延伸する分離領域としての画素間分離領域31と、この画素間分離領域31で区画されて半導体層21に設けられた光電変換領域22と、を備えている。

[0052] また、図5Aに示すように、半導体チップ2は、半導体層21の第1の面部S1側に設けられた多層配線層55を更に備えている。

また、半導体チップ2は、半導体層21の第2の面部S2側に、この第2の面部S2側から順次設けられた平坦化膜61、光学フィルタ63及びマイクロレンズ（オンチップレンズ）64の各々を更に備えている。

[0053] ここで、半導体層21の第1の面部S1を主面部又は素子形成面部、第2の面部S2を裏面部と呼ぶこともある。そして、この第1実施形態に係る固体撮像装置1Aは、半導体層21の第2の面部S2側から入射した入射光を、半導体層21の光電変換領域22に設けられた光電変換部25（フォトダイオードPD）で光電変換する。したがって、この第1実施形態では、半導体層21の第2の面部S2を光入射面部と呼ぶこともある。

[0054] また、この第1実施形態では、画素間分離領域31が本技術の「分離領域」の一具体例に相当する。

[0055] <平坦化膜、光学フィルタ及びマイクロレンズ>

図5 Aに示す平坦化膜6 1は、半導体層2 1の第2の面部S 2側に、半導体層2 1の第2の面部S 2を覆うようにして設けられ、半導体層2 1の第2の面部S 2側を平坦化している。

[0056] 図5 Aに示す光学フィルタ6 3及びマイクロレンズ6 4は、それぞれ画素3（光電変換領域2 2）毎に設けられている。光学フィルタ6 3は、半導体チップ2の光入射面側（第2の面部S 2側）から入射した入射光を色分離する。マイクロレンズ6 4は、照射光を集光し、集光した光を画素3（光電変換領域2 2）に効率良く入射させる。

[0057] <半導体層>

図5 Aに示すように、半導体層2 1は、半導体層2 1の厚さ方向（Z方向）に延伸する画素間分離領域3 1と、この画素間分離領域3 1で区画された光電変換領域2 2とを備えている。光電変換領域2 2は、画素3毎に設けられている。半導体層2 1としては、Si基板、SiGe基板、InGaAs基板などを用いることができる。この第1実施形態では、これに限定されないが、半導体層2 1として例えば単結晶シリコンからなるp型の半導体基板を用いている。

[0058] <画素間分離領域>

（平面形状）

図4 Aに示すように、画素間分離領域3 1は、平面視でX方向に延伸する第1平面部分3 1 xと、Y方向に延伸する第2平面部分3 1 yと、を含む。そして、画素間分離領域3 1は、第1平面部分3 1 xと第2平面部分3 1 yとが同一平面で互いに交差する交差部（交点部）を更に含む。この第1実施形態では第1平面部分3 1 xと第2平面部分3 1 yとが例えば直交している。

[0059] 第1平面部分3 1 xは、Y方向に所定の間隔を空けて繰り返し配置されている。また、第2平面部分3 1 yは、X方向に所定の間隔を空けて繰り返し配置されている。即ち、画素間分離領域3 1は、平面視での平面パターンが格子状の平面パターンになっている。

[0060] 図4 Aに示すように、1つの光電変換領域2 2に対応する画素間分離領域3 1は、平面視での平面形状が方形状の環状平面パターン（リング状平面パターン）になっており、1つの光電変換領域2 2の周囲を取り囲んでいる。そして、複数の画素3が配置された画素アレイ部2 Aに対応する画素間分離領域3 1は、方形状の環状平面パターンの中に格子状平面パターンを有する複合平面パターンになっている。

[0061] （断面形状）

図5 Aに示すように、画素間分離領域3 1は、半導体層2 1の厚さ方向（Z方向）に延伸し、かつ平面視で互いに隣り合う2つの光電変換領域2 2の間を電氣的及び光学的に分離している。そして、画素間分離領域3 1は、例えば、半導体層2 1に掘り込み部3 3を形成して光電変換領域2 2を区画及び分離する掘り込み型、所謂トレンチ型になっている。

[0062] 画素間分離領域3 1は、これに限定されないが、例えば、半導体層2 1の第1の面部S 1と第2の面部S 2とに亘って延伸する掘り込み部3 3と、この掘り込み部3 3に設けられた分離絶縁膜3 4と、を含む。即ち、画素間分離領域3 1は、半導体層2 1の第1の面部S 1と第2の面部S 2とに亘って延伸している。分離絶縁膜3 4としては、例えば酸化シリコン膜を用いることができる。この第1実施形態において、掘り込み部3 3は、例えば分離絶縁膜3 4で埋め込まれている。

[0063] <光電変換領域>

図4 A及び図4 Bに示すように、光電変換領域2 2は、平面視で周囲を画素間分離領域3 1によって囲まれ、かつ平面形状が方形状になっている。具体的には、光電変換領域2 2は、画素間分離領域3 1において、X方向に延伸し、かつY方向に離間する2つの第1平面部分3 1 xと、Y方向に延伸し、かつX方向に離間する2つの第2平面部分3 1 yとで取り囲まれている。そして、光電変換領域2 2は、第1平面部分3 1 x及び第2平面部分3 1 yによって区画され、かつ他の光電変換領域2 2と分離されている。

[0064] 図5 Aから図6 Bに示すように、光電変換領域2 2は、半導体層2 1の第

1の面部S1側に位置する上面部22aと、画素間分離領域31側に位置する側面部（外側壁面部）22bと、を備えている。

また、光電変換領域22は、上述の光電変換部25、転送トランジスタR、浮遊拡散領域FD1、FD2、及び容量素子Cpを更に備えている。

また、図4Aから図6Bに示すように、光電変換領域22は、上面部22a側に設けられた素子間分離領域（フィールド分離領域）41と、この素子間分離領域41及び画素間分離領域31で区画されて上面部22a側（半導体層21の第1の面部S1側）に設けられた島状の素子形成領域（活性領域）43と、を更に備えている。

また、光電変換領域22は、上述の読出し回路16に含まれる画素トランジスタQとして、増幅トランジスタAMP、選択トランジスタSEL、リセットトランジスタRST及び切替トランジスタFDGを更に備えている。

また、光電変換領域22は、p型の半導体領域（ウエル領域）23と、n型の半導体領域24と、p型の給電用コンタクト領域WC（図4A及び図4B参照）と、を更に有している。

[0065] （p型の半導体領域及びn型の半導体領域）

図5A及び図5Bに示すように、p型の半導体領域23は、光電変換領域22において、半導体層21の第1の面部S1側と第2の面部S2側とに亘って広範囲で設けられている。そして、p型の半導体領域23は、半導体層21の深さ方向（Z方向）に沿って画素間分離領域31と接している。

[0066] 図5A及び図5Bに示すように、n型の半導体領域24は、光電変換領域22において、p型の半導体領域23の中に設けられている。即ち、n型の半導体領域24は、上面部、下面部及び4つの側面部を含む六面がp型の半導体領域23で囲まれている。そして、n型の半導体領域24は、半導体層21の第1の面部S1及び第2の面部S2、並びに画素間分離領域31から離間している。

[0067] （光電変換部）

図5A及び図5Bに示す光電変換部25は、光電変換領域22において、

p型の半導体領域23とn型の半導体領域24とを含む。そして、光電変換部25は、p型の半導体領域23とn型の半導体領域24とのpn接合を含むpn接合型のフォトダイオード(PD)として構成されている。

[0068] 光電変換部25は、半導体層21の第2の面部S2側からn型の半導体領域24に入射した光をn型の半導体領域24で信号電荷に光電変換すると共に、光電変換した信号電荷をp型の半導体領域23とn型の半導体領域24とのpn接合部で一時的に保持(蓄積)する。

[0069] (素子間分離領域及び素子形成領域)

図5Aから図6Bに示すように、素子間分離領域41は、光電変換領域22の上面部22a側の表層部、即ち半導体層21の第1の面部S1側の表層部に設けられている。素子間分離領域41は、これに限定されないが、例えば、半導体層21の第1の面部S1から第2の面部S2側に窪む浅溝部42aの内部に分離絶縁膜42bが埋め込まれたSTI(Shallow Trench Isolation)構造になっている。

[0070] 図4Bに示すように、素子間分離領域41は、平面視で一部を除いて画素間分離領域31から離間する島状の平面パターンになっており、画素間分離領域31と共に素子形成領域43を区画している。

[0071] 図5Aから図6Bに示すように、素子形成領域43は、光電変換領域22の上面部22a側の表層部、即ち半導体層21の第1の面部S1側の表層部に設けられている。そして、図4Bに示すように、素子形成領域43は、素子間分離領域41及び画素間分離領域31で区画され、平面視で光電変換領域22の4つの辺に沿ってリボン状に延伸する平面パターンになっている。素子形成領域43の平面パターンは、これに限定されないが、例えば各画素3(各光電変換領域22)で同一になっている。

[0072] (p型の給電用コンタクト領域)

図4B及び図6Bに示すように、p型の給電用コンタクト領域WCは、平面視で光電変換領域22の2つの辺で挟まれた角部側に設けられている。p型の給電用コンタクト領域WCは、光電変換領域22の上面部22a側の表

層部、即ち半導体層 2 1 の第 1 の面部 S 1 側の表層部に設けられている。そして、p 型の給電用コンタクト領域 WC は、光電変換領域 2 2 の上面部 2 2 a 側で素子間分離領域 4 1 及び画素間分離領域 3 1 で区画された島状の給電用領域に設けられている。p 型の給電用コンタクト領域 WC は、p 型の半導体領域 2 3 よりも高不純物濃度の p 型の半導体領域で構成されている。そして、p 型の給電用コンタクト領域 WC は、p 型の半導体領域 2 3 と接続され、電氣的に導通している。

[0073] この p 型の給電用コンタクト領域 WC には、半導体チップ 2 内（固体撮像装置 1 A 内）での基準電位として、作動時に例えば 0 V の第 1 基準電位が印加され、この第 1 基準電位に電位固定される。

[0074] （浮遊拡散領域）

図 4 A、図 6 A 及び図 6 B に示すように、上述の電荷保持部 2 6 に含まれる浮遊拡散領域 FD 1 及び FD 2 の各々は、光電変換領域 2 2 の上面部 2 2 a 側の素子形成領域 4 3 において、p 型の半導体領域 2 3 に設けられ、この p 型の半導体領域 2 3 とで p n 接合部を構成している。この浮遊拡散領域 FD 1 及び FD 2 は、後述する切替トランジスタ FD G の主電極領域 5 2 f, 5 2 r と兼用され、n 型の半導体領域で構成されている。更に、浮遊拡散領域 FD 2 の方は、電荷保持部 2 6 に含まれる容量素子 Cp の第 2 電極 5 2 c とも兼用されている。

[0075] （転送トランジスタ）

図 4 B 及び図 5 B に示すように、転送トランジスタ TR は、半導体層 2 1 の第 1 の面部 S 1 側、即ち光電変換領域 2 2 の上面部 2 2 a 側に設けられている。転送トランジスタ TR は、光電変換領域 2 2 の上面部 2 2 a 側で光電変換領域 2 2 の内外に亘って設けられたゲート電極 4 7 t と、このゲート電極 4 7 t と半導体層 2 1 との間に設けられたゲート絶縁膜 4 6 と、を有する。また、転送トランジスタ TR は、ソース領域として機能する n 型の半導体領域 2 4 と、ドレイン領域として機能する n 型の浮遊拡散領域 FD 1 と、チャンネル形成部として機能する p 型の半導体領域 2 3 と、を更に有する。この

転送トランジスタTRは、これに限定されないが、例えばバーチカル型で構成されている。

[0076] 図5Bに示すように、転送トランジスタTRのゲート電極47tは、半導体層21の第1の面部S1の外側にゲート絶縁膜46を介在して設けられた頭部47t₁と、この頭部47t₁から半導体層21の内部に突出し、かつゲート絶縁膜46を介在して半導体層21と互いに隣り合う脚部47r₂と、を有する。この第1実施形態のゲート電極47tは、これに限定されないが、例えば、脚部47t₂の幅が頭部47t₁の幅よりも狭いT字型の縦断面形状で構成されている。

[0077] ゲート電極47tの脚部47t₂は、半導体層21の掘り込み部にゲート絶縁膜46を介在して設けられ、かつ先端が絶縁分離された状態でn型の半導体領域24の内部に入り込んでいる。

[0078] <画素トランジスタ>

図4B及び図5Bに示すように、素子形成領域43には、読出し回路16に含まれる複数の画素トランジスタQ（AMP，SEL，RST，FDG）が設けられている。そして、この複数の画素トランジスタQの各々は、例えばプレーナ型で構成されている。

[0079] （リセットトランジスタ）

図4B及び図5Bに示すように、リセットトランジスタRSTは、光電変換領域22の上面部22a側（半導体層21の第1の面部S1側）に平面視で素子形成領域43（半導体層21）と重畳して設けられたゲート電極47rと、このゲート電極47rと素子形成領域43との間に介在されたゲート絶縁膜46と、を有する。また、リセットトランジスタRSTは、ゲート電極47rのゲート長方向の両側の素子形成領域43に設けられ、かつソース領域及びドレイン領域として機能する一対の主電極領域52r及び52arを更に有する。また、リセットトランジスタRSTは、平面視でゲート電極47rと重畳する素子形成領域43に設けられたチャネル形成部53rを更に有する。一対の主電極領域52r及び52arは、チャネル形成部53r

を介して互いに離間している。一对の主電極領域52r及び52arは、素子形成領域43に設けられたn型の半導体領域で構成され、チャネル形成部53rは、素子形成領域43に設けられたp型の半導体領域23で構成されている。

[0080] (選択トランジスタ)

図4B及び図5Bに示すように、選択トランジスタSELは、光電変換領域22の上面部22a側（半導体層21の第1の面部S1側）に平面視で素子形成領域43（半導体層21）と重畳して設けられたゲート電極47sと、このゲート電極47sと素子形成領域43との間に介在されたゲート絶縁膜46と、を有する。また、選択トランジスタSELは、ゲート電極47sのゲート長方向の両側の素子形成領域43に設けられ、かつソース領域及びドレイン領域として機能する一对の主電極領域52s及び52asを更に有する。また、選択トランジスタSELは、平面視でゲート電極47sと重畳する素子形成領域43に設けられたチャネル形成部53sを更に有する。一对の主電極領域52s及び52asは、チャネル形成部53sを介して互いに離間している。一对の主電極領域52s及び52asは、素子形成領域43に設けられたn型の半導体領域で構成され、チャネル形成部53sは、素子形成領域43に設けられたp型の半導体領域23で構成されている。

[0081] (増幅トランジスタ)

増幅トランジスタAMPは、詳細に図示していないが、リセットトランジスタRSTや選択トランジスタSELと同様の構成になっている。即ち、図4B及び図5Bを参照して説明すれば、増幅トランジスタAMPは、光電変換領域22の上面部22a側（半導体層21の第1の面部S1側）に平面視で素子形成領域43（半導体層21）と重畳して設けられたゲート電極47aと、このゲート電極47aと素子形成領域43との間に介在されたゲート絶縁膜と、を有する。また、増幅トランジスタAMPは、ゲート電極47aのゲート長方向の両側の素子形成領域43に設けられ、かつソース領域及びドレイン領域として機能する一对の主電極領域52as及び52arを更に

有する。また、増幅トランジスタAMPは、平面視でゲート電極47aと重畳する素子形成領域43に設けられたチャネル形成部を更に有する。一对の主電極領域52as及び52arは、チャネル形成部を介して互いに離間している。一对の主電極領域52as及び52arは、素子形成領域43に設けられたn型の半導体領域で構成され、チャネル形成部は、素子形成領域43に設けられたp型の半導体領域23で構成されている。

[0082] (切替トランジスタ)

図4B及び図6Bに示すように、切替トランジスタFDGは、光電変換領域22の上面部22a側(半導体層21の第1の面部S1側)に平面視で素子形成領域43(半導体層21)と重畳して設けられたゲート電極47fと、このゲート電極47fと素子形成領域43との間に介在されたゲート絶縁膜46と、を有する。また、切替トランジスタFDGは、ゲート電極47fのゲート長方向の両側の素子形成領域43に設けられ、かつソース領域及びドレイン領域として機能する一对の主電極領域52f及び52rを更に有する。また、切替トランジスタFDGは、平面視でゲート電極47fと重畳する素子形成領域43に設けられたチャネル形成部53fを更に有する。一对の主電極領域52f及び52rは、チャネル形成部53fを介して互いに離間している。一对の主電極領域52f及び52rは、素子形成領域43に設けられたn型の半導体領域で構成され、チャネル形成部53fは、素子形成領域43に設けられたp型の半導体領域23で構成されている。

[0083] (主電極領域の共有)

図4Bに示すように、増幅トランジスタAMPと選択トランジスタSELとは、増幅トランジスタAMPの主電極領域52asと、選択トランジスタSELの主電極領域52asとが共有され、直列接続で素子形成領域43に設けられている。

また、図4Bに示すように、増幅トランジスタAMPとリセットトランジスタSRTとは、増幅トランジスタAMPの主電極領域52arと、リセットトランジスタRSTの主電極領域52arとが共有され、直列接続で素子

形成領域43に設けられている。

[0084] 図4Bに示すように、切替トランジスタFDGと転送トランジスタTRとは、切替トランジスタFDGの主電極領域52fと転送トランジスタTRの主電極領域52fとが共有され、直列接続で素子形成領域43に設けられている。そして、切替トランジスタFDG及び転送トランジスタTRの各々の主電極領域52fは、浮遊拡散領域FD1と兼用されている。

[0085] また、図4Bに示すように、切替トランジスタFDGとリセットトランジスタRSTとは、切替トランジスタFDGの主電極領域52rとリセットトランジスタRSTの主電極領域52rとが共有され、直列接続で素子形成領域43に設けられている。そして、切替トランジスタFDG及びリセットトランジスタRSTの各々の主電極領域52rは、浮遊拡散領域FD2と兼用されている。

[0086] (ゲート絶縁膜及びゲート電極の材料)

増幅トランジスタAMP、選択トランジスタSEL、リセットトランジスタRST、切替トランジスタFDG及び転送トランジスタTRの各々のゲート絶縁膜46は、例えば、酸化シリコン(SiO_2)膜で構成されている。そして、これらのトランジスタAMP、SEL、RST、FDG及びTRの各々のゲート電極47a, 47s, 47r, 47f, 47tは、例えば、抵抗値を低減する不純物が導入された多結晶シリコン膜(ドーパドポリシリコン膜)で構成されている。

[0087] (エンハンスメント型)

読出し回路16に含まれる画素トランジスタQ(AMP, SEL, RST, FDG)の各々は、例えば、ゲート電極47a, 47s, 47r, 47fに閾値電圧以上のゲート電圧を印加することにより、ドレイン電流が流れるエンハンスメント型(ノーマリオフ型)で構成することができる。また、読出し回路16に含まれる画素トランジスタQ(AMP, SEL, RST, FDG)の各々は、例えば、ゲート電極47a, 47s, 47r, 47fに電圧を印加しなくてもドレイン電流が流れるディプレッション型(ノーマリオ

ン型)で構成することができる。この第1実施形態では、これに限定されないが、例えばエンハンスメント型で構成されている。エンハンスメント型の場合、画素トランジスタQ (AMP, SEL, RST, FDG)の各々は、ゲート電極47a, 47s, 47r, 47fに印加される電圧により、一對の主電極領域を電氣的に繋ぐチャネル(反転層)がチャネル形成部に形成(誘起)され、電流(ドレイン電流)がドレイン領域側からチャネル形成部のチャネルを通してソース領域側に流れる。

[0088] なお、転送トランジスタTRも、画素トランジスタQと同様に、例えばエンハンスメント型で構成されている。

[0089] <容量素子Cp>

図4B、図6A及び図6Bに示すように、容量素子Cpは、光電変換領域22の側面部22bに設けられた誘電体膜46cと、光電変換領域22の側面部22bと誘電体膜46cを介在して互いに隣り合って(向かい合って)画素間分離領域31に設けられた第1電極47cと、光電変換領域22の側面部22bの内側に第1電極47cと互いに隣り合って設けられた第2電極52cと、を有する。誘電体膜46cは、例えば酸化シリコン膜で構成されている。

[0090] 図6Bに示すように、第1電極47cは、これに限定されないが、例えば一部が画素間分離領域31の内部に設けられ、他部が画素間分離領域31の外側に設けられている。即ち、この第1実施形態の第1電極47cは、半導体層21の厚さ方向(Z方向)において、画素間分離領域31の内外に亘って設けられている。

[0091] 第1電極47cは、例えば、抵抗値を低減する不純物が導入された多結晶シリコン膜(ドーパドポリシリコン膜)で構成されている。第1電極47cは、切替トランジスタFDGのゲート電極47fと同一工程で形成することができる。

[0092] 第2電極52cは、素子形成領域43に設けられた半導体領域で構成されている。この第1実施形態の第2電極52cは、切替トランジスタFDG及

びリセットトランジスタ R S T の各々の主電極領域 5 2 r と兼用されていると共に、浮遊拡散領域 F D 2 と兼用されている。即ち、容量素子 C p は、M O S 構造で構成されている。

[0093] 図 6 B に示すように、浮遊拡散領域 F D 2 は、光電変換領域 2 2 の上面部 2 2 a 及び側面部 2 2 b に亘って設けられている。具体的には、浮遊拡散領域 F D 2 は、光電変換領域 2 2 の上面部 2 2 a に設けられた第 1 部分 5 2 c₁ と、この第 1 部分 5 2 c₁ から光電変換領域 2 2 の側面部 2 2 b に沿って半導体層 2 1 の第 1 の面部 S 1 とは反対側に延伸する第 2 部分 5 2 c₂ とを含む。即ち、第 2 電極 5 2 c は、半導体層 2 1 の厚さ方向（Z 方向）に沿う縦断面形状が L 字形状になっている。

[0094] 図 4 A に示すように、平面視で Y 方向に並ぶ 2 つの光電変換領域 2 2（2 2 X a, 2 2 X b）において、一方の光電変換領域 2 2 X a における容量素子 C p の第 1 電極 4 7 c は、他方の光電変換領域 2 2 X b における増幅トランジスタ A M P 及びリセットトランジスタ R S T の主電極領域 5 2 a r と、配線 5 8 z を介して電氣的に接続されている。この配線 5 8 z は、図示していないが、上述の電源線 V D D と電氣的に接続されている。

[0095] <<多層配線層>>

図 5 A から図 6 B に示すように、多層配線層 5 5 は、半導体層 2 1 の第 1 の面部 S 1 側設けられている。そして、多層配線層 5 5 は、半導体層 2 1 の第 1 の面部 S 1 側に、素子間分離領域 4 1 及び素子形成領域 4 3 を覆うようにして設けられた層間絶縁膜 5 6 と、層間絶縁膜 5 6 の膜中に設けられたコンタクト電極 5 7 c, 5 7 f, 5 7 r, 5 7 s, 5 7 t, 5 7 w と、層間絶縁膜 5 6 の半導体層 2 1 側とは反対側に設けられた第 1 層目の配線層 5 8 と、を含む。第 1 層目の配線層 5 8 は、配線 5 8 c, 5 8 r, 5 8 s, 5 8 t, 5 8 w を含む。コンタクト電極 5 7 c, 5 7 f, 5 7 r, 5 7 s, 5 7 t, 5 7 w の材料としては、例えば高融点金属のタングステン（W）を用いることができる。第 1 層目の配線層 5 8 の材料としては、例えばアルミニウム（A l）、銅（C u）などの金属材料、又は A l、C u を主体とする合金材

料などを用いることができる。層間絶縁膜 56 としては、例えば酸化シリコン膜を用いることができる。転送トランジスタ TR のゲート電極 47t、及び複数の画素トランジスタ Q (AMP, SEL, RST, FDG) の各々のゲート電極 (47a, 47s, 47r, 47f) は、層間絶縁膜 56 で覆われている。

[0096] <コンタクト電極及び配線>

図 5B に示すように、転送トランジスタ TR のゲート電極 47t は、層間絶縁膜 56 に設けられたコンタクト電極 57t を介して、層間絶縁膜 56 上の配線層 58 に設けられた配線 58t と電氣的に接続されている。

[0097] 図 5B に示すように、リセットトランジスタ RST のゲート電極 47r は、層間絶縁膜 56 に設けられたコンタクト電極 57r を介して、層間絶縁膜 56 上の配線層 58 に設けられた配線 58r と電氣的に接続されている。

[0098] 図 5B に示すように、選択トランジスタ SEL のゲート電極 47s は、層間絶縁膜 56 に設けられたコンタクト電極 57s を介して、層間絶縁膜 56 上の配線層 58 に設けられた配線 58s と電氣的に接続されている。

[0099] 図 6B に示すように、切替トランジスタ FDG のゲート電極 47f は、層間絶縁膜 56 に設けられたコンタクト電極 57f を介して、層間絶縁膜 56 上の配線層 58 に設けられた配線 58f と電氣的に接続されている。

[0100] 図 6B に示すように、容量素子 Cp の第 1 電極 47c は、層間絶縁膜 56 に設けられたコンタクト電極 57c を介して、層間絶縁膜 56 上の配線層 58 に設けられた配線 58c と電氣的に接続されている。

[0101] なお、図示していないが、増幅トランジスタ AMP のゲート電極 47a は、層間絶縁膜 56 に設けられたコンタクト電極を介して、層間絶縁膜 56 上の配線層 58 に設けられた配線と電氣的に接続されている。

[0102] <<固体撮像装置の製造方法>>

次に、本技術の第 1 実施形態に係る固体撮像装置 1A の製造方法について、図 7A から図 7H を用いて説明する。

この第 1 実施形態では、固体撮像装置 1A の製造方法に含まれる容量素子

C p の製造に特化して説明する。

[0103] まず、図 7 A に示すように、光電変換領域 2 2、p 型の半導体領域 2 3、n 型の半導体領域 2 4、光電変換部 2 5、画素間分離領域 3 1、素子間分離領域 4 1、素子形成領域 4 3 などを半導体層 2 1 に形成する。

画素間分離領域 3 1 は、半導体層 2 1 の厚さ方向（Z 方向）に延伸する掘り込み部 3 3 を半導体層 2 1 に形成し、その後、この掘り込み部 3 3 を分離絶縁膜 3 4 で選択的に埋め込むことによって形成することができる。

素子間分離領域 4 1 は、半導体層 2 1 の第 1 の面部 S 1 側に浅溝部 4 2 a を形成し、その後、この浅溝部 4 2 a を分離絶縁膜 4 2 b で選択的に埋め込むことによって形成することができる。

そして、この画素間分離領域 3 1 及び素子間分離領域 4 1 を形成することにより、画素間分離領域 3 1 及び素子間分離領域 4 1 で区画され、かつ上面部 2 2 a、側面部 2 2 b を有する光電変換領域 2 2 が形成される。また、素子間分離領域 4 1 で区画された素子形成領域 4 3 が光電変換領域 2 2 の上面部 2 2 a 側に形成される。

[0104] 次に、図 7 B に示すように、画素間分離領域 3 1 に、光電変換領域 2 2 の側面部 2 2 b に沿って半導体層 2 1 の厚さ方向（Z 方向）に伸びる掘り込み部 3 5 を形成する。掘り込み部 3 5 は、例えば、周知のフォトリソグラフィ技術で半導体層 2 1 の第 1 の面部 S 1 にマスク M 1 を形成し、その後、マスク M 1 の開口部から露出する画素間分離領域 3 1 を異方性ドライエッチング技術で選択的にエッチングすることによって形成することができる。

[0105] 次に、図 7 C に示すように、光電変換領域 2 2 の側面部 2 2 b の内側に、光電変換領域 2 2 の上面部 2 2 a 側から上面部 2 2 a 側とは反対側に側面部 2 2 b に沿って延伸する n 型の半導体領域からなる第 1 部分 5 2 c₁ を形成する。第 1 部分 5 2 c₁ は、例えば、マスク M 1 の開口部及び掘り込み部 3 5 を通して光電変換領域 2 2 の側面部 2 2 b に不純物をイオン注入し、その後、イオン注入した不純物を活性化する熱処理を施すことによって形成することができる。

[0106] 次に、マスクM1を選択的に除去すると共に、半導体層21の第1の面部S1側であって光電変換領域22の上面部22a及び側面部22bの自然酸化膜や余分な絶縁膜を例えばウエットエッチングにより除去して光電変換領域22の上面部22a及び側面部22bにおける半導体層21を露出する。

[0107] 次に光電変換領域22の上面部22a及び側面部22bにおける半導体層21を露出した後、図7Dに示すように、光電変換領域22の上面部22aにおける半導体層21にゲート絶縁膜46を形成すると共に、光電変換領域22の側面部22bにおける半導体層21に第1部分52c₁と隣り合う誘電体膜46cを形成する。

ゲート絶縁膜46及び誘電体膜46cとしては、例えば酸化シリコン膜を用いることができる。酸化シリコン膜は、熱酸化法や堆積法で形成することができるが、この第1実施形態では熱酸化法による酸化シリコン膜をゲート絶縁膜46及び誘電体膜46cとして形成した。熱酸化法は、堆積法と比較して膜質が良好な酸化シリコン膜を形成することができる。

この工程において、誘電体膜46cとゲート絶縁膜46とが同一工程で形成される。

[0108] 次に、図7Eに示すように、導電膜47を形成する。導電膜47は、掘り込み部35の内部を埋め込むようにして半導体層21の第1の面部S1側に形成する。導電膜47としては、CVD法で成膜が可能な多結晶シリコン膜を用いることができる。

[0109] 次に、導電膜47をパターンニングして、図7Fに示すように、ゲート電極47fを形成すると共に、第1電極47cを形成する。図7Fでは、切替トランジスタFDGのゲート電極47fを図示しているが、この工程において、増幅トランジスタAMP、選択トランジスタSEL、リセットトランジスタRST及び転送トランジスタTRのゲート電極も形成される。

[0110] この工程において、第1電極47cは、誘電体膜46cを介在して光電変換領域22の側面部22b及び第1部分52c₁の各々と互いに隣り合い、かつ半導体層21の厚さ方向（Z方向）において画素間分離領域31の内外に

亘って延伸する形状で形成される。

また、この工程において、ゲート電極 4 7 f 及び他のゲート電極の各々は、光電変換領域 2 2 の素子形成領域 4 3 にゲート絶縁膜 4 6 を介在して形成される。

また、この工程において、第 1 電極 4 7 c と、画素トランジスタ Q のゲート電極とが同一工程で形成される。

[0111] 次に、図 7 G に示すように、光電変換領域 2 2 の素子形成領域 4 3 の上面部 2 2 a に、n 型の半導体領域からなる第 2 部分 5 2 c₂ を形成すると共に、n 型の半導体領域からなる浮遊拡散領域 F D 1 を形成する。第 2 部分 5 2 c₂ 及び浮遊拡散領域 F D 1 の各々は、例えば、光電変換領域 2 2 の素子形成領域 4 3 に不純物を選択的にイオン注入し、その後、イオン注入した不純物を活性化する熱処理を施すことによって形成することができる。

[0112] この工程において、第 1 部分 5 2 c₁ 及び第 2 部分 5 2 c₂ を含む浮遊拡散領域 F D 2 が形成されると共に、この浮遊拡散領域 F D 2 と兼用された第 2 電極 5 2 c が形成される。

また、この工程において、第 1 電極 4 7 c、誘電体膜 4 6 c 及び第 2 電極 5 2 c を含み、かつ浮遊拡散領域 F D 2 と電氣的に接続された容量素子 C p が形成される。

[0113] また、この工程において、浮遊拡散領域 F D 1 と兼用された主電極領域 5 2 f が形成されると共に、浮遊拡散領域 F D 2 で兼用された主電極領域 5 2 r が形成される。

また、この工程において、平面視でゲート電極 4 7 f と重畳し、かつ主電極領域 5 2 f と主電極領域 5 2 r とで挟まれた素子形成領域 4 3 にチャネル形成部 5 3 r が形成される。

また、この工程において、画素トランジスタ Q として、ゲート絶縁膜 4 6、ゲート電極 4 7 f、一对の主電極領域 5 2 f、5 2 r、及びチャネル形成部 5 3 f を有する切替トランジスタ F D G が形成される。

[0114] なお、図示していないが、この工程において、他の画素トランジスタ Q と

して、増幅トランジスタAMP、選択トランジスタSEL、リセットトランジスタRSTも光電変換領域22の素子形成領域43に形成されると共に、転送トランジスタTRも光電変換領域22の素子形成領域43に形成される。

[0115] 《第1実施形態の主な効果》

次に、この第1実施形態の主な効果について説明する。

図3に示すように、この第1実施形態に係る固体撮像装置1Aは、浮遊拡散領域FD2と接続された容量素子Cpを備えている。そして、容量素子Cpは、図4B及び図6Bに示すように、誘電体膜46cを介在して光電変換領域22の側面部22bと互いに隣り合って画素間分離領域31に設けられた第1電極47cと、光電変換領域22の側面部22bの内側に第1電極47cと隣り合って設けられた第2電極52cとを有する。

[0116] このため、容量素子Cpの第1電極47c及び第2電極52cの各々を光電変換領域22に配置した場合と比較して、容量素子Cpが光電変換領域22で占める占有面積を小さくすることができ、容量素子Cp、画素トランジスタQ（AMP，RST，SEL，FDG）及び転送トランジスタTRなどの素子を光電変換領域22に配置する配置自由度（レイアウト自由度）を上げることができる。したがって、この第1実施形態に係る固体撮像装置1Aによれば、光電変換領域22での素子の配置自由度を上げることができる。

[0117] また、容量素子Cpが光電変換領域22で占める占有面積を小さくすることができるため、光電変換領域22に設けられる画素トランジスタQ（AMP，SEL，RST，FDG）や転送トランジスタTRを微細化することなく、光電変換領域22の微細化を図ることができる。これにより、光電変換領域22に設けられる画素トランジスタQ（AMP，SEL，RST，FDG）及び転送トランジスタTRの微細化に伴う特性劣化を抑制しつつ、光電変換領域22の微細化、即ち画素3の微細化を図ることができる。

[0118] また、容量素子Cpの第1電極47c及び第2電極52cの各々は、光電変換領域22の側面部22bで誘電体膜46cを介在して互いに隣り合って

設けられている。このため、半導体層 2 1 の厚さ方向（Z 方向）に第 1 電極 4 7 c 及び第 2 電極 5 2 c の各々の面積を広げることができ、容量素子 C p の平面サイズを拡張することなく、容量を大きくすることができる。

[0119] また、容量素子 C p の第 2 電極 5 2 c が浮遊拡散領域 F D 2 と兼用されている。このため、光電変換領域 2 2 の平面サイズを小さくすることができ、画素アレイ部 2 A の平面サイズを大きくすることなく、画素アレイ部 2 A の画素数を増やすことができる。近年、高解像が可能なイメージセンサが市場で求められており、イメージセンサの高解像化に貢献することができる。

[0120] また、容量素子 C p の第 2 電極 5 2 c が浮遊拡散領域 F D 2 と兼用されていることから、第 2 電極 5 2 c と浮遊拡散領域 F D 2 とを電氣的に接続する配線を省略することができ、平面視で光電変換領域 2 2 と重畳する多層配線層 5 5 の配線密度を下げるができる。これにより、光電変換領域 2 2 の画素トランジスタ Q（AMP，SEL，RST，FDG）と接続する配線の引き回し自由度を上げることができ、配線の引き回しに起因する、画素トランジスタ Q の配置の制約を緩和することができる。

[0121] ここで、通常、イメージセンサでは、ダイナミックレンジの拡大と、低照度特性を良くするために、変換効率切替用のトランジスタ（切替トランジスタ F D G）を設け、低照度時には高変換効率、高照度時には低変換効率として、駆動させることが多い。

[0122] 高照度領域において、電荷保持部 2 6 は光電変換部 2 5 からの信号電荷（転送電荷）を受けるため、浮遊拡散領域 F D 1，F D 2 での拡散容量だけでは少なく、容量を付けることが多い。そのため、容量を増加させるために、配線容量、MOS 容量、MIM 容量などを接続することがある。

[0123] この電荷保持部 2 6 での F D 容量により、ダイナミックレンジ性能が決まるため、特にオーバーフロー駆動（LOFIC）を行う際は、F D 容量は大きいほどよい。

[0124] 配線容量は信頼性の観点から、そこまで大きくすることができず、MIM 部を光電変換領域 2 2 に形成することは、コストや構造面でもデメリットが

あるため、MOS容量が多く使われてきた。

[0125] しかしながら、従来のMOS容量はSi表面に絶縁膜を介在して電極を形成しているため、容量を大きくする場合は面積を大きくする必要があった。そのため、画素トランジスタQのサイズを小さくする必要があり、画素トランジスタQのサイズを小さくすると、トランジスタ特性のバラツキ悪化や、ランダムノイズなどの特性に影響した。

[0126] これに対し、本技術の容量素子C_pは、平面サイズを拡張することなく、容量を大きくすることができるため、トランジスタ特性のバラツキ悪化や、ランダムノイズなどの特性に影響することなく、ダイナミックレンジの拡大と、低照度特性の改善に有用である。

[0127] ≪第1実施形態の変形例≫

＜変形例1-1＞

上述の第1実施形態では、容量素子C_pの第1電極47cが、半導体層21の厚さ方向（Z方向）において、画素間分離領域31の内外に亘って設けられた場合について説明したが、本技術は上述の第1実施形態に限定されるものではない。

[0128] 例えば、図8に示すように、第1電極47cは、画素間分離領域31に埋め込まれていてもよい。この変形例1-1においても、上述の第1実施形態と同様の効果が得られる。

[0129] ＜変形例1-2＞

また、上述の第1実施形態では、容量素子C_pの誘電体膜46cとして酸化シリコン膜を用いた場合について説明したが、本技術は上述の第1実施形態に限定されるものではない。

[0130] 例えば、図9に示すように、容量素子C_pの誘電体膜46cは、画素間分離領域の分離絶縁膜よりも誘電率が高い膜46c₁を含む構成としてもよい。この変形例1-2においても、上述の第1実施形態と同様の効果が得られる。また、この変形例1-2は、上述の第1実施形態と比較して、同一のサイズで容量を大きくすることができる。

[0131] 〔第2実施形態〕

次に、本技術の第2実施形態に係る固体撮像装置1Bについて、図10から図12を用いて説明する。

図10は、本技術の第2実施形態に係る固体撮像装置において、2つの画素ブロックの一構成例を模式的に示す平面図である。

図11は、図10のa10-a10切断線に沿った縦断面構造を模式的に示す縦断面図である。

図12は、図10のb10-b10切断線に沿った縦断面構造を模式的に示す縦断面図である。

[0132] 本技術の第2実施形態に係る固体撮像装置1Bは、図10に示す画素ブロック17Bを備えている。この第2実施形態の画素ブロック17Bは、平面視でX方向に互いに隣り合って並ぶ2つの画素3（3c, 3d）を一単位として含む。図10では、平面視でY方向に並ぶ2つの画素ブロック17Bを例示している。

[0133] 図10に示すように、1つの画素ブロック17Bに含まれる2つの画素3（3c, 3d）の各々は、画素間分離領域31で区画された光電変換領域22（22xc, 22xd）を含む。この第2実施形態の光電変換領域22（22xc, 22xd）は、基本的に上述の第1実施形態の光電変換領域22と同様の構成になっており、以下の構成が異なっている。

[0134] 即ち、この第2実施形態の画素ブロック17Bは、2つの画素3（3c, 3d）の各々の光電変換領域22（22xc, 22xd）において、一方の光電変換領域22xcにおける素子形成領域43の平面パターンと、他方の光電変換領域22xdにおける素子形成領域43の平面パターンとが、X方向に並ぶ画素3cと画素3dとの間の境界を軸にして反転している。

[0135] そして、2つの画素3（3c, 3d）の各々の光電変換領域22（22xc, 22xd）において、一方の光電変換領域22xcの容量素子Cpと、他方の光電変換領域22xdの容量素子Cpとで第1電極47cを共有している。

[0136] 具体的には、図11に示すように、第1電極47cは、平面視で画素間分離領域31を介して互いに隣り合う2つの光電変換領域22（22Xc，22Xd）において共有され、かつ2つの光電変換領域22（22Xc，22Xd）の各々の側面部22bで各々の第2電極52c（浮遊拡散領域FD2）と誘電体膜46cを介在して互いに隣り合って（向かい合って）いる。

[0137] また、図10に示すように、平面視でY方向に並ぶ2つの画素ブロック17Bにおいて、一方の画素ブロック17Bの第1電極47cは、画素間分離領域31を跨いで他方の画素ブロック17Bに引き伸ばされている。そして、図12に示すように、一方の画素ブロック17Bの第1電極47cは、他方の画素ブロック17Bに含まれる2つ光電変換領域22（22Xc，22Xd）の各々の側面部22bにおいて、この2つの光電変換領域22（22Xc，22Xd）の各々に設けられた増幅トランジスタAMPの各々の主電極領域52arと電氣的及び機械的に接続されている。そして、図示していないが、第1電極47cには、電源配線線VDDが電氣的に接続されている。

[0138] この第2実施形態に係る固体撮像装置1Bにおいても、上述の第1実施形態に係る固体撮像装置1Aと同様の効果が得られる。

[0139] また、この第2実施形態では、1つの画素ブロック17Bに含まれる2つの画素3（3c，3d）の各々の光電変換領域22（22Xc，22Xd）において、一方の光電変換領域22Xcの容量素子Cpと、他方の光電変換領域22Xdの容量素子Cpとで第1電極47cを共有している。このため、第1電極47cに接続するコンタクト電極や配線も共有することができ、平面視で画素ブロック17Bと重畳する多層配線層55の配線密度を小さくすることができる。これにより、光電変換領域22の画素トランジスタQと接続する配線の引き回し自由度を上げることができ、配線の引き回しに起因する、画素トランジスタQの配置の制約を緩和することができる。したがって、この第2実施形態に係る固体撮像装置1Bによれば、上述の第1実施形態に係る固体撮像装置1Aと比較して、光電変換領域22での画素トランジ

スタQの配置自由度を、より一層上げることができる。

[0140] また、この第2実施形態では、平面視でY方向に並ぶ2つの画素ブロック17Bにおいて、一方の画素ブロック17Bの第1電極47cは、画素間分離領域31を跨いで他方の画素ブロック17Bに引き伸ばされている。そして、一方の画素ブロック17Bの第1電極47cは、他方の画素ブロック17Bに含まれる2つ光電変換領域22(22Xc, 22Xd)の各々の側面部22bにおいて、この2つの光電変換領域22(22Xc, 22Xd)の各々に設けられた増幅トランジスタAMPの各々の主電極領域52arと電氣的及び機械的に接続されている。そして、第1電極47cには、電源配線VDDが電氣的に接続されている。これにより、増幅トランジスタAMPの主電極領域52arに接続するコンタクト電極や配線も第1電極47cと接続するコンタクト電極や配線と共有することができるため、上述の第1実施形態に係る固体撮像装置1Aと比較して、光電変換領域22での画素トランジスタQの配置自由度を、更により一層上げることができる。

[0141] なお、この第2実施形態では、第1電極47cを共有する容量素子Cpを2つの容量素子Cpとして説明しているが、第1電極47cを共有する2つの容量素子Cpを1つの容量素子Cpとしてみなすこともできる。

[0142] [第3実施形態]

次に、本技術の第3実施形態に係る固体撮像装置1Cについて、図13及び図14を用いて説明する。

図13は、本技術の第3実施形態に係る固体撮像装置において、2つの画素ブロックの一構成例を模式的に示す平面図である。

図14は、図13のa13-a13切断線に沿った縦断面構造を模式的に示す縦断面図である。

図13及び図14に示すように、本技術の第3実施形態に係る固体撮像装置1Cは、基本的に上述の第2実施形態に係る固体撮像装置1Bと同様の構成になっており、容量素子Cpの第1電極47cの構成が異なっている。

即ち、図13及び図14に示すように、この第3実施形態の第1電極47

cは、誘電体膜46cを介在して光電変換領域22の上面部22a及び側面部22bに亘って設けられている。

[0143] この第3実施形態では、第2電極52c（遊拡散領域FD2）が、光電変換領域22の上面部22a及び側面部22bに亘って設けられている。したがって、この第3実施形態の第1電極47cは、誘電体膜46cを介在して光電変換領域22の上面部22a及び側面部22bに亘って第2電極52cと隣り合って（向かい合って）いる。

[0144] また、この第3実施形態では、第1電極47cは平面視でX方向に並ぶ2つの光電変換領域22の各々の容量素子Cpで共有されている。したがって、この第3実施形態の第1電極47cは、平面視でX方向に並ぶ2つの光電変換領域22の各々の上面部22a及び側面部22bに亘って設けられていると共に、この2つの光電変換領域22の各々の第2電極52cと誘電体膜46cを介在して互いに隣り合っている。

[0145] この第3実施形態の第1電極47cは、半導体層21の第1の面部S1の外側を平面視で光電変換領域22及び画素間分離領域31に亘って延伸し、光電変換領域22の上面部22aでは誘電体膜46cが介在された頭部と、この頭部から画素間分離領域31側に突出し、かつ光電変換領域22の側面部22bで第2電極52c（浮遊拡散領域FD2）と誘電体膜46cを介在して互いに隣り合う脚部と、を有する。

[0146] この第3実施形態に係る固体撮像装置1Cにおいても、上述の第2実施形態に係る固体撮像装置1Bと同様の効果が得られる。

[0147] また、この第3実施形態の容量素子Cpは、第1電極47c及び第2電極52cの各々が光電変換領域22の上面部22a及び側面部22bに亘って設けられているので、上述の第1及び第2実施形態の容量素子Cpと比較して、容量を大きくすることができる。

[0148] なお、容量素子Cpの第1電極47cを光電変換領域22の上面部22a及び側面部22bに亘って設ける構成は、上述の第1実施形態の容量素子Cpにおいても適用することができる。

[0149] 《第3実施形態の変形例》

＜変形例3－1＞

上述の第3実施形態では、容量素子 C_p の第1電極47cが、誘電体膜46cを介在して光電変換領域22の上面部22a及び側面部22bに亘って設けられた場合について説明したが、本技術は上述の第1実施形態に限定されるものではない。

[0150] 例えば、図15に示すように、容量素子 C_p の第1電極47cは、誘電体膜46cを介在して光電変換領域22の上面部22a及び2つの側面部22b, 22cの各々に亘って設けてもよい。この変形例3－1の場合、第2電極52c（浮遊拡散領域FD2）も、光電変換領域22の上面部22a及び2つの側面部22b, 22cの各々に亘って設ける。そして、容量素子 C_p の第1電極47cは、誘電体膜46cを介在して光電変換領域22の上面部22a及び2つの側面部22b, 22cの各々に亘って第2電極52c（浮遊拡散領域FD2）と互いに隣り合う。光電変換領域22の側面部（内側側面部）22cは、平面視で光電変換領域22の側面部（外側側面部）22bとは反対側に位置し、素子間分離領域41と隣り合っている。

[0151] この変形例3－1においても、上述の第3実施形態と同様の効果が得られる。

また、この変形例3－1の容量素子 C_p は、第1電極47c及び第2電極52cの各々が光電変換領域22の上面部22a及び2つの側面部22b, 22cの各々に亘って設けられているので、上述の第3実施形態の容量素子 C_p と比較して、容量を大きくすることができる。

[0152] 〔第4実施形態〕

次に、本技術の第4実施形態に係る固体撮像装置1Dについて、図16から図18を用いて説明する。

図16は、本技術の第4実施形態に係る固体撮像装置において、読出し回路の一構成例を示す等価回路図である。

図17は、本技術の第4実施形態に係る固体撮像装置において、2つの画

素の一構成例を模式的に示す平面図である。

図18は、図17のa17-a17切断線に沿った縦断面構造を模式的に示す縦断面図である。

[0153] 図16から図18に示すように、本技術の第4実施形態に係る固体撮像装置1Dは、基本的に上述の第1実施形態に係る固体撮像装置1Aと同様の構成になっており、以下の構成が異なっている。

[0154] 即ち、この第4実施形態の固体撮像装置1Dは、上述の第1実施形態の図3に示す光電変換回路15及び読出し回路16に替えて、図16に示す光電変換回路15D及び読出し回路16Dを備えている。そして、この第4実施形態では、光電変換領域22のトランジスタレイアウトが上述の実施形態1と比較して若干異なっている。その他の構成は、概ね第1実施形態と同様である。

[0155] <光電変換回路及び読出し回路>

図16に示すように、光電変換回路15Dは、これに限定されないが、例えば、光電変換部25と、この光電変換部25で光電変換された信号電荷を保持（蓄積）する電荷保持部26と、この光電変換部25で光電変換された信号電荷を電荷保持部26Dに転送する転送トランジスタTRと、を備えている。光電変換回路15Dは、画素3毎に設けられている。

読出し回路16Dは、これに限定されないが、画素トランジスタQとして、例えば、増幅トランジスタAMPと、選択トランジスタSELと、リセットトランジスタRSTと、2つの切替トランジスタFCG、FDGと、を備えている。即ち、この第4実施形態の読出し回路16Dは、5トランジスタ構成になっている。

[0156] ここで、この第4実施形態では、一例として、画素3毎に1つの読出し回路16Dを割り与えた回路構成になっているが、この第4実施形態に限定されるものではない。例えば、2つの画素3を一単位として1つの読出し回路16Dを割り与えた回路構成としてもよく、また、3つ以上の画素3を一単位として1つの読出し回路16Dを割り与えた回路構成としてもよい。

[0157] <光電変換回路>

(光電変換部及び転送トランジスタ)

図16に示す光電変換部25及び転送トランジスタTRは、上述の第1実施形態の光電変換部25及び転送トランジスタTRと同様の構成になっているので、この第4実施形態での説明は省略する。

[0158] (電荷保持部)

電荷保持部26Dは、上述の第1実施形態の電荷保持部26とは異なり、3つの浮遊拡散領域(フローティングディフュージョン(Floating Diffusion)領域)FD1、FD2及びFD3と、容量素子として、MOS構造の容量素子Cp及びMIM(Metal Insulator Metal)構造の容量素子Cpmと、を有する。

[0159] 浮遊拡散領域FD1は、上述の第1実施形態と同様に、転送トランジスタTRと、切替トランジスタFDGとの間に接続されている。浮遊拡散領域FD2は、切替トランジスタFDGとFCGとの間に接続されている。浮遊拡散領域FD3は、切替トランジスタFCGとリセットトランジスタRSTとの間に接続されている。

容量素子Cpは、上述の第1実施形態と同様に、浮遊拡散領域FD2に接続されている。容量素子Cpmは、浮遊拡散領域FD3に接続されている。

[0160] 浮遊拡散領域FD1は、光電変換部25から転送トランジスタTRを介して転送された信号電荷を一時的に蓄積して保持する。

浮遊拡散領域FD2及び容量素子Cpは、切替トランジスタFDGが導通状態(ON状態)のとき、光電変換部25から転送トランジスタTRを介して転送された信号電荷を一時的に蓄積して保持する。

浮遊拡散領域FD3及び容量素子Cpmは、切替トランジスタFDG及びFCGの各々が導通状態(ON状態)のとき、光電変換部25から転送トランジスタTRを介して転送された信号電荷を一時的に蓄積して保持する。

[0161] <読出し回路>

図16に示すように、読出し回路16Dは、その入力段が電荷保持部26

Dの浮遊拡散領域FD1と電氣的に接続されている。そして、この読出し回路16Dは、切替トランジスタFDGが非導通状態（OFF状態）のとき、電荷保持部26の浮遊拡散領域FD1に保持された信号電荷を読み出す。また、この読出し回路16Dは、切替トランジスタFDGが導通状態（ON状態）で切替トランジスタFCGが非導通状態（OFF状態）のとき、電荷保持部26の浮遊拡散領域FD1、FD2及び容量素子Cpに保持された信号電荷を読み出す。また、この読出し回路16Dは、切替トランジスタFDG及びFCGの各々が導通状態（ON状態）のとき、電荷保持部26の浮遊拡散領域FD1、FD2及びFD3と、容量素子Cp及びCpmとに保持された信号電荷を読み出す。

そして、読出し回路16Dは、読み出した信号電荷に基づく画素信号を出力する。換言すれば、読出し回路16Dは、光電変換部25（フォトダイオードPD）で光電変換された信号電荷を、この信号電荷に基づく画素信号に変換して出力する。

[0162] 読出し回路16Dに含まれる画素トランジスタQ（AMP、RST、SEL、FCG、FDG）と、光電変換回路15Dに含まれる転送トランジスタTRとは、絶縁ゲート型の電界効果トランジスタとして、例えばMOSFETで構成されている。また、これらの画素トランジスタQや転送トランジスタTRとしては、MISFETでも構わない。

[0163] 図16に示す増幅トランジスタAMP、選択トランジスタSELの各々は、上述の第1実施形態と同様に接続されているので、この第4実施形態での説明は省略する。

[0164] 図16に示すリセットトランジスタRSTは、ソース領域が電荷保持部26Dの浮遊拡散領域FD3及び切替トランジスタFCGのドレイン領域の各々と電氣的に接続され、ドレイン領域が電源線VDD及び増幅トランジスタAMPのドレイン領域の各々と電氣的に接続されている。そして、リセットトランジスタRSTのゲート電極は、図2に示す画素駆動線10のうちのリセットトランジスタ駆動線と電氣的に接続されている。

[0165] 図16に示す切替トランジスタFCGは、ソース領域が電荷保持部26Dの浮遊拡散領域FD2及び切替トランジスタFDGのドレイン領域の各々と電氣的に接続され、ドレイン領域が電荷保持部26Dの浮遊拡散領域FD3及びリセットトランジスタRSTのドレイン領域の各々と電氣的に接続されている。そして、切替トランジスタFCGのゲート電極は、図2に示す画素駆動線10のうちの第2切替トランジスタ駆動線と電氣的に接続されている。

[0166] 図16に示す切替トランジスタFDGは、ソース領域が電荷保持部26Dの浮遊拡散領域FD1、転送トランジスタTRのドレイン領域、及び増幅トランジスタAMPのゲート電極の各々と電氣的に接続され、ドレイン領域が電荷保持部26の浮遊拡散領域FD2及び切替トランジスタFCGのドレイン領域の各々と電氣的に接続されている。そして、切替トランジスタFDGのゲート電極は、図2に示す画素駆動線10のうちの第1切替トランジスタ駆動線と電氣的に接続されている。

[0167] 図16に示す転送トランジスタTRは、転送トランジスタTRがオン状態となると、光電変換部25（フォトダイオードPD）で生成された信号電荷を電荷保持部26Dに転送する。

[0168] 図16に示すリセットトランジスタRSTは、リセットトランジスタRSTがオン状態となると、電荷保持部26D（FD1、FD2、FD3、Cp、Cpm）の電位（信号電荷）を電源線VDDの電位にリセットする。

図16に示す選択トランジスタSELは、読出し回路16からの画素信号の出力タイミングを制御する。

[0169] 図16に示す増幅トランジスタAMPは、画素信号として、電荷保持部26Dに保持された信号電荷のレベルに応じた電圧の信号を生成する。増幅トランジスタAMPは、ソースフォロア型のアンプを構成しており、光電変換部25（フォトダイオードPD）で生成された信号電荷のレベルに応じた電圧の画素信号を出力するものである。増幅トランジスタAMPは、選択トランジスタSELがオン状態となると、電荷保持部26Dの電位を増幅し、そ

の電位に応じた電圧を、垂直信号線 11 (VSL) を介してカラム信号処理回路 5 に出力する。

[0170] 図 16 に示す 2 つの切替トランジスタ FCG 及び FDG の各々は、上述の第 1 実施形態の切替トランジスタ FDG と同様に、浮遊拡散領域 FD1, FD2, FD3 による電荷保持を制御すると共に、増幅トランジスタ AMP で増幅される電位に応じた電圧の増倍率を調整する。そして、この 2 つの切替トランジスタ FCG 及び FDG の各々のオン／オフを切り替えることで、上述の第 1 実施形態の読出し回路 16 と同様に、FD 容量 C を可変にし、変換効率を切り替えることができる。

[0171] 詳細に図示していないが、図 17 を参照して説明すると、切替トランジスタ FCG は、ゲート絶縁膜を介在して光電変換領域 22 の素子形成領域 43 に設けられたゲート電極 47f と、平面視でゲート電極 47f のゲート長方向に互いに離間して光電変換領域 22 の素子形成領域 43 に設けられ、かつソース領域及びドレイン領域として機能する一対の主電極領域 52fc 及び 52r と、を有する。また、切替トランジスタ FCG は、平面視でゲート電極 47f と重畳する素子形成領域 43 (半導体層 21) に設けられたチャネル形成部を更に有する。一対の主電極領域 52f 及び 52r は、n 型の半導体領域で構成され、チャネル形成部は p 型の半導体領域 23 で構成されている。

[0172] 詳細に図示していないが、図 17 を参照して説明すると、切替トランジスタ FDG は、ゲート絶縁膜を介在して光電変換領域 22 の素子形成領域 43 に設けられたゲート電極 47f と、平面視でゲート電極 47f のゲート長方向に互いに離間して光電変換領域 22 の素子形成領域 43 に設けられ、かつソース領域及びドレイン領域として機能する一対の主電極領域 52f 及び 52fc と、を有する。また、切替トランジスタ FDG は、平面視でゲート電極 47f と重畳する素子形成領域 43 (半導体層 21) に設けられたチャネル形成部を更に有する。一対の主電極領域 52f 及び 52fc は、n 型の半導体領域で構成され、チャネル形成部は p 型の半導体領域 23 で構成されて

いる。

[0173] この第4実施形態において、リセットトランジスタRSTと切替トランジスタFCGとは、リセットトランジスタRSTの主電極領域52rと切替トランジスタFCGの主電極領域52rとが共有され、直列に接続されている。また、切替トランジスタFCGと切替トランジスタFDGとは、切替トランジスタFCGの主電極領域52fcと切替トランジスタFDGの主電極領域52fcとが共有され、直列に接続されている。即ち、リセットトランジスタRST及び2つの切替トランジスタFCG、FDGの各々は、直接に接続された状態で光電変換領域22の素子形成領域43に設けられている。

[0174] また、この第4実施形態において、浮遊拡散領域FD1は、切替トランジスタFDGの主電極領域52fと兼用されている。また、浮遊拡散領域FD2は、切替トランジスタFDG及びFCGの主電極領域52fcと兼用されている。また、浮遊拡散領域FD3は、切替トランジスタFCDG及びリセットトランジスタRSTの主電極領域52rと兼用されている。

[0175] <容量素子Cp>

図18に示すように、この第4実施形態の容量素子Cpは、上述の第1実施形態と同様に、光電変換領域22の側面部22bに設けられた誘電体膜46cと、光電変換領域22の側面部22bと誘電体膜46cを介在して互いに隣り合って（向かい合って）画素間分離領域31に設けられた第1電極47cと、光電変換領域22の側面部22bの内側に第1電極47cと互いに隣り合って設けられた第2電極52cと、を有する。

[0176] この第4実施形態の容量素子Cpは、第2電極52cの構成が上述の第1実施形態と異なっている。即ち、上述の第1実施形態の第2電極52cは、図6Bに示すように、切替トランジスタFDGの主電極領域52rと兼用されている。これに対し、この第4実施形態の容量素子Cpは、図18に示すように、リセストランジスタRST及び増幅トランジスタAMPの主電極領域52arと兼用されている。

[0177] そして、図18に示すように、平面視でX方向に互いに隣り合って並ぶ2

つの光電変換領域 22 (22 X e, 22 X f) において、一方の光電変換領域 22 X e に第 2 電極 52 c が設けられた容量素子 C p の第 1 電極 47 c は、層間絶縁膜 56 に設けられたコンタクト電極 57 c を介して層間絶縁膜 56 上の配線層 58 に設けられた配線 58 c と電氣的に接続されている。そして、この配線 58 c は、層間絶縁膜 56 に設けられたコンタクト電極 57 f c を介して、他方の光電変換領域 22 に設けられた切替トランジスタ FCG の主電極領域 47 f c と電氣的に接続されている。

[0178] <容量素子 C p m>

MIM 構造の容量素子 C p m は、図示していないが、例えば多層配線層 55 に設けられている。この MIM 構造の容量素子 C p m は、多層配線層 55 において、2 つの配線層と 1 つの層間絶縁膜とで構成することができ、大容量化を図ることができる。

[0179] <第 4 実施形態の主な効果>

この第 4 実施形態に係る固体撮像装置 1 D においても、上述の第 1 実施形態に係る固体撮像装置 1 A と同様の効果が得られる。

[0180] また、この第 4 実施形態では、浮遊拡散領域 F D 3 に MIM 構造の容量素子 C p m が接続されており、浮遊拡散領域 F D 2 において配線容量や MIM 構造の容量素子 C p m による高容量まで必要ない場合に有効である。

[0181] [第 5 実施形態]

<電子機器への応用例>

本技術（本開示に係る技術）は、例えば、デジタルスチルカメラ、デジタルビデオカメラ等の撮像装置、撮像機能を備えた携帯電話機、又は、撮像機能を備えた他の機器といった各種の電子機器に適用することができる。

図 19 は、本技術の第 4 実施形態に係る電子機器（例えば、カメラ）の概略構成を示す図である。

[0182] 図 19 に示すように、電子機器 100 は、固体撮像装置 101 と、光学レンズ 102 と、シャッタ装置 103 と、駆動回路 104 と、信号処理回路 105 とを備えている。この電子機器 100 は、固体撮像装置 101 として、

本技術の第1から第4実施形態に係る固体撮像装置1A～1Dを電子機器（例えばカメラ）に用いた場合の実施形態を示す。

[0183] 光学レンズ102は、被写体からの像光（入射光106）を固体撮像装置101の撮像面上に結像させる。これにより、固体撮像装置101内に一定期間にわたって信号電荷が蓄積される。シャッタ装置103は、固体撮像装置101への光照射期間及び遮光期間を制御する。駆動回路104は、固体撮像装置101の転送動作及びシャッタ装置103のシャッタ動作を制御する駆動信号を供給する。駆動回路104から供給される駆動信号（タイミング信号）により、固体撮像装置101の電荷転送を行なう。信号処理回路105は、固体撮像装置101から出力される信号（画素信号（画像信号））に各種信号処理を行う。信号処理が行われた映像信号は、メモリ等の記憶媒体に記憶され、或いはモニタに出力される。

[0184] このような構成により、固体撮像装置101において、画素3の微細化が図られているため、第11実施形態の電子機器100の画質性能の向上を図ることができる。

[0185] なお、上述の実施形態の固体撮像装置を適用できる電子機器100としては、カメラに限られるものではなく、他の電子機器にも適用することができる。例えば、携帯電話機やタブレット端末等のモバイル機器向けカメラモジュール等の撮像装置に適用してもよい。

[0186] また、本技術は、上述したイメージセンサとしての固体撮像装置の他、ToF（Time of Flight）センサと称され、距離を測定する測距センサなども含む光検出装置全般に適用することができる。測距センサは、物体に向かって照射光を発光し、その照射光が物体の表面で反射されて返ってくる反射光を検出し、照射光が発光されてから反射光が受光されるまでの飛行時間に基づいて物体までの距離を算出するセンサである。この測距センサにおいても、上述した画素トランジスタを採用することができる。

[0187] なお、本技術は、以下のような構成としてもよい。

(1)

厚さ方向において互いに反対側に位置する第 1 の面部及び第 2 の面部を有し、かつ厚さ方向に延伸する分離領域で区画された光電変換領域を有する半導体層を備え、

前記光電変換領域は、

前記半導体層の前記第 1 の面部側に位置する上面部と、

前記分離領域側に位置する側面部と、

前記上面部側に設けられた画素トランジスタと、

前記上面部側に設けられ、かつ光電変換部で光電変換された信号電荷を保持する浮遊拡散領域と、

前記浮遊拡散領域に接続された容量素子と、

を有し、

前記容量素子は、

前記光電変換領域の前記側面部と誘電体膜を介在して互いに隣り合って前記分離領域に設けられた第 1 電極と、

前記光電変換領域の前記側面部の内側に前記第 1 電極と隣り合って設けられた第 2 電極とを有する、光検出装置。

(2)

前記浮遊拡散領域は、前記光電変換領域の前記上面部及び前記側面部に亘って設けられ、

前記第 2 電極は、前記浮遊拡散領域と兼用されている、上記 (1) に記載の光検出装置。

(3)

前記第 1 電極は、前記分離領域の内外に亘って設けられている、上記 (1) 又は (2) に記載の光検出装置。

(4)

前記第 1 電極は、前記分離領域に埋め込まれている、上記 (1) 又は (2) に記載の光検出装置。

(5)

前記第 1 電極は、前記誘電体膜を介在して前記光電変換領域の前記上面部及び前記側面部に沿って設けられている、上記（１）又は（２）に記載の光検出装置。

（６）

第 1 電極は、平面視で前記分離領域を介して互いに隣り合う 2 つの前記光電変換領域において共有され、かつ 2 つの前記光電変換領域の各々の前記第 2 電極と前記誘電体膜を介在して互いに隣り合っている、上記（１）から（５）の何れかに記載の光検出装置。

（７）

平面視で前記分離領域を介して互いに隣り合う 2 つの前記光電変換領域において、一方の前記光電変換領域の前記第 2 電極と隣り合う前記第 1 電極は、他方の前記光電変換領域に設けられた前記画素トランジスタの主電極領域と、他方の前記光電変換領域の前記側面部で接続されている、上記（１）から（５）の何れかに記載の光検出装置。

（８）

前記分離領域は、前記半導体層に設けられた掘り込み部と、前記掘り込み部に埋め込まれた分離絶縁膜と、を有し、

前記誘電体膜は、前記分離絶縁膜よりも誘電率が高い膜を含む、上記（１）から（７）の何れかに記載の光検出装置。

（９）

光検出装置と、

被写体からの像光を前記光検出装置の撮像面上に結像させる光学レンズと

、

前記光検出装置から出力される信号に信号処理を行う信号処理回路と、

を備え、

前記光検出装置は、

厚さ方向において互いに反対側に位置する第 1 の面部及び第 2 の面部を有し、かつ厚さ方向に延伸する分離領域で区画された光電変換領域を有する半

導体層を備え、

前記光電変換領域は、

前記半導体層の前記第 1 の面部側に位置する上面部と、

前記分離領域側に位置する側面部と、

前記上面部側に設けられた画素トランジスタと、

前記上面部側に設けられ、かつ光電変換部で光電変換された信号電荷を保持する浮遊拡散領域と、

前記浮遊拡散領域に接続された容量素子と、

を備え、

前記容量素子は、

前記光電変換領域の前記側面部と誘電体膜を介在して互いに隣り合って前記分離領域に設けられた第 1 電極と、

前記光電変換領域の前記側面部の内側に前記第 1 電極と隣り合って設けられた第 2 電極とを有する、電子機器。

[0188] 本技術の範囲は、図示され記載された例示的な実施形態に限定されるものではなく、本技術が目的とするものと均等な効果をもたらす全ての実施形態をも含む。さらに、本技術の範囲は、請求項により画される発明の特徴の組み合わせに限定されるものではなく、全ての開示されたそれぞれの特徴のうち特定の特徴のあらゆる所望する組み合わせによって画されうる。

符号の説明

[0189] 1 A, 1 B, 1 C, 1 D…固体撮像装置

2…半導体チップ

2 A…画素アレイ部

2 B…周辺部

3…画素

4…垂直駆動回路

5…カラム信号処理回路

6…水平駆動回路

- 7 …出力回路
- 8 …制御回路
- 1 0 …画素駆動線
- 1 1 …垂直信号線
- 1 2 …水平信号線
- 1 3 …ロジック回路
- 1 4 …ボンディングパッド
- 1 5 …光電変換回路
- 1 6 …読出し回路（画素回路）
- 2 1 …半導体層
- 2 2 …光電変換領域
- 2 2 a …上面部
- 2 2 b …側面部
- 2 3 …p型の半導体領域
- 2 4 …n型の半導体領域
- 2 5 …光電変換部
- 2 6 …電荷保持部
- 3 1 …画素間分離領域（分離領域）
- 3 1 b₁ …第1縦部分
- 3 1 b₂ …第2縦部分
- 3 1 b_z …段差部
- 3 1 x …第1平面部分
- 3 1 y …第2平面部分
- 3 1 z₁ …第1縦部分
- 3 1 z₂ …第2縦部分
- 3 3 …掘り込み部
- 3 4 …分離絶縁膜
- 4 1 …素子間分離領域（フィールド分離領域）

4 2 a …浅溝部
4 2 b …分離絶縁膜
4 3 …素子形成領域（活性領域）
4 6 …ゲート絶縁膜
4 6 c …誘電体膜
4 7 …電極膜
4 7 a, 4 7 r, 4 7 s, 4 7 t …ゲート電極
4 7 t₁ …頭部
4 7 t₂ …脚部
4 7 c …第1 電極
5 1 …掘り込み部
5 2 a s, 5 2 a s, 5 2 r, 5 2 s …主電極領域
5 2 c …第2 電極
5 2 c₁ …第1 部分
5 2 c₂ …第2 部分
5 3 f, 5 3 r, 5 3 s …チャネル形成部
5 5 …多層配線層
5 6 …層間絶縁膜
5 7 …第1 層目の配線層
5 7 a, 5 7 f, 5 7 r, 5 7 s, 5 7 t …コンタクト電極
5 8 a, 5 8 r, 5 8 s, 5 8 t …配線
6 1 …平坦化膜
6 3 …光学フィルタ
6 4 …マイクロレンズ
1 0 0 …電子機器
1 0 1 …固体撮像装置
1 0 2 …光学レンズ（光学系）
1 0 3 …シャッタ装置

104…駆動回路

105…信号処理回路

AMP…増幅トランジスタ

FD1, FD2…n型の浮遊拡散領域

FCG, FDG…切替トランジスタ

Q…画素トランジスタ

RST…リセットトランジスタ

SEL…選択トランジスタ

S1…1の面部

S2…第2の面部

TR…転送トランジスタ

WC…給電用コンタクト領域

請求の範囲

- [請求項1] 厚さ方向において互いに反対側に位置する第1の面部及び第2の面部を有し、かつ厚さ方向に延伸する分離領域で区画された光電変換領域を有する半導体層を備え、
- 前記光電変換領域は、
- 前記半導体層の前記第1の面部側に位置する上面部と、
- 前記分離領域側に位置する側面部と、
- 前記上面部側に設けられた画素トランジスタと、
- 前記上面部側に設けられ、かつ光電変換部で光電変換された信号電荷を保持する浮遊拡散領域と、
- 前記浮遊拡散領域に接続された容量素子と、
- を有し、
- 前記容量素子は、
- 前記光電変換領域の前記側面部と誘電体膜を介在して互いに隣り合って前記分離領域に設けられた第1電極と、
- 前記光電変換領域の前記側面部の内側に前記第1電極と隣り合って設けられた第2電極とを有する、光検出装置。
- [請求項2] 前記浮遊拡散領域は、前記光電変換領域の前記上面部及び前記側面部に亘って設けられ、
- 前記第2電極は、前記浮遊拡散領域と兼用されている、請求項1に記載の光検出装置。
- [請求項3] 前記第1電極は、前記分離領域の内外に亘って設けられている、請求項1に記載の光検出装置。
- [請求項4] 前記第1電極は、前記分離領域に埋め込まれている、請求項1に記載の光検出装置。
- [請求項5] 前記第1電極は、前記誘電体膜を介在して前記光電変換領域の前記上面部及び前記側面部に沿って設けられている、請求項1に記載の光検出装置。

- [請求項6] 第1電極は、平面視で前記分離領域を介して互いに隣り合う2つの前記光電変換領域において共有され、かつ2つの前記光電変換領域の各々の前記第2電極と前記誘電体膜を介在して互いに隣り合っている、請求項1に記載の光検出装置。
- [請求項7] 平面視で前記分離領域を介して互いに隣り合う2つの前記光電変換領域において、一方の前記光電変換領域の前記第2電極と隣り合う前記第1電極は、他方の前記光電変換領域に設けられた前記画素トランジスタの主電極領域と、他方の前記光電変換領域の前記側面部で接続されている、請求項1に記載の光検出装置。
- [請求項8] 前記分離領域は、前記半導体層に設けられた掘り込み部と、前記掘り込み部に埋め込まれた分離絶縁膜と、を有し、
前記誘電体膜は、前記分離絶縁膜よりも誘電率が高い膜を含む、請求項1に記載の光検出装置。
- [請求項9] 光検出装置と、
被写体からの像光を前記光検出装置の撮像面上に結像させる光学レンズと、
前記光検出装置から出力される信号に信号処理を行う信号処理回路と、
を備え、
前記光検出装置は、
厚さ方向において互いに反対側に位置する第1の面部及び第2の面部を有し、かつ厚さ方向に延伸する分離領域で区画された光電変換領域を有する半導体層を備え、
前記光電変換領域は、
前記半導体層の前記第1の面部側に位置する上面部と、
前記分離領域側に位置する側面部と、
前記上面部側に設けられた画素トランジスタと、
前記上面部側に設けられ、かつ光電変換部で光電変換された信号電

荷を保持する浮遊拡散領域と、

前記浮遊拡散領域に接続された容量素子と、

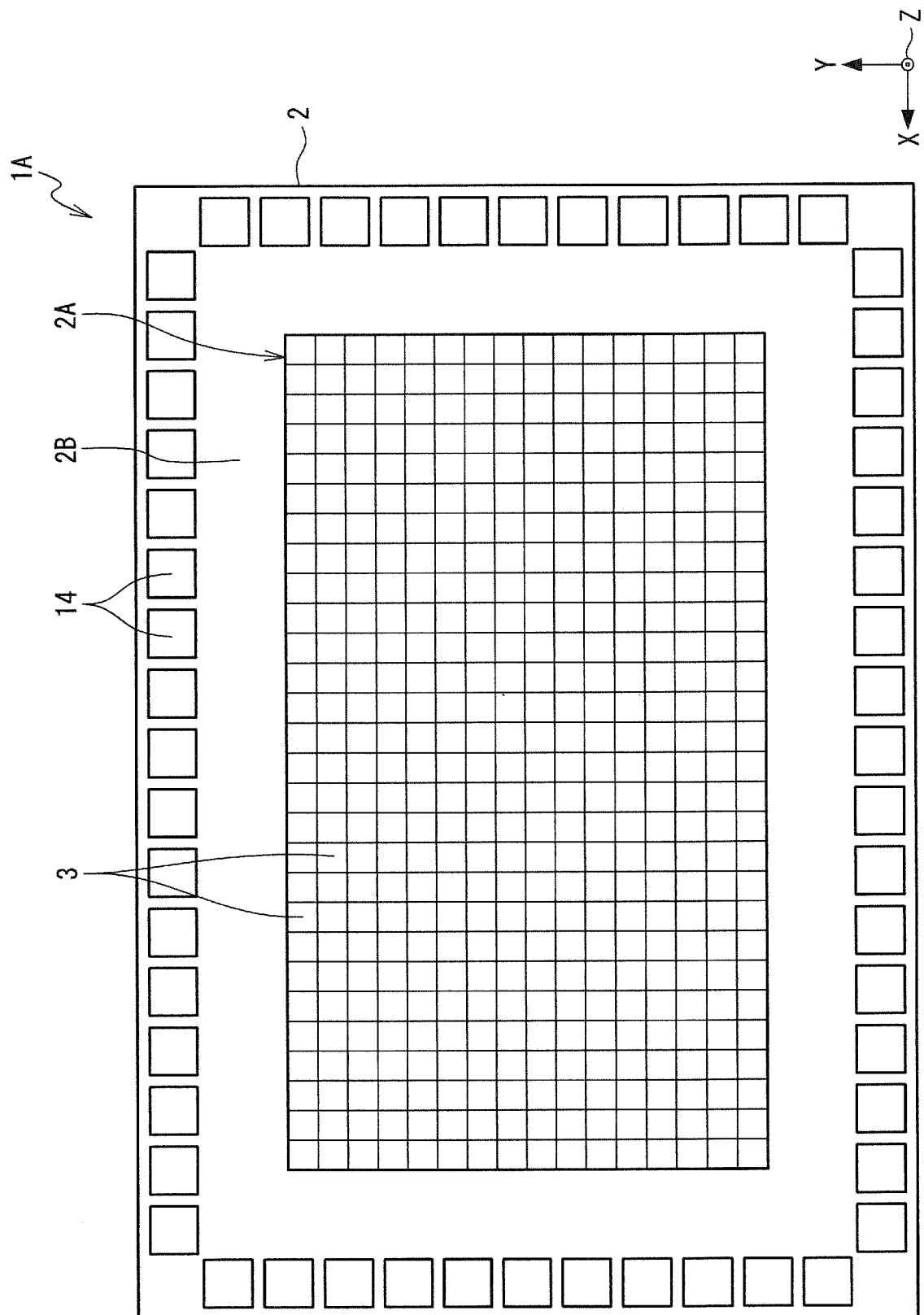
を備え、

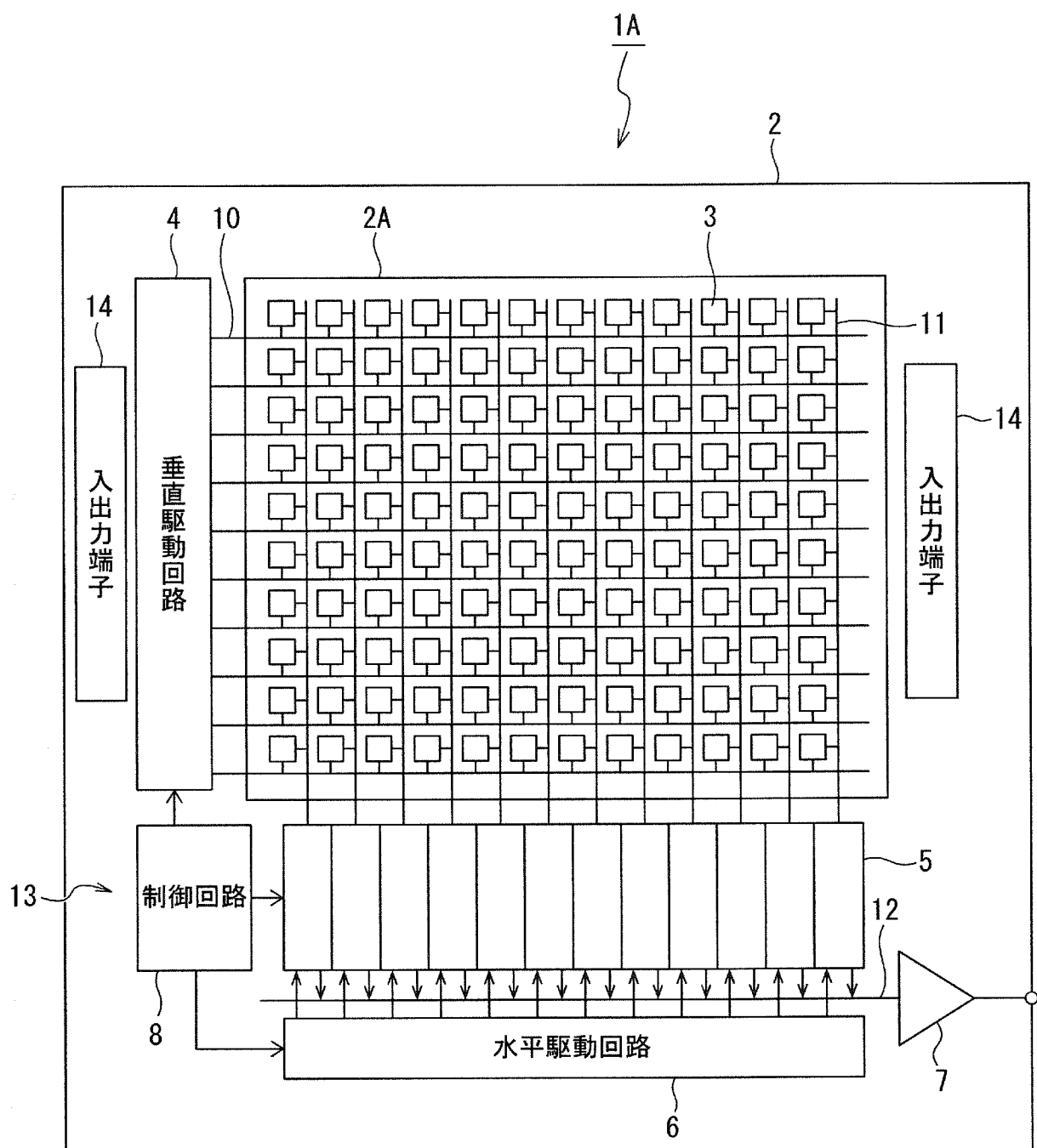
前記容量素子は、

前記光電変換領域の前記側面部と誘電体膜を介在して互いに隣り合
って前記分離領域に設けられた第 1 電極と、

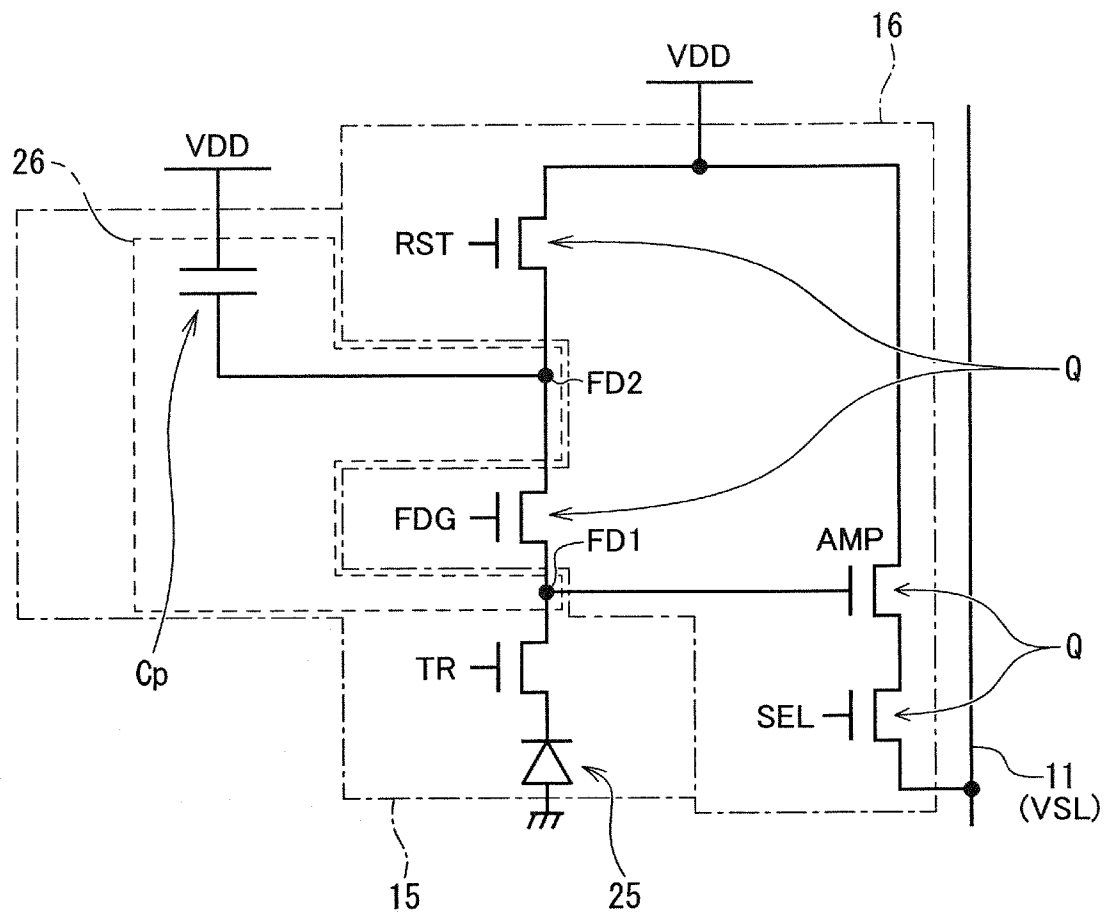
前記光電変換領域の前記側面部の内側に前記第 1 電極と隣り合って
設けられた第 2 電極とを有する、電子機器。

[図1]

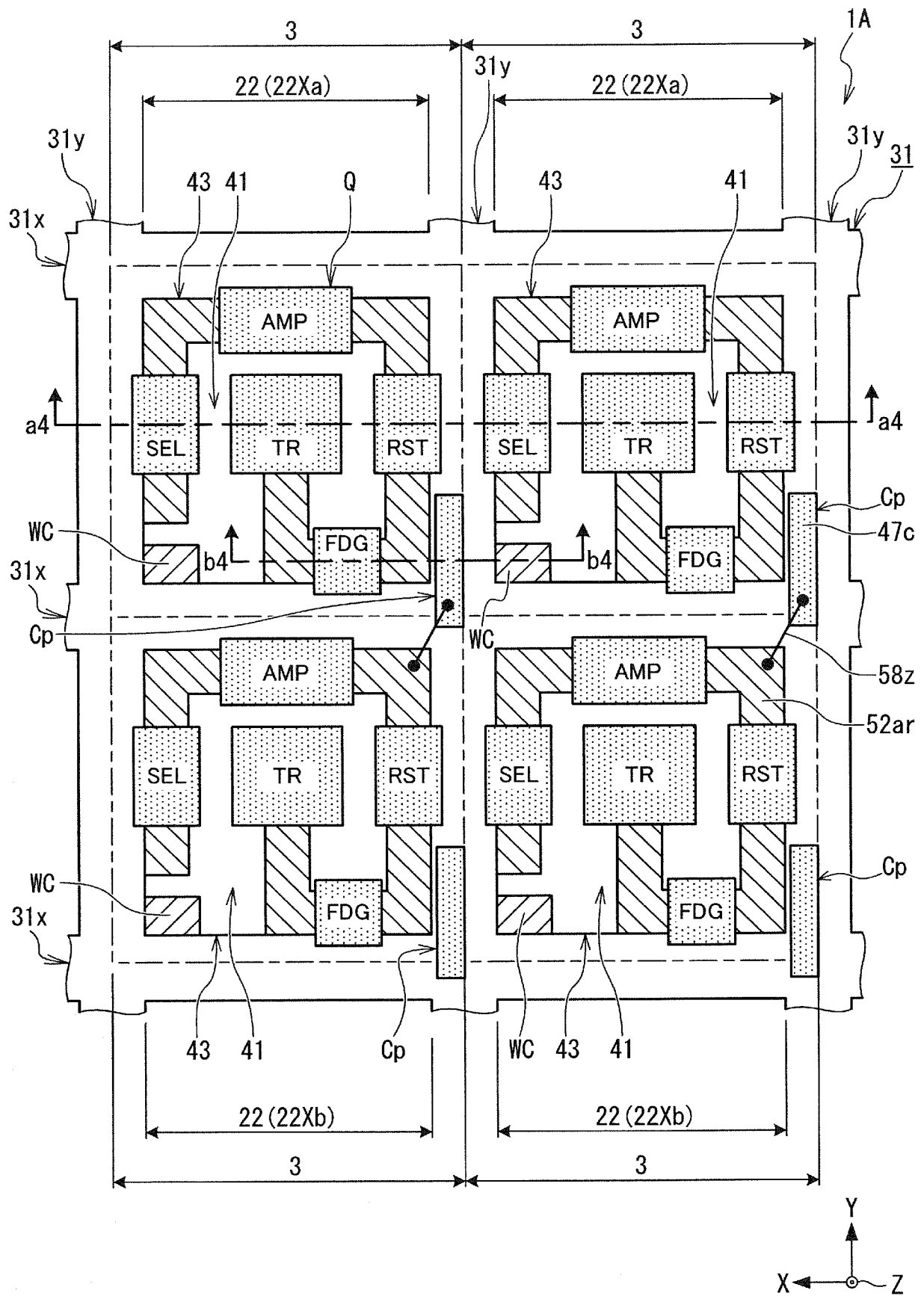




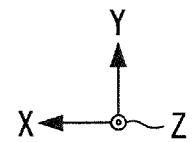
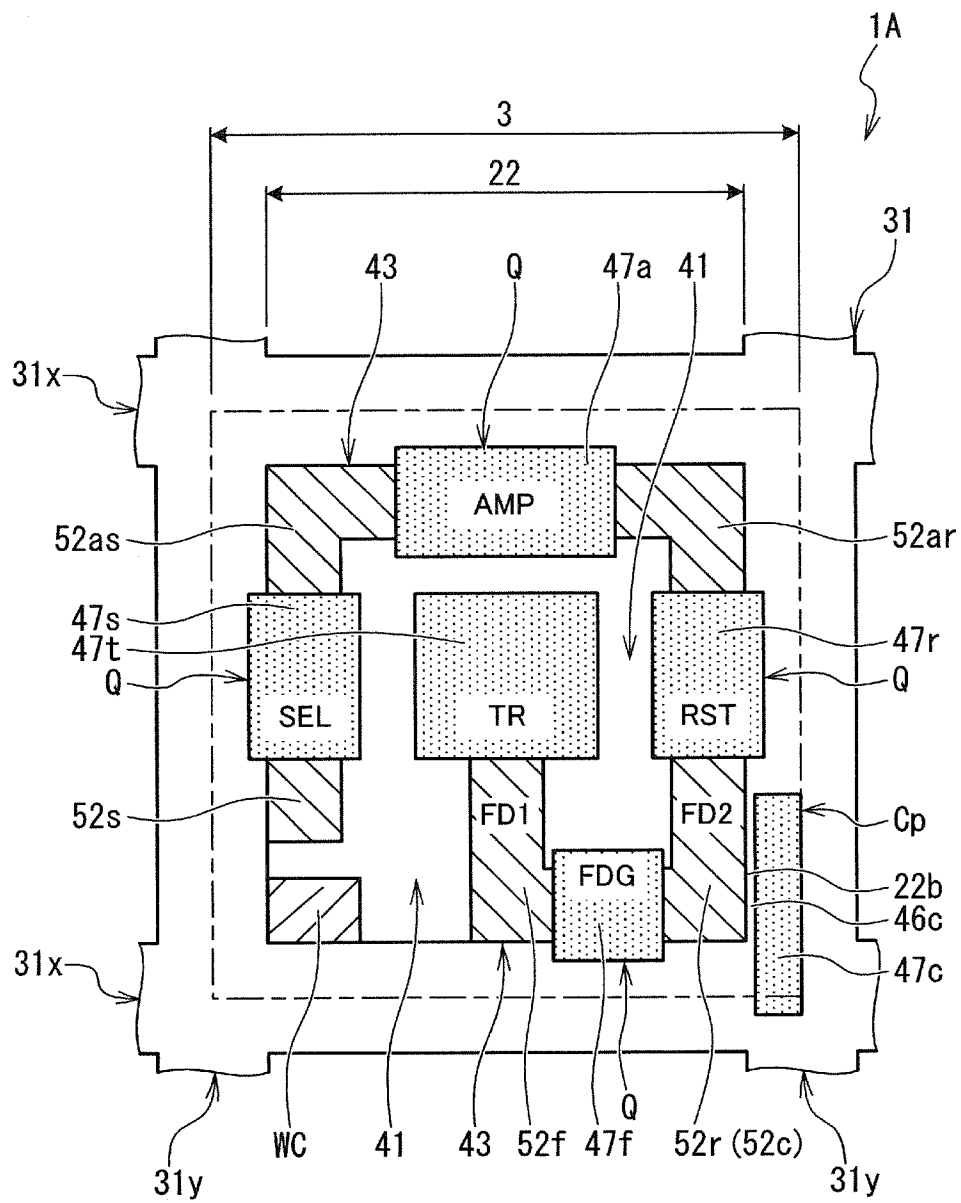
[図3]



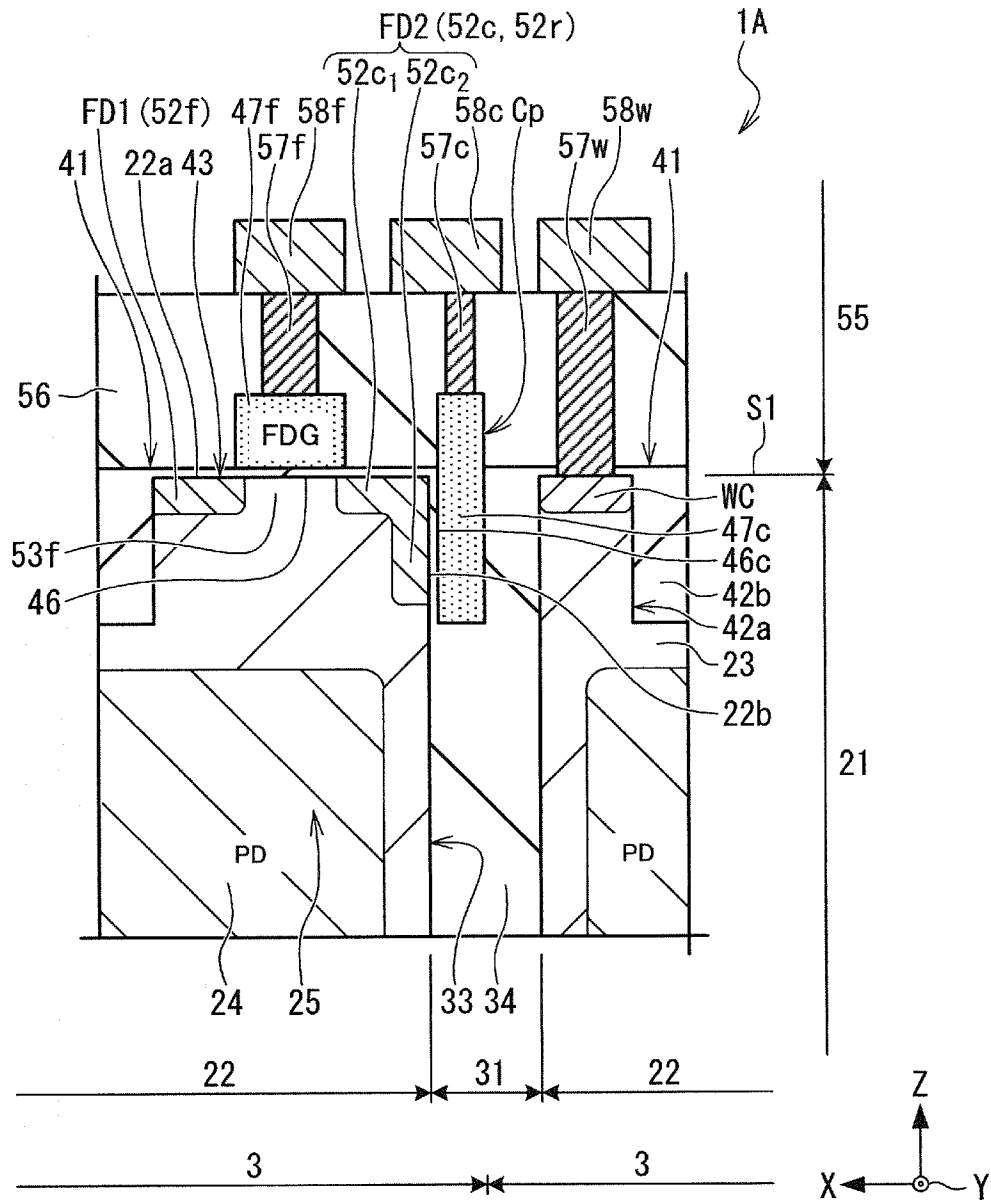
[図4A]

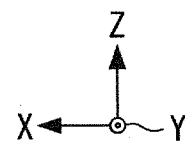
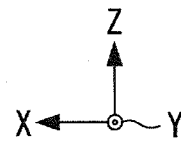


[図4B]

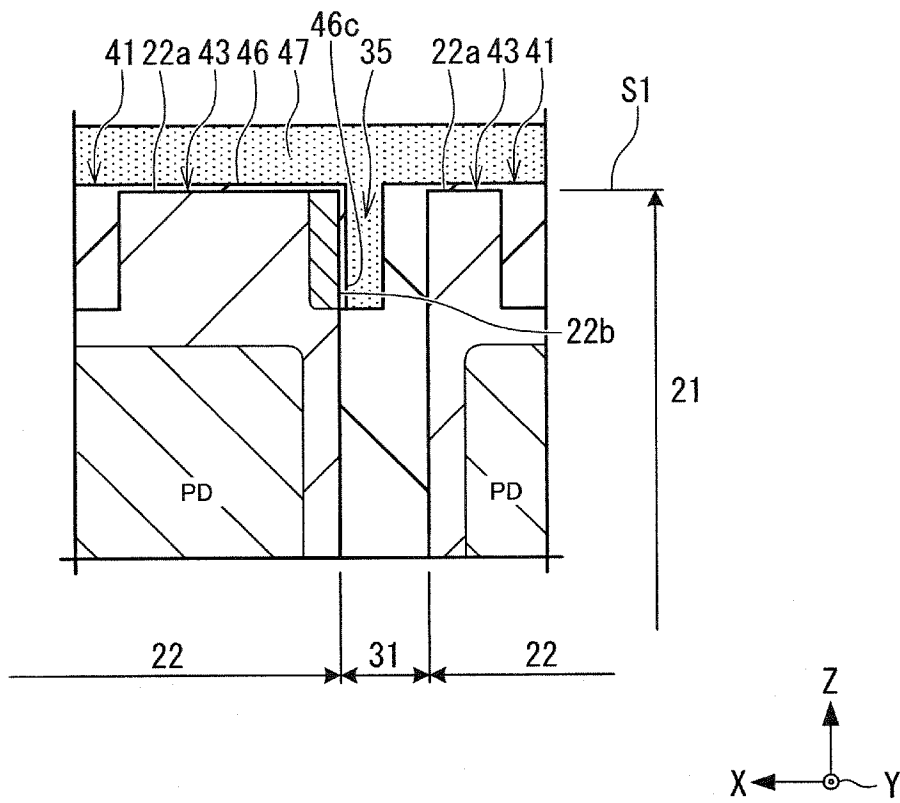


[図6B]

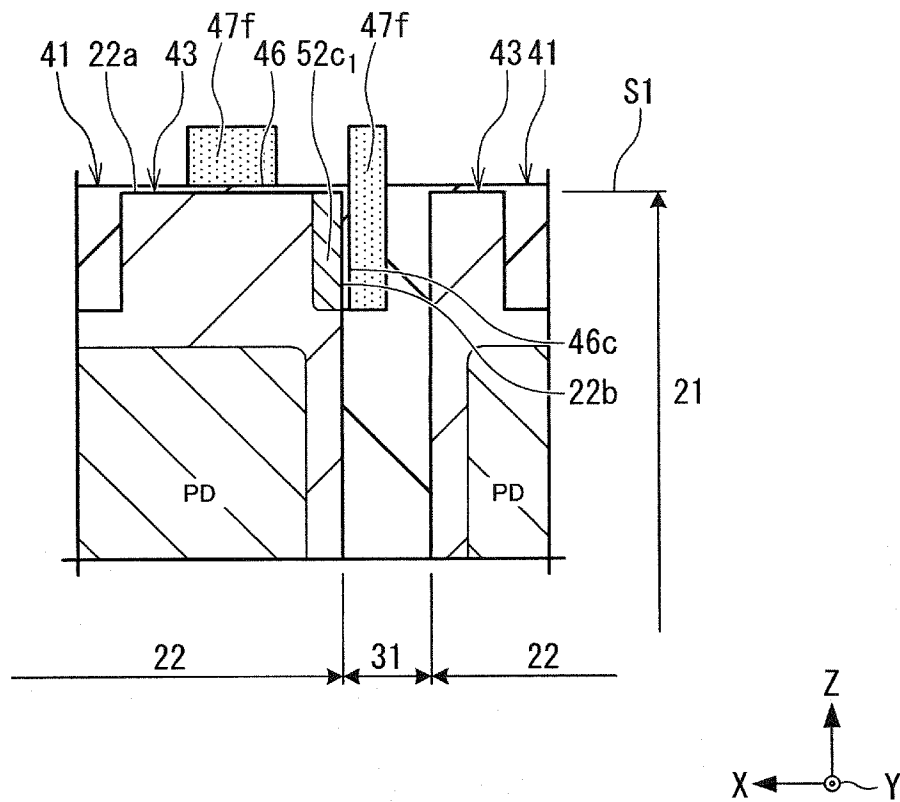


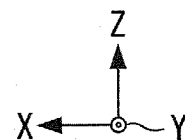
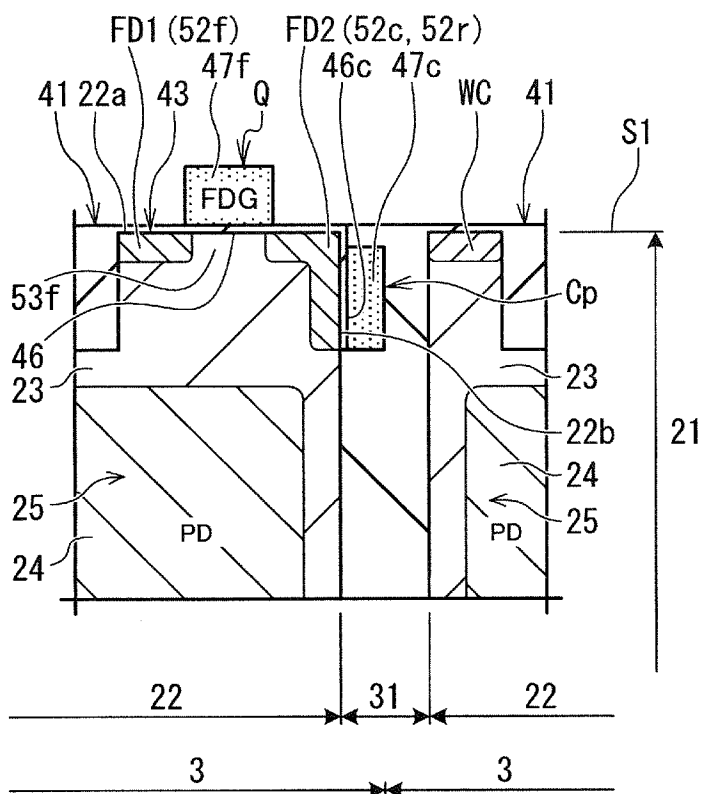


[図7E]



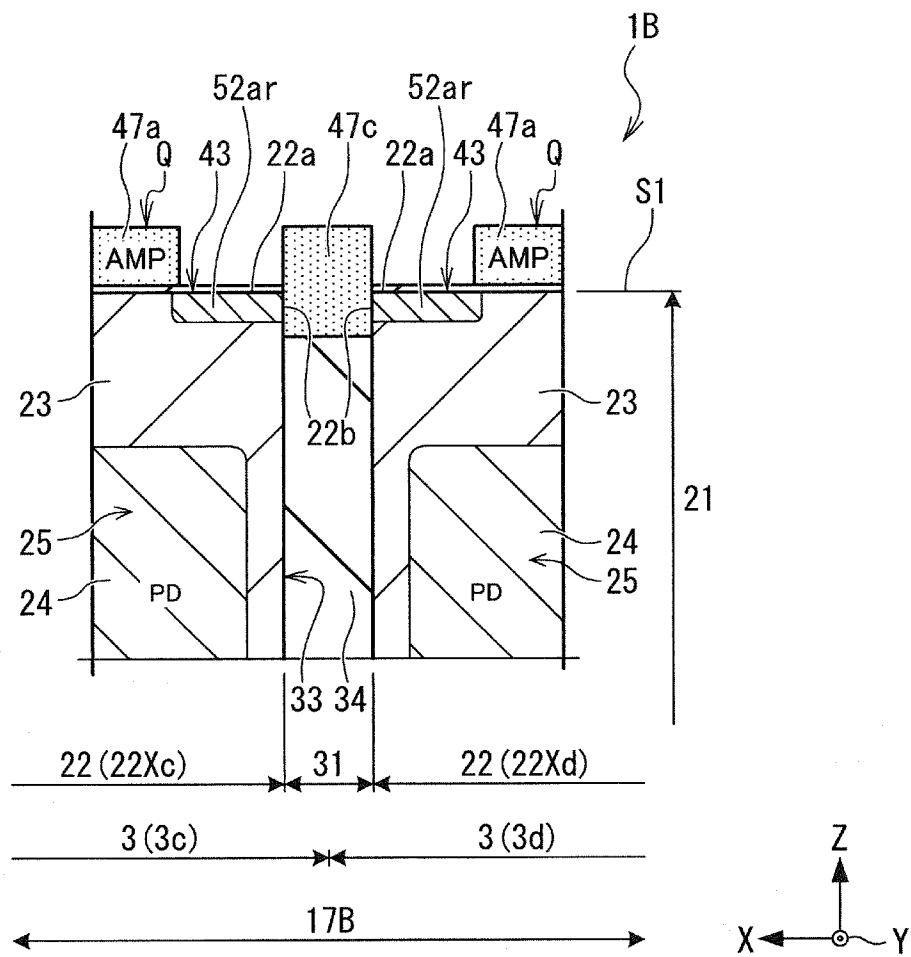
[図7F]



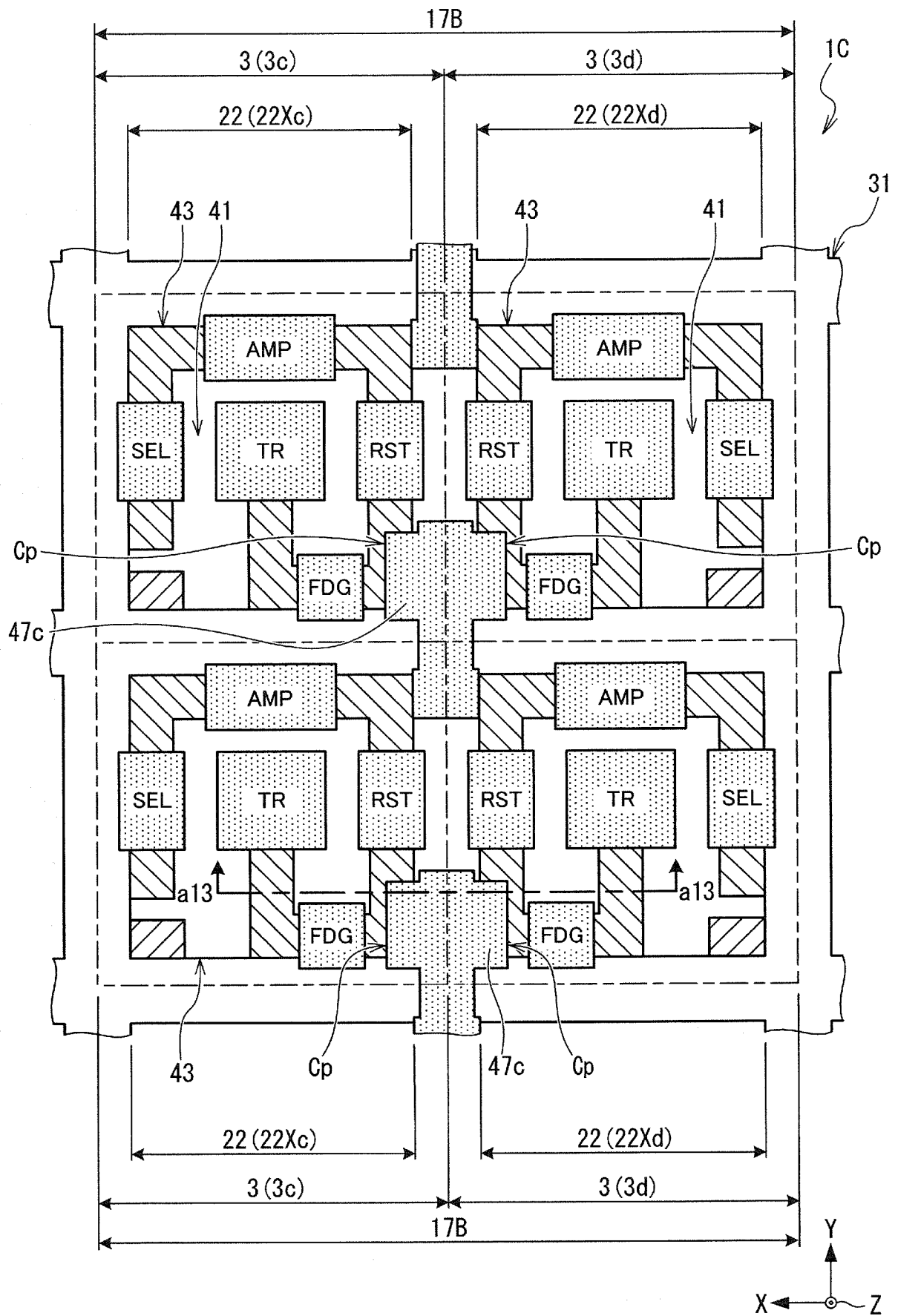
[illegible]

[illegible]

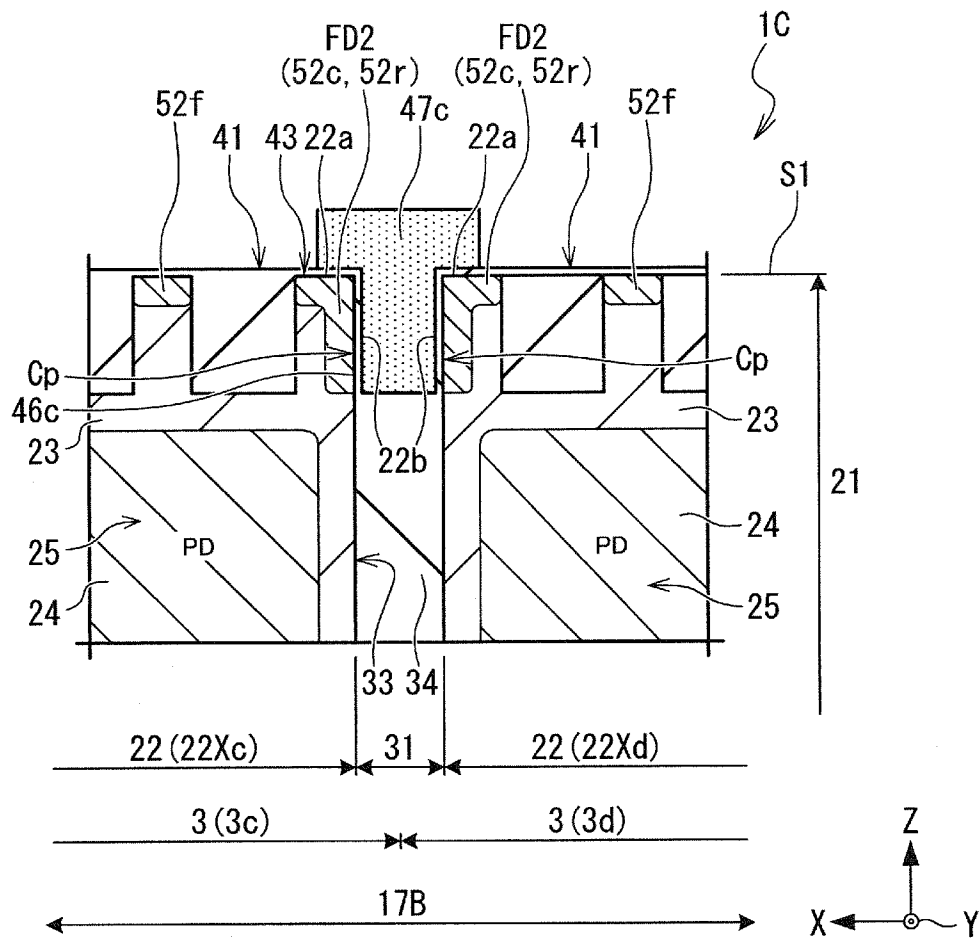
[図12]



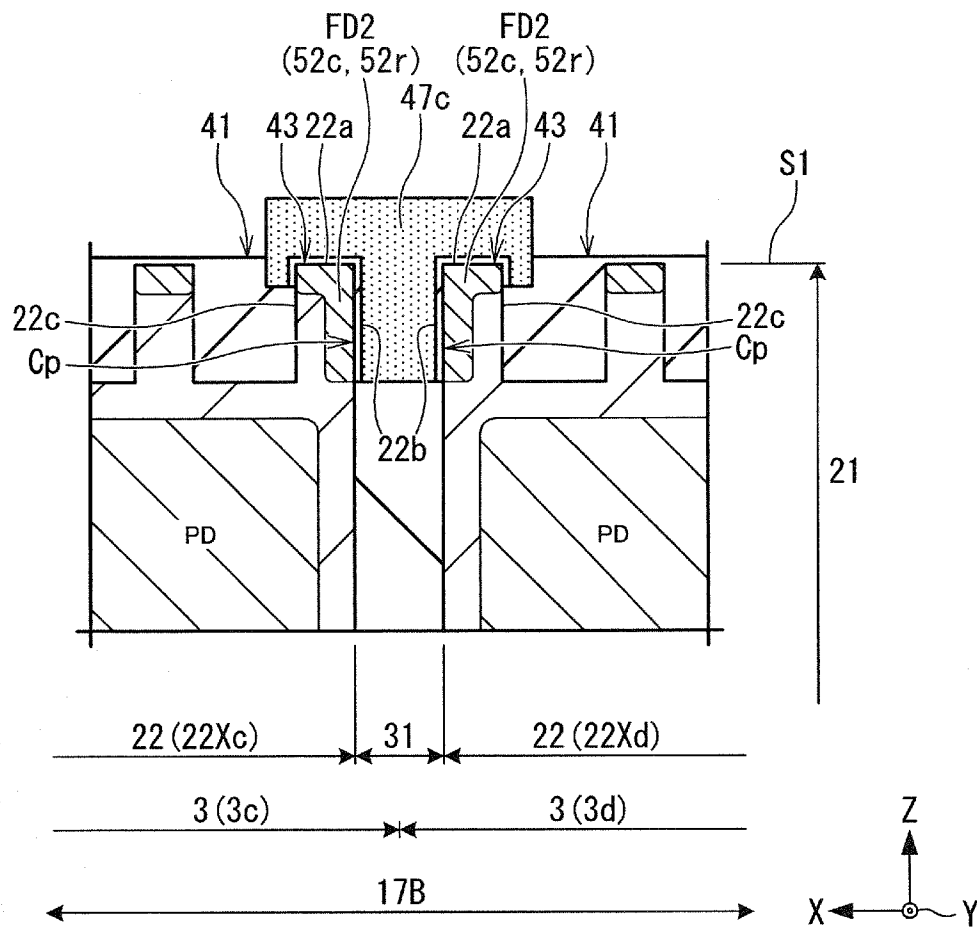
[図13]



[図14]



[図15]



[図16]

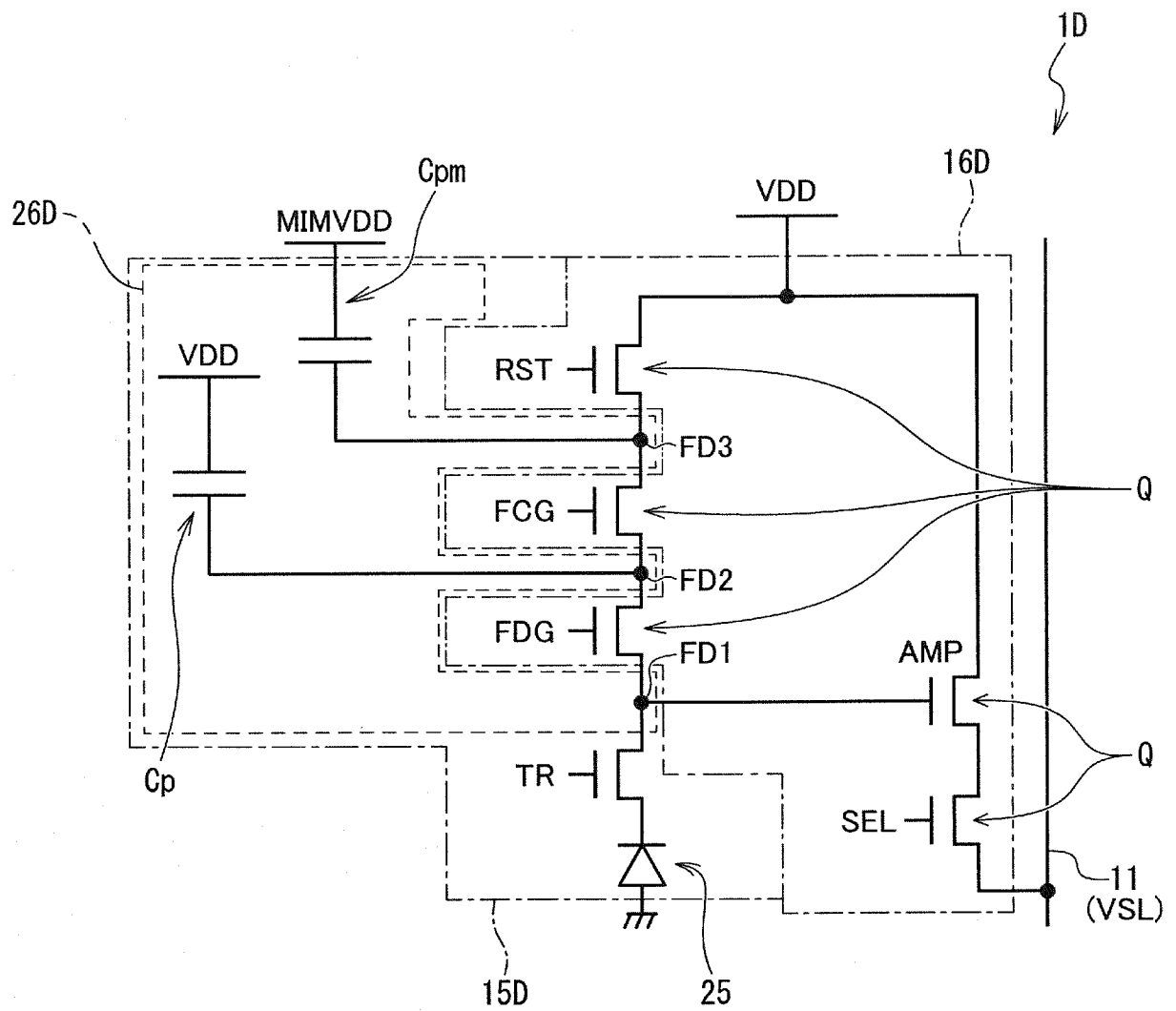
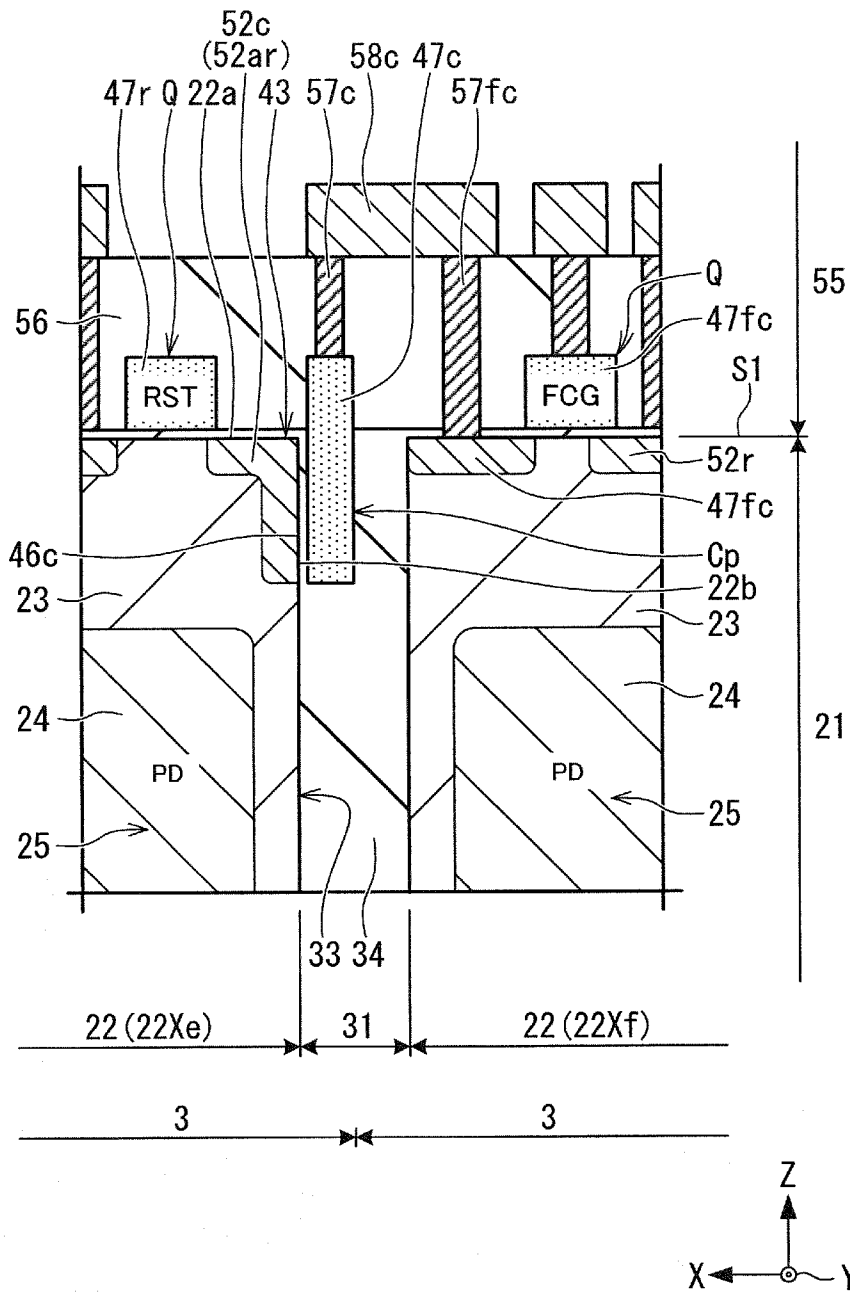
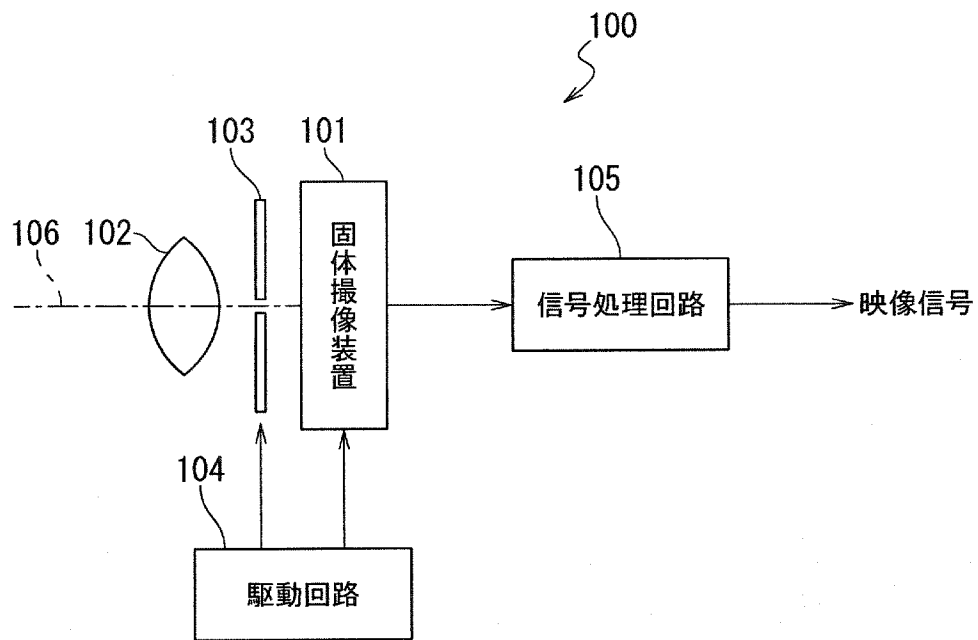


Figure 1 is a plan view of a semiconductor device 31. The device is rectangular and divided into two main sections by a dashed line. Each section contains a differential amplifier circuit 41. The components of each circuit 41 are: FD1, FD2, FD3, FCG, RST, TR, SEL, AMP, and WC. The device is labeled with various dimensions: 3(3c) and 22(22Xe) for the left section, and 3(3d) and 22(22Xf) for the right section. A coordinate system (X, Y, Z) is shown in the top right corner.

[図18]



[図19]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/017674

A. CLASSIFICATION OF SUBJECT MATTER H01L 27/146 (2006.01)i; H01L 21/8234 (2006.01)i; H01L 27/06 (2006.01)i; H01L 27/088 (2006.01)i FI: H01L27/146 A; H01L27/06 102A; H01L27/088 E According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L27/146; H01L21/8234; H01L27/06; H01L27/088 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	WO 2017/130728 A1 (SONY CORPORATION) 03 August 2017 (2017-08-03) paragraphs [0052]-[0085], fig. 4, 12, 13	1, 3-5, 9 1-6, 8, 9 7
Y	WO 2022/145190 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 07 July 2022 (2022-07-07) paragraphs [0054]-[0061], fig. 2, 3, 6, 7	1-6, 8, 9
Y A	JP 2006-210897 A (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.) 10 August 2006 (2006-08-10) fig. 1, 2, 6, 7	1-6, 8, 9 7
A	US 2019/0131349 A1 (SAMSUNG ELECTRONICS CO., LTD.) 02 May 2019 (2019-05-02)	1-9
A	US 2023/0146645 A1 (SAMSUNG ELECTRONICS CO., LTD.) 11 May 2023 (2023-05-11)	1-9
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 05 July 2024		Date of mailing of the international search report 16 July 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2024/017674

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)		Publication date (day/month/year)
WO	2017/130728	A1	03 August 2017	US	2019/0019820	A1
				paragraphs [0107]-[0152], fig. 4, 12, 13		
				CN	108475691	A
WO	2022/145190	A1	07 July 2022	US	2024/0038808	A1
				paragraphs [0081]-[0088], fig. 2, 3, 6, 7		
JP	2006-210897	A	10 August 2006	US	2006/0164531	A1
				fig. 1, 2, 6, 7		
				CN	1812111	A
				TW	200627517	A
US	2019/0131349	A1	02 May 2019	KR	10-2019-0048568	A
				CN	109728025	A
US	2023/0146645	A1	11 May 2023	EP	4177952	A1
				KR	10-2023-0065611	A
				CN	116093123	A

A. 発明の属する分野の分類（国際特許分類（IPC））

H01L 27/146(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i

FI: H01L27/146 A; H01L27/06 102A; H01L27/088 E

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01L27/146; H01L21/8234; H01L27/06; H01L27/088

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報1922-1996年

日本国公開実用新案公報1971-2024年

日本国実用新案登録公報1996-2024年

日本国登録実用新案公報1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2017/130728 A1（ソニー株式会社）03.08.2017（2017-08-03） [0052] - [0085]，図4，12，13	1,3-5,9
Y		1-6,8,9
A		7
Y	WO 2022/145190 A1（ソニーセミコンダクタソリューションズ株式会社）07.07.2022 （2022-07-07） [0054] - [0061]，図2，3，6，7	1-6,8,9
Y	JP 2006-210897 A（台湾積體電路製造股▲ふん▼有限公司）10.08.2006（2006-08-10） 図1，2，6，7	1-6,8,9
A		7
A	US 2019/0131349 A1（SAMSUNG ELECTRONICS CO., LTD.）02.05.2019（2019-05-02）	1-9
A	US 2023/0146645 A1（SAMSUNG ELECTRONICS CO., LTD.）11.05.2023（2023-05-11）	1-9

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技术水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

05.07.2024

国際調査報告の発送日

16.07.2024

名称及びあて先

日本国特許庁(ISA/JP)

〒100-8915

日本国

東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

柴山 将隆 5F 3035

電話番号 03-3581-1101 内線 3514

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2024/017674

引用文献			公表日	パテントファミリー文献			公表日
WO	2017/130728	A1	03.08.2017	US	2019/0019820	A1	
				[0 1 0 7] - [0 1 5			
				2] , 図 4 , 1 2 , 1 3			
				CN	108475691	A	

WO	2022/145190	A1	07.07.2022	US	2024/0038808	A1	
				[0 0 8 1] - [0 0 8			
				8] , 図 2 , 3 , 6 , 7			

JP	2006-210897	A	10.08.2006	US	2006/0164531	A1	
				図 1 , 2 , 6 , 7			
				CN	1812111	A	
				TW	200627517	A	

US	2019/0131349	A1	02.05.2019	KR	10-2019-0048568	A	
				CN	109728025	A	

US	2023/0146645	A1	11.05.2023	EP	4177952	A1	
				KR	10-2023-0065611	A	
				CN	116093123	A	
