

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】平成26年5月29日(2014.5.29)

【公開番号】特開2012-237805(P2012-237805A)

【公開日】平成24年12月6日(2012.12.6)

【年通号数】公開・登録公報2012-051

【出願番号】特願2011-105285(P2011-105285)

【国際特許分類】

G 09 F 9/30 (2006.01)

G 09 G 3/30 (2006.01)

G 09 G 3/20 (2006.01)

H 01 L 51/50 (2006.01)

【F I】

G 09 F 9/30 3 3 8

G 09 G 3/30 J

G 09 G 3/20 6 2 1 M

G 09 G 3/20 6 2 4 B

G 09 G 3/20 6 8 0 G

G 09 G 3/20 6 1 2 E

H 05 B 33/14 A

【手続補正書】

【提出日】平成26年4月16日(2014.4.16)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

電気光学素子及びトランジスタを含む画素が配置されて成り、

前記画素は、前記トランジスタのゲート電極と同じ層のメタル層と、前記トランジスタのソース領域及びドレイン領域を形成する半導体層との間に、前記メタル層に電圧が印加されることによって形成される容量素子を有する  
表示装置。

【請求項2】

前記メタル層に印加する電圧は、前記半導体層の表面にチャネルを形成できる電圧である

請求項1に記載の表示装置。

【請求項3】

前記メタル層に印加する電圧は、前記メタル層と前記半導体層との間の誘電体の容量を $C_0$ 、前記メタル層と前記半導体層との間の容量を $C$ とするとき、 $C / C_0 = 1$ となる電圧値以上である

請求項2に記載の表示装置。

【請求項4】

前記容量素子は、前記電気光学素子の等価容量の補助として用いられる

請求項1から請求項3のいずれか1項に記載の表示装置。

【請求項5】

前記トランジスタは、前記電気光学素子に対して直列に接続され、当該電気光学素子

を駆動する駆動トランジスタであり、

前記容量素子は、その一方の電極が前記駆動トランジスタのソース／ドレイン電極に接続されている

請求項 4 に記載の表示装置。

【請求項 6】

前記容量素子は、前記メタル層に印加する電圧として一定の電圧が他方の電極に与えられる

請求項 5 に記載の表示装置。

【請求項 7】

前記画素は、行列状に配置されて画素アレイ部を構成しており、

前記一定の電圧は、前記容量素子の他方の電極に行単位で繋がる電圧供給ラインを通して前記容量素子の他方の電極に与えられる

請求項 6 に記載の表示装置。

【請求項 8】

前記容量素子の他方の電極に行単位で繋がる電圧供給ラインを前記画素アレイ部の外周部で束ねることによって当該画素アレイ部の周りに環状の共通電圧供給ラインが形成されており、

前記一定の電圧は、前記環状の共通電圧供給ライン及び前記電圧供給ラインを通して前記容量素子の他方の電極に与えられる

請求項 7 に記載の表示装置。

【請求項 9】

前記画素アレイ部が形成されるパネルの両端部側に、前記環状の共通電圧供給ラインに繋がるパッドが形成されており、

前記一定の電圧は、前記パッド、前記環状の共通電圧供給ライン及び前記電圧供給ラインを通して前記容量素子の他方の電極に与えられる

請求項 8 に記載の表示装置。

【請求項 10】

前記容量素子は、前記メタル層に印加する電圧としてパルス化された電圧が他方の電極に与えられる

請求項 5 に記載の表示装置。

【請求項 11】

前記駆動トランジスタに電源を供給する電源供給線の電位は、前記電気光学素子を発光駆動する電流を供給するための第1電源電位と、前記電気光学素子に対して逆バイアスを掛けるための第2電源電位とで切り替え可能となっており、

前記パルス化された電圧は、前記電源供給線の電位が前記第1電源電位のときに高電位になる

請求項 10 に記載の表示装置。

【請求項 12】

前記パルス化された電圧は、低電位側が前記第2電源電位に設定されている

請求項 11 に記載の表示装置。

【請求項 13】

前記画素は、行列状に配置されて画素アレイ部を構成しており、

前記パルス化された電圧は、行単位で前記容量素子の他方の電極に与えられる

請求項 10 から請求項 12 のいずれか 1 項に記載の表示装置。

【請求項 14】

前記パルス化された電圧は、前記画素アレイ部を行単位に走査する走査回路から出力される

請求項 13 に記載の表示装置。

【請求項 15】

前記パルス化された電圧は、前段の画素行に属する前記電源供給線から与えられる

請求項 1 3 に記載の表示装置。

【請求項 1 6】

前記容量素子の他方の電極は、前段の画素行に属する前記電源供給線に接続されている

請求項 1 5 に記載の表示装置。

【請求項 1 7】

電気光学素子及びトランジスタを含む画素が配置されて成り、

前記画素は、前記トランジスタのゲート電極と同じ層のメタル層と、前記トランジスタのソース領域及びドレイン領域を形成する半導体層との間に、前記メタル層に電圧が印加されることによって形成される容量素子を有する

表示装置を有する電子機器。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 1

【補正方法】変更

【補正の内容】

【0 0 3 1】

保持容量 2 4 は、一方の電極が駆動トランジスタ 2 2 のゲート電極に接続され、他方の電極が駆動トランジスタ 2 2 の一方の電極、及び、有機 E L 素子 2 1 のアノード電極に接続されている。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 8 6

【補正方法】変更

【補正の内容】

【0 0 8 6】

このようにして形成された駆動トランジスタ 2 2 を含む T F T 回路部の上の平坦化を図るために、駆動トランジスタ 2 2 を含む T F T 回路部の上には、絶縁平坦化膜 7 2 が形成される。この絶縁平坦化膜 7 2 には、半導体層 2 2 1 の両端部のソース／ドレイン領域 2 2 3 , 2 2 4 に臨むコンタクトホール 7 3 , 7 4 が形成される。そして、平坦化膜 7 2 の上に、ソース／ドレイン電極 2 2 7 , 2 2 8 が形成されるとともに、コンタクトホール 7 3 , 7 4 に配線材料（電極材料）が埋め込まれることによってソース／ドレイン電極 2 2 7 , 2 2 8 とソース／ドレイン領域 2 2 3 , 2 2 4 とが電気的に接続されている。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0 0 8 7

【補正方法】変更

【補正の内容】

【0 0 8 7】

上述したように、画素 2 0 のトランジスタとして、トップゲート構造の T F T を用いる場合は、絶縁平坦化膜 7 2 は、主に平坦化を目的とするものであることから、その膜厚についてはゲート絶縁膜 2 2 5 の膜厚に比べて非常に厚くならざるを得ない。そして、絶縁平坦化膜 7 2 の膜厚が厚いと、ゲート電極 2 2 6 のメタル層とソース／ドレイン電極 2 2 7 , 2 2 8 のメタル層との間に容量を形成することはできない。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0 0 9 8

【補正方法】変更

【補正の内容】

【0 0 9 8】

この駆動トランジスタ 2 2 を含む TFT 回路部の上には、主に平坦化を目的として絶縁平坦化膜 7 2 が形成されている。この絶縁平坦化膜 7 2 の上には、ソース / ドレイン電極 2 2 7 , 2 2 8 を含む配線層が形成されている。本例の場合、駆動トランジスタ 2 2 の一方のソース / ドレイン電極 2 2 8 は、有機 EL 素子 2 1 のアノード電極を兼ねる構成となっている。ソース / ドレイン電極 2 2 7 , 2 2 8 を含む配線層の上にはウインド絶縁膜 7 5 が形成されている。そして、ウインド絶縁膜 7 5 の開口部（凹部）7 6 に有機 EL 素子 2 1 の有機層（図示せず）が形成され、ウインド絶縁膜 7 5 の上には有機 EL 素子 2 1 のカソード電極（図示せず）が全画素共通に形成される。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0 1 0 0

【補正方法】変更

【補正の内容】

【0 1 0 0】

そして、先述したように、半導体層 2 2 1、即ち、一方の電極 2 5 1 の表面に十分にチャネルが形成されるだけの電圧を、メタル層である他方の電極 2 5 2 に印加するようとする。これにより、半導体層 2 2 1 の表面に電子が蓄積されるため、ゲート絶縁膜 2 5 3 を誘電体として容量が形成され、当該容量が画素 2 0 に作り込む容量素子、本例では、補助容量 2 5 となる。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0 1 1 3

【補正方法】変更

【補正の内容】

【0 1 1 3】

そして、補助容量 2 5 の容量値  $C_{sub}$  が大きい画素については、図 1 4 に一点鎖線で示すように、駆動トランジスタ 2 2 のソース電圧  $V_s$  の上昇量が小さいため輝度が高くなる。一方、補助容量 2 5 の容量値  $C_{sub}$  が小さい画素については、図 1 4 に二点鎖線で示すように、駆動トランジスタ 2 2 のソース電圧  $V_s$  の上昇量が大きいため 輝度が低くなる。このように、同一パネル内に輝度が高い画素と輝度が低い画素とが混在することになるため、当該輝度のばらつきが輝度ムラとして視認される。