

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成23年11月24日(2011.11.24)

【公開番号】特開2009-147313(P2009-147313A)

【公開日】平成21年7月2日(2009.7.2)

【年通号数】公開・登録公報2009-026

【出願番号】特願2008-291094(P2008-291094)

【国際特許分類】

H 0 1 L 29/786 (2006.01)

H 0 1 L 21/336 (2006.01)

H 0 1 L 21/02 (2006.01)

H 0 1 L 27/12 (2006.01)

H 0 1 L 21/8238 (2006.01)

H 0 1 L 27/092 (2006.01)

H 0 1 L 27/08 (2006.01)

H 0 1 L 27/06 (2006.01)

H 0 1 L 21/8234 (2006.01)

【F I】

H 0 1 L 29/78 6 1 3 A

H 0 1 L 29/78 6 2 7 D

H 0 1 L 29/78 6 2 0

H 0 1 L 27/12 B

H 0 1 L 27/08 3 2 1 C

H 0 1 L 27/08 3 3 1 E

H 0 1 L 27/08 3 2 1 B

H 0 1 L 27/06 1 0 2 A

【手続補正書】

【提出日】平成23年10月12日(2011.10.12)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

絶縁表面を有する基板上に、

第1の結晶面方位を有する第1の活性層が複数個配置された第1の領域と、前記第1の結晶面方位とは異なる第2の結晶面方位を有する第2の活性層が複数個配置された第2の領域と、を交互に有し、

前記第1の領域には、前記第1の活性層をチャンネル形成領域とする第1の薄膜トランジスタが設けられ、

前記第2の領域には、前記第2の活性層をチャンネル形成領域とする第2の薄膜トランジスタが設けられ、

前記第1の領域と、前記第2の領域は、前記絶縁表面を有する基板の同一平面上に設けられていることを特徴とする半導体装置。

【請求項2】

請求項1において、

前記第1の結晶面方位は、 $\{100\}$ であって、

前記第 2 の結晶面方位は、{ 1 1 0 }であることを特徴とする半導体装置。

【請求項 3】

請求項 1 又は請求項 2 において、

前記第 1 の薄膜トランジスタは、チャンネル長方向の結晶軸が < 1 0 0 > の N 導電型薄膜トランジスタであって、

前記第 2 の薄膜トランジスタは、チャンネル長方向の結晶軸が < 1 1 0 > の P 導電型薄膜トランジスタであることを特徴とする半導体装置。

【請求項 4】

基板面上に、第 1 の結晶面方位を有する複数の第 1 の半導体層と、前記第 1 の結晶面方位とは異なる第 2 の結晶面方位を有する複数の第 2 の半導体層と、複数の絶縁層と、を有し、

前記複数の第 1 の半導体層と、前記複数の第 2 の半導体層は、交互に配置され、

前記複数の絶縁層は、前記第 1 の半導体層と、前記第 2 の半導体層の間に配置されていることを特徴とする半導体基板。

【請求項 5】

請求項 4 において、

前記第 1 の結晶面方位は、{ 1 0 0 }であって、

前記第 2 の結晶面方位は、{ 1 1 0 }であることを特徴とする半導体基板。

【請求項 6】

請求項 4 又は請求項 5 において、

前記第 1 の半導体層は、N 導電型であって、

前記第 2 の半導体層は、P 導電型であることを特徴とする半導体基板。

【請求項 7】

基板側面の結晶面方位が、第 1 の結晶面方位である第 1 の半導体基板の表面に絶縁膜を形成し、

基板側面の結晶面方位が、前記第 1 の結晶面方位と異なる第 2 の結晶面方位である第 2 の半導体基板の表面に絶縁膜を形成し、

前記第 1 の半導体基板と前記第 2 の半導体基板とを前記絶縁膜を介して交互に複数枚接合することにより半導体インゴットを形成し、

前記半導体インゴットを、前記第 1 の結晶面方位を有する第 1 の半導体層と、前記第 2 の結晶面方位を有する第 2 の半導体層とが、交互に配置される面と平行にスライスし、

前記第 1 の半導体層と、前記第 2 の半導体層とが、交互に配置された半導体基板を形成し、

前記半導体基板にイオンビームを照射し、前記半導体基板中に脆化層を形成し、

前記半導体基板と、絶縁基板とを重ね合わせ、

前記半導体基板と、前記絶縁基板とを重ね合わせた状態で熱処理を行って、前記脆化層に亀裂を生じさせ、前記半導体基板から単結晶半導体層を分離させ、

前記絶縁基板上に前記第 1 の半導体層と、前記第 2 の半導体層とが交互に配置された該単結晶半導体層を形成し、

前記第 1 の半導体層に、それぞれチャンネル形成領域を有する複数個の第 1 の薄膜トランジスタを形成し、

前記第 2 の半導体層に、それぞれチャンネル形成領域を有する複数個の第 2 の薄膜トランジスタを形成することを特徴とする半導体装置の作製方法。

【請求項 8】

請求項 7 において、

前記第 1 の結晶面方位は、{ 1 0 0 }であって、

前記第 2 の結晶面方位は、{ 1 1 0 }であることを特徴とする半導体装置の作製方法。

【請求項 9】

請求項 7 又は請求項 8 において

前記第 1 の薄膜トランジスタは、チャンネル長方向の結晶軸が < 1 0 0 > となるように形

成された N 導電型薄膜トランジスタであって、

前記第 2 の薄膜トランジスタは、チャネル長方向の結晶軸が $\langle 110 \rangle$ となるように形成された P 導電型薄膜トランジスタであることを特徴とする半導体装置の作製方法。

【請求項 10】

基板側面の結晶面方位が、第 1 の結晶面方位である第 1 の半導体基板の表面に絶縁膜を形成し、

基板側面の結晶面方位が、前記第 1 の結晶面方位と異なる第 2 の結晶面方位である第 2 の半導体基板の表面に絶縁膜を形成し、

前記第 1 の半導体基板と、前記第 2 の半導体基板とを前記絶縁膜を介して交互に複数枚接合することにより半導体インゴットを形成し、

前記半導体インゴットにおいて、前記第 1 の結晶面方位を有する第 1 の半導体層と、前記第 2 の結晶面方位を有する第 2 の半導体層とが、交互に配置される面と平行にスライスすることを特徴とする半導体基板の作製方法。

【請求項 11】

請求項 10 において、

前記第 1 の半導体基板の側面の結晶面方位は、{ 100 } であって、

前記第 2 の半導体基板の側面の結晶面方位は、{ 110 } であることを特徴とする半導体基板の作製方法。

【請求項 12】

請求項 10 又は請求項 11 において、

前記第 1 の半導体基板は、P 導電型 であって、

前記第 2 の半導体基板は、N 導電型 であることを特徴とする半導体基板の作製方法。