



(12) 发明专利

(10) 授权公告号 CN 103034603 B

(45) 授权公告日 2014. 06. 18

(21) 申请号 201210526541. 9

CN 102135859 A, 2011. 07. 27,

(22) 申请日 2012. 12. 07

审查员 苏珊珊

(73) 专利权人 天津瑞发科半导体技术有限公司
地址 300384 天津市南开区华天道 8 号
B-1108

(72) 发明人 陈淼 王元龙

(74) 专利代理机构 天津三元专利商标代理有限
责任公司 12203

代理人 钱凯

(51) Int. Cl.

G06F 13/38(2006. 01)

G06F 13/40(2006. 01)

G06F 13/42(2006. 01)

(56) 对比文件

CN 101398745 A, 2009. 04. 01,

EP 2085887 A1, 2009. 08. 05,

CN 102214315 A, 2011. 10. 12,

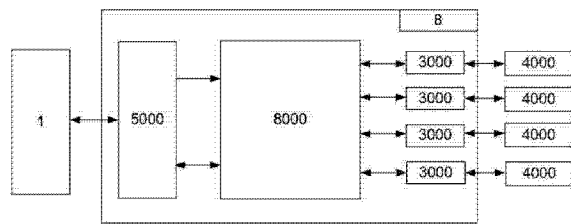
权利要求书2页 说明书6页 附图3页

(54) 发明名称

多通道闪存卡控制装置及其控制方法

(57) 摘要

本发明提供了一种多通道闪存卡控制装置及其控制方法,该多通道闪存卡控制装置包括主机端接口单元、命令数据处理单元、闪存卡接口单元,该主机端接口单元为USB3.0协议主机端接口单元,多个相互独立的闪存卡接口单元为eMMC协议闪存接口单元,命令数据处理单元包括命令处理单元和数据处理单元,本发明通过拆分高速串行通信协议主机端发送的命令为多条子命令给闪存卡接口单元,并通过在时间上重合的与多个闪存卡进行命令和数据的交互,扩展访问容量和提高访问速度,降低产品使用的成本,扩展了闪存卡使用的灵活性。



1. 一种多通道闪存卡控制装置,包括主机端接口单元(5000)、命令数据处理单元(8000)和多个相互独立的闪存卡接口单元(3000),在高速串行通信协议主机端(1)写操作中,所述命令数据处理单元(8000)通过主机端接口单元(5000)从高速串行通信协议主机端(1)接收主机端命令(1001)、主机端写数据(1003),命令数据处理单元(8000)分别将主机端命令(1001)和主机端写数据(1003)拆分为多条闪存卡命令(1006)和多笔闪存卡写数据(1008),通过多个闪存卡接口单元(3000)送给多个闪存卡(4000),在高速串行通信协议主机端(1)读操作中,所述命令数据处理单元(8000)通过主机端接口单元(5000)从高速串行通信协议主机端(1)接收主机端命令(1001),命令数据处理单元(8000)将主机端命令(1001)拆分为多条闪存卡命令(1006),通过多个闪存卡接口单元(3000)送给多个闪存卡(4000),命令数据处理单元(8000)通过多个闪存卡接口单元(3000)接收多个闪存卡(4000)的闪存卡读数据(1010),经过命令数据处理单元(8000)进行拼合组成主机端读数据(1005),通过主机端接口单元(5000)发送到高速串行通信协议主机端(1),其特征在于,所述主机端接口单元(5000)为通用串行总线 3.0 (USB3.0)协议主机端接口单元,多个相互独立的闪存卡接口单元(3000)为嵌入式多媒体卡(eMMC)协议闪存接口单元,命令数据处理单元(8000)包括命令处理单元(1000)和数据处理单元(2000),命令处理单元(1000)根据连接到本装置的闪存卡(4000)数量和容量产生发送到数据处理单元(2000)的数据存储控制信息(1011),在高速串行通信协议主机端(1)写操作中,数据存储控制信息(1011)指示数据处理单元(2000)内部的数据选择器(2100)将主机端写数据(1003)进行拆分并写入到指定的数据缓存区(2200),在高速串行通信协议主机端(1)读操作中,数据存储控制信息(1011)指示数据处理单元(2000)内部的数据选择器(2100)从指定的数据缓存区(2200)中取数并拼合成为主机端读数据(1005)。

2. 根据权利要求 1 所述的多通道闪存卡控制装置,其特征在于,所述高速串行通信协议主机端(1)写操作中,由命令数据处理单元(8000)拆分产生的多条闪存卡命令(1006)和多笔闪存卡写数据(1008),经过多个闪存卡接口单元(3000)发送到多个闪存卡(4000)的过程在时间上是重合的,所述高速串行通信协议主机端(1)读操作中,由命令数据处理单元(8000)经过多个闪存卡接口单元(3000)接收多个闪存卡(4000)的闪存卡读数据(1010)的过程在时间上是重合的。

3. 根据权利要求 1 所述的多通道闪存卡控制装置,其特征在于,由所述命令数据处理单元(8000)拆分产生的多笔闪存卡写数据(1008)的总长度,等于由命令数据处理单元(8000)接收到的主机端写数据(1003)的长度,由所述命令数据处理单元(8000)接收到的多笔闪存卡读数据(1010)的总长度,等于由命令数据处理单元(8000)拼合组成的主机端读数据(1005)的长度。

4. 一种多通道闪存卡控制装置的控制方法,在高速串行通信协议主机端(1)写操作中,从高速串行通信协议主机端(1)接收主机端命令(1001)、主机端写数据(1003),分别将主机端命令(1001)和主机端写数据(1003)拆分为多条闪存卡命令(1006)和多笔闪存卡写数据(1008),然后将拆分后的多条闪存卡命令(1006)和多笔闪存卡写数据(1008)送给多个闪存卡(4000),在高速串行通信协议主机端(1)读操作中,从高速串行通信协议主机端(1)接收主机端命令(1001),先将主机端命令(1001)拆分为多条闪存卡命令(1006),再将拆分后的多条闪存卡命令(1006)送给多个闪存卡(4000),然后接收多个闪存卡(4000)

的闪存卡读数据(1010),先将多笔闪存卡读数据(1010)拼合组成主机端读数据(1005),再发送拼合后的主机端读数据(1005)到高速串行通信协议主机端(1),其特征在于,主机端接口单元(5000)为通用串行总线 3.0 (USB3.0)协议主机端接口单元,多个相互独立的闪存卡接口单元(3000)为嵌入式多媒体卡(eMMC)协议闪存接口单元,命令数据处理单元(8000)包括命令处理单元(1000)和数据处理单元(2000),命令处理单元(1000)根据连接到本装置的闪存卡(4000)数量和容量产生发送到数据处理单元(2000)的数据存储控制信息(1011),在所述高速串行通信协议主机端(1)写操作中,数据存储控制信息(1011)指示数据处理单元(2000)内部的数据选择器(2100)将主机端写数据(1003)进行拆分并写入到指定的数据缓存区(2200),在高速串行通信协议主机端(1)读操作中,数据存储控制信息(1011)指示数据处理单元(2000)内部的数据选择器(2100)从指定的数据缓存区(2200)中取数并拼合成为主机端读数据(1005)。

5. 根据权利要求 4 所述多通道闪存卡控制装置的控制方法,其特征在于,所述高速串行通信协议主机端(1)写操作中,由主机端命令(1001)、主机端写数据(1003)拆分产生的多条闪存卡命令(1006)和多笔闪存卡写数据(1008),发送到多个闪存卡(4000)的过程在时间上是重合的,所述高速串行通信协议主机端(1)读操作中,从多个闪存卡(4000)接收到闪存卡读数据(1010)的过程在时间上是重合的。

6. 根据权利要求 4 所述多通道闪存卡控制装置的控制方法,其特征在于,由主机端写数据(1003)拆分产生的多笔闪存卡写数据(1008)的总长度,等于接收到的主机端写数据(1003)的长度,从多个闪存卡(4000)接收到的多笔闪存卡读数据(1010)的总长度,等于拼合组成的主机端读数据(1005)的长度。

多通道闪存卡控制装置及其控制方法

技术领域

[0001] 本发明涉及一种多通道闪存卡控制装置及其控制方法,特别涉及一种基于 USB3.0 高速串行通信协议的多通道闪存卡控制装置及其控制方法。

背景技术

[0002] 通用串行总线英文为 Universal Serial Bus,缩写成 USB,是一个外部总线标准,用于规范电脑与外部设备的连接和通讯。USB 接口支持设备的即插即用和热插拔功能。USB 是在 1994 年底由英特尔、康柏、IBM、微软等多家公司联合提出的。USB 接口版本历经多年的发展,包括 USB1.0、USB1.1、USB2.0 以及在 2008 年 11 月发布的 USB3.0,USB1.0 接口的传输速度为 1.5Mbps,USB1.1 接口可以达到 12Mbps,而 USB2.0 接口则可以达到 480Mbps,USB3.0 接口更是将传输速度提高到了 5Gbps。USB 接口的另一个特点是每个版本都向下兼容。另外 USB2.0 基于半双工二线制总线,只能提供单向数据流传输,而 USB3.0 采用了对偶四线制差分信号线,故而支持双向并发数据流传输,这也是新规范速度猛增的关键原因。此外,USB3.0 还引入了新的电源管理机制,支持待机、休眠和暂停等状态。

[0003] 闪存内部采用非线性宏单元模式,为固态大容量存储的实现提供了廉价有效的解决方案。闪存器件具有容量较大,改写速度快等优点,适用于大量数据的存储,因而在业界得到了越来越广泛的应用,如嵌入式产品中包括数码相机、MP3 随身听、记忆卡、体积小巧的 U 盘等。闪存器件的缺点在于数据的读写需要以页为单位,数据的擦除需要以块为单位,每个页中的数据在下次写之前都需要先进行擦除操作,同时每个块的擦除次数都是有数量限制的,当擦除次数超过这个限制时,数据的存储就变的不稳定,一般闪存的管理都需要占用大量的系统资源。

[0004] 嵌入式多媒体卡为英文 Embedded Multimedia Card 的译名,简称 eMMC 卡,eMMC 是一种用于嵌入式系统的闪存器件,通常用于平板电脑,手机等移动装置上,用于数据的存储。eMMC 本质上由闪存器件和控制器芯片封装在一起组成,其封装采用 BGA 方式,有 153 引脚和 169 引脚两种标准形式。eMMC 中的控制器芯片完成了对闪存器件的地址转换 (FTL)、损耗均衡、垃圾回收、坏块管理 (BBM)、错误纠正 (ECC) 等功能,对上层提供了统一的访问接口并屏蔽了底层的操作。eMMC 接口协议由 JEDEC 标准化组织制定,最早的版本为 eMMC4.3,发布于 2007 年 11 月,中间经历了 eMMC4.41,eMMC4.51,目前最新版本为 eMMC5.0。

[0005] 与此同时,由于闪存器件大容量小体积高速率并且使用方便的特点,已经在日常工作生活中扮演了越来越重要的角色,此时已有技术的并行传输协议已不能满足需要,因此基于高速串行通信协议的闪存器件访问产品已成为一种趋势,使用基于高速串行通信协议的闪存器件访问产品虽然提高了数据传输速率,但仍未充分利用高速串行通信协议的带宽,其瓶颈在于闪存器件的传输速率,已有技术的多通道闪存器件控制装置及其控制方法将闪存器件看作多个数据存储设备,对其在不同时刻分别进行读写数据的操作,造成了带宽上极大地浪费。

发明内容

[0006] 本发明所要解决的主要技术问题在于,克服现有技术存在的上述缺陷,通过多通道闪存卡控制装置及其控制方法,对高速串行通信协议主机端发送过来的主机端命令,由命令数据处理单元拆分为多个子命令,并通过多个闪存卡接口单元对多个闪存卡同时进行数据访问,来提高访问容量和访问速度。

[0007] 本发明解决其技术问题所采用的技术方案是:

[0008] 做为本发明的一种多通道闪存卡控制装置,包括主机端接口单元、命令数据处理单元、多个闪存卡接口单元,该主机端接口单元接收来自高速串行通信协议主机端的主机端命令、主机端写数据并传给命令数据处理单元,接收来自命令数据处理单元的主机端读数据并传给高速串行通信协议主机端,命令数据处理单元接收来自主机端接口单元的主机端命令、主机端写数据,接收来自多个闪存卡接口单元的闪存卡读数据,发送闪存卡命令、闪存卡写数据到多个闪存卡接口单元,发送主机端读数据到主机端接口单元,多个闪存卡接口单元接收来自命令数据处理单元的闪存卡命令、闪存卡写数据,接收来自多个闪存卡的闪存卡读数据,发送闪存卡读数据到命令数据处理单元,发送闪存卡命令、闪存卡写数据到多个闪存卡,该主机端接口单元为 USB3.0 协议主机端接口单元,多个相互独立的闪存卡接口单元为 eMMC 协议闪存接口单元,命令数据处理单元包括命令处理单元和数据处理单元。

[0009] 其中,该高速串行通信协议主机端写操作中,由命令数据处理单元拆分产生的多条闪存卡命令和多笔闪存卡写数据,经过多个闪存卡接口单元发送到多个闪存卡的过程在时间上重合,该高速串行通信协议主机端读操作中,由命令数据处理单元经过多个闪存卡接口单元接收多个闪存卡的闪存卡读数据的过程在时间上重合。

[0010] 其中,由该命令数据处理单元拆分产生的多笔闪存卡写数据的总长度,等于由命令数据处理单元接收到的主机端写数据的长度,由该命令数据处理单元接收到的多笔闪存卡读数据的总长度,等于由命令数据处理单元拼合组成的主机端读数据的长度。

[0011] 其中,该命令数据处理单元根据连接到多个闪存卡接口单元的闪存卡容量和数量信息,将从高速串行通信协议主机端发送过来的主机端命令进行拆分,产生发送到多个闪存卡接口单元的多条闪存卡命令,在高速串行通信协议主机端写操作中,该命令数据处理单元将收到的主机端写数据进行拆分,产生发送到多个闪存卡接口单元的多笔闪存卡写数据,经由多个闪存卡接口单元在时间上重合的将数据写入到多个闪存卡中,在高速串行通信协议主机端读操作中,多个闪存卡接口单元在时间上重合的从多个闪存卡读取数据,形成多笔闪存卡读数据并将其发送给该命令数据处理单元,由命令数据处理单元将多笔闪存卡读数据拼合成为发送到主机端接口单元的主机端读数据。

[0012] 做为本发明的一种多通道闪存卡控制装置的控制方法,在高速串行通信协议主机端写操作中,从高速串行通信协议主机端接收主机端命令、主机端写数据,分别将主机端命令和主机端写数据拆分为多条闪存卡命令和多笔闪存卡写数据,将多条闪存卡命令和多笔闪存卡写数据送给多个闪存卡,在高速串行通信协议主机端读操作中,从高速串行通信协议主机端接收主机端命令,将主机端命令拆分为多条闪存卡命令,将拆分后的多条闪存卡命令送给多个闪存卡,接收闪存卡读数据,将多笔闪存卡读数据拼合成主机端读数据,发送主机端读数据到高速串行通信协议主机端,该主机端接口单元为 USB3.0 协议主机端接口

单元,多个相互独立的闪存卡接口单元为 eMMC 协议闪存接口单元,命令数据处理单元包括命令处理单元和数据处理单元。

[0013] 本发明多通道闪存卡控制装置及其控制方法的有益效果是,通过多通道闪存卡控制装置,使高速串行通信协议主机端将多个小容量闪存卡视为一个大容量闪存卡,并通过同时对多个闪存卡进行数据访问,提高了访问容量和访问速率,充分利用了高速串行通信协议的传输带宽,降低了用户的使用成本,增强了使用的灵活性。

附图说明

[0014] 下面结合附图和实施例对本发明进一步说明

[0015] 图 1 为本发明多通道闪存卡控制装置的整体模块图

[0016] 图 2 为本发明多通道闪存卡控制装置中命令数据处理单元的外部连接信号图

[0017] 图 3 为本发明多通道闪存卡控制装置中命令数据处理单元的内部组成及连接信号图

[0018] 图 4 为本发明多通道闪存卡控制装置中闪存卡接口单元的外部连接信号图

[0019] 图 5 为本发明多通道闪存卡控制装置中主机端接口单元的外部连接信号图

[0020] 图 6 为本发明多通道闪存卡控制装置中高速串行通信协议主机端写操作时数据处理单元内部功能模块图

[0021] 图 7 为本发明多通道闪存卡控制装置中高速串行通信协议主机端读操作时数据处理单元内部功能模块图

[0022] 其中：

[0023]	1	高速串行通信协议主机端	1001	主机端命令
[0024]	1003	主机端写数据	1005	主机端读数据
[0025]	1006	闪存卡命令	1008	闪存卡写数据
[0026]	1010	闪存卡读数据	1011	数据存储控制信息
[0027]	1000	命令处理单元	2000	数据处理单元
[0028]	3000	闪存卡接口单元	5000	主机端接口单元
[0029]	8000	命令数据处理单元	4000	闪存卡
[0030]	2100	数据选择器	2200	数据缓存区
[0031]	8	多通道闪存卡控制装置		

具体实施方式

[0032] 下面,结合附图中的实施例对本发明多通道闪存卡控制装置及其控制方法进行进一步说明。

[0033] 如图 1 所示,该多通道闪存卡控制装置 8 包括主机端接口单元 5000、命令数据处理单元 8000 和闪存卡接口单元 3000,主机端接口单元 5000 与高速串行通信协议主机端 1 之间交互主机端命令和主机端读写数据,闪存卡接口单元 3000 与多个闪存卡 4000 之间交互各自的闪存卡命令和闪存卡读写数据。

[0034] 在高速串行通信协议主机端 1 写操作中,由命令数据处理单元 8000 拆分产生的多条闪存卡命令 1006 和多笔闪存卡写数据 1008,经过多个闪存卡接口单元 3000 分别向多个

闪存卡 4000 发送。命令数据处理单元 8000 先确认闪存卡接口单元 3000 上连接着闪存卡 4000 后,即开始从闪存卡接口单元 3000 向闪存卡 4000 写入数据,确认需要一个微乎其微的时间段非常短暂,可以忽略不计,当各闪存卡接口单元 3000 一一启动后,进入了发送过程,各闪存卡接口单元 3000 和各闪存卡 4000 一一对应,每个闪存卡接口单元 3000 都在向对应那个闪存卡 4000 发送数据,而每个闪存卡 4000 都在向对应那个闪存卡接口单元 3000 接受数据,而闪存卡接口单元 3000 发送过程在时间上是重合的。每个闪存卡 4000 接受的数据的长短可以是不同的,接受的数据的长度较短的闪存卡 4000 因较早地完成数据接收工作而停止接收,使各闪存卡 4000 一个一个地完成任务则停止接收,直至最后一个闪存卡 4000 停止接收整个发送过程停止了。各闪存卡接口单元 3000 分别向各闪存卡 4000 发送数据的整个发送过程,所持续的时间仅相当于接受数据量最大的一个闪存卡 4000 持续接收信息的时间,而已有技术整个发送过程所持续的时间要相当于各闪存卡接口单元分别向各闪存卡发送信息时间的总和,本发明的技术效果非常明显。

[0035] 在该高速串行通信协议主机端 1 读操作中,命令数据处理单元 8000 确认闪存卡接口单元 3000 上连接有闪存卡 4000 后,即使闪存卡接口单元 3000 开始从闪存卡 4000 读取数据,确认时段非常短暂,可以忽略不计,各闪存卡接口单元 3000 和各闪存卡 4000 仍是一一对应,在各闪存卡接口单元 3000 一一启动后的接收过程中,每个闪存卡接口单元 3000 都在向对应那个闪存卡 4000 接收数据,而每个闪存卡 4000 都在向对应那个闪存卡接口单元 3000 发送数据,每个闪存卡接口单元 3000 在向闪存卡 4000 接收数据的同时,将数据传输到命令数据处理单元 8000。每个闪存卡接口单元 3000 接受的数据的长短可以是不同的,接受的数据的长度较短的闪存卡接口单元 3000 因较早地完成数据接收工作而停止接收,使各闪存卡接口单元 3000 一个个地完成任务而停止接收,直至最后一个闪存卡接口单元 3000 停止接收整个接收过程停止了。因此,由命令数据处理单元 8000 经过多个闪存卡接口单元 3000 接收多个闪存卡 4000 的闪存卡读数据 1010 的过程在时间上也是重合的。整个接收过程所持续的时间仅相当于接受数据量最大的一个闪存卡接口单元 3000 持续接收信息的时间,技术效果同样明显。

[0036] 如图 2 所示,该多通道闪存卡控制装置 8 中,命令数据处理单元 8000 根据连接到多个闪存卡接口单元 3000 的闪存卡容量和数量信息,将从高速串行通信协议主机端 1 发送过来的主机端命令 1001 进行拆分,产生发送到多个闪存卡接口单元 3000 的多条闪存卡命令 1006;在高速串行通信协议主机端写操作中,命令数据处理单元 8000 将收到的主机端写数据 1003 进行拆分,产生发送到多个闪存卡接口单元 3000 的多笔闪存卡写数据 1008,拆分后的命令可以在一个闪存卡接口单元 3000 工作的同时,传递给另一个闪存卡接口单元 3000,使另一个闪存卡接口单元 3000 也开始了工作,以此类推,各闪存卡接口单元 3000 可以都在进行着写操作。在高速串行通信协议主机端读操作中,命令数据处理单元 8000 将主机端命令 1001 拆分为多条闪存卡命令 1006,通过多个闪存卡接口单元 3000 送给多个闪存卡 4000,命令数据处理单元 8000 通过多个闪存卡接口单元 3000 接收多个闪存卡 4000 的闪存卡读数据 1010,拆分后的命令可以在一个闪存卡接口单元 3000 工作的同时传递给另一个闪存卡接口单元 3000,使另一个闪存卡接口单元 3000 也开始工作,因而各闪存卡接口单元 3000 可以都在进行着读操作。命令数据处理单元 8000 从多个闪存卡接口单元 3000 接收多笔闪存卡读数据 1010 后,由命令数据处理单元 8000 将多笔闪存卡读数据 1010 拼合成

为发送到主机端接口单元 5000 的主机端读数据 1005,这一方法将成功实现了将主机端命令 1001 拆分为多条闪存卡命令。

[0037] 如图 3 所示,做为对本发明多通道闪存卡控制装置及其控制方法的进一步改进,该多通道闪存卡控制装置 8 中,命令数据处理单元 8000 包括命令处理单元 1000 和数据处理单元 2000,命令处理单元 1000 根据连接到多个闪存卡接口单元 3000 的闪存卡容量和数量信息,将从高速串行通信协议主机端 1 发送过来的主机端命令 1001 进行拆分,产生发送到多个闪存卡接口单元 3000 的多条闪存卡命令 1006,并产生发送给数据处理单元 2000 的数据存储控制信息 1011;在高速串行通信协议主机端写操作中,数据处理单元 2000 根据从命令处理单元 1000 发送过来的数据存储控制信息 1011,将主机端写数据 1003 拆分为多笔闪存卡写数据 1008,发送到多个闪存卡接口单元 3000,在高速串行通信协议主机端读操作中,多个闪存卡接口单元 3000 将多笔闪存卡读数据 1010 发送到数据处理单元 2000,数据处理单元 2000 根据从命令处理单元 1000 发送过来的数据存储控制信息 1011,将多笔闪存卡读数据 1010 拼合成主机端读数据 1005,发送到主机端接口单元 5000。

[0038] 命令数据处理单元 8000 拆分产生的多笔闪存卡写数据 1008 的总长度,等于由命令数据处理单元 8000 接收到的主机端写数据 1003 的长度,由该命令数据处理单元 8000 接收到的多笔闪存卡读数据 1010 的总长度,等于由命令数据处理单元 8000 拼合组成的主机端读数据 1005 的长度。

[0039] 如图 4 所示,该多通道闪存卡控制装置中,多个闪存卡接口单元 3000 接收来自命令数据处理单元 8000 的多条闪存卡命令 1006,并将其发送到多个闪存卡 4000,在高速串行通信协议主机端写操作中,多个闪存卡接口单元 3000 接收来自命令数据处理单元 8000 的多笔闪存卡写数据 1008,并在时间上重合的将多笔闪存卡写数据 1008 发送到多个闪存卡 4000;在高速串行通信协议主机端读操作中,多个闪存卡接口单元 3000 在时间上重合的从多个闪存卡 4000 读取数据,并将多笔闪存卡读数据 1010 发送到命令数据处理单元 8000。

[0040] 如图 5 所示,该多通道闪存卡控制装置 8 中,主机端接口单元 5000 将来自高速串行通信协议主机端 1 的主机端命令 1001 发送到命令数据处理单元 8000,在高速串行通信协议主机端写操作中,主机端接口单元 5000 将来自高速串行通信协议主机端 1 的主机端写数据 1003 发送到命令数据处理单元 8000,在高速串行通信协议主机端读操作中,主机端接口单元 5000 接收来自命令数据处理单元 8000 的主机端读数据 1005,并将其发送到高速串行通信协议主机端 1。

[0041] 如图 6 所示,该多通道闪存卡控制装置 8 中,在高速串行通信协议主机端写操作中,数据处理单元 2000 根据从命令处理单元 1000 发送过来的数据存储控制信息 1011,经由内部的数据选择器 2100 将主机端写数据 1003 拆分为多笔写入到指定的数据缓存区 2200 中,多个闪存卡接口单元 3000 从多个数据缓存区 2200 中取得多笔闪存卡写数据 1008,在时间上重合的将多笔闪存卡写数据 1008 写入到多个闪存卡 4000 中。

[0042] 如图 7 所示,该多通道闪存卡控制装置 8 中,在高速串行通信协议主机端 1 读操作中,多个闪存卡接口单元 3000 在时间上重合的从多个闪存卡 4000 读取数据,形成多笔闪存卡读数据 1010 发送到数据处理单元 2000 内部的多个数据缓存区 2200 中,数据处理单元 2000 根据从命令处理单元 1000 发送过来的数据存储控制信息 1011,经由内部的数据选择器 2100 从指定的数据缓存区 2200 中取得多笔闪存卡读数据 1010 并拼合成主机端读数据

1005, 数据处理单元 2000 再将主机端读数据 1005 发送到主机端接口单元 5000 进而发送到高速串行通信协议主机端 1。

[0043] 该多通道闪存卡控制装置 8 中, 主机端接口单元 5000 可以为通用串行总线 3.0 (USB3.0) 协议主机端接口单元, 也可以为串行硬盘接口 (SATA) 协议主机端接口单元, 还可以为个人计算机扩展快速总线接口 (PCI Express) 协议主机端接口单元, 又可以为雷电 (Thunderbolt or Light Peak) 协议主机端接口单元。

[0044] 该多通道闪存卡控制装置中, 多个闪存卡接口单元 3000 可以为安全数码卡 (Secure Digital Card, 简称 SD 卡) 接口单元、微型安全数码卡 (Micro Secure Digital Card, 简称 microSD 卡或 TF 卡) 接口单元、紧凑闪存卡 (Compact Flash Card, 简称 CF 卡) 接口单元、多媒体卡 (Multimedia Card, 简称 MMC 卡) 接口单元、嵌入式多媒体卡 (Embedded Multimedia Card, 简称 eMMC 卡) 接口单元和记忆棒 (Memory Stick, 简称 MS 卡) 接口单元中的一种或几种。命令数据处理单元 8000 通过接口控制器控制闪存卡接口单元 3000 的性能, 接口控制器可插拔地设置于闪存卡接口单元 3000, 更换接口控制器可使闪存卡接口单元 3000 从如上所述的接口单元中的一种变为另一种, 这样可以提高闪存卡接口单元 3000 的兼容性, 大幅降低制造成本。

[0045] 本发明所解决的主要技术问题在于, 克服现有技术存在的缺陷, 通过多通道闪存卡控制装置及其控制方法, 通过对高速串行通信协议主机端发送的主机端命令进行拆分, 分解为多个闪存卡命令, 经过多个闪存卡接口单元同时对多个闪存卡进行数据访问, 达到了扩大访问容量和提高访问速率的效果。

[0046] 综上所述, 仅是本发明的较佳实施例而已, 并非对本发明作任何形式上的限制, 凡是依据本发明的技术实质对以上实施例所作的任何简单修改、等同变化与修饰, 均仍属于本发明技术方案的范围。

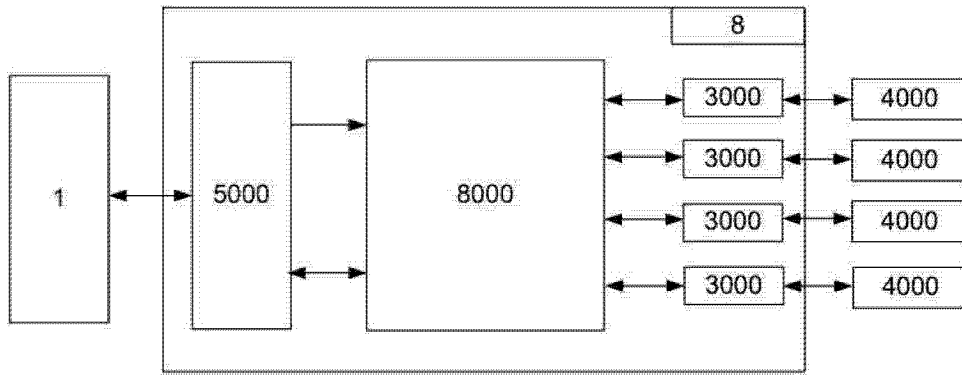


图 1

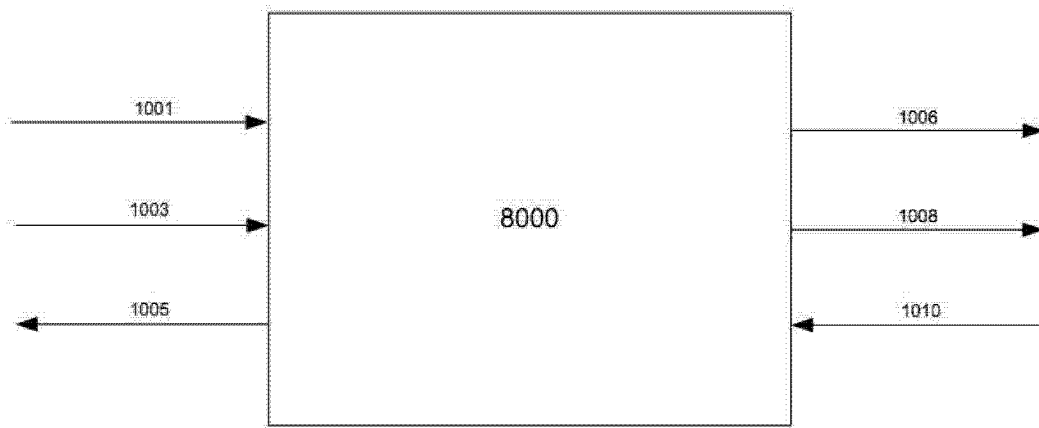


图 2

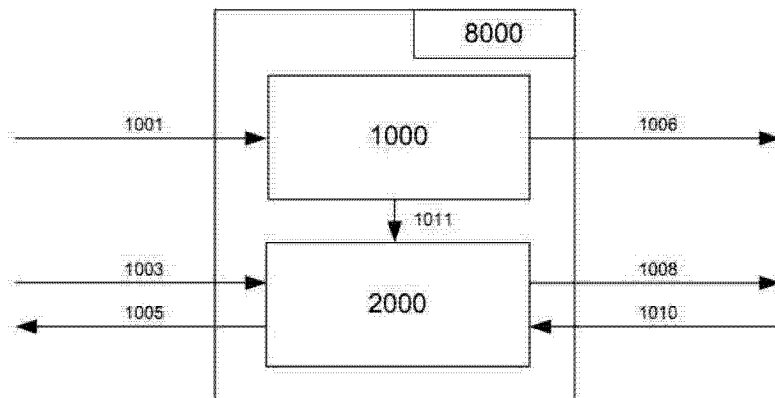


图 3

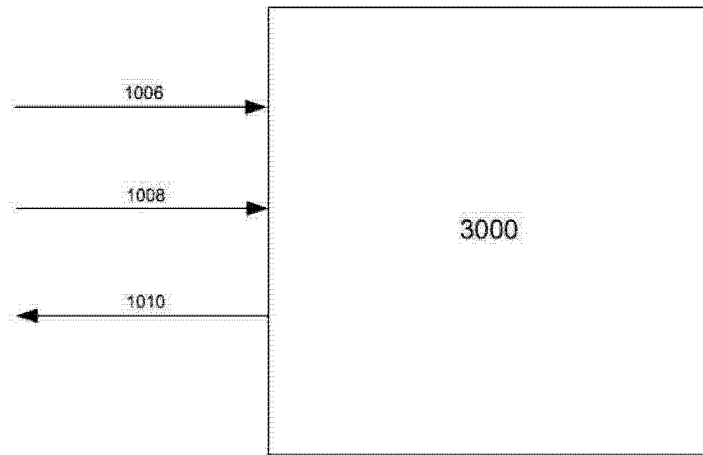


图 4

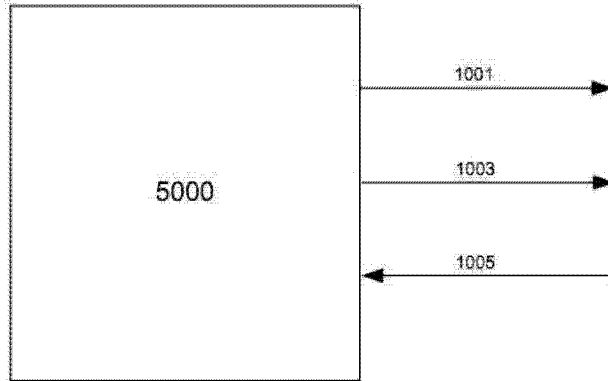


图 5

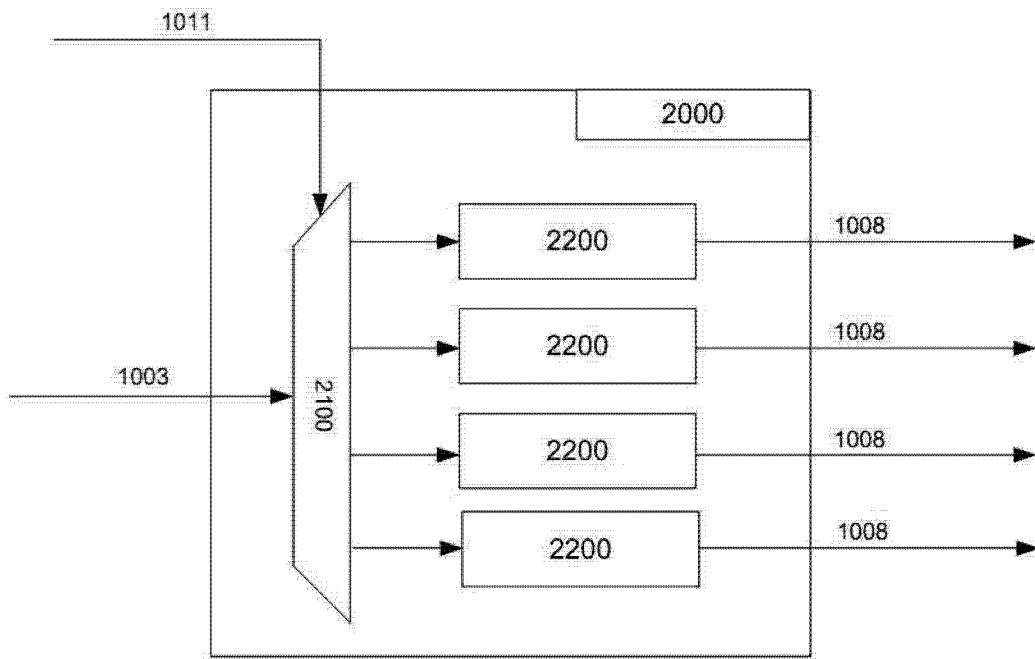


图 6

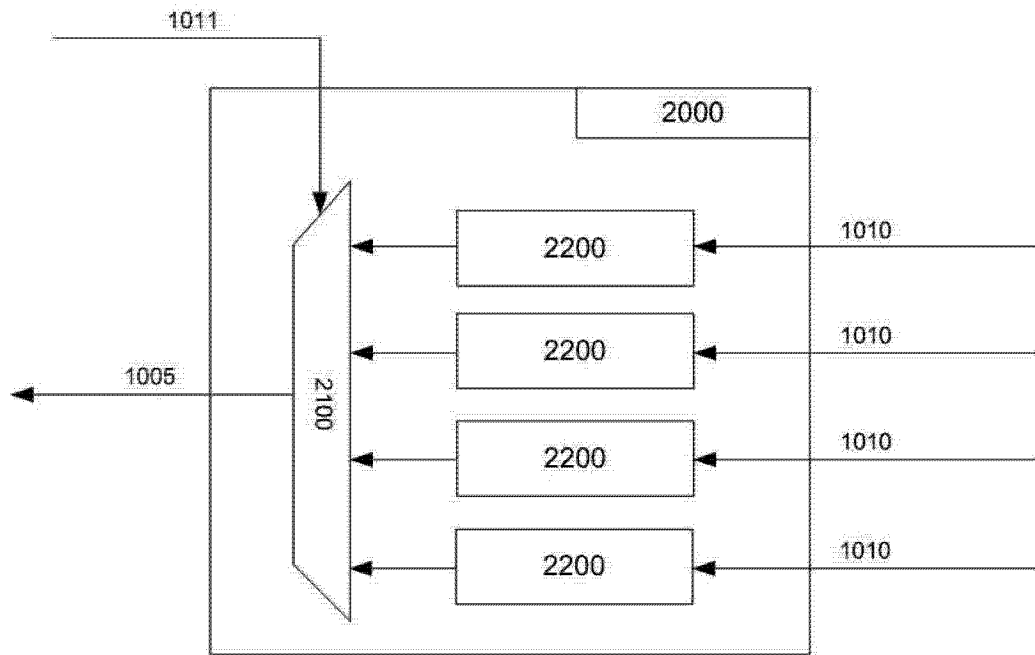


图 7