

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年3月12日(12.03.2020)

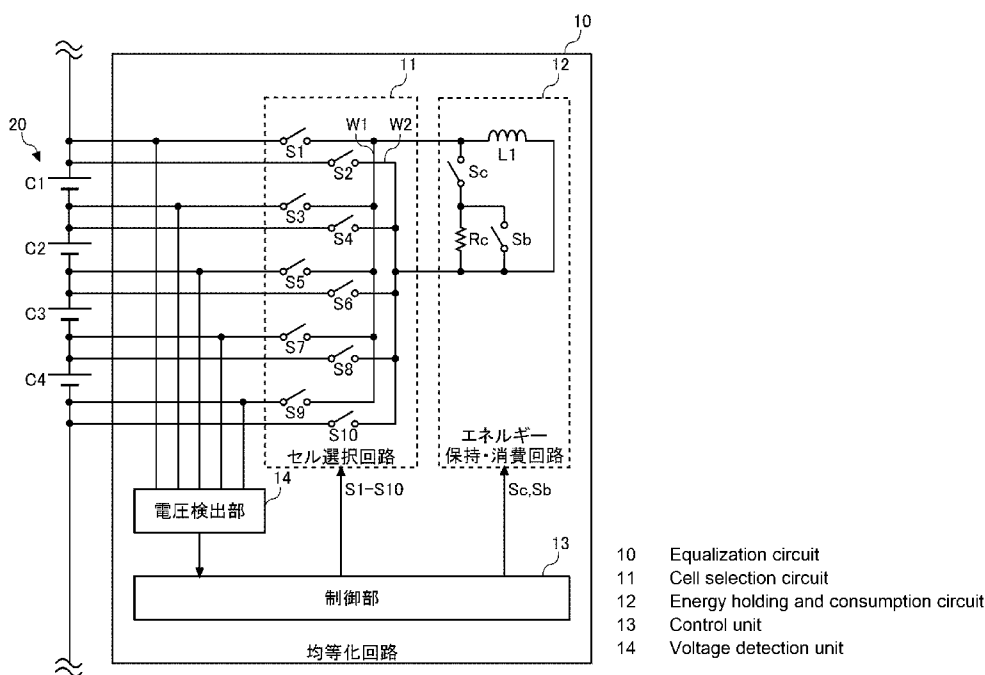


(10) 国際公開番号
WO 2020/049910 A1

- (51) 国際特許分類:
H02J 7/02 (2016.01) *H02J 7/00* (2006.01)
H01M 10/44 (2006.01) *B60L 58/22* (2019.01)
H01M 10/48 (2006.01)
- (21) 国際出願番号: PCT/JP2019/030198
- (22) 国際出願日: 2019年8月1日(01.08.2019)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
 特願 2018-167046 2018年9月6日(06.09.2018) JP
- (71) 出願人: パナソニックIPマネジメント株式会社(PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) [JP/JP]; 〒5406207
- 大阪府大阪市中央区城見2丁目1番61号 Osaka (JP).
- (72) 発明者: 倉貫 正明(KURANUKI Masaaki).
- (74) 代理人: 鎌田 健司, 外(KAMATA Kenji et al.); 〒5406207 大阪府大阪市中央区城見2丁目1番61号 パナソニックIPマネジメント株式会社内 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) Title: EQUALIZATION CIRCUIT AND POWER STORAGE SYSTEM

(54) 発明の名称: 均等化回路、及び蓄電システム



(57) Abstract: An equalization circuit wherein a cell selection circuit is provided between an n number of cells and an inductor and causes current to flow to both ends of a cell among the n number of cells and to both ends of the inductor. An energy holding and consumption circuit can form a closed loop including the inductor, in a state in which none of the cells have been selected by the cell selection circuit. The energy holding and consumption circuit can form: a first pattern closed loop having a small closed loop resistance component; and a second pattern closed loop having a large



WO 2020/049910 A1

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 一 国際調査報告 (条約第21条(3))

closed loop resistance component.

(57) 要約 : 均等化回路において、セル選択回路は、 n 個のセルとインダクタ間に設けられ、 n 個のセルのいずれかのセルの両端と、インダクタの両端を導通させることができる。エネルギー保持・消費回路は、セル選択回路がいずれのセルも選択していない状態で、インダクタを含む閉ループを形成することができる。エネルギー保持・消費回路は、閉ループの抵抗成分が小さい第1パターンの閉ループと、閉ループの抵抗成分が大きい第2パターンの閉ループを形成することができる。

明 細 書

発明の名称：均等化回路、及び蓄電システム

技術分野

[0001] 本発明は、直列接続された複数のセルやモジュール間の容量を均等化する均等化回路、及び蓄電システムに関する。

背景技術

[0002] 近年、リチウムイオン電池やニッケル水素電池などの二次電池が様々な用途で使用されている。例えば、EV(Electric Vehicle)、HEV(Hybrid Electric Vehicle)、PHV(Plug-in Hybrid Vehicle)の走行用モータに電力を供給することを目的とする車載(電動自転車を含む)用途、ピークシフト、バックアップを目的とした蓄電用途、系統の周波数安定化を目的としたFR(Frequency Regulation)用途などに使用されている。

[0003] 一般的に、リチウムイオン電池などの二次電池では電力効率の維持および安全性担保の観点から、直列接続された複数のセル間において容量を均等化する均等化処理が実行される。均等化処理にはパッシブ方式とアクティブ方式がある。パッシブ方式は、直列接続された複数のセルにそれぞれ放電抵抗を接続し、最も電圧が低いセルの電圧に、他のセルの電圧を合わせるように他のセルを放電して、複数のセル間の容量を揃える方式である。アクティブ方式は、直列接続された複数のセル間でエネルギー移動を行うことにより、複数のセル間の容量を揃える方式である。アクティブ方式のほうが電力損失が少なく、発熱量を抑えることができるが、現在、回路構成がシンプルで低コストなパッシブ方式が主流となっている。

[0004] 近年、特に車載用途において、電池パックのエネルギー容量と出力が増加してきている。即ち、電池パック内の各セルの容量と、セルの直列数が増加してきている。それに伴い、複数のセル間において不均衡となっているエネルギー量が増大してきている。従って、均等化処理により、複数のセル間の不均衡を解消するために必要な時間も増大してきている。

[0005] これに対して、特に車載用途において、均等化処理に必要な時間の短縮が求められている。大きなエネルギー不均衡を短時間で解消するには、大電流を流して均等化する必要がある。パッシブ方式では、電圧が高いセルの容量を抵抗で消費させることによりエネルギー不均衡を解消させるため、抵抗に流す電流が大きくなると発熱量も大きくなる。上述のように、セルの直列数が増加してくると、基板上に、抵抗発熱に対する放熱面積を確保することが難しくなってくる。

[0006] そこで、エネルギーを熱に変換して消費させるのではなく、エネルギーを容量が少ないセルに移動させるアクティブ方式の必要性が高まっている。アクティブ方式の均等化回路として、インダクタを用いてセル間のエネルギー移動を行うものがある（例えば、特許文献1参照）。

先行技術文献

特許文献

[0007] 特許文献1：特開平7-322516号公報

発明の概要

発明が解決しようとする課題

[0008] 上述したようにアクティブ方式は、複数のセル間において発熱を抑えつつエネルギーを移動させることができるため、大きなエネルギー移動に対して大きな効果を発揮する。これに対して、複数のセル間の不均衡が小さく、小さなエネルギー移動しか必要ない場合には、アクティブ方式が十分に効果を発揮しない場合がある。

[0009] 例えば、1つのセルのみの電圧が高く、他の複数のセルの電圧が揃っている場合、電圧が高いセルから他のどのセルにエネルギーを移動させても、他の複数のセルのバランスが崩れる。他の複数のセルに、エネルギーを分割して移動させることも考えられるが、分割させたエネルギーが、エネルギー移動が可能な最小の制御単位より小さい場合は、分割させたエネルギーを移動させても、複数のセル間の容量を揃えることができない。

[0010] このような場合、パッシブ方式では、電圧が高い1つのセルを放電させるだけで、簡単に複数のセル間の容量を揃えることができる。しかしながら、アクティブ方式の均等化回路と、セルごとに抵抗とスイッチを設ける既存のパッシブ方式の均等化回路を併用する場合、回路面積が増大し、設計上の無駄も多い。

[0011] 本発明はこうした状況に鑑みなされたものであり、その目的は、アクティブ方式の均等化回路において、回路面積の増大を抑えつつ、複数のセル間の容量の微調整を容易に行う技術を提供することにある。

課題を解決するための手段

[0012] 上記課題を解決するために、本発明のある態様の均等化回路は、直列接続された n (n は2以上の整数)個のセルのそれぞれの電圧を検出する電圧検出部と、前記電圧検出部により検出された前記 n 個のセルの電圧をもとに、前記 n 個のセル間の均等化処理を実行する制御部と、インダクタと、前記 n 個のセルと前記インダクタ間に設けられ、前記 n 個のセルのいずれかのセルの両端と、前記インダクタの両端を導通させることが可能なセル選択回路と、前記セル選択回路がいずれのセルも選択していない状態で、前記インダクタを含む閉ループを形成するためのエネルギー保持・消費回路と、を備える。前記エネルギー保持・消費回路は、閉ループの抵抗成分が小さい第1パターンの閉ループと、閉ループの抵抗成分が大きい第2パターンの閉ループを形成可能である。

発明の効果

[0013] 本発明によれば、アクティブ方式の均等化回路において、回路面積の増大を抑えつつ、複数のセル間の容量の微調整を容易に行うことができる。

図面の簡単な説明

[0014] [図1]本発明の実施例に係る蓄電システムの構成を示す図である。

[図2]図2(a)～(h)は、本発明の実施例に係る蓄電システムの均等化処理の動作シーケンス例を説明するための図である。

[図3]図3(a)～(c)は、本発明の実施例に係る蓄電システムの均等化処

理の具体例 1 を説明するための図である。

[図4]図 4 (a)、(b) は、本発明の実施例に係る蓄電システムの均等化処理の具体例 2 を説明するための図である。

[図5]図 5 (a)、(b) は、本発明の実施例に係る蓄電システムの均等化処理の具体例 3 を説明するための図である。

[図6]比較例に係る蓄電システムの構成を示す図である。

[図7]本発明の変形例 1 に係る蓄電システムの構成を示す図である。

[図8]本発明の変形例 2 に係る蓄電システムの構成を示す図である。

[図9]本発明の変形例 3 に係る蓄電システムの構成を示す図である。

発明を実施するための形態

[0015] 図 1 は、本発明の実施例に係る蓄電システム 1 の構成を示す図である。蓄電システム 1 は、均等化回路 10 及び蓄電部 20 を備える。蓄電部 20 は、直列接続された n (n は 2 以上の整数) 個のセルを含む。図 1 では、4 つのセル C1 - C4 が直列接続された例を描いている。なお、直列接続されるセル数は、蓄電システム 1 に要求される電圧仕様に依じて変わる。

[0016] 各セルには、リチウムイオン電池セル、ニッケル水素電池セル、鉛電池セル、電気二重層キャパシタセル、リチウムイオンキャパシタセル等の充放電可能な蓄電素子を用いることができる。以下、本明細書ではリチウムイオン電池セル (公称電圧: 3.6 - 3.7 V) を使用する例を想定する。

[0017] 均等化回路 10 は、電圧検出部 14、セル選択回路 11、エネルギー保持・消費回路 12 及び制御部 13 を含む。電圧検出部 14 は、直列接続された n (図 1 では 4) 個のセルの各電圧を検出する。具体的には電圧検出部 14 は、直列接続された n 個のセルの各ノードと、 $(n+1)$ 本の電圧線で接続され、隣接する 2 本の電圧線間の電圧をそれぞれ検出することにより、各セルの電圧を検出する。電圧検出部 14 は例えば、汎用のアナログフロントエンド IC または ASIC (Application Specific Integrated Circuit) で構成することができる。電圧検出部 14 は、検出した各セルの電圧をデジタル値に変換し、制御部 13 に出力する。

- [0018] セル選択回路11は、直列接続された n 個のセルと、エネルギー保持・消費回路12に含まれるインダクタ L_1 との間に設けられ、 n 個のセルの内から選択されたセルの両端と、インダクタ L_1 の両端を導通させることができる回路である。セル選択回路11は、インダクタ L_1 の第1端に接続される第1配線 W_1 、インダクタ L_1 の第2端に接続される第2配線 W_2 、 $(n+1)$ 個の第1配線側スイッチ、及び $(n+1)$ 個の第2配線側スイッチを有する。 $(n+1)$ 個の第1配線側スイッチは、直列接続された n 個のセルの各ノードと、第1配線 W_1 との間にそれぞれ接続される。 $(n+1)$ 個の第2配線側スイッチは、直列接続された n 個のセルの各ノードと、第2配線 W_2 との間にそれぞれ接続される。
- [0019] 図1に示す例では $n=4$ 、ノード数=5であり、セル選択回路11は、5個の第1配線側スイッチ、及び5個の第2配線側スイッチを有する。図1では、第1スイッチ S_1 、第3スイッチ S_3 、第5スイッチ S_5 、第7スイッチ S_7 及び第9スイッチ S_9 が第1配線側スイッチであり、第2スイッチ S_2 、第4スイッチ S_4 、第6スイッチ S_6 、第8スイッチ S_8 及び第10スイッチ S_{10} が第2配線側スイッチである。
- [0020] エネルギー保持・消費回路12は、インダクタ L_1 、クランプスイッチ S_c 、抵抗 R_c 及びバイパススイッチ S_b を含む。クランプスイッチ S_c は、インダクタ L_1 の両端をエネルギー保持・消費回路12内で導通させるためのスイッチである。抵抗 R_c は、エネルギーを消費させるための抵抗素子である。バイパススイッチ S_b は、抵抗 R_c と並列に接続され、抵抗 R_c をバイパスするための経路を形成するためのスイッチである。
- [0021] エネルギー保持・消費回路12は、セル選択回路11がいずれのセルも選択していない状態で、インダクタ L_1 を含む閉ループを形成することができる。さらにエネルギー保持・消費回路は、閉ループの抵抗成分が小さい第1パターンの閉ループと、閉ループの抵抗成分が大きい第2パターンの閉ループを形成することができる。
- [0022] クランプスイッチ S_c 及びバイパススイッチ S_b がオン状態では、インダ

クタL 1、クランプスイッチS c、バイパススイッチS bを含む第1パターンの閉ループが形成される。クランプスイッチS cがオン状態でバイパススイッチS bがオフ状態では、インダクタL 1、クランプスイッチS c、抵抗R cを含む第2パターンの閉ループが形成される。第1パターンの閉ループは、エネルギー保持・消費回路1 2内にエネルギーを保持するための閉ループである。第2パターンの閉ループは、エネルギー保持・消費回路1 2内のエネルギーを消費するための閉ループである。

[0023] 第1スイッチS 1ー第10スイッチS 10、クランプスイッチS c及びバイパススイッチS bには、半導体スイッチ（例えば、MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor)やIGBT (Insulated Gate Bipolar Transistor))を使用することができる。以下、第1スイッチS 1ー第10スイッチS 10、クランプスイッチS c及びバイパススイッチS bに、MOSFETを使用する例を想定する。

[0024] 制御部1 3は、電圧検出部1 4により検出されたn個のセルの電圧をもとに、直列接続されたn個のセル間の均等化処理を実行する。制御部1 3は例えば、マイクロコンピュータで構成することができる。なお制御部1 3と電圧検出部1 4は、ワンチップに統合されて構成されてもよい。

[0025] 本実施例では制御部1 3は、アクティブセルバランス方式により直列接続されたn個のセル間の均等化処理を実行する。本実施例に係るアクティブセルバランス方式では、直列接続されたn個のセル間において、あるセル（放電対象のセル）から、別のセル（充電対象のセル）にエネルギー移動を行うことにより、あるセルと別のセルの容量を均等化する。このエネルギー移動を繰り返すことにより、直列接続されたn個のセル間の容量を均等化する。

[0026] まず制御部1 3は、セル選択回路1 1を制御してn個のセルの内の放電対象とするセルの両端とインダクタL 1の両端を所定時間、導通させる。この状態では、放電対象のセルからインダクタL 1に電流が流れ、インダクタL 1にエネルギーが蓄積される。

[0027] 次に制御部1 3は、セル選択回路1 1を制御してn個のセルとインダクタ

L 1 を電氣的に遮断するとともに、クランプスイッチ S s 及びバイパススイッチ S b をターンオンさせる。この状態では、上記第 1 パターンの閉ループに循環電流が流れ、エネルギー保持・消費回路 1 2 内で、インダクタ電流がアクティブクランプされる。

[0028] 次に制御部 1 3 は、クランプスイッチ S c 及びバイパススイッチ S b をターンオフさせるとともに、セル選択回路 1 1 を制御して n 個のセルの内の充電対象とするセルの両端とインダクタ L 1 の両端を所定時間、導通させる。この状態では、エネルギー保持・消費回路 1 2 内にアクティブクランプされているインダクタ電流が、充電対象のセルに流れる。以上により、あるセルから別のセルへのエネルギー移動が完了する。

[0029] 図 2 (a) - (h) は、本発明の実施例に係る蓄電システム 1 の均等化処理の動作シーケンス例を説明するための図である。本動作シーケンス例では説明を簡略化するために、セルの直列数を 2 としている。図 2 (a) に示す第 1 状態では、制御部 1 3 は、第 1 スイッチ S 1 及び第 4 スイッチ S 4 をオン状態に制御し、第 2 スイッチ S 2、第 3 スイッチ S 3、第 5 スイッチ S 5、第 6 スイッチ S 6、クランプスイッチ S c 及びバイパススイッチ S b をオフ状態に制御する。この状態では、第 1 セル C 1 からインダクタ L 1 に電流が流れ、第 1 セル C 1 から放電されたエネルギーがインダクタ L 1 に蓄積される。

[0030] 図 2 (b) に示す第 2 状態では、制御部 1 3 は、クランプスイッチ S c 及びバイパススイッチ S b をオン状態に制御し、第 1 スイッチ S 1、第 2 スイッチ S 2、第 3 スイッチ S 3、第 4 スイッチ S 4、第 5 スイッチ S 5 及び第 6 スイッチ S 6 をオフ状態に制御する。この状態では、インダクタ L 1 に蓄積されたエネルギーが、インダクタ電流として第 1 パターンの閉ループ内を流れ、アクティブクランプされる。

[0031] 図 2 (c) に示す第 3 状態では、制御部 1 3 は、第 4 スイッチ S 4 及び第 5 スイッチ S 5 をオン状態に制御し、第 1 スイッチ S 1、第 2 スイッチ S 2、第 3 スイッチ S 3、第 6 スイッチ S 6、クランプスイッチ S c 及びバイパ

スイッチS bをオフ状態に制御する。この状態では、第1パターンの閉ループ内にアクティブクランプされているインダクタ電流が第2セルC 2に流れ、第2セルC 2が充電される。

[0032] 図2 (d) に示す第4状態では、制御部1 3は、第1スイッチS 1、第2スイッチS 2、第3スイッチS 3、第4スイッチS 4、第5スイッチS 5、第6スイッチS 6、クランプスイッチS c及びバイパススイッチS bをオフ状態に制御する。この状態は、第1セルC 1から第2セルC 2へのエネルギー移動が完了した状態である。

[0033] 図2 (e) に示す第5状態では、制御部1 3は、第3スイッチS 3及び第6スイッチS 6をオン状態に制御し、第1スイッチS 1、第2スイッチS 2、第4スイッチS 4、第5スイッチS 5、クランプスイッチS c及びバイパススイッチS bをオフ状態に制御する。この状態では、第2セルC 2からインダクタL 1に電流が流れ、第1セルC 1から放電されたエネルギーがインダクタL 1に蓄積される。

[0034] 図2 (f) に示す第6状態では、制御部1 3は、クランプスイッチS c及びバイパススイッチS bをオン状態に制御し、第1スイッチS 1、第2スイッチS 2、第3スイッチS 3、第4スイッチS 4、第5スイッチS 5及び第6スイッチS 6をオフ状態に制御する。この状態では、インダクタL 1に蓄積されたエネルギーが、インダクタ電流として第1パターンの閉ループ内を流れ、アクティブクランプされる。

[0035] 図2 (g) に示す第7状態では、制御部1 3は、第2スイッチS 2及び第3スイッチS 3をオン状態に制御し、第1スイッチS 1、第4スイッチS 4、第5スイッチS 5、第6スイッチS 6、クランプスイッチS c及びバイパススイッチS bをオフ状態に制御する。この状態では、第1パターンの閉ループ内にアクティブクランプされているインダクタ電流が第1セルC 1に流れ、第1セルC 1が充電される。

[0036] 図2 (h) に示す第8状態では、制御部1 3は、第1スイッチS 1、第2スイッチS 2、第3スイッチS 3、第4スイッチS 4、第5スイッチS 5、

第6スイッチS₆、クランプスイッチS_c及びバイパススイッチS_bをオフ状態に制御する。この状態は、第2セルC₂から第1セルC₁へのエネルギー移動が完了した状態である。

[0037] 第2状態または第6状態において、第1パターンの閉ループ内にインダクタ電流がアクティブクランプされることにより、インダクタ電流の連続性が確保されるため、セル選択回路11の安全かつ確実なスイッチ切替が可能となる。

[0038] 図3(a) - (c)は、本発明の実施例に係る蓄電システム1の均等化処理の具体例1を説明するための図である。具体例1では、4つのセルC₁ - C₄が直列接続されている例を想定する。図3(a)は、均等化処理の開始前の第1セルC₁ - 第4セルC₄の電圧の状態を模式的に示す図である。制御部13は、電圧検出部14により検出された第1セルC₁ - 第4セルC₄の電圧の平均値を算出し、算出した平均値を均等化目標電圧（以下、単に目標電圧という）に設定する。

[0039] 制御部13は、目標電圧より高いセルから、目標電圧より低いセルへエネルギーを移動させる。例えば、目標電圧より高いセルの内、最も電圧が高いセル（図3(a)では第1セルC₁）から、目標電圧より低いセルの内、最も電圧が低いセル（図3(a)では第4セルC₄）にエネルギーを移動させる。

[0040] 制御部13は、移動元のセル（放電対象のセル）の電圧が目標電圧以上となる範囲で、かつ移動先のセル（充電対象のセル）の電圧が目標電圧以下となる範囲で、エネルギー移動量を決定する。制御部13は、決定したエネルギー移動量と、設計にもとづく放電電流及び充電電流に基づき、移動元のセルの放電時間と移動先のセルの充電時間を決定する。エネルギー保持・消費回路12にアクティブクランプされている間に消費されるエネルギー量は無視できる程度であるため、基本的に移動元のセルの放電時間と移動先のセルの充電時間は同じになる。

[0041] 図3(b)は、移動元のセルである第1セルC₁から、移動先のセルであ

る第4セルC4へのエネルギー移動が完了した状態を示している。制御部13は上述した処理を再び、実行する。具体的には、目標電圧より高いセルの内、最も電圧が高いセル（図3（b）では第3セルC3）から、目標電圧より低いセルの内、最も電圧が低いセル（図3（b）では第2セルC2）にエネルギーを移動させる。

[0042] 図3（c）は、移動元のセルである第3セルC3から、移動先のセルである第2セルC2へのエネルギー移動が完了した状態を示している。以上により、直列接続された4つのセルC1-C4の均等化処理が完了する。

[0043] 図3（a）-（c）に示した具体例1では、はじめに、直列接続された複数のセルの電圧の平均値を算出し、目標値を設定した。この点、目標値を設定しないアルゴリズムも可能である。制御部13は各時点において、直列接続された複数のセルの電圧の内、最も電圧が高いセルから最も電圧が低いセルへエネルギーを移動させることにより、当該2つのセルの電圧を均等化する。制御部13は、この処理を、直列接続された複数のセルの電圧が全て均等化されるまで繰り返し実行する。

[0044] また上記具体例1では、均等化目標値として電圧を使用する例を説明したが、電圧の代わりに、実容量、放電可能容量または充電可能容量を使用してもよい。

[0045] 図4（a）、（b）は、本発明の実施例に係る蓄電システム1の均等化処理の具体例2を説明するための図である。図4（a）は、直列接続された第1セルC1-第4セルC4の内、最も電圧が高いセル（図4（a）では第1セルC1）の電圧と、最も電圧が低いセル（図4（a）では第4セルC4）の電圧との差分 ΔV に基づき当該セル間で移動させるべきエネルギー量が、設定値より小さい場合を示している。

[0046] あるセルから別のセルへ移動できる最小のエネルギー量には、スイッチの動作速度による限界がある。一般的に、MOSFETは動作速度が速くなるほど、オン抵抗が大きくなる傾向にある。オン抵抗による損失と発熱を抑えるために、オン抵抗が小さいMOSFETを使用すると動作速度が遅くなる

。スイッチの動作速度が遅くなると、スイッチのオン・オフにより通過させることができるエネルギー量の最小値が大きくなる。上記設定値は主に、使用しているスイッチの動作速度をもとに設計者により予め決定された値である。即ち、上記設定値は、セル間でエネルギーを移動させる際の最小の制御単位を規定した値である。

[0047] 制御部13は、あるセルから別のセルに移動させるべきエネルギー量が上記設定値より小さいとき、セル選択回路11を制御して放電対象とするセルの両端とインダクタL1の両端を所定時間、導通させる。この状態では、放電対象のセルからインダクタL1に電流が流れ、インダクタL1にエネルギーが蓄積される。

[0048] 次に制御部13は、セル選択回路11を制御してn個のセルとインダクタL1を電氣的に遮断するとともに、クランプスイッチS_sをターンオンさせる。なお、バイパススイッチS_bはターンオンさせない。この状態では、上記第2パターンの閉ループに循環電流が流れ、エネルギー保持・消費回路12内で、インダクタ電流が消費される。

[0049] 図4(a)において、差分 ΔV に基づく移動させるべきエネルギー量が、上記設定値より小さい場合、制御部13は直列接続された第1セルC1ー第4セルC4の内、最も電圧が低い第4セルC4の電圧を目標値に設定する。制御部13は、第1セルC1の容量をエネルギー保持・消費回路12内の抵抗R_cで消費することにより、第1セルC1の電圧を目標値に合わせるために必要な放電時間を算出する。制御部13は、セル選択回路11を制御して第1セルC1の両端とインダクタL1の両端を、算出した放電時間、導通させる。同様に制御部13は、第2セルC2の容量と第3セルC3の容量を放電し、直列接続された第1セルC1ー第4セルC4の電圧を目標値に揃える。図4(b)は、第1セルC1ー第3セルC3のエネルギー消費により、直列接続された第1セルC1ー第4セルC4の均等化処理が完了した状態を示している。

[0050] 図5(a)、(b)は、本発明の実施例に係る蓄電システム1の均等化処

理の具体例3を説明するための図である。図5(a)は、直列接続された複数のセルの内、最も電圧が高いセルの電圧と、最も電圧が低いセルの電圧との差分 ΔV に基づき当該セル間で移動させるべきエネルギー量が上記設定値より小さく、かつ最も電圧が高いセル以外の複数のセルの電圧が揃っている場合を示している。

[0051] 直列接続された複数のセルの内、1つのセルのみの電圧が高い場合、当該セルから他のどのセルにエネルギーを移動させても、他のセルの電圧バランスが崩れる。図5(a)に示す例では、第1セルC1から、第2セルC2ー第4セルC4のどのセルにエネルギーを移動させても、第2セルC2ー第4セルC4間の電圧バランスが崩れる。この場合、第1セルC1のエネルギーを移動させるより、第1セルC1のエネルギーを消費させたほうが効率的である。図5(b)は、第1セルC1のエネルギー消費により、直列接続された第1セルC1ー第4セルC4の均等化処理が完了した状態を示している。

[0052] 図5(a)に示すように、直列接続された複数のセルの内、1つのセルのみの電圧が高い場合、上記設定値に所定値を加算して上記設定値を大きくしてもよい。1つのセルのみの電圧が高い場合、エネルギーを分割して他の複数のセルに順次、分割したエネルギーを移動させるより、電圧が高い1つのセルのエネルギーを消費させたほうが、処理時間が大きく短縮する。従って、1つのセルのみの電圧が高い場合に、当該セルのエネルギーを消費させるケースを増やす設計は、有効な設計の1つである。

[0053] 図6は、比較例に係る蓄電システム1の構成を示す図である。比較例に係る蓄電システム1の構成は、図1に示した実施例に係る蓄電システム1の構成と比較し、エネルギー保持・消費回路12がエネルギー保持回路12aに置き換えられた構成である。エネルギー保持回路12aの構成は、エネルギー保持・消費回路12から抵抗 R_c 及びバイパススイッチ S_b を取り除いた構成である。エネルギー保持回路12aは、インダクタ L_1 に蓄積したエネルギーを抵抗 R_c で消費する機能を持たない回路である。

[0054] 比較例に係る蓄電システム1の構成では、一般的なパッシブ方式の回路構

成が追加されている。即ち、各セルと並列にそれぞれ放電回路が設けられている。具体的には、第1セルE1の両端に第1放電スイッチSd1と第1放電抵抗Rd1が直列接続され、第2セルE2の両端に第2放電スイッチSd2と第2放電抵抗Rd2が直列接続され、第3セルE3の両端に第3放電スイッチSd3と第3放電抵抗Rd3が直列接続され、第4セルE4の両端に第4放電スイッチSd4と第4放電抵抗Rd4が直列接続される。

[0055] 図6に示す比較例に係る、アクティブセルバランスとパッシブセルバランスを併用した回路構成では、基板上に、パッシブセルバランス用の放電抵抗の放熱スペースをセル毎に確保しつつ、アクティブセルバランス回路の設置スペースも必要となり、設計上の無駄が多い。これに対して図1に示した実施例に係る回路構成では、パッシブセルバランス用の放電抵抗を、エネルギー保持・消費回路12内の抵抗Rcの1つにすることができる。従って、比較例に係る構成と比較して、放電抵抗の放熱スペースを $1/n$ にすることができる。またパッシブセルバランスに必要な部品（抵抗とスイッチ）の数も $1/n$ にすることができる。

[0056] 以上説明したように本実施例によれば、アクティブ方式の均等化回路において、回路面積の増大を抑えつつ、複数のセル間の容量の微調整を容易に行うことができる。一般的なアクティブ方式の均等化回路は、複数のセル間において発熱を抑えつつエネルギーを移動させることができるため、大きなエネルギー移動に適しているが、小さなエネルギー移動には限界があり、複数のセル間の容量の微調整を行うことが難しい場合もある。一方、一般的なパッシブ方式の均等化回路は、複数のセル間においてエネルギー移動ができないが、複数のセル間の容量の微調整を容易に行うことができる。

[0057] 本実施例に係る均等化回路では、エネルギー保持・消費回路12を設けることにより、インダクタ電流をアクティブクランプすることによりアクティブセルバランスを実現しつつ、抵抗Rcでエネルギーを消費することによりパッシブセルバランスも実現することができる。従って、複数のセル間における大きなエネルギー移動と、複数のセル間の容量の微調整の両方が可能と

なり、アクティブ方式とパッシブ方式の両方のメリットを享受することができる。

[0058] またエネルギーを消費するための回路部品をセルごとに設ける必要がなく、パッシブ方式に必要な部品数を大幅に削減することができ、基板上の放熱面積も大幅に削減することができる。これらの削減効果は、セルの直列数が多くなるほど大きくなる。

[0059] 以上、本発明を実施例をもとに説明した。実施例は例示であり、それらの各構成要素や各処理プロセスの組み合わせにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に容易に理解されるところである。

[0060] 図7は、本発明の変形例1に係る蓄電システム1の構成を示す図である。変形例1では、エネルギー保持・消費回路12において、バイパススイッチ S_b の代わりに導通スイッチ S_{cn} が使用される。変形例1では、直列接続された抵抗 R_c と導通スイッチ S_{cn} がクランプスイッチ S_c と並列に接続される。

[0061] クランプスイッチ S_c がオン状態で導通スイッチ S_{cn} がオフ状態では、インダクタ L_1 、クランプスイッチ S_c を含む第1パターンの閉ループが形成される。クランプスイッチ S_c がオフ状態で導通スイッチ S_{cn} がオン状態では、インダクタ L_1 、抵抗 R_c 、導通スイッチ S_{cn} を含む第2パターンの閉ループが形成される。

[0062] 図1に示した基本例と図7に示す変形例1を比較すると、第1パターンの閉ループにおいて電流が通過するスイッチの数は基本例で2、変形例1で1である。第2パターンの閉ループにおいて電流が通過するスイッチの数は基本例と変形例1のいずれも1である。従って、変形例1のほうがインダクタ電流をアクティブクランプする際の電力損失を少なくすることができる。

[0063] 図8は、本発明の変形例2に係る蓄電システム1の構成を示す図である。変形例2では、エネルギー保持・消費回路12内のクランプスイッチをフルブリッジ構成としている。変形例2に係るエネルギー保持・消費回路12で

は、第1配線W1と第2配線W2間に、第1クランプスイッチSc1と第2クランプスイッチSc2が直列接続される。さらに第1配線W1と第2配線W2間に、第1クランプスイッチSc1と第2クランプスイッチSc2と並列に、第3クランプスイッチSc3と第4クランプスイッチSc4が直列接続される。インダクタL1の第1端は、第1クランプスイッチSc1と第2クランプスイッチSc2の midpoint に接続され、インダクタL1の第2端は、第3クランプスイッチSc3と第4クランプスイッチSc4の midpoint に接続される。また、直列接続された抵抗Rcと導通スイッチScnがインダクタL1の両端間に接続される。

[0064] 第1クランプスイッチSc1及び第3クランプスイッチSc3がオン状態で、第2クランプスイッチSc2、第4クランプスイッチSc4及び導通スイッチScnがオフ状態では、第1クランプスイッチSc1、インダクタL1、第3クランプスイッチSc3を含む第1パターンの閉ループ（順方向）が形成される。また、第2クランプスイッチSc2及び第4クランプスイッチSc4がオン状態で、第1クランプスイッチSc1、第3クランプスイッチSc3及び導通スイッチScnがオフ状態では、第2クランプスイッチSc2、インダクタL1、第4クランプスイッチSc4を含む第1パターンの閉ループ（逆方向）が形成される。また第1クランプスイッチSc1－第4クランプスイッチSc4がオフ状態で導通スイッチScnがオン状態では、インダクタL1、抵抗Rc、導通スイッチScnを含む第2パターンの閉ループが形成される。

[0065] 変形例2に係る構成では、放電電流または充電電流の向きを任意に選択することができる。なお、図1に示した構成でも、第1スイッチS1－第10スイッチS10を双方向スイッチで構成すれば、放電電流または充電電流の向きを任意に選択することができる。

[0066] 図9は、本発明の変形例3に係る蓄電システム1の構成を示す図である。変形例3も、エネルギー保持・消費回路12内のクランプスイッチをフルブリッジ構成としている。直列接続された抵抗Rcと導通スイッチScnが、

第1配線W1と第2配線W2間に接続される。その他は変形例2と同様である。

[0067] 上述した実施例では、直列接続された複数のセル間をアクティブ方式とパッシブ方式により均等化する例を説明した。この点、実施例に係る均等化回路を用いて、直列接続された複数のモジュール間を均等化することもできる。本明細書内の「セル」を「モジュール」に適宜、読み替えばよい。また、直列接続された複数のモジュール間の均等化処理と、各モジュール内の直列接続された複数のセル間の均等化処理を、多重的に実行する構成であってもよい。

[0068] また、エネルギー保持・消費回路12内の抵抗 R_c 及びバイパススイッチ S_b （導通スイッチ S_{cn} ）を省略することもできる。その場合、インダクタ L_1 の等価直列抵抗および／またはMOSFETのオン抵抗で、抵抗 R_c を代用する。この場合、クランプスイッチ S_c をオンすることにより形成される閉ループの維持時間が短いほど、エネルギーを保持する作用が大きくなり、当該閉ループの維持時間が長くなるほど、エネルギーを消費する作用が大きくなる。均等化処理時間が長くなることを許容できる用途では、本変形例も有効な選択肢の1つとなる。

[0069] なお、実施の形態は、以下の項目によって特定されてもよい。

[0070] [項目1]

直列接続された n （ n は2以上の整数）個のセル（ $C_1 - C_4$ ）のそれぞれの電圧を検出する電圧検出部（14）と、

前記電圧検出部（14）により検出された前記 n 個のセル（ $C_1 - C_4$ ）の電圧をもとに、前記 n 個のセル（ $C_1 - C_4$ ）間の均等化処理を実行する制御部（13）と、

インダクタ（ L_1 ）と、

前記 n 個のセル（ $C_1 - C_4$ ）と前記インダクタ（ L_1 ）間に設けられ、前記 n 個のセル（ $C_1 - C_4$ ）のいずれかのセルの両端と、前記インダクタ（ L_1 ）の両端を導通させることが可能なセル選択回路（11）と、

前記セル選択回路（11）がいずれのセルも選択していない状態で、前記インダクタ（L1）を含む閉ループを形成するためのエネルギー保持・消費回路（12）と、を備え、

前記エネルギー保持・消費回路（12）は、閉ループの抵抗成分が小さい第1パターンの閉ループと、閉ループの抵抗成分が大きい第2パターンの閉ループを形成可能なことを特徴とする均等化回路（10）。

これによれば、アクティブ方式の均等化回路（10）において、回路面積の増大を抑えつつ、複数のセル（C1-C4）間の容量の微調整を容易に行うことができる。

[0071] [項目2]

前記制御部（13）は、前記n個のセル（C1-C4）の内、あるセルから別のセルに移動させるべき容量の値が設定値より大きいとき、

前記セル選択回路（11）を制御して前記n個のセル（C1-C4）の内の放電対象とするセルの両端と前記インダクタ（L1）の両端を所定時間、導通させ、

前記セル選択回路（11）を制御して前記n個のセル（C1-C4）と前記インダクタ（L1）を電氣的に遮断するとともに、前記エネルギー保持・消費回路（12）に前記第1パターンの閉ループを形成させ、

前記エネルギー保持・消費回路（12）に前記第1パターンの閉ループを解除させるとともに、前記セル選択回路（11）を制御して前記n個のセル（C1-C4）の内の充電対象とするセルの両端と前記インダクタ（L1）の両端を所定時間、導通させる、

ことを特徴とする項目1に記載の均等化回路（10）。

これによれば、セル（C1-C4）間のエネルギー移動によるアクティブセルバランスを実現することができる。

[0072] [項目3]

前記制御部（13）は、前記n個のセル（C1-C4）の内、あるセルから別のセルに移動させるべきエネルギー量が設定値より小さいとき、

前記セル選択回路（11）を制御して前記 n 個のセル（C1-C4）の内の放電対象とするセルの両端と前記インダクタ（L1）の両端を所定時間、導通させ、

前記セル選択回路（11）を制御して前記 n 個のセル（C1-C4）と前記インダクタ（L1）を電氣的に遮断するとともに、前記エネルギー保持・消費回路（12）に前記第2パターンの閉ループを形成させる、

ことを特徴とする項目1または2に記載の均等化回路（10）。

これによれば、少ない素子数で、放電対象とするセルのエネルギーを消費させることができる。

[0073] [項目4]

前記制御部（13）は、前記電圧検出部（14）により検出された前記 n 個のセル（C1-C4）の電圧をもとに、前記 n 個のセル（C1-C4）の目標電圧／目標容量を決定し、前記目標電圧／目標容量より高いセル（C1-C4）を放電対象のセルに決定し、前記目標電圧／目標容量より低いセルを充電対象のセルに決定することを特徴とする項目1または2に記載の均等化回路（10）。

これによれば、セル（C1-C4）間のエネルギー移動によるアクティブセルバランスを実現することができる。

[0074] [項目5]

前記セル選択回路（11）は、

前記インダクタ（L1）の一端に接続される第1配線（W1）と、

前記インダクタ（L1）の他端に接続される第2配線（W2）と、

前記直列接続された n 個のセル（C1-C4）の各ノードと、前記第1配線（W1）間にそれぞれ接続される（ $n+1$ ）個の第1配線側スイッチ（S1、S3、S5、S7、S9）と、

前記直列接続された n 個のセル（C1-C4）の各ノードと、前記第2配線（W2）間にそれぞれ接続される（ $n+1$ ）個の第2配線側スイッチ（S2、S4、S6、S8、S10）と、

を含むことを特徴とする項目 1 から 4 のいずれか 1 項に記載の均等化回路 (10)。

これによれば、アクティブ方式の均等化回路 (10) を少ないスイッチ数で実現することができる。

[0075] [項目 6]

直列接続された n (n は 2 以上の整数) 個のセル (C1-C4) と、
項目 1 から 5 のいずれか 1 項に記載の均等化回路 (10) と、
を備えることを特徴とする蓄電システム (1)。

これによれば、アクティブ方式の均等化回路 (10) において、回路面積の増大を抑えつつ、複数のセル (C1-C4) 間の容量の微調整を容易に行うことができる蓄電システム (1) を構築することができる。

[0076] [項目 7]

直列接続された n (n は 2 以上の整数) 個のモジュール (C1-C4) のそれぞれの電圧を検出する電圧検出部 (14) と、

前記電圧検出部 (14) により検出された前記 n 個のモジュール (C1-C4) の電圧をもとに、前記 n 個のモジュール (C1-C4) 間の均等化処理を実行する制御部 (13) と、

インダクタ (L1) と、

前記 n 個のモジュール (C1-C4) と前記インダクタ (L1) 間に設けられ、前記 n 個のモジュール (C1-C4) のいずれかのモジュールの両端と、前記インダクタ (L1) の両端を導通させることが可能なモジュール選択回路 (11) と、

前記モジュール選択回路 (11) がいずれのモジュールも選択していない状態で、前記インダクタ (L1) を含む閉ループを形成するためのエネルギー保持・消費回路 (12) と、を備え、

前記エネルギー保持・消費回路 (12) は、閉ループの抵抗成分が小さい第 1 パターンの閉ループと、閉ループの抵抗成分が大きい第 2 パターンの閉ループを形成可能なことを特徴とする均等化回路 (10)。

これによれば、アクティブ方式の均等化回路（10）において、回路面積の増大を抑えつつ、複数のモジュール（C1-C4）間の容量の微調整を容易に行うことができる。

[0077] [項目8]

直列接続された n （ n は2以上の整数）個のモジュール（C1-C4）と

、

項目7に記載の均等化回路（10）と、

を備えることを特徴とする蓄電システム（1）。

これによれば、アクティブ方式の均等化回路（10）において、回路面積の増大を抑えつつ、複数のモジュール（C1-C4）間の容量の微調整を容易に行うことができる蓄電システム（1）を構築することができる。

符号の説明

- [0078] 1 蓄電システム、 10 均等化回路、 11 セル選択回路、 12 エネルギー保持・消費回路、 12a エネルギー保持回路、 13 制御部、 14 電圧検出部、 20 蓄電部、 C1-C4 セル、 S1-S10 スイッチ、 W1 第1配線、 W2 第2配線、 L1 インダクタ、 Sc-Sc4 クランプスイッチ、 Sb バイパススイッチ、 Scn 導通スイッチ、 Rc 抵抗。

請求の範囲

- [請求項1] 直列接続された n (n は 2 以上の整数) 個のセルのそれぞれの電圧を検出する電圧検出部と、
- 前記電圧検出部により検出された前記 n 個のセルの電圧をもとに、前記 n 個のセル間の均等化処理を実行する制御部と、
- インダクタと、
- 前記 n 個のセルと前記インダクタ間に設けられ、前記 n 個のセルのいずれかのセルの両端と、前記インダクタの両端を導通させることが可能なセル選択回路と、
- 前記セル選択回路がいずれのセルも選択していない状態で、前記インダクタを含む閉ループを形成するためのエネルギー保持・消費回路と、を備え、
- 前記エネルギー保持・消費回路は、閉ループの抵抗成分が小さい第 1 パターンの閉ループと、閉ループの抵抗成分が大きい第 2 パターンの閉ループを形成可能なことを特徴とする均等化回路。
- [請求項2] 前記制御部は、前記 n 個のセルの内、あるセルから別のセルに移動させるべき容量の値が設定値より大きいとき、
- 前記セル選択回路を制御して前記 n 個のセルの内の放電対象とするセルの両端と前記インダクタの両端を所定時間、導通させ、
- 前記セル選択回路を制御して前記 n 個のセルと前記インダクタを電氣的に遮断するとともに、前記エネルギー保持・消費回路に前記第 1 パターンの閉ループを形成させ、
- 前記エネルギー保持・消費回路に前記第 1 パターンの閉ループを解除させるとともに、前記セル選択回路を制御して前記 n 個のセルの内の充電対象とするセルの両端と前記インダクタの両端を所定時間、導通させる、
- ことを特徴とする請求項 1 に記載の均等化回路。
- [請求項3] 前記制御部は、前記 n 個のセルの内、あるセルから別のセルに移動

させるべきエネルギー量が設定値より小さいとき、

前記セル選択回路を制御して前記 n 個のセルの内の放電対象とするセルの両端と前記インダクタの両端を所定時間、導通させ、

前記セル選択回路を制御して前記 n 個のセルと前記インダクタを電氣的に遮断するとともに、前記エネルギー保持・消費回路に前記第 2 パターンの閉ループを形成させる、

ことを特徴とする請求項 1 または 2 に記載の均等化回路。

[請求項4] 前記制御部は、前記電圧検出部により検出された前記 n 個のセルの電圧をもとに、前記 n 個のセルの目標電圧／目標容量を決定し、前記目標電圧／目標容量より高いセルを放電対象のセルに決定し、前記目標電圧／目標容量より低いセルを充電対象のセルに決定することを特徴とする請求項 1 または 2 に記載の均等化回路。

[請求項5] 前記セル選択回路は、
前記インダクタの一端に接続される第 1 配線と、
前記インダクタの他端に接続される第 2 配線と、
前記直列接続された n 個のセルの各ノードと、前記第 1 配線間にそれぞれ接続される $(n + 1)$ 個の第 1 配線側スイッチと、
前記直列接続された n 個のセルの各ノードと、前記第 2 配線間にそれぞれ接続される $(n + 1)$ 個の第 2 配線側スイッチと、
を含むことを特徴とする請求項 1 から 4 のいずれか 1 項に記載の均等化回路。

[請求項6] 直列接続された n (n は 2 以上の整数) 個のセルと、
請求項 1 から 5 のいずれか 1 項に記載の均等化回路と、
を備えることを特徴とする蓄電システム。

[請求項7] 直列接続された n (n は 2 以上の整数) 個のモジュールのそれぞれの電圧を検出する電圧検出部と、
前記電圧検出部により検出された前記 n 個のモジュールの電圧をもとに、前記 n 個のモジュール間の均等化処理を実行する制御部と、

インダクタと、

前記 n 個のモジュールと前記インダクタ間に設けられ、前記 n 個のモジュールのいずれかのモジュールの両端と、前記インダクタの両端を導通させることが可能なモジュール選択回路と、

前記モジュール選択回路がいずれのモジュールも選択していない状態で、前記インダクタを含む閉ループを形成するためのエネルギー保持・消費回路と、を備え、

前記エネルギー保持・消費回路は、閉ループの抵抗成分が小さい第1パターンの閉ループと、閉ループの抵抗成分が大きい第2パターンの閉ループを形成可能なことを特徴とする均等化回路。

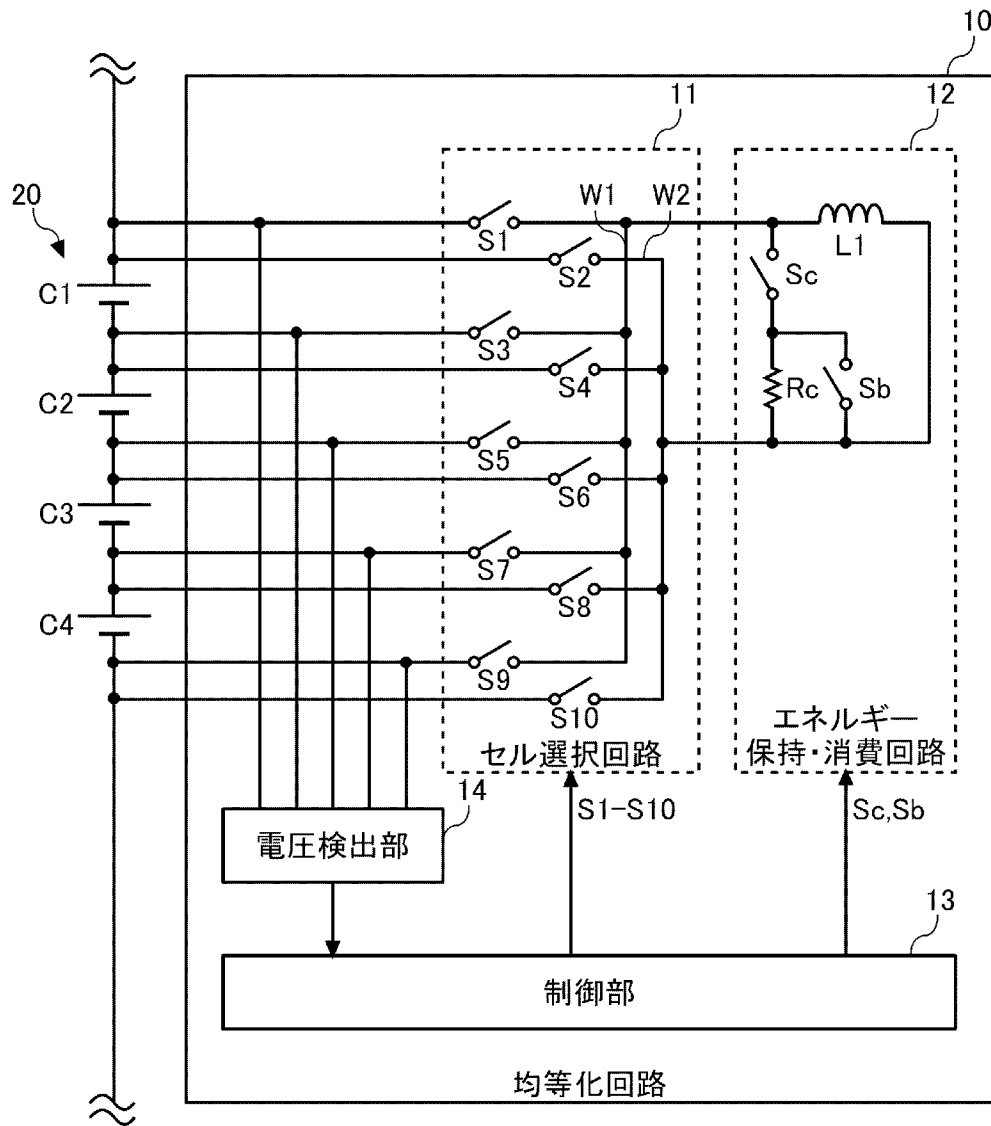
[請求項8]

直列接続された n (n は 2 以上の整数) 個のモジュールと、

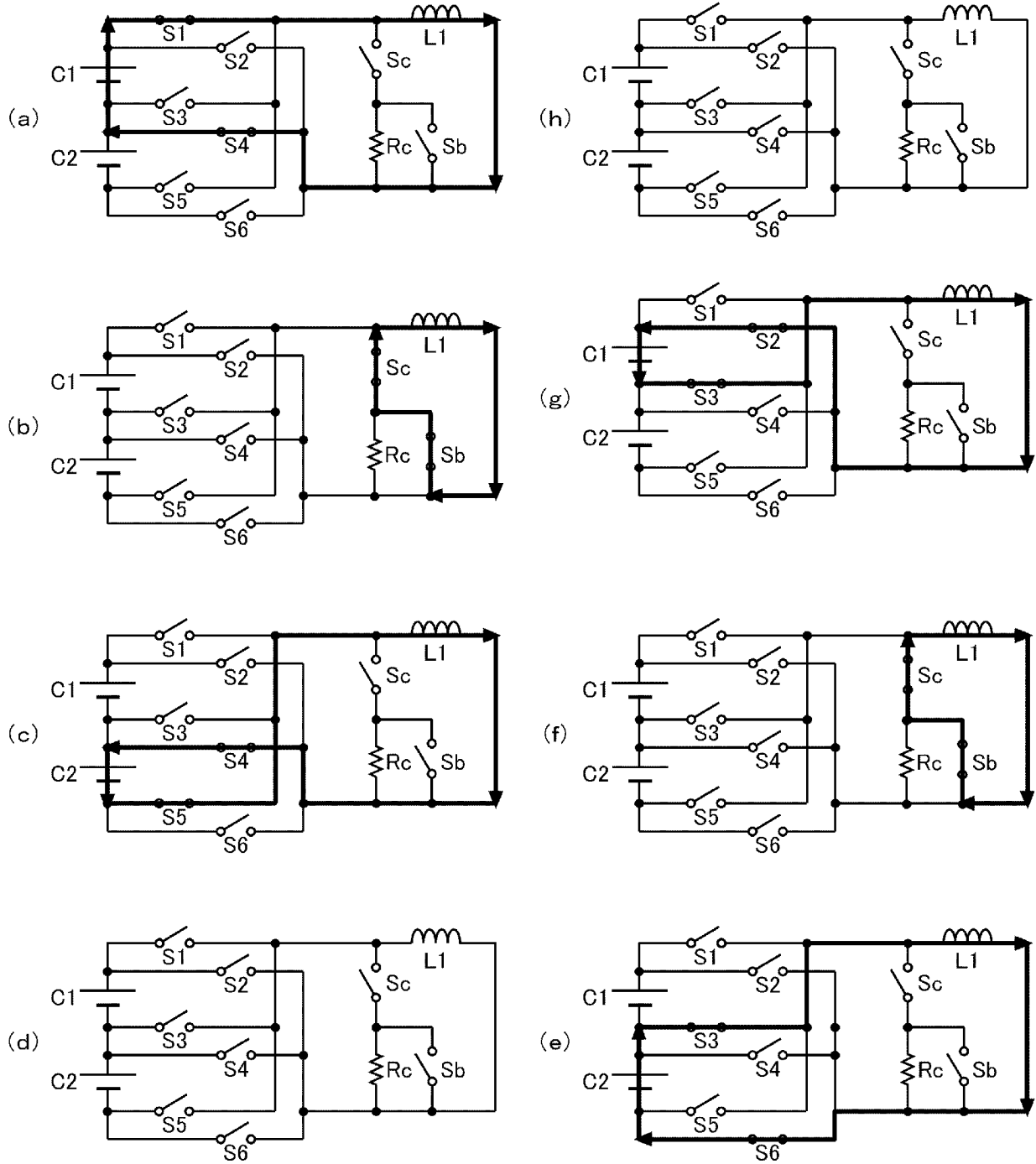
請求項 7 に記載の均等化回路と、

を備えることを特徴とする蓄電システム。

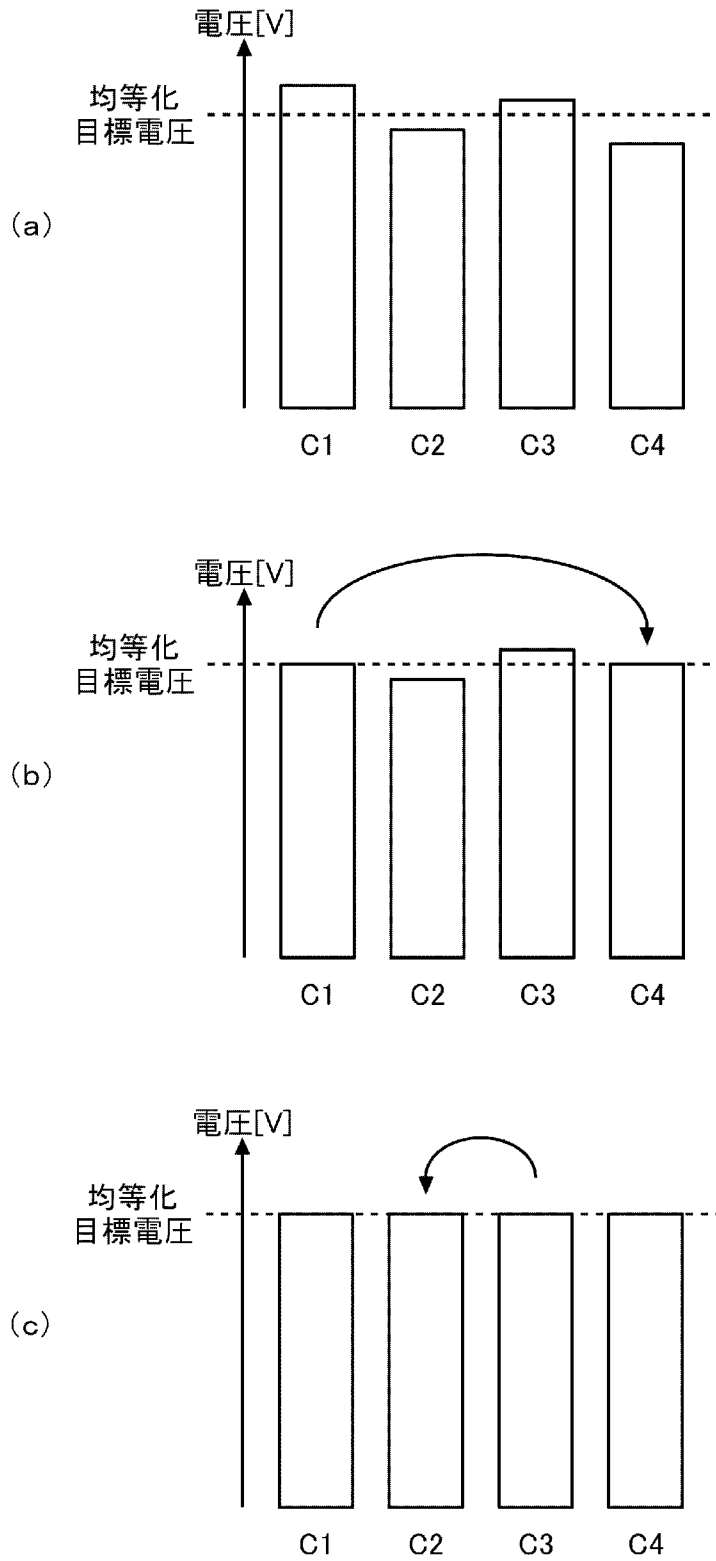
[図1]



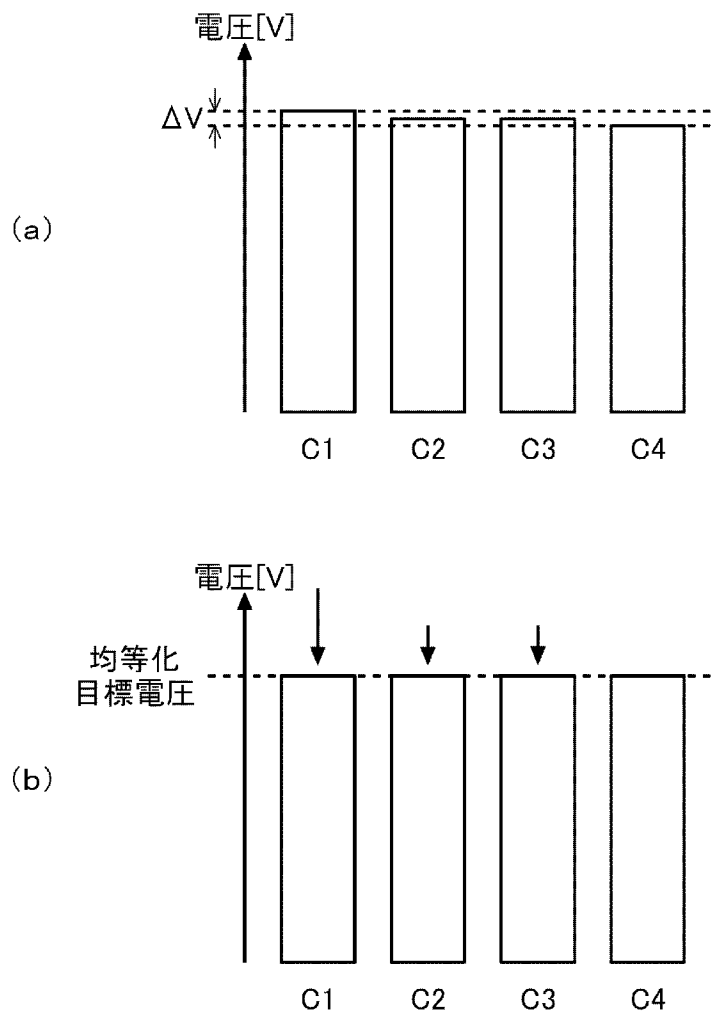
[図2]



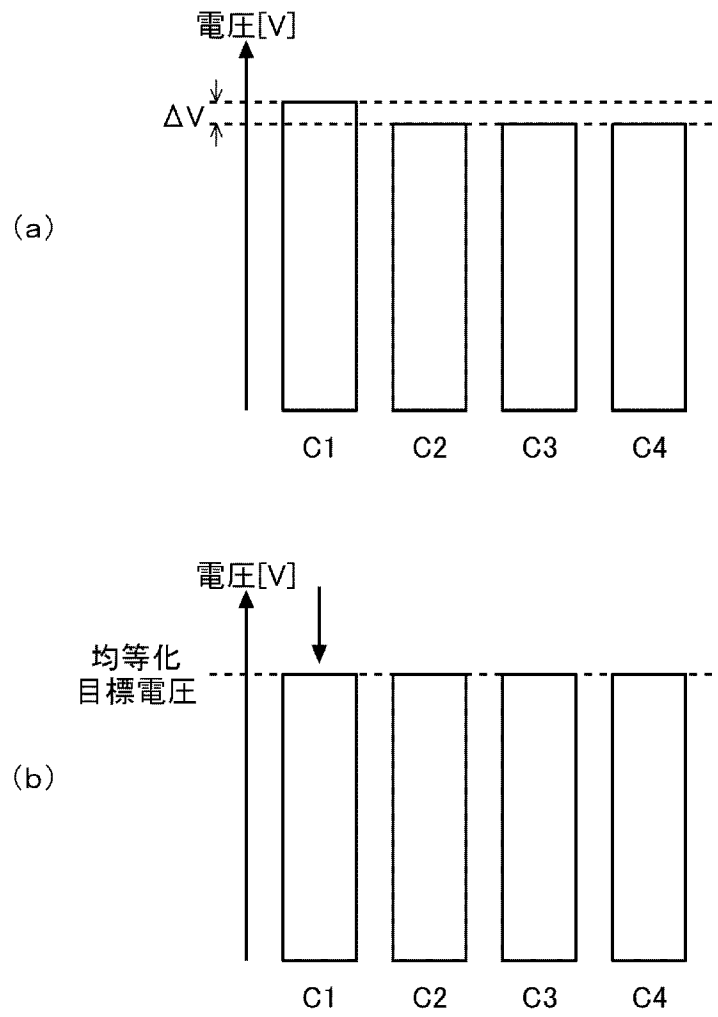
[図3]



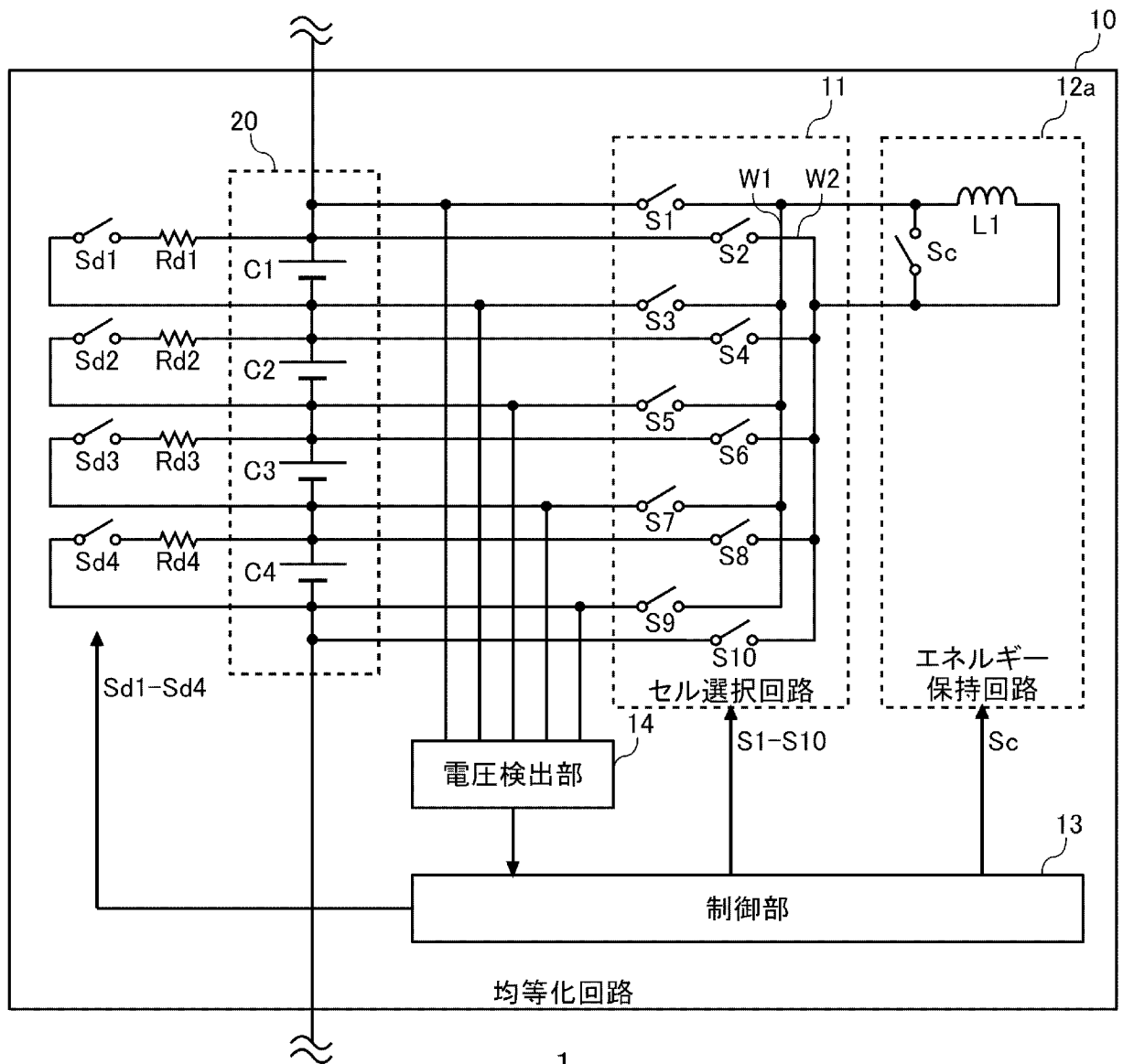
[図4]



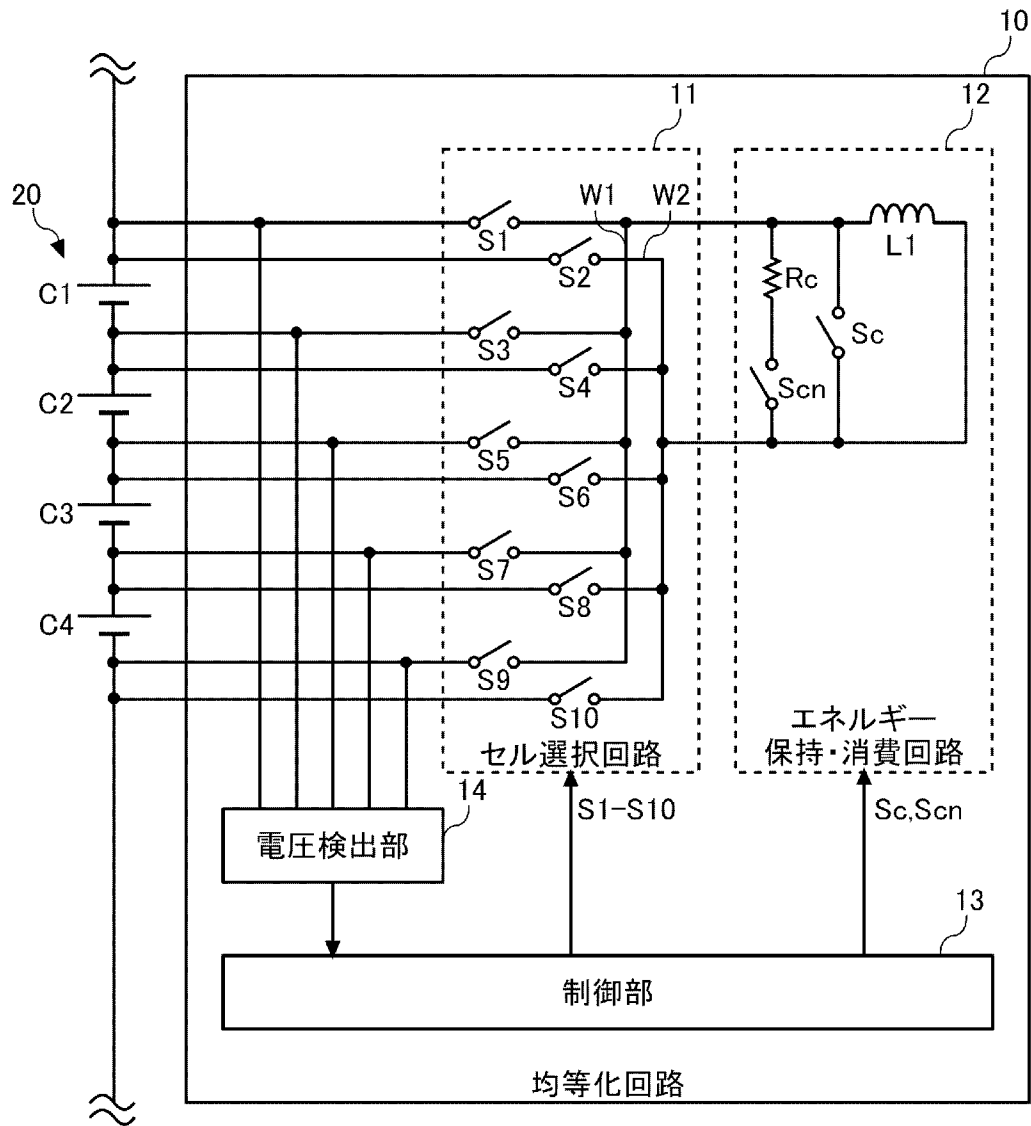
[図5]



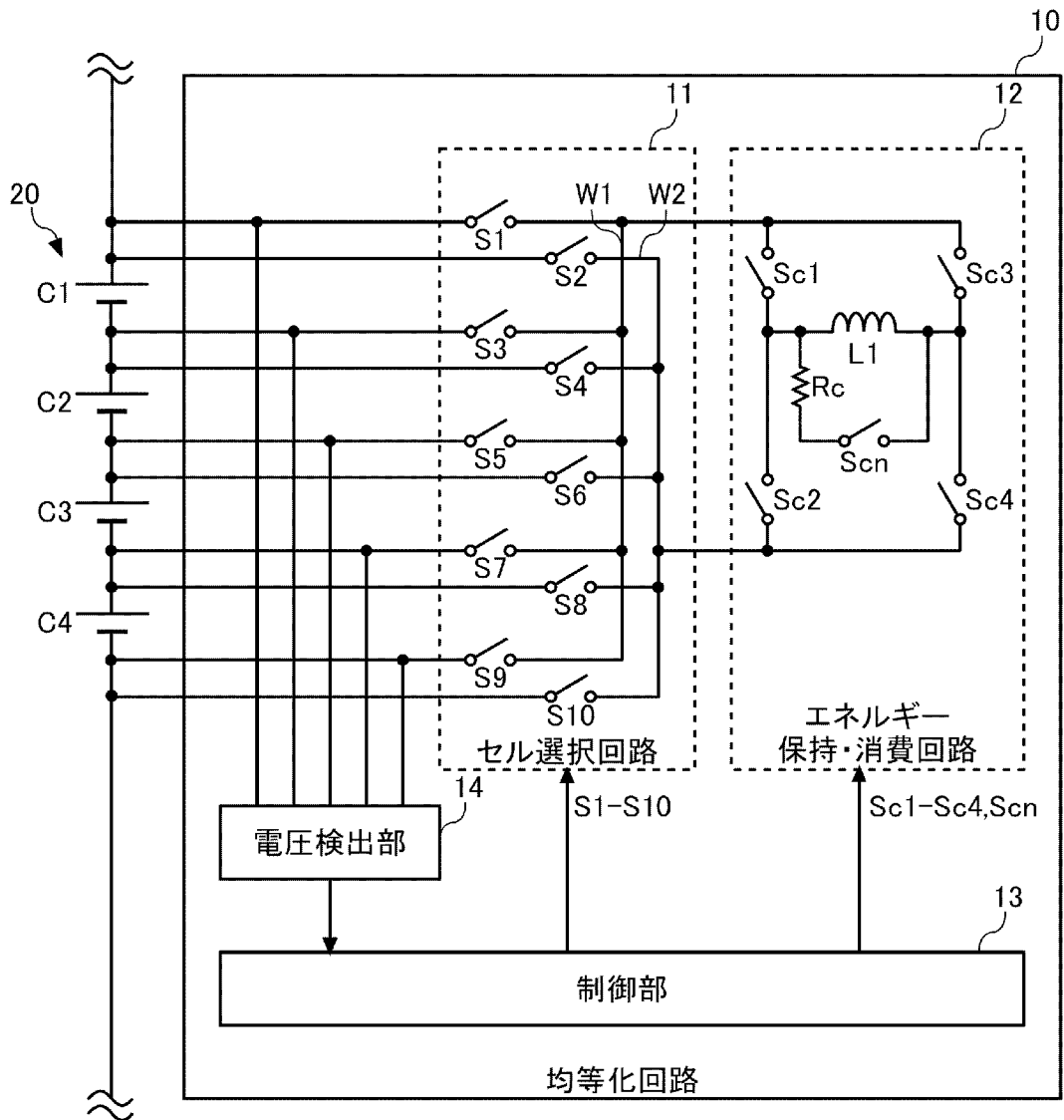
[図6]



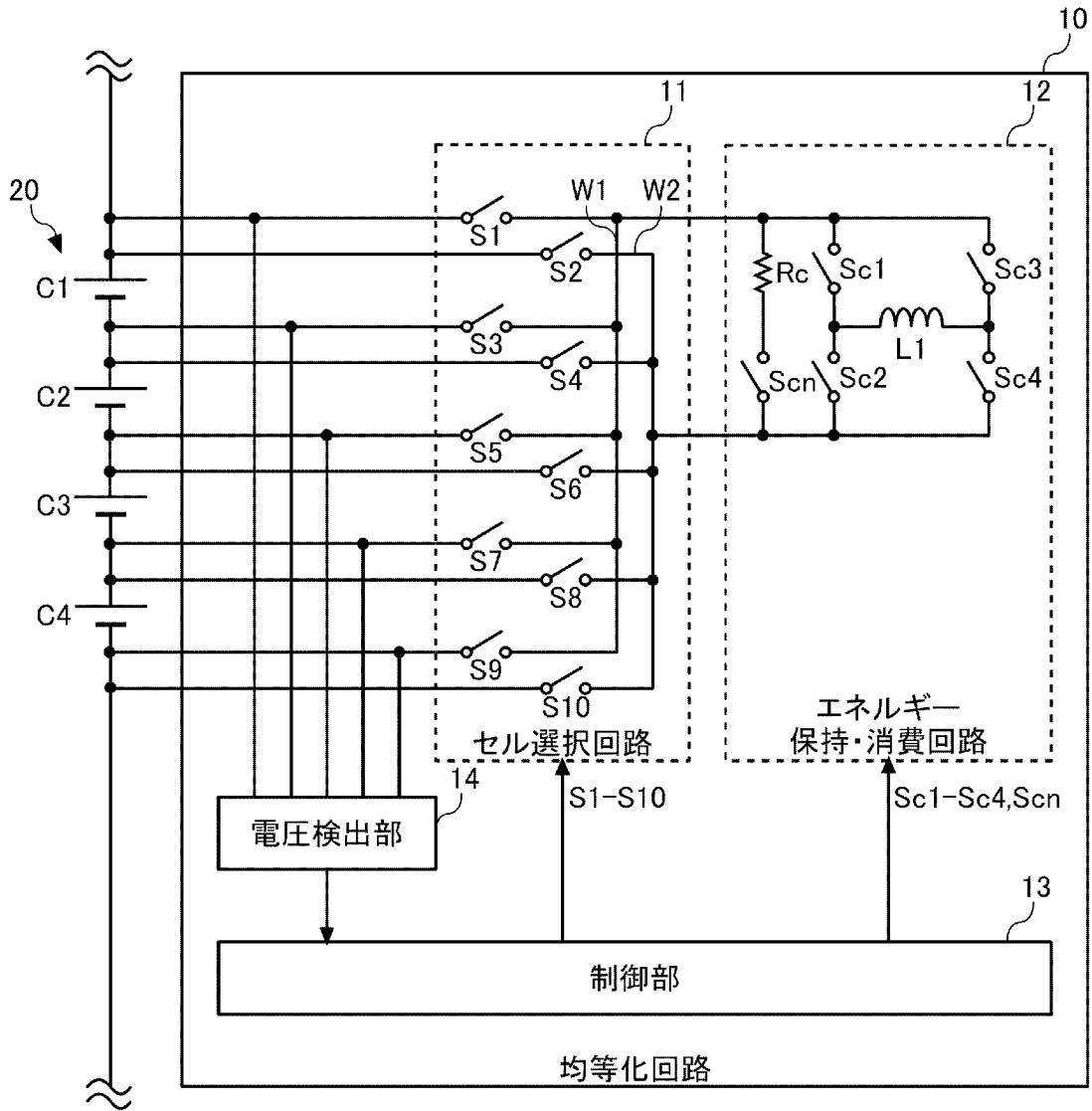
[図7]



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/030198

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H02J7/02(2016.01) i, H01M10/44(2006.01) i, H01M10/48(2006.01) i, H02J7/00(2006.01) i, B60L58/22(2019.01) n

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H02J7/02, H01M10/44, H01M10/48, H02J7/00, B60L58/22

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-294322 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 08 November 2007, entire text, all drawings (Family: none)	1-8
A	JP 2013-13292 A (HITACHI, LTD.) 17 January 2013, entire text, all drawings (Family: none)	1-8
A	JP 2016-111905 A (RICOH CO., LTD.) 20 June 2016, entire text, all drawings & US 2017/0063109 A1 & WO 2015/129922 A1 & CN 106030969 A & KR 10-2016-0111994 A	1-8
A	JP 2015-181333 A (RICOH CO., LTD.) 15 October 2015, entire text, all drawings & US 2015/0256020 A1 & EP 2916424 A1	1-8

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

13.08.2019

Date of mailing of the international search report

21.10.2019

Name and mailing address of the ISA/

Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H02J7/02(2016.01)i, H01M10/44(2006.01)i, H01M10/48(2006.01)i, H02J7/00(2006.01)i, B60L58/22(2019.01)n

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H02J7/02, H01M10/44, H01M10/48, H02J7/00, B60L58/22

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2007-294322 A (松下電器産業株式会社) 2007.11.08, 全文、全図 (ファミリーなし)	1-8
A	JP 2013-13292 A (株式会社日立製作所) 2013.01.17, 全文、全図 (ファミリーなし)	1-8
A	JP 2016-111905 A (株式会社リコー) 2016.06.20, 全文、全図 & US 2017/0063109 A1 & WO 2015/129922 A1 & CN 106030969 A & KR 10-2016-0111994 A	1-8
A	JP 2015-181333 A (株式会社リコー) 2015.10.15, 全文、全図 & US 2015/0256020 A1 & EP 2916424 A1	1-8

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
- 「O」 口頭による開示、使用、展示等に言及する文献
- 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」 同一パテントファミリー文献

国際調査を完了した日

13.08.2019

国際調査報告の発送日

21.10.2019

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号 100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

坂東 博司

5 T

4 2 3 4

電話番号 03-3581-1101 内線 3568