

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



(43) 国际公布日
2010年8月26日 (26.08.2010)

PCT

(10) 国际公布号
WO 2010/094233 A1

- (51) 国际专利分类号:
H01L 27/115 (2006.01)
- (21) 国际申请号: PCT/CN2010/070612
- (22) 国际申请日: 2010年2月10日 (10.02.2010)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
200910024504.6 2009年2月18日 (18.02.2009) CN
200910030729.2 2009年4月15日 (15.04.2009) CN
200910234266.1 2009年11月18日 (18.11.2009) CN
- (71) 申请人 (对除美国外的所有指定国): 南京大学 (NANJING UNIVERSITY) [CN/CN]; 中国江苏省南京市鼓楼区汉口路22号, Jiangsu 210093 (CN)。
- (72) 发明人; 及
- (71) 申请人: 闫锋 (YAN, Feng) [CN/CN]; 中国江苏省南京市鼓楼区汉口路22号, Jiangsu 210093 (CN)。
- (72) 发明人; 及
- (75) 发明人/申请人 (仅对美国): 张荣 (ZHANG, Rong) [CN/CN]; 中国江苏省南京市鼓楼区汉口路22号, Jiangsu 210093 (CN)。 施毅 (SHI, Yi) [CN/CN]; 中国江苏省南京市鼓楼区汉口路22号, Jiangsu 210093 (CN)。 濮林 (PU, Lin) [CN/CN]; 中国江苏省南京市鼓楼区汉口路22号, Jiangsu 210093 (CN)。 徐跃 (XU, Yue) [CN/CN]; 中国江苏省南京市鼓楼区汉口路22号, Jiangsu 210093 (CN)。 吴福

- 伟 (WU, Fuwei) [CN/CN]; 中国江苏省南京市鼓楼区汉口路22号, Jiangsu 210093 (CN)。 卜晓峰 (BU, Xiaofeng) [CN/CN]; 中国江苏省南京市鼓楼区汉口路22号, Jiangsu 210093 (CN)。 夏好广 (XIA, Haoguang) [CN/CN]; 中国江苏省南京市鼓楼区汉口路22号, Jiangsu 210093 (CN)。
- (74) 代理人: 南京天翼专利代理有限责任公司 (NANJING TIANYI PATENT AGENT CO., LTD); 中国江苏省南京市玄武区成贤街118号奚铭, Jiangsu 210018 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

[见续页]

(54) Title: PHOTSENSITIVE DETECTOR WITH COMPOSITE DIELECTRIC GATE MOSFET AND SINGAL READING METHOD THEREOF

(54) 发明名称: 复合介质栅 MOSFET 光敏探测器及其信号读取方法

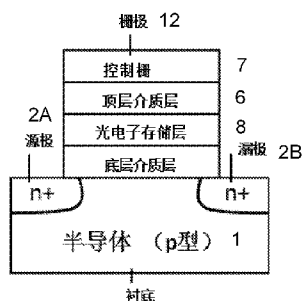


图3 / Fig. 3

- 1 SEMICONDUCTOR (P-TYPE)
- 2A SOURCE
- 2B DRAIN
- 5 UNDERLYING DIELECTRIC LAYER
- 6 TOP DIELECTRIC LAYER
- 7 CONTROL GATE
- 8 PHOTO-ELECTRON STORAGE LAYER
- 11 SUBSTRATE
- 12 GATE

(57) Abstract: A photosensitive detector with a composite dielectric gate MOSFET is provided. The MOSFET comprises a P-type substrate (11); a source (2a) and a drain (2b) formed in the substrate (11); an underlying dielectric layer (5), a photo-electron storage layer (8), a top dielectric layer (6), and a control gate (7) stacked on the substrate (11) in sequence; wherein, the top dielectric layer (6) can prevent the photoelectrons stored in the photo-electron storage layer (8) from leaking into the control gate (7); a transparent or semi-transparent window for detecting light is formed on at least one of the substrate (11) and the control gate (7); when the photoelectrons are generated and injected into the photo-electron storage layer (8), the source (2a) and the drain (2b) are floating. A method for reading stored information is also provided.

[见续页]

WO 2010/094233 A1

根据细则 4.17 的声明:

— 发明人资格(细则 4.17(iv))

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

(57) 摘要:

提供了一种复合介质栅 MOSFET 光敏探测器。该 MOSFET 包括 P 型衬底 (11)，形成在该衬底 (11) 上的源极 (2a) 和漏极 (2b)，依次堆叠在该衬底 (11) 上的底层介质层 (5)、光电子存储层 (8)、顶层介质层 (6) 以及控制栅极 (7)，其中该顶层介质层 (6) 可以阻止光电子存储层 (8) 中存储的光电子流失到控制电极 (7) 中，该衬底 (11) 和该控制电极 (7) 中至少一者具有用于探测光的透明或半透明窗口，当产生光电子并且光电子被注入到光电子存储层 (8) 中时，该源极 (2a) 和该漏极 (2b) 悬空。还提供了用于读取被存储信息的方法。

说明书

复合介质栅 MOSFET 光敏探测器及其信号读取方法

技术领域

本发明涉及成像探测器件，尤其是红外、可见光波段至紫外波段的成像探测器件的结构、工作机制以及信号的读出，为一种复合介质栅 MOSFET 光敏探测器及其信号读取方法。

背景技术

目前发展的成像探测器件主要是 CCD 和 CMOS-APS，CCD 器件基本工作原理与金属-氧化物-硅（MOS）电容的物理机理相关，CCD 的基本组成单元是 MOS 电容器，其工作过程主要是信号电荷的产生、存储、转移和检测。CCD 是以电荷包的形式对信号进行存储、转移的器件，它突出的特点是以电荷为信号，而不同于其它以电流或电压为信号的器件。CCD 工作时，由时钟脉冲电压来产生和控制半导体势阱的变化，进而实现电荷的存储和转移。CMOS-APS，如中国专利 CN1774814。典型的可见光波段成像器件 CCD 规格和像素大小：

- 最大规格 10k × 10k (DALSA)
- 最小像素 2.4 μm (e2V) 无法缩小
- 井深 (well capacity) ~ 1000 e-/μm² (电子/微米²)

典型 CMOS-APS 像素规格 (CMOS-APS 像素单元功能：光电子搜集与存储、放大、复位、选址)：

- 最大规格 4k × 4k (0.18 微米工艺, Raytheon etc.)
- 最小像素 2.8 μm (0.25 微米工艺, Panasonic) 很难缩小
- 井深 (well capacity) 3000 e-/μm² (电子/微米²) (Micron 18 微米×18 微米像素)

CCD 与 CMOS-APS 两者的综合比较如下表：

	CCD	CMOS-APS
漏电流	非常好 < 1 nA/cm ²	不好 > 50 nA/cm ²
占空比 (Fill Factor)	非常好 ~ 100 %	不好 < 60 %
工艺要求与	非常高	一般
成品率	成品率低	成品率高
与 CMOS 工艺的兼容度	不兼容	兼容

CCD 和 CMOS-APS 的局限性：CCD 和 CMOS-APS 是当今从科学仪器到家用影像设备中广泛应用的成像元件，但现有的两种成像元件都有其不可克服的缺点。CCD 本质上是相互平行的可以定向传输电荷的大量相互串联的 MOS 电容，其局限性表现在：

- 1) **成像速度难以提高**：CCD 成像过程中需要物理性地移动电荷，因此，其成像速度难以提高。
- 2) **成品率低**：由于其相互串联的 MOS 电容架构和传输电荷的需要，在同一行串联的 CCD 像素中，任何一个 MOS 电容失效或不能正常工作都会影响电荷在该电容的正常传输，从而导致该行 CCD 像素中排在该电容之后的像素不能正常工作。通常表现为黑条、白条或暗条。因此，其对工艺控制要求极高，所以成品率通常较低、生产成本低。
- 3) **像素很难进一步缩小**：为了维持在电荷传输中的信噪比不变，CCD 单元像素的缩小要求减薄 Oxide-Nitride (ON) 厚度，而 ON 的可靠性要求却不变，所以 CCD 像素的进一步变小有相当的难度。除此之外，边缘电场也限制了 CCD 像素的进一步缩小。

以上所述的局限性是本质上的问题，很难从根本上解决。制造CCD的工艺因素的影响非常大。CCD是在硅集成电路上制作而成的，其工艺基本组成包括清洗、氧化、扩散、光刻、刻蚀、离子注入、LPCVD、等离子生长和中测单项工艺，CCD的制造就是将这些单项工艺以不同数目和次序加以组合而成。氧化、光刻、离子注入。氧化是CCD制造中的关键工艺之一，氧化生成的SiO₂膜在CCD中有着重要的作用，（1）作为CCD的保护和钝化膜。2）作为CCD中栅氧的电介质。3）作为多晶硅薄膜之间的隔离层，SiO₂能防止上层多晶硅和下层多晶硅间短路，氧化物要求无针孔和空隙。在CCD制造中，较多采用干氧—湿氧—干氧结合的氧化方式。CCD制造中，栅极介质层由SiO₂层及其上再生长的一层氮化硅膜共同构成，这是因为氮化硅（Si₃N₄）介电常数大约是二氧化硅的两倍，但是由于氮化硅的热膨胀系数大约是硅的两倍，造成氮化硅和硅之间的接触不好，而SiO₂与Si的膨胀系数接近，所以形成Si/SiO₂/Si₃N₄作为栅介质层。现在国内外在研究MOS管的介质层时，用高介电常数栅介质层来替代SiO₂层。研究的栅介质层有：IIIA族和IIIB族的金属氧化物，主要包括Al₂O₃、Y₂O₃、La₂O₃等；VIB族金属氧化物主要有HfO₂、ZrO₂、TiO₂等；堆垛结构如HfO₂/SiO₂、ZrO₂/SiO₂等。

与CCD不同，CMOS-APS的每个像素都是相互独立的，在整个信号传输过程中不需要物理性的移动电荷，因此从本质上克服了CCD的弱点，但是CMOS-APS的每个像素都包含1个光敏二极管和三个以上的晶体管。该架构会导致以下的问题：（1）暗电流噪声高：由于CMOS-APS采用二极管作为光敏器件，其暗电流比CCD要高差不多两个量级。（2）有效量子效率难以提高：和CCD不同，CMOS-APS除了光敏二极管外，还包含至少三个晶体管，占空比小于60%。

理想的成像器件应该是：CCD的像素+CMOS-APS的阵列架构，这也是本发明的发明目的。现有浮栅存储器件结构是在常规MOS结构的控制栅和沟道之间加入一层栅，这层栅被致密的氧化物所包围，没有跟外界相连，所以叫浮栅。在浮栅上设有控制栅，参考中国专利CN1156337等。浮栅存储器是利用电子的隧道效应，在一定的电场下，电子被注入到致密的氧化层中的浮栅内。浮栅存储器的发展包括：采用Ge纳米晶嵌入高k介质中既可以提高器件的可靠性又可以降低写入电压和提高存储速度。也有用于非挥发存储器的含有Ge纳米晶MIS结构的电荷存储特性。MIS结构由电子束蒸发的方法制备，包括Al₂O₃控制栅，Al₂O₃中Ge纳米晶和Al₂O₃隧道氧化层。这种MIS结构在1MHz下的C-V特性表现出良好的电学性能，平带电压漂移为0.96V，电荷存储密度达到 $4.17 \times 10^{12} \text{ cm}^{-2}$ 。不同频率下Ge纳米晶在Al₂O₃介质中电荷存储特性随着频率的增加，平带电压的漂移和存储的电荷数减小（《功能材料与器件学报》2007年02期）。

发明内容

本发明目的是：提出一种新型探测器结构和设置方法，尤其是提出一种新型光敏复合介质栅MOSFET探测器结构及其信号的读出放大方法，包括红外至紫外波段。

本发明技术方案为：复合介质栅MOSFET光敏探测器，每个单元探测器的构成是：在基底P型半导体材料上方的两侧设有N型半导体区构成源极和漏极，基底P型半导体材料正上方的分别设有二层绝缘介质材料和控制栅极，二层绝缘介质材料之间设有光电子存储层，所述光电子存储层是多晶硅、Si₃N₄、InGaN、金属膜或其它电子导体或半导体；控制栅极是多晶硅、金属或透明导电电极；

与控制栅极接触的第二绝缘介质材料是阻止光电子存储层中存储的电荷流失到栅极的材料，第二绝缘介质材料是宽带半导体；基底P型半导体材料接触的第一绝缘介质材料层在栅极低压下，有效隔离源极和漏极之间沟道和光电子存储层，在栅极高压下或光子能量较高时，把所述沟道中电子扫入光电子存储层；源漏极在搜集光电子和储存光电子到光电子储存层时均为悬空结构；第一绝缘介质材料即底层介质，采用氧化硅、SiON或其它高介电常数介质；第二绝缘介质层的材料即顶层介质，采用氧化硅/氮化硅/氧化硅、氧化硅/氧化铝/氧化硅、氧化硅、氧化铝或其它高介电常数介质材

料；

栅极与基底的电压差足够大时使得沟道中搜集的光电子能通过隧穿进入光电子存储层，且基层或栅极面至少有一处为对探测器探测波长透明或半透明的窗口。

进一步的，单元探测器源极、漏极与基底 P 型半导体材料之间设有重掺杂的袋状 P 型半导体包裹区，源极、漏极靠近 MOSTFET 沟道的一侧分别设有低掺杂的 N 型源极、漏极扩展区 LDD，控制栅极的两侧设有绝缘隔离层，控制栅极面或基层至少有一处为对探测器探测波长透明或半透明的窗口。

单元探测器还可采用基于 EJ-MOSFET 的结构，源极、漏极与基底 P 型半导体材料之间设有重掺杂的袋状 P 型半导体包裹区，底层介质、光电子存储层和顶层介质分别设置在基底 P 型半导体材料中央区域的正上方，光电子存储层为分裂结构，顶层介质将光电子存储层和源极、漏极隔离开，顶层介质上面是控制栅极，控制栅极的两侧设有绝缘隔离层，控制栅极面或基层至少有一处为对探测器探测波长透明或半透明的窗口。

第一绝缘介质材料即底层介质为：氧化硅 1-10 nm、氮化硅 1-10 nm、 HfO_2 、 Al_2O_3 、 ZrO_2 、 Y_2O_3 、 BaTiO_3 、 BaZrO_3 、 ZrSiO_4 或 Ta_2O_3 ，其等效 SiO_2 厚度为 1-5 nm，或 AlGaN 1-100 nm；

第二绝缘介质材料即顶层介质为：氧化硅/氮化硅/氧化硅，等效 SiO_2 厚度为 12-20 nm，氧化硅 10-20 nm，氧化铝 10 nm，氧化硅 10-20 nm，氧化硅 10-100 nm， HfO_2 、 ZrO_2 、 Y_2O_3 、 BaTiO_3 、 BaZrO_3 、 ZrSiO_4 、或 Ta_2O_3 ，其等效 SiO_2 厚度为 1-5 nm，或 AlGaN 1-100 nm；

光电子存储层：多晶硅 10-200 nm、氮化硅 3-10 nm 或 InGaN 10-200 nm。

控制栅极为：多晶硅 10-200 nm、铟锡化合物 ITO 10-200 nm、金属或透明导电电极。

单元探测器制备成阵列，构成光复合介质栅 MOSFET 光敏探测器。

所述的复合介质栅 MOSFET 光敏探测器的信号读取方法，其光电子读出放大和复位的步骤是：

光电子读出放大：将探测器的源极和基底接地，漏极接合适正电压 0.1 V，通过调节栅极电压 1-3 V 使 MOSFET 探测器工作在线性区；

通过对输出漏极电流的直接测量，即测量曝光前后漏极电流的两个值进行比较来确定光信号的大小，得到漏极的电流变化量与搜集到的光电子数目的关系如下：

$$\Delta I_{DS} = \frac{\mu_n C_{ox} W}{L} \cdot \frac{N_{FG} q}{C_T} \cdot V_{DS} \quad (a)$$

其中 ΔI_{DS} 为曝光前-曝光后漏极电流变化量， N_{FG} 为光电子存储上存储的光电子数目， C_T 为探测器光电子存储层的总等效电容， C_{ox} 为光电子存储层和衬底之间栅氧化层的单位面积电容， W 和 L 分别为探测器沟道的宽度和长度， μ_n 为电子迁移率， V_{DS} 为漏极与源极的电压差；

复位：在探测器栅极上加负偏压 V_G ，衬底接地；当负偏压足够高，光电子存储层中储存的光电子通过隧穿被扫回基底P型半导体材料中。

将搜集到的光电子数目准确的读出，采用曝光前后分别进行两次读取的方法：

在曝光之前，分别加两次控制电压，电压值分别为 V_{CG1} 和 V_{CG2} ，通过测量两次漏极电流 I_{DS1} 和 I_{DS2} ，得到反映迁移率漂移前的跨导参数：

$$\beta_1^{CG} = \frac{C_{CG}}{C_T} \cdot \frac{C_{ox} \mu_n W}{L} = \frac{\Delta I_{DS}}{\Delta V_{CG} \cdot V_{DS}} \quad (b)$$

式中 μ_n 为曝光之前的电子迁移率， C_{CG} 为探测器顶层绝缘介质层电容， V_{DS} 为漏极与源极的电压差； $\Delta V_{CG} = V_{CG2} - V_{CG1}$ ， $\Delta I_{DS} = I_{DS2} - I_{DS1}$ ；

在曝光之后，为了补偿电子迁移率的漂移，也分别加两次控制电压，电压值分别为 V_{CG1} 和 V_{CG2} ，

通过测量两次漏极电流 I_{DS1}^* 和 I_{DS2}^* ，得到反映迁移率漂移后的跨导参数

$$\beta_2^{CG} = \frac{\Delta I_{DS}^*}{\Delta V_{CG} \cdot V_{DS}} = \frac{C_{CG}}{C_T} \cdot \frac{C_{ox} \mu_n^* W}{L} \quad (c)$$

式中 μ_n^* 为曝光之后的电子迁移率， $\Delta V_{CG} = V_{CG2} - V_{CG1}$ ， $\Delta I_{DS}^* = I_{DS2}^* - I_{DS1}^*$ ；

最后用曝光前后 V_{CG1} 偏压下的电流值 I_{DS1} 和 I_{DS1}^* ，得到曝光前后光电子存储层上电荷的变化量：

$$\Delta Q_{FG} = \left(\frac{I_{DS1}^*}{\beta_2^{CG} \cdot V_{DS}} - \frac{I_{DS1}}{\beta_1^{CG} \cdot V_{DS}} \right) \cdot C_{CG} \quad (d)$$

式(d)准确读出曝光后所搜集到的光电子数目，克服因电子迁移率的漂移而带来的误差。

探测器的光电子读出放大之前的搜集、储存的步骤是：当栅极加正偏压脉冲，在P型半导体中形成耗尽层，当光入射到耗尽层中光子被半导体吸收时，产生光电子，光电子在栅极电压的驱使下移动到沟道和底层绝缘层的界面处；增加栅极电压，当电压足够大的时候，光电子通过F-N隧穿后进入电荷储存层；如果光子能量足够大，大于半导体与底层绝缘介质的 ΔE_c ，光电子可以直接隧穿进入电荷储存层；在搜集光电子的阶段，源和漏应当悬空以防止电子从源和漏区注入；光电子存储层在存入光电子后会产生阈值电压的漂移，即漏极电流的漂移，通过对曝光前后漏极电流漂移量测量可以定出光电子存储层中光电子数目。

本发明光电子存储层是利用复合介质栅的工作原理，以复合介质栅 MOSFET 变成一个同时具有电荷搜集、光电子测量和选址功能的、用于成像用的光电子存储层、由单一晶体管（开关型晶体管）构成一个探测器的一个像素，其阵列构成探测器；即构成称为光敏复合介质栅 MOSFET 探测器。

本发明通过利用复合介质栅 MOSFET 作为光敏探测器并提出其光电信号处理的全面解决方案，该器件的阵列可以构成超高分辨率成像芯片。因此利用其它结构、材料以及参数的 MOSFET 来作为光敏探测器或成像芯片，将不超出本发明所述器件功能原理的核心内涵。

本发明的有益效果是，光敏复合介质栅 MOSFET 探测器的优越性如下：与 CCD 和 CMOS-APS 相比，光敏复合介质栅 MOSFET 兼具很多 CCD 和 CMOS-APS 的优点，但又克服了它们的很多弱点，是下一代成像器件的理想选择；其特点和优越性包括：

可伸缩性极好：当代闪存技术使用的复合介质栅MOSFET的尺度在 4-10F² (F:最小的光刻线条尺度)，当使用 45 nm光刻技术时，一个光敏复合介质栅MOSFET的面积可以小到 0.02 μm^2 ，即在 1 μm^2 上可以做出 50 个光敏复合介质栅MOSFET。与此相比，CCD最小的像素是 $\sim 2 \times 2 \mu\text{m}^2$ ，而CMOS-APS 是 $\sim 1 \times 1 \mu\text{m}^2$ 。当复合介质栅MOSFET的工艺尺寸继续按比例缩小，则复合介质栅MOSFET光敏探测器的分辨率会进一步提高。表 1 给出了不同工艺下光敏复合介质栅MOSFET的面积缩比情况。而目前胶片能分辨的最小线条为 0.1 μm ，因此光敏复合介质栅MOSFET的最小光刻线条进一步减小，将提供CMOS-APS和CCD等成像器件所不可比拟的分辨率，使电子成像的质量达到和超过胶片，使物理分辨率高于光学分辨率。

表 1 复合介质栅 MOSFET 像数特征参数

最小特征尺寸(μm)	0.5	0.25	0.18	0.13	0.09	0.065	0.045
像数面积(μm^2)	2.5	0.625	0.324	0.169	0.081	0.04225	0.02025
分辨率提高倍数(与 $2 \times 2 \mu\text{m}^2$ CCD像素比较)	1.6	6.4	12.3	23.7	49.4	94.7	197.5

注明：表 1 中计算的每个复合介质栅MOSFET像数面积按最大情况 10F²计算。

与闪存生产技术基本兼容：光敏复合介质栅 MOSFET 与标准的复合介质栅技术相同，可以通过对标准复合介质栅 MOSFET 技术进行微调来生产光敏复合介质栅 MOSFET。

漏电流低：光敏复合介质栅 MOSFET 采用和 CCD 相同的探测机制，因此其漏电流要比采用光

敏二极管的 CMOS-APS 低一个到两个量级。

成像速度比 CCD 快：尽管采用和 CCD 类似的光电子搜集机制，但光敏复合介质栅 MOSFET 把产生的光电子储存在复合介质栅中而不是沟道中。读出信号通过测量阈值电压（即复合介质栅中的电荷）实现，所以不需要像 CCD 一样搬运光电子，因此成像速度可以和 CMOS-APS 相比，而比 CCD 要快很多。

对工艺缺陷不敏感：由于光敏复合介质栅 MOSFET 不需要搬运光电子，任何一个像素的失效不会影响到其它像素，所以其对工艺缺陷不像 CCD 那样敏感，可以用于制造大面积探测器阵列。可以制备成类似现有 NOR 结构或 NAND 结构的各种结构的阵列。

动态范围比其它结构大：由于光敏复合介质栅 MOSFET 信号读出过程完全不会影响信号本身，可以支持多次读出。在实践中，可以通过改变控制栅上的电压来调节输出信号的大小，因此可以通过用不同的栅电压读取来扩大信号相应的动态范围。这是 CCD 和 CMOS-APS 都不具有的优势。

信号读取的准确性高：本发明光敏探测器信号采集采用曝光前后两次读取而实现精确确定电信号——即用曝光前后同偏压下的电流值得到曝光前后光电子存储层上电荷的变化量，准确定出所搜集到的光电子数目，从而克服了因曝光前后的栅 SiO_2 中陷阱、界面态密度不一致而造成的影响。

除此之外，由于光敏复合介质栅 MOSFET 工艺和闪存技术兼容，该工艺允许在同一芯片上制作一些存储单元，把一些预置的图像存入存储单元中，用于自动的图形识别。在追星仪中，该功能可以在无外加图形识别功能的情况下，自动帮助相关系统进行定位。除此之外，我们还可以把需要匹配的图形存入与光敏复合介质栅 MOSFET 同时制作的闪存中，实现 on-chip 的地形匹配功能。

附图说明

图 1 是本发明探测器结构能带图及光电子产生及迁移图。

图 2 是本发明探测器结构能带图及光电子产生及迁移另一示意图。

图 3 是本发明探测器结构示意图。

图 4 是本发明 $\text{SiO}_2/\text{Si}_3\text{N}_4/\text{SiO}_2$ 组成的第二绝缘介质层的实施例示意图。

图 5 是本发明通过改变复合介质栅中的电荷量来改变 MOSFET 的输出电流的示意图。

图 6 是本发明把源漏极悬空，复合介质栅 MOSFET 与带复合介质栅的 CCD 类同的结构比较示意图。

图 7 是本发明字线上的 3 个复合介质栅 MOSFET 处于开启状态。

图 8 是本发明一个 8×8 复合介质栅 MOSFET 阵列示意图。

图 9 是本发明探测器复位流程图。

图 10 是本发明探测器设计原理示意图。

图 11 是本发明探测器单元改进的光敏 MOSFET 的基本结构示意图。

图 12 是本发明探测器单元基于 EJ-MOSFET 结构示意图。

图 13 是本发明探测器阵列示意图。

图 14 是本发明探测器单元光电性能仿真结果。

图 15 是本发明探测器像素单元样品的光敏测试结果。

图 16 是本发明探测器像素单元样品复位后测试结果。

具体实施方式

光电子存储层工作机理和过程如下：

1) 光电子搜集及信号的采集：

参阅图 1、2 中能带图及光电子产生及迁移图。

1、光电子产生：当 [光子 $h\nu > \text{半导体} E_g$ (或 $E_g + \Delta E_c$)]，光子被半导体吸收，会从价带激发一

个电子到导带；

2、光电子迁移：当栅极与衬底的电压差为正时，光电子迁移到底层介质与半导体的界面；当栅极与衬底的电压差为正时，如果 [光子 $h\nu > \text{半导体}E_g + \text{半导体与底层介质的}\Delta E_c$]，激发的光电子会直接进入光电子存储层，迁移到底层介质与半导体的界面，

3、光电子隧穿：当底层介质中的电场足够强时，光电子隧穿进入光电子存储层；

4、光电子存储：当顶层介质中电场较弱时，光电子会储存在光电子存储层中。

图 1、2 也是复合介质栅 MOSFET 结构及搜集光电子的工作原理图，光电子在光电子存储层（如多晶硅）中的运动与 CCD 完全相同，所不同的是 CCD 把光电子储存在沟道中，而复合介质栅把光电子储存在光电子存储层即复合介质栅中。光电子有三种方式进入光电子存储层的复合介质栅：（1）光电子先进入沟道，再通过直接隧穿进入复合介质栅，（2）光电子通过 F-N 隧穿进入复合介质栅，用于闪存的复合介质栅 MOSFET 利用该机制把电荷存入复合介质栅，（3）光电子直接隧穿进入复合介质栅，该过程类似 PMT 光电子发射，不同之处是 PMT 把光电子发射到真空中，而该过程把光电子发射进复合介质栅中。值得注意的是，在搜集光电子的阶段，源和漏必须悬空以防止电子从源和漏注入。另外光电子的搜集过程和把光电子注入复合介质栅的过程可以分开（或者不分开），这样在光电子搜集阶段可以使用较低的电压以减小暗电流。复合介质栅即电荷储存层也可以采用金属膜材料。

本发明光电子存储层是利用复合介质栅的工作原理，以复合介质栅 MOSFET 变成一个同时具有电荷搜集、光电子测量和选址功能的、用于成像用的光电子存储层、由单一晶体管（开关型晶体管）构成一个探测器的一个像素，其阵列构成探测器；即构成称为光敏复合介质栅 MOSFET 探测器。

所述探测器的光电子搜集、储存、读出放大：

将光敏复合介质栅 MOSFET 探测器信号读出放大，基于本发明在基底 P 型半导体材料上方的两侧设有 N 型半导体区构成源极和漏极，基底正上方分别设有底层和顶层绝缘介质材料和栅极，两层绝缘介质材料之间设有光电子存储层的光敏复合介质栅即浮栅 MOSFET 探测器，所述探测器的光电子读出放大的步骤是：

通过对输出漏极电流的直接测量，即测量曝光前后漏极电流的两个值进行比较来确定光信号的大小，得到漏极的电流变化量与搜集到的光电子数目的关系如下：

$$\Delta I_{DS} = \frac{\mu_n C_{ox} W}{L} \cdot \frac{N_{FG} q}{C_T} \cdot V_{DS} \quad (a)$$

其中 ΔI_{DS} 为曝光前-曝光后漏极电流变化量， N_{FG} 为光电子存储层上存储的光电子数目， C_T 为探测器光电子存储层的总等效电容， C_{ox} 为光电子存储层和衬底之间栅氧化层的单位面积电容， W 和 L 分别为探测器沟道的宽度和长度， μ_n 为电子迁移率， V_{DS} 为漏极与源极的电压差；

复位：在探测器栅极上加负偏压 V_G ，衬底接地；当负偏压足够高，光电子存储层中储存的光电子通过隧穿被扫回基底P型半导体材料中。

光电子的搜集和储存：当栅极加正偏压脉冲，在 P 型半导体中形成耗尽层，当光入射到耗尽层中光子被半导体吸收时，产生光电子，光电子在栅极电压的驱使下移动到沟道和底层绝缘层的界面处。增加栅极电压，当电压足够大的时候，光电子通过 F-N 隧穿后进入电荷储存层；如果光子能量足够大（大于半导体与底层绝缘介质的 ΔE_c ），光电子可以直接隧穿进入电荷储存层。具体过程为图 4 所示，图中过程 1 为衬底沟道表面的光电子发生 F-N 隧穿效应通过底层绝缘层进入电荷储存层；过程 2 为衬底沟道表面的光电子发生直接隧穿效应通过底层绝缘层进入电荷储存层。在搜集光电子的阶段，源和漏应当悬空以防止电子从源和漏区注入。当第二层绝缘介质层中电场较弱时，光电子会储存在存储层。存储层在存入光电子后会产生阈值电压的漂移，即漏极电流的漂移，通过对曝光前后漏极电流漂移量测量可以定出光电子存储层中光电子数目。

信号的读出放大: 将探测器的源极和衬底接地, 漏极接合适正电压 V_D , 通过调节栅极电压 V_G 使探测器工作在线性区。通过对曝光前后对输出漏极电流的一次读取, 即测量漏极电流漂移量可以定出光电子存储层中光电子数目。但在光电子的搜集和储存过程中, 光电子在强电场下通过底层介质层, 比如 SiO_2 层, 进入光电子存储层时, 能量大的光电子会造成 SiO_2 损伤, 使 Si-O 键断裂并形成陷阱, 陷阱容易俘获电子成为固定电荷。同时在 P 型 Si 和 SiO_2 的界面处形成界面态。当带电荷的光电子从固定电荷和界面态附近经过时就会受到散射使迁移率发生变化。若用曝光前后对输出漏极电流的一次读取的方法来确定光电子的数目, 也就是直接采用式 (a) 的方法, 就会因为没有考虑曝光前后电子的迁移率变化而使读出的光电子数目不准确。因此为了补偿电子迁移率的漂移, 能够将搜集到的光电子数目准确的读出, 我们采用了曝光前后分别进行两次读取的方法。在曝光之前, 分别加两次控制电压, 电压值分别为 V_{CG1} 和 V_{CG2} , 通过测量两次漏极电流 I_{DS1} 和 I_{DS2} , 得到反映迁移率漂移前的跨导参数 β_1^{CG} ; 在曝光之后, 也分别加两次控制电压, 电压值分别为 V_{CG1} 和 V_{CG2} , 通过测量两次漏极电流 I_{DS1}^* 和 I_{DS2}^* , 得到反映迁移率漂移后的跨导参数 β_2^{CG} ; 最后利用曝光前后 V_{CG1} 偏压下的电流值 I_{DS1} 和 I_{DS1}^* , 得到曝光前后光电子存储层上电荷的变化量, 即所搜集到的准确的光电子的数目, 从而克服了曝光前后输出漏极电流一次读取的方法因电子迁移率的漂移而带来的误差。

同样也可将探测器的源极和衬底接地, 漏极接合适正电压 V_D , 通过调节栅极电压 V_G 使探测器工作在亚阈区。为了补偿曝光前后 SiO_2 中陷阱电荷密度和衬底界面处的界面态密度不一致, 也采用曝光前后分别进行两次读取的方法测量搜集到的光电子数目。

复位: 在探测器栅极上加负偏压 V_G , 衬底接地; 当负偏压足够高, 光电子存储层中储存的光电子通过隧穿被扫回基底 P 型半导体材料中。

具体为:

[1]. 探测器工作在线性区

将探测器的源极和衬底接地, 漏极接合适正电压 V_D , 通过调节栅极电压 V_G 使探测器工作在线性区。通过对输出漏极电流的直接测量, 即测量曝光前后漏极电流的两个值进行比较来确定光信号的大小, 得到漏极电流变化量与搜集到的光电子数目的关系如下:

$$\Delta I_{DS} = \frac{\mu_n C_{ox} W}{L} \cdot \frac{N_{FG} q}{C_T} \cdot V_{DS} \quad (a)$$

为了补偿 μ_n 的漂移, 能够将搜集到的光电子数目准确的读出, 采用曝光前后分别进行两次读取的方法。

当探测器工作在线性区时, 输出的漏极电流表达式为:

$$I_{DS} = \beta^{CG} (V_{CG} - V_T^{CG} + \frac{Q_{CG}}{C_{CG}}) V_{DS} \quad (a-1)$$

式中 β^{CG} 为探测器的跨导参数, V_{CG} 为栅极控制电压, V_T^{CG} 为探测器的阈值电压, Q_{CG} 为光电子存储层上存储的光电子的电荷量, C_{CG} 为栅极和光电子存储层之间的等效电容。

在曝光之前, 分别加两次控制电压, 电压值分别为 V_{CG1} 和 V_{CG2} , 通过测量两次漏极电流 I_{DS1} 和 I_{DS2} , 得到反映迁移率漂移前的跨导参数:

$$\beta_1^{CG} = \frac{C_{CG}}{C_T} \cdot \frac{C_{ox} \mu_n W}{L} = \frac{\Delta I_{DS}}{\Delta V_{CG} \cdot V_{DS}} \quad (b)$$

式中 μ_n 为曝光之前的电子迁移率, C_{CG} 为探测器顶层绝缘介质层电容, C_T 为光电子存储层的总等效电容, C_{ox} 为光电子存储层和衬底之间栅氧化层的单位面积电容, $\Delta V_{CG} = V_{CG2} - V_{CG1}$, $\Delta I_{DS} = I_{DS2} - I_{DS1}$ 。

在曝光之后, 为了补偿电子迁移率的漂移, 也分别加两次控制电压, 电压值分别为 V_{CG1} 和 V_{CG2} , 通过测量两次漏极电流 I_{DS1}^* 和 I_{DS2}^* , 得到反映迁移率漂移后的跨导参数:

$$\beta_2^{CG} = \frac{\Delta I_{DS}^*}{\Delta V_{CG} \cdot V_{DS}} = \frac{C_{CG}}{C_T} \cdot \frac{C_{ox} \mu_n^* W}{L} \quad (c)$$

式中 μ_n^* 为曝光之后的电子迁移率, $\Delta V_{CG} = V_{CG2} - V_{CG1}$, $\Delta I_{DS}^* = I_{DS2}^* - I_{DS1}^*$;

最后利用曝光前后 V_{CG1} 偏压下的电流值 I_{DS1} 和 I_{DS1}^* , 得到曝光前后浮栅上电荷的变化量:

$$\Delta Q_{FG} = \left(\frac{I_{DS1}^*}{\beta_2^{CG} \cdot V_{DS}} - \frac{I_{DS1}}{\beta_1^{CG} \cdot V_{DS}} \right) \cdot C_{CG} \quad (d)$$

将 (b) 式和 (c) 式代入 (d) 式能准确读出曝光后所搜集到的光电子数目, 从而克服了因电子迁移率的漂移而带来的误差。

[2]. MOSFET 光敏探测器工作亚阈值

漏极接合适正电压 V_D , 通过调节栅极电压 V_G 使探测器工作在亚阈值。当满足 $V_{DS} \gg KTI/q$ 时的漏极电流为:

$$I_{DS} = I_{D0} \exp \left(\frac{q \left(V_{GS} - V_T + \frac{Q_{FG}}{C_{CG}} \right)}{nKT} \right) \quad (e)$$

式中 I_{D0} 取决于器件的尺寸, 衬底的掺杂浓度和温度, 当器件制造出来后在一定温度下 I_{D0} 为常数。系数 $n = 1 + (C_B + C_{it}) / C_{ox}$, 其中 C_B 为衬底单位面积电容, 与衬底杂质浓度的平方根成正比; C_{it} 为陷阱电荷引起的面积电容, 与界面态和 SiO_2 陷阱密度成正比。

由于光电子存储在光电子存储层前后, SiO_2 中的陷阱电荷密度和衬底界面处的界面态密度不一致, 造成 (e) 式中的 n 发生变化, 因此直接采用比较曝光前后的漏极电流来确定所搜集到的光电子数目就不准确。为了补偿陷阱、界面态密度不一致的影响, 对亚阈值探测器的信号读取同样也采用曝光前后分别进行两次读取的方法。

在曝光之前, 分别加两次控制电压, 电压值分别为 V_{CG1} 和 V_{CG2} , 通过测量两次漏极电流 I_{DS1} 和 I_{DS2} , 得到曝光之前的系数 n 为:

$$n = \frac{q}{KT} \cdot \frac{\Delta V_{CG}}{\ln \frac{I_{DS2}}{I_{DS1}}} \quad (f)$$

在曝光之后, 分别加两次控制电压, 电压值分别为 V_{CG1} 和 V_{CG2} , 通过测量两次漏极电流 I_{DS1}^* 和 I_{DS2}^* , 得到曝光之后的系数 n^* 为:

$$n^* = \frac{q}{KT} \cdot \frac{\Delta V_{CG}}{\ln \frac{I_{DS2}^*}{I_{DS1}^*}} \quad (g)$$

最后用曝光前后 V_{CG1} 偏压下的电流值 I_{DS1} 和 I_{DS1}^* , 得到曝光前后光电子存储层上电荷的变化量:

$$\Delta Q_{FG} = \left[n^* \frac{KT}{q} \ln \frac{I_{DS1}^*}{I_{D0}} - n \frac{KT}{q} \ln \frac{I_{DS1}}{I_{D0}} \right] C_{CG} \quad (h)$$

式 (h) 能准确读出曝光后所搜集到的光电子数目, 从而克服了因曝光前后的 SiO_2 陷阱、界面态密度不一致而造成的影响。

同时应注意到当光敏 MOSFET 在 $0.18 \mu\text{m}$ 、 $0.13 \mu\text{m}$ 或更小尺寸的工艺下, 器件的短沟道效应严重影响了光电子数目的准确读出。为此提出了另一种曝光前后两次读出的方法, 来补偿短沟道效应和底层介质中陷阱、界面态密度所造成的读出误差。

由于陷阱的产生是光电子转移到光电子存储层和复位时所引起的, 但光敏 MOSFET 每工作一次底层绝缘介质中产生的陷阱数目可以忽略不计。为了准确得到每次工作前器件的电子迁移率, 可以

在曝光之前加两次偏压；同时，为了减小器件的短沟道效应的影响，曝光后也加两次偏压。

当光敏复合介质栅 MOSFET 单元工作在线性区时，输出的漏极电流表达式为：

$$I_{DS} = \beta^{CG} V_{DS} \frac{V_{CG} - V_T^{CG} - \frac{1}{2} V_{DS}}{1 + \theta(V_{CG} - V_T^{CG} - \frac{1}{2} V_{DS})} \quad (i)$$

(i) 式中 β^{CG} 为光敏 MOSFET 的跨导参数， V_{CG} 为栅极控制电压， V_T^{CG} 为光敏复合介质栅 MOSFET 的阈值电压， θ 为取决于工艺的参数。

在曝光之前，为了补偿由于底层绝缘介质层产生的缺陷对电子迁移率的影响，分别加两次控制电压，电压值分别为 V_{CG1} 和 V_{CG2} ，通过测量两次漏极电流 I_{DS1} 和 I_{DS2} ，得到反映每次成像时迁移率的跨导参数为：

$$\sqrt{\beta_1^{CG}} = \frac{I_{DS1}}{\sqrt{V_{DS}} (V_{CG1} - V_T^{CG} - \frac{1}{2} V_{DS})} \sqrt{\frac{\Delta V_{CG}}{\Delta I_{DS}}} \quad (j)$$

(j) 式中 $\Delta V_{CG} = V_{CG2} - V_{CG1} \ll V_{CG1}$ ， $\Delta I_{DS} = I_{DS2} - I_{DS1}$ 。

在曝光之后，为了补偿短沟道效应，也分别加两次控制电压，电压值分别为 V_{CG1} 和 V_{CG2} ，通过测量两次漏极电流 I_{DS1}^* 和 I_{DS2}^* ，得到反应迁移率的跨导参数为：

$$\sqrt{\beta_2^{CG}} = \frac{I_{DS1}^*}{\sqrt{V_{DS}} (V_{CG1} - V_T^{CG} + \frac{Q}{C_{CG}} - \frac{1}{2} V_{DS})} \sqrt{\frac{\Delta V_{CG}}{\Delta I_{DS}^*}} \quad (k)$$

(k) 式中 Q 为光电子存储层搜集到的光电子数目， C_{CG} 为栅极和光电子存储层之间的等效电容， $\Delta V_{CG} = V_{CG2} - V_{CG1} \ll V_{CG1}$ ， $\Delta I_{DS}^* = I_{DS2}^* - I_{DS1}^*$ 。

最后利用曝光前、后 V_{CG1} 偏压下的电流值 I_{DS1} 和 I_{DS1}^* ，综合式 (j) 和式 (k) 得到曝光后转移并存储的光电子数目为：

$$Q = \left(\frac{I_{DS1}^*}{I_{DS1}} \sqrt{\frac{\Delta I_{DS}}{\Delta I_{DS}^*}} - 1 \right) (V_{CG1} - V_T^{CG} - \frac{1}{2} V_{DS}) \cdot C_{CG} \quad (l)$$

(l) 式能准确读出曝光后所搜集到的光电子数目，从而克服了因电子迁移率的漂移和短沟道效应的影响而带来的误差。

3) 复位

在控制栅极上加负偏压 V_g ，衬底接地；增加负偏压 V_g 把光电子存储层复合介质栅中的光电子通过隧穿扫出光电子存储层复合介质栅或把空穴扫入光电子存储层复合介质栅；使用该方法可以达到复位的目的；在具体应用中，考虑到“过度擦除”的问题，可以结合写入的方式，调节阈值电压。具体流程如图9所示。选定一个阈值电压为 V_{ref} 的参考复合介质栅 MOSFET，加上一定的栅极和漏极偏置电压，测量其漏电流 I_{dref} 。在一个待复位的复合介质栅 MOSFET 上加同样的偏压，测量其漏电流为 I_{di} 。设定 I_{di} 和 I_{dref} 最大允许的电流偏差为 ε ，如果电流偏差小于 ε ，则这个光敏 MOSFET 的复位操作完成，否则通过一系列“擦除”和“写入”操作后将光敏 MOSFET 的阈值电压调节到一个特定的值。

4) 本发明可以根据现有的闪存工艺制备成光复合介质栅 MOSFET 阵列。

在闪存中广泛应用的复合介质栅技术变成了一种非常成熟的技术。一个 1Gb 闪存中包含 10^9 个复合介质栅 MOSFET，在过去的十年中，人们研发出很多种不同的复合介质栅 MOSFET 整合架构均可以用于本发明。在复合介质栅技术中，图 7 和图 8 给出了两种可用的阵列架构。

图3探测器结构示意图中，在栅极上加负偏压，衬底接地，增加栅极电压把光电子存储层中的光电子通过隧穿扫出光电子存储层或把空穴扫入光电子存储层。使用该方法可以达到复位的目的。在具体应用中，考虑到“过度擦除”的问题，可以结合在栅极加正偏压，把栅极电压的最小值调节到一

个特定的值。

图 4 中 SiO₂/Si₃N₄/SiO₂ 组成的第二绝缘介质层的实施例：过程 1 与 3：λ > 387 nm 光电子 → 沟道 → 复合介质栅；过程 2：λ < 387 nm 光电子 → 复合介质栅。图 4 中 Φ_s 指当栅极电压为 +20 V 时，在半导体中压降。

构成本发明探测器的材料的尺寸范围的实施例如（但不限于）表 2：

		栅极	顶层介质	光电子存储介质	底层介质	半导体层
1	材料	多晶硅	氧化硅/氮化硅/氧化硅	多晶硅	氧化硅	硅
	厚度	---	12-20 nm（等效 SiO ₂ 厚度）	10-200 nm	1-10 nm	---
2	材料	多晶硅	氧化硅	氮化硅	氧化硅	硅
	厚度	---	10-20 nm	3-10 nm	1-10 nm	---
3	材料	钨	氧化铝	氮化硅	氧化硅	硅
	厚度	---	约 10 nm	3-10 nm	1-10 nm	---
4	材料	多晶硅	氧化硅	多晶硅	high-k 介质（HfO ₂ ）	硅
	厚度	---	10-20 nm	10-200 nm	1-5 nm（等效 SiO ₂ 厚度）	---
5	材料	金属	氧化硅	InGaN	AlGaN	AlGaN
	厚度	---	10-100 nm	10-200 nm	1-100 nm	---
6	材料	金属	氧化硅/氮化硅/氧化硅	多晶硅	氧化硅	碳化硅
	厚度	---	12-20nm（等效 SiO ₂ 厚度）	10-200 nm	1- 10 nm	---

根据表 2 的实施例结构，具体的探测器实施例如（但不限于）表 3：

		栅极	顶层介质	光电子存储介质	底层介质	半导体层
	材料	多晶硅	氧化硅/氧化铝/氧化硅	多晶硅	氧化硅	硅
1	厚度	工艺决定	5nm/5nm/5nm	100 nm	5 nm	工艺决定
2		均同上	5nm/6nm/5nm	100 nm	5 nm	均同上
3			5nm/7nm/5nm	100 nm	5 nm	
4			5nm/8nm/5nm	100 nm	5 nm	
5			5nm/9nm/5nm	100 nm	5 nm	
6			5nm/10nm/5nm	100 nm	5 nm	
7			6nm/7nm/6nm	100 nm	5 nm	
8			7nm/7nm/7nm	100 nm	5 nm	
9			8nm/7nm/8nm	100 nm	5 nm	
10			9nm/7nm/9nm	100 nm	5 nm	
11			10nm/7nm/7nm	100 nm	5 nm	
12			5nm/10nm/5nm	100 nm	4 nm	
13			5nm/10nm/5nm	100 nm	3 nm	
14			5nm/10nm/5nm	100 nm	2 nm	

表 3 具体的探测器实施例如是可以达到本发明效果的探测器。表 2 中的其它探测器的结构也可以类比于表 3、4 结构的探测器，由于采用相同或兼容的半导体工艺，本发明的表 2 其它探测器的结构在工艺制备上也是完全可行的，在工作机制上完全同本发明的工作框架，在效果上能与类同于表 3、4 的实施例结构。

具体的探测器实施例如（但不限于）表4

	材料	多晶硅	氧化硅/氮化硅/氧化硅	多晶硅	氧化硅	硅
1	厚度	工艺决定	10nm/7nm/7nm	80 nm	9 nm	工艺决定
2		均同上	10nm/7nm/7nm	100 nm	9 nm	均同上
3			10nm/7nm/7nm	150 nm	9 nm	
4			10nm/7nm/7nm	200 nm	9 nm	
5			10nm/7nm/7nm	300 nm	9 nm	
6			10nm/7nm/7nm	400 nm	9 nm	
7			10nm/7nm/7nm	500 nm	9 nm	
8			10nm/7nm/7nm	600 nm	8 nm	
9			10nm/7nm/7nm	600 nm	7 nm	
10			10nm/7nm/7nm	600 nm	6 nm	
11			10nm/7nm/7nm	600 nm	5 nm	
12			10nm/7nm/7nm	600 nm	4 nm	
13			10nm/7nm/7nm	600 nm	3 nm	
14			10nm/7nm/7nm	600 nm	2 nm	
15			7nm/6nm/5nm	80 nm	9 nm	
16			7nm/6nm/5nm	100 nm	9 nm	
17			7nm/6nm/5nm	150 nm	9 nm	
18			7nm/6nm/5nm	200 nm	9 nm	
19			7nm/6nm/5nm	300 nm	9 nm	
20			7nm/6nm/5nm	400 nm	9 nm	
21			7nm/6nm/5nm	500 nm	9 nm	
22			7nm/6nm/5nm	600 nm	8 nm	
23			7nm/6nm/5nm	60 nm	7 nm	
24			7nm/6nm/5nm	600 nm	6 nm	
25			7nm/6nm/5nm	600 nm	5 nm	
26			7nm/6nm/5nm	600 nm	4 nm	
27			7nm/6nm/5nm	600 nm	3 nm	
28			7nm/6nm/5nm	600 nm	2 nm	
29			7nm/7nm/7nm	600 nm	5 nm	

图5通过改变复合介质栅中的电荷量，可以改变MOSFET的输出电流的示意图，图5中 $V_{gate}=V_g$ ；对上述实施例增加栅极电压，当与衬底的电压差足够大的时候，对于多晶硅/ONO/多晶硅/SiO₂结构，该值为 $> +18 V$ ，实施例取栅极电压达到 $20 V$ ，对于多晶硅/ONO/Si₃N₄/SiO₂结构，该值为 $+ 12 V$ ；与探测器的材料特性有关，使光电子直接F-N隧穿后进入电荷储存层。

图5a：当栅极与衬底的电压差为正时，光电子迁移到底层介质与半导体的界面；当栅极与衬底的电压差为正时，如果 $[光子hv > 半导体E_g + 半导体与底层介质的\Delta E_c]$ ，激发的光电子会直接进入光电子存储层，迁移到底层介质与半导体的界面，

图5b表示光电子隧穿：当底层介质中的电场足够强时，光电子隧穿进入光电子存储层；光电子存储：当顶层介质中电场较弱，光电子从存储层隧穿到栅极的电流可以忽略时，光电子会储存在光电子存储层中。

图 5c是复合栅晶体管探测器的结构，其中 ΔV_T 为由于光电子进入存储层而导致的阈值电压的变化， I_{drain} 为漏极电流， Q_{FG} 为存储层中存储的光电子总电荷量， C_{IPD} 为栅极与存储层的电容， V_{gate} 是加在栅极上的电压。阈值电压的偏移和光电子存储层中的电荷总量成正比。

图 5d给出了漏极电流， I_{drain} 和栅极电压 V_{gate} 的关系图。其中左边曲线是复位后的，右边曲线是在光电子存储层中注入光电子。复位时：在栅极上加负偏压 V_g ，衬底接地；当负偏压足够高的值的范

围：对于 [多晶硅/ONO/多晶硅/SiO₂] 结构，该值为 > -18 V，对于 [多晶硅/ONO/Si₃N₄/SiO₂] 结构，该值为 -12 V。基底层或栅极面上的ITO、金属膜或半导体材料膜均容易构成对探测器探测波长透明或半透明的窗口。在光电子搜集阶段使用较低的电压以减小暗电流：对 [多晶硅/ONO/多晶硅/SiO₂] 结构，该值为 $> +10-15$ V；对于 [多晶硅/ONO/Si₃N₄/SiO₂] 结构，该值为 $+5-10$ V。

图 6 是把源漏悬空，复合介质栅 MOSFET→带复合介质栅的 CCD 的结构示意图；

图7字线3上的3个复合介质栅MOSFET处于开启状态；

图 8 是一个 8×8 复合介质栅 MOSFET 阵列。图中横线是公共控制栅，竖线为公共的源和漏，圈出的是正在被读的复合介质栅 MOSFET。显示的是一种 8×8 复合介质栅 MOSFET 的组合架构，横向线显示的是 8 个复合介质栅 MOSFET 共享的控制栅，竖线是共享的源和漏，每个像素仅包含一个由光敏复合介质栅 MOSFET。当在某一条公共控制栅电压于大于阈值电压时，可以通过选择源和漏来读出该条控制线上不同的 MOSFET 上的复合介质栅上的电荷量。在图 8 中，第四条公共控制栅下的第一、四、七 MOSFET 正在处于读出状态。本发明的工艺方法与现有硅半导体工艺（闪存制备工艺）相同或完全兼容。

本发明既有 CCD 的低漏电路、高占空比特点，又有 CMOS-APS 架构的优势，同时植根于当代高度成熟的闪存技术，直接使用闪存工艺、设计、制造平台；使像素达到极小（闪存单元尺寸可至 $\sim 80 \times 80$ nm²），像素密度可以达到 100/μm²（远超过光学分辨率， ~ 1 微米）；集成大容量的单元使绝对像数有潜力突破 1G；井深（well capacity） > 5000 e-/μm²，可以提高小像素的成像质量；可以实现成像、电子地图匹配功能集成于同一芯片；响应范围：400-1000 nm 或更宽频带，井深： > 5000 e-/μm²；动态范围：大于 70 dB；暗电流：10 nA/cm²；功耗：100 mW。

探测器的像素单元是一个光敏复合介质栅 MOSFET 晶体管。多个光敏复合介质栅 MOSFET 可构成一个成像阵列。在成像过程中，光照到光敏复合介质栅 MOSFET 半导体衬底耗尽区上产生光电子，进而光电子被搜集起来转移到复合介质栅上存储，从而使 MOSFET 的阈值电压相对曝光之前发生了改变。不同的光强可对应于 MOSFET 阈值电压发生不同的变化量。通过在相同读出条件下测量曝光前后 MOSFET 漏极电流的变化量就可知道复合介质栅上所存储的光电子的数目，即知道了像素单元探测到的光强大小。当通过成像阵列上所有的像素单元一起工作就能知道各个像素单元探测到的不同光强，通过后续电路就能得到一副有对比度的图像。该探测器像素单元同时具有复位的功能，从而能进行反复的成像。所发明的探测器设计原理示意图如图 10 所示， ΔV 表示不同光强下成像像素阈值电压变化值，即无光成像与有光成像的阈值差值。

图 11 为改进的光敏复合介质栅 MOSFET 的基本结构。在基底 P 型半导体材料 1 上方的两侧设有重掺杂 N 型半导体区 2 构成源、漏极，源、漏极的外部设有重掺杂的袋状 P 型半导体包裹区 3，源、漏区靠近沟道一侧分别设有低掺杂的 N 型源、漏扩展区（LDD）4，基底正上方分别设有底层绝缘介质材料 5、顶层绝缘介质材料 6 和控制栅 7，二层绝缘介质材料之间设有光电子存储层 8，所述光电子存储层可以是多晶硅、Si₃N₄、InGaN、金属膜或其它电子导体或半导体；控制栅可以是多晶硅、金属或透明导电电极。控制栅的两侧设有绝缘隔离层（spacer）9。控制栅极面或基底层至少有一处为对探测器探测波长透明或半透明的窗口。

所述的探测器单元还可采用图 12 所示的基于 EJ-MOSFET 的结构。在基底 P 型半导体材料 1 上方的两侧设有重掺杂 N 型半导体区 2 构成源、漏极，源、漏极的外部设有重掺杂的袋状 P 型半导体包裹区 3，基底中央区域的正上方分别设有底层绝缘介质材料 5、光电子存储层 8 和顶层绝缘介质材料 6。光电子存储层 8 采用分裂结构，顶层绝缘介质层 6 将光电子存储层 8 和源、漏极隔离开。顶层绝缘介质层 6 上面是控制栅 7。所述光电子存储层可以是多晶硅、Si₃N₄、InGaN、金属膜或其它电子导

体或半导体；控制栅是多晶硅、金属或透明导电电极。控制栅的两侧设有绝缘隔离层（spacer）9。控制栅极面或基底层至少有一处为对探测器探测波长透明或半透明的窗口。

除了上述两种光敏复合介质栅 MOSFET 结构，可用于光敏成像的其他所有复合介质栅 MOSFET 结构都不超出本发明的范围。

多个光敏复合介质栅 MOSFET 排列成阵列，可构成大面积、超高像数密度探测器。图 13 为其阵列结构示意图。外部输入的行、列地址分别通过行、列地址译码器译码后产生行选择线 X 和列选择线 Y。只有被行、列选择线选中的单元才能被操作。当探测器进行成像操作时，将阵列上的每一个光敏 MOSFET 单元都选中，所有光敏 MOSFET 同时进行光电子的搜集、转移和存储的操作。按 X-Y 方式寻址，可实现对每一个单元进行单独复位操作，即擦除和编程，以及按地址将每一个光敏 MOSFET 所存储的光电子读出放大。目前，成熟的 NOR、NAND 或其他的 flash 架构可应用于探测器阵列的构造。

设计一个复合介质栅 MOSFET 光敏探测器单元，其结构如图 11 所示。它基于标准的浮栅结构，光电子存储层使用多晶硅作为浮置栅，具有存储电荷的作用。底部绝缘介质层为薄的 SiO₂ 绝缘层，当编程时电子通过此层到达浮栅。顶层绝缘介质层为 SiO₂/Si₃N₄/SiO₂ 复合结构 ONO 层，其目的是阻止浮置栅上存储的电子通过栅极流失。多晶硅作为控制栅，其上方为透明或半透明的窗口。P 型衬底上方的两侧设有重掺杂的 N 型半导体区，分别构成浮栅 MOSFET 探测器的源区和漏区。与标准的浮栅 MOSFET 不同是光敏 MOSFET 沟道区要作为光电子的搜集区，为了防止所搜集的光电子向源、漏区扩散，所以在源、漏区外围包了一层重掺杂的 P⁺ 区。为了防止所搜集的光电子在向浮置栅转移的过程中源漏区也有电子通过遂穿进入浮置栅，因此源、漏区靠近沟道的两侧形成低掺杂、浅结的 N 型源、漏扩展区 LDD，且 LDD 区和浮置栅的交叠较小，以减小 MOSFET 光敏探测器工作时的暗电流。

设计的浮栅型 MOSFET 光敏探测器单元的主要参数如下：沟道长度：0.18 μm；沟道宽度：0.18 μm；Spacer 厚度：0.2 μm；源、漏极长度：0.4 μm；多晶硅浮置栅厚度：1000 Å；多晶硅控制栅厚度：2000 Å；ONO 层 SiO₂/Si₃N₄/SiO₂ 的厚度：50 Å / 100 Å / 40 Å；底层 SiO₂ 绝缘层厚度：100 Å。

使用 TCAD 器件仿真工具对该浮栅 MOSFET 光敏探测器单元进行了二维光电性能模拟。图 14 为浮栅 MOSFET 光敏探测器单元在 4 种不同光强下探测后读出的电流大小曲线。曲线 1 为无光探测后读出的漏电流与栅电压的关系曲线。曲线 2、3、4、5 分别为探测器工作在光强 3.5e-5、5.0e-4、3.0e-3 和 1.0e-2 W/m² 后读出的漏电流与栅电压的关系曲线。可以看出当光强越强时搜集并转移到光电子存储层浮栅上的光电子就越多，引起光敏 MOSFET 的阈值电压增高，相应的在同样的偏置条件下读出的漏电流就越小。通过对曝光前后漏电流的读取就能知道搜集到的光电子数目。器件光电性能仿真结果表明该复合介质栅 MOSFET 光敏探测器的设计原理具有可行性。

测试的像素单元是用标准 0.13 μm CMOS 工艺制造的 NOR Flash 架构的浮栅型 MOSFET。MOSFET 像素单元的沟道长、宽分别为 0.165 μm、0.22 μm，底层 SiO₂ 隧穿层厚度为 100 Å，多晶硅浮栅的厚度为 1000 Å，多晶硅控制栅的厚度为 2000 Å，顶层介质 ONO 层的厚度为 50 Å / 100 Å / 40 Å。对一个阵列上的两个光敏 MOSFET 样品进行了测试，在较微弱的光强下曝光 20 ms，两个样品曝光后的阈值电压比曝光前都增大了约 0.3 V，即阈值差值（成像窗口）约为 0.3V。像素单元样品的光敏测试结果如图 15 所示，图 15 (a) 为样品一，图 15 (b) 为样品二。对样品又进行了复位操作，样品的阈值电压恢复到初始值，可进行下一次的探测。图 16 给出样品复位后的测试结果。像数单元的功能测试结果完全验证了复合介质栅 MOSFET 光敏探测器设计原理的正确性。该测试的样品像数面积约为 0.169 μm²，而目前最小的 CCD 像数面积约为 2 × 2 μm²，这就意味着在相同大小的感光面积上，该光敏探测器可实现比 CCD 高 12 倍的分辨率。或者说要达到相同的分辨率，该探测器的感光面积只

有CCD的12分之一。随着光敏复合介质栅MOSFET的尺寸进一步减小，探测器的分辨率还可大幅度提高。因此所发明的探测器具有超高像数密度，能将目前的成像器件分辨率提高了一个或两个数量级以上，使物理分辨率高于光学分辨率，这是CCD和CMOS APS都无法比拟的优越性。

本发明复合介质栅 MOSFET 光敏探测器在进行每一次成像之前必须将阵列上所有光敏 MOSFET 的阈值电压都调整到一个初始值附近，完成复位工作。然后进行成像操作。当光照到光敏探测器阵列上，所有光敏 MOSFET 同时进行光电子的搜集，并将光电子转移、存储到复合介质栅中，MOSFET 的阈值电压发生相应的改变。每个光敏 MOSFET 所搜集、存储的光电子即阈值电压与受到的光照强度成正比，因此通过读出光敏 MOSFET 曝光前、后漏极电流的变化量，就可知道每个光敏 MOSFET 所探测到的光强。当阵列上所有单元按位置读出操作时就可通过后端的电路恢复出一幅完整的图像。

其中，以上面所述的改进的光敏复合介质栅 MOSFET 结构和基于 EJ-MOSFET 结构的光敏探测器具体的工作机理和过程如下：

1) 复位

复合介质栅MOSFET光敏探测器成像操作后将所搜集的光电子转移至复合介质栅存储层上，使光敏MOSFET的阈值电压增大。在进行新的一次成像工作之前，必须进行复位操作，将探测器阵列上所有光敏MOSFET存储层上的电子擦除，使所有光敏复合介质栅MOSFET单元的阈值电压调整到一个参考值附近，并保证各个单元的阈值电压的偏差控制在一个小的范围内。复位的操作步骤为：在光敏MOSFET控制栅极上加负偏压 V_g ，衬底和源极接正电压；增加 V_g 把光电子存储层中的光电子通过隧穿扫出或把空穴扫入光电子存储层。使用该方法可以使探测器的阈值电压降低，达到复位的目的。在具体应用中，应考虑到存在“过度擦除”的问题，可以结合沟道热电子注入(CHE)或FN隧穿编程方式，调节阈值电压。复位操作的具体流程如图9所示。选定一个阈值电压为 V_{ref} 的参考复合介质栅MOSFET，在一定的偏压 V_{bias} 下使其输出电流为 I_{dref} 。假设一个待复位的复合介质栅MOSFET的初始阈值是 V_{t0} ，在同样的偏压 V_{bias} 下，其对应的输出电流为 I_{d0} 。通过一系列“擦除”和“编程”操作后，这个复合介质栅MOSFET阈值电压和输出电流分别变为 V_{ti} 和 I_{di} 。设定 I_{di} 和 I_{dref} 最大允许的电流偏差为 ε ，如果电流偏差小于 ε ，则这个光敏MOSFET的复位操作完成，否则继续进行“擦除”和“编程”操作。探测器上任何一个浮栅复合介质栅MOSFET的阈值电压都可以用这样的复位操作无限逼近参考阈值电压值。

2) 光电子的搜集、转移和存储：

(1) 光电子搜集：将光敏复合介质栅MOSFET的源、漏极浮空，栅极与衬底之间加正偏压脉冲，则在底层介质层下的P型半导体表面形成没有电子的耗尽层，耗尽层处于非平衡态。耗尽层热平衡态的恢复需要电子的注入，电子注入有三个来源：1) 耗尽区，底层介质层与衬底界面的深能级产生电流；2) 扩散区注入的产生电流；3) 外界注入的光子被半导体吸收产生的光电子。在完全没有光子注入时，通常需要10 ms - 1 s恢复时间才能回到平衡态。当恢复到平衡态下，耗尽区消失。当有光子注入到耗尽区，光子能量大于半导体的禁带宽度时光子被半导体吸收，P型半导体价带电子被激发到导带，产生光电子。如果所加栅极电压脉冲的时间小于恢复平衡的时间，外界注入的光子产生的光电子会在栅极电压的驱使下移动到P型衬底和底层绝缘层的界面处，形成电荷包。这时瞬间增加栅压，在底层介质层中产生足够的电场，那么所搜集的光电子会通过隧穿效应进入复合介质栅存储层中。在光电子搜集过程中，为了防止所搜集的光电子漏入源和漏区所处的 n^+ 区，在p型半导体和 n^+ 源、漏区之间进行袋状注入(Pocket Implantation)形成一个 p^+ 过渡区， P^+ 过渡区和p型衬底之间形成一个较

高的势垒，阻止了光电子向源、漏区注入。应注意到光电子在向存储层转移的过程中，源、漏区的电子也会通过隧穿向存储层转移而产生很大的暗电流。为了抑制住暗电流，源、漏区向沟道的一侧各形成了一个低掺杂的N型源漏扩展区（LDD），且保证LDD和复合介质栅的交叠较少。对于EJ-MOSFET结构的探测器，源、漏区与光电子存储层之间没有交叠。当高压脉冲加到控制栅上，源、漏区的电子不会转移到光电子存储层中，因此可大大降低探测器的暗电流。当EJ-MOSFET探测器工作在读出状态时，源、漏区和光电子存储层下方的沟道区之间会形成电子反型层充当源、漏区的扩展区，使光敏EJ-MOSFET能正常读出电流。

(2) 光电子转移：当光电子的搜集结束后，在控制栅极与衬底之间加一足够大的正偏压短暂脉冲，使第一层绝缘介质层中的电场足够强时，所搜集到的光电子通过隧穿的方式进入复合介质栅光电子存储层。光电子主要有三种方式进入光电子存储层，其示意图如图4所示。过程1，光电子先进入光敏MOSFET沟道，再通过直接隧穿进入复合介质栅；过程2，光电子通过F-N隧穿进入复合介质栅，用于闪存的复合介质栅MOSFET就是利用该机制把电荷存入复合介质栅中；过程3，光电子直接隧穿进入复合介质栅，该过程类似PMT光电子发射，不同之处是PMT把光电子发射到真空中，而该过程把光电子发射进复合介质栅中。

(3) 光电子存储：当第二层绝缘介质层厚度较厚使其电场较弱时，光电子会储存在光电子存储层中，不会向控制栅转移。当对光敏复合介质栅 MOSFET 所加的工作脉冲去除后，光电子依然存储在存储层中不会丢失。等待下一次工作之前进行复位操作可将上一次储存的光电子清除。

3) 光电子读出放大与前述相同。

本发明的探测器操作条件实施例：表 5 与表 6 分别是光敏 MOSFET 探测器进行光电子搜集和光电子转移储存时的操作条件。这两个操作过程在时间上是连续进行的。表 7 是对光敏 MOSFET 探测器进行光电子读出时的操作条件。表 8 是对光敏 MOSFET 探测器进行复位时采用 FN 擦除的操作条件，为了防止过擦除，采用 CHE 编程或 FN 编程进行写入，将光敏 MOSFET 的阈值电压调整到参考值附近。表 9 和表 10 给出了复位时采用 CHE 编程或 FN 编程时的操作条件。

表 5 光电子搜集时的操作条件

电极	脉冲电压	脉冲宽度
栅极	5-12 V	0.1-100 ms
漏极	悬空	
源极	悬空	
衬底	0 V	

表 6 光电子转移储存时的操作条件

电极	脉冲电压	脉冲宽度
栅极	10-20 V	0.1-10 μs
漏极	悬空	
源极	悬空	
衬底	-5-0 V	0.1-10 μs

表 7 光电子读出时的操作条件

电极	脉冲电压	脉冲宽度
栅极	1-6 V	0.1-100 μs
漏极	0.1-0.5 V	0.1-100 μs
源极	0 V	
衬底	0 V	

表 8 复位 FN 擦除时的操作条件

电极	工作电压	电压脉宽
栅极	-15 V	0.1-300 ms
漏极	0 V	
源极	0 V	
衬底	0 V	

表 9 复位 CHE 编程时的操作条件

电极	工作电压	电压脉宽
栅极	8-10 V	0.1-30 μ s
漏极	1-5 V	0.1-30 μ s
源极	0 V	
衬底	0 V	

表 10 复位 FN 编程时的操作条件

电极	工作电压	电压脉宽
栅极	10-20 V	0.1-100 ms
漏极	0 V	
源极	0 V	
衬底	0 V	

综上所述，本发明通过利用复合介质栅 MOSFET 作为光敏探测器并提出其光电信号处理的全面解决方案，该器件的阵列可以构成超高分辨率成像芯片。因此利用其它结构、材料以及参数的 MOSFET 来作为光敏探测器或成像芯片，将不超出本发明所述器件功能原理的核心内涵。

权利要求书

1、复合介质栅MOSFET光敏探测器，其特征是每个单元探测器的构成是：在基底P型半导体材料（1）上方的两侧设有N型半导体区（2）构成源极和漏极，基底P型半导体材料（1）正上方的分别设有二层绝缘介质材料和控制栅极（7），二层绝缘介质材料之间设有光电子存储层（8），所述光电子存储层（8）是多晶硅、 Si_3N_4 、 InGaN 、金属膜或其它电子导体或半导体；控制栅极（7）是多晶硅、金属或透明导电电极；

与控制栅极（7）接触的第二绝缘介质材料是阻止光电子存储层（8）中存储的电荷流失到栅极的材料，第二绝缘介质材料是宽带半导体；基底P型半导体材料（1）接触的第一绝缘介质材料层在栅极低压下，有效隔离源极和漏极之间沟道和光电子存储层（8），在栅极高压下或光子能量较高时，把所述沟道中电子扫入光电子存储层；源漏极在搜集光电子和储存光电子到光电子存储层（8）时均为悬空结构；第一绝缘介质材料即底层介质（5），采用氧化硅、 SiON 或其它高介电常数介质；第二绝缘介质层的材料即顶层介质（6），采用氧化硅/氮化硅/氧化硅、氧化硅/氧化铝/氧化硅、氧化硅、氧化铝或其它高介电常数介质材料；

栅极与基底的电压差足够大时使得沟道中搜集的光电子能通过隧穿进入光电子存储层（8），且基底或栅极面至少有一处为对探测器探测波长透明或半透明的窗口。

2、根据权利要求1所述的复合介质栅MOSFET光敏探测器，其特征是源极、漏极的外部设有重掺杂的袋状P型半导体包裹区（3），源极、漏极靠近MOSFET沟道的一侧分别设有低掺杂的N型源极、漏极扩展区LDD（4），控制栅极至底层绝缘介质层的两侧设有绝缘隔离层（9），控制栅极面或基底至少有一处为对探测器探测波长透明或半透明的窗口。

3、根据权利要求1所述的复合介质栅MOSFET光敏探测器，其特征是源极、漏极的外部设有重掺杂的袋状P型半导体包裹区（3），第一绝缘介质层（5）、光电子存储层（8）和第二绝缘介质层（6）分别设置在基底P型半导体材料（1）中央区域的正上方，光电子存储层（8）为分裂结构，第二绝缘介质层（6）将光电子存储层（8）和源极、漏极隔离开，第二绝缘介质层（6）上面是控制栅极（7），控制栅极至底层绝缘介质层的两侧设有绝缘隔离层（9），控制栅极面或基底至少有一处为对探测器探测波长透明或半透明的窗口。

4、根据权利要求1或2或3所述的复合介质栅MOSFET光敏探测器，其特征是第一绝缘介质材料即底层介质（5）为：氧化硅1-10 nm、氮化硅1-10 nm、 HfO_2 、 Al_2O_3 、 ZrO_2 、 Y_2O_3 、 BaTiO_3 、 BaZrO_3 、 ZrSiO_4 或 Ta_2O_5 ，其等效 SiO_2 厚度为1-5 nm，或 AlGaN 1-100 nm；

第二绝缘介质材料即顶层介质（6）为：氧化硅/氮化硅/氧化硅，等效 SiO_2 厚度为12-20 nm，氧化硅10-20 nm，氧化铝10 nm，氧化硅10-20 nm，氧化硅10-100 nm， HfO_2 、 ZrO_2 、 Y_2O_3 、 BaTiO_3 、 BaZrO_3 、 ZrSiO_4 、或 Ta_2O_5 ，其等效 SiO_2 厚度为1-5 nm，或 AlGaN 1-100 nm；

光电子存储层：多晶硅10-200 nm、氮化硅3-10 nm或 InGaN 10-200 nm；

控制栅极（7）为：多晶硅10-200 nm、铟锡化合物（ITO）10-200 nm、金属或透明导电电极。

5、根据权利要求1或2或3所述的复合介质栅MOSFET光敏探测器，其特征是单元探测器制备成阵列，构成光复合介质栅MOSFET光敏探测器。

6、根据权利要求1或2或3所述的复合介质栅MOSFET光敏探测器，其特征是第一绝缘介质即底层介质为氧化硅1-10 nm；第二绝缘介质层的材料即顶层介质为氧化硅/氮化硅/氧化硅或氧化硅/氧化铝/氧化硅，等效 SiO_2 厚度12-20 nm，光电子存储层多晶硅10-200 nm，栅极为多晶硅。

7、根据权利要求1或2或3所述的复合介质栅MOSFET光敏探测器，其特征是第一绝缘介质

即底层介质为氧化硅 1-10 nm；第二绝缘介质层的材料即顶层介质为氧化硅 10-20 nm，光电子存储介质为氮化硅 10-20 nm，栅极为多晶硅。

8、根据权利要求 1 或 2 或 3 所述的复合介质栅 MOSFET 光敏探测器，其特征是栅极为钨，顶层介质氧化铝 10 nm，光电子存储介质氮化硅 3-10 nm，底层介质氧化硅 1-10 nm。

9、根据权利要求 1 或 2 或 3 所述的复合介质栅 MOSFET 光敏探测器，其特征是栅极为多晶硅，顶层介质氧化硅 10-20 nm，光电子存储介质多晶硅 0-200 nm，底层介质高介电常数介质，等效 SiO₂ 厚度 1-5 nm。

10、根据权利要求 1 或 2 或 3 所述的复合介质栅 MOSFET 光敏探测器，其特征是栅极为金属，顶层介质氧化硅 10-100 nm，光电子存储介质 InGaN 10-200 nm，底层介质 AlGaIn 1-100 nm，基底材料 AlGaIn。

11、根据权利要求 1 或 2 或 3 所述的复合介质栅 MOSFET 光敏探测器，其特征是栅极为金属，第二绝缘介质层即顶层介质为氧化硅/氮化硅/氧化硅或氧化硅/氧化铝/氧化硅，等效 SiO₂ 厚度 12-20 nm，光电子存储介质多晶硅 10-200 nm，底层介质为氧化硅 1-10 nm，基底材料为碳化硅。

12、权利要求 1-11 所述的复合介质栅 MOSFET 光敏探测器的信号读取方法，其特征是所述探测器的光电子读出放大和复位的步骤是：

光电子读出放大：将探测器的源极和基底接地，漏极接合适正电压，通过调节栅极电压使 MOSFET 探测器工作在线性区；通过对输出漏极电流的直接测量，即测量曝光前后漏极电流的两个值进行比较来确定光信号的大小，得到漏极的电流变化量与搜集到的光电子数目的关系如下：

$$\Delta I_{DS} = \frac{\mu_n C_{ox} W}{L} \cdot \frac{N_{FG} q}{C_T} \cdot V_{DS} \quad (a)$$

其中 ΔI_{DS} 为曝光前-曝光后漏极电流变化量， N_{FG} 为光电子存储层上存储的光电子数目， C_T 为探测器光电子存储层的总等效电容， C_{ox} 为光电子存储层和衬底之间栅氧化层电容， W 和 L 分别为探测器沟道的宽度和长度， μ_n 为电子迁移率， V_{DS} 为漏极与源极的电压差；

复位：在探测器栅极上加负偏压 V_G ，衬底接地；当负偏压足够高，光电子存储层（8）中储存的光电子通过隧穿被扫回基底 P 型半导体材料（1）中。

13、根据权利要求 12 所述的复合介质栅 MOSFET 光敏探测器的信号读取方法，其特征是将搜集到的光电子数目准确的读出，采用曝光前后分别进行两次读取的方法：

在曝光之前，分别加两次控制电压，电压值分别为 V_{CG1} 和 V_{CG2} ，通过测量两次漏极电流 I_{DS1} 和 I_{DS2} ，得到反映迁移率漂移前的跨导参数：

$$\beta_1^{CG} = \frac{C_{CG}}{C_T} \cdot \frac{C_{ox} \mu_n W}{L} = \frac{\Delta I_{DS}}{\Delta V_{CG} \cdot V_{DS}} \quad (b)$$

式中 μ_n 为曝光之前的电子迁移率， C_{CG} 为探测器顶层绝缘介质层电容， C_T 为光电子存储层的总等效电容， V_{DS} 为漏极与源极的电压差； $\Delta V_{CG} = V_{CG2} - V_{CG1}$ ， $\Delta I_{DS} = I_{DS2} - I_{DS1}$ ；

在曝光之后，为了补偿电子迁移率的漂移，也分别加两次控制电压，电压值分别为 V_{CG1} 和 V_{CG2} ，通过测量两次漏极电流 I_{DS1}^* 和 I_{DS2}^* ，得到反映迁移率漂移后的跨导参数：

$$\beta_2^{CG} = \frac{\Delta I_{DS}^*}{\Delta V_{CG} \cdot V_{DS}} = \frac{C_{CG}}{C_T} \cdot \frac{C_{ox} \mu_n^* W}{L} \quad (c)$$

式中 μ_n^* 为曝光之后的电子迁移率， $\Delta V_{CG} = V_{CG2} - V_{CG1}$ ， $\Delta I_{DS}^* = I_{DS2}^* - I_{DS1}^*$ ；

最后利用曝光前后 V_{CG1} 偏压下的电流值 I_{DS1} 和 I_{DS1}^* ，得到曝光前后浮栅上电荷的变化量：

$$\Delta Q_{FG} = \left(\frac{I_{DS1}^*}{\beta_2^{CG} \cdot V_{DS}} - \frac{I_{DS1}}{\beta_1^{CG} \cdot V_{DS}} \right) \cdot C_{CG} \quad (d)$$

式 (d) 准确读出曝光后所搜集到的光电子数目，克服因电子迁移率的漂移而带来的误差。

14、根据权利要求 12 所述的复合介质栅 MOSFET 光敏探测器的信号读取方法，其特征是探测器的光电子读出放大之前的搜集、储存的步骤是：当栅极加正偏压脉冲，在 P 型半导体中形成耗尽层，当光入射到耗尽层中光子被半导体吸收时，产生光电子，光电子在栅极电压的驱使下移动到沟道和底层绝缘层的界面处；增加栅极电压，当电压足够大的时候，光电子通过 F-N 隧穿后进入电荷储存层；如果光子能量足够大，大于半导体与底层绝缘介质的 ΔE_c ，光电子可以直接隧穿进入电荷储存层；在搜集光电子的阶段，源和漏应当悬空以防止电子从源和漏区注入；光电子存储层在存入光电子后会产生阈值电压的漂移，即漏极电流的漂移，通过对曝光前后漏极电流漂移量测量可以定出光电子存储层中光电子数目。

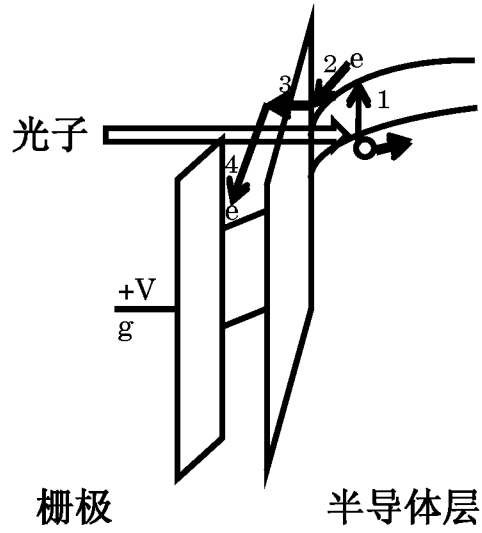


图 1

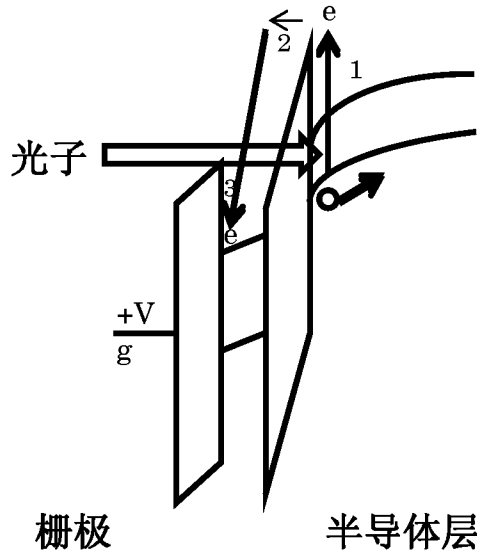


图 2

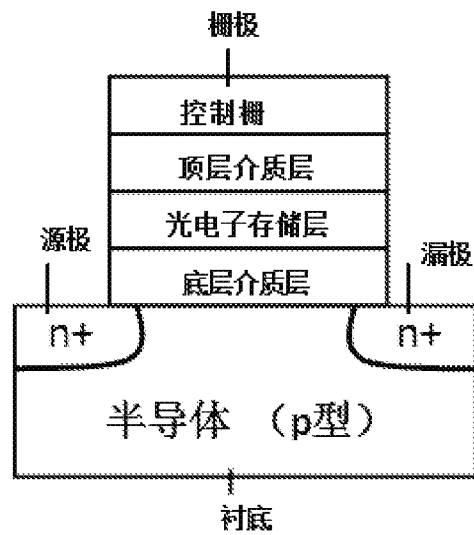


图 3

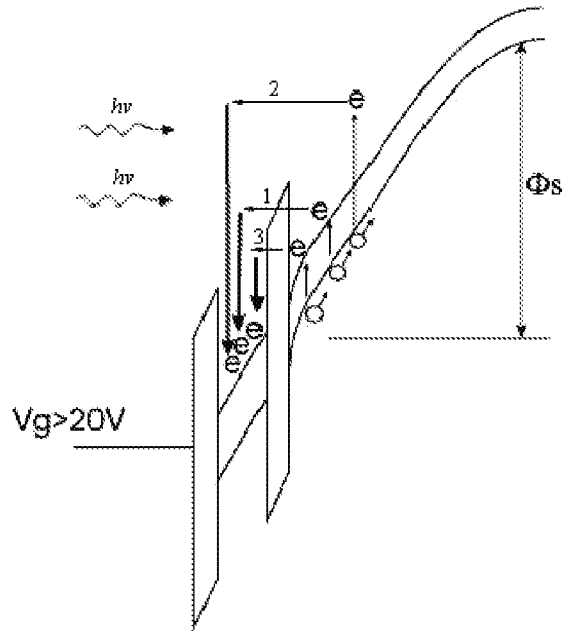


图 4

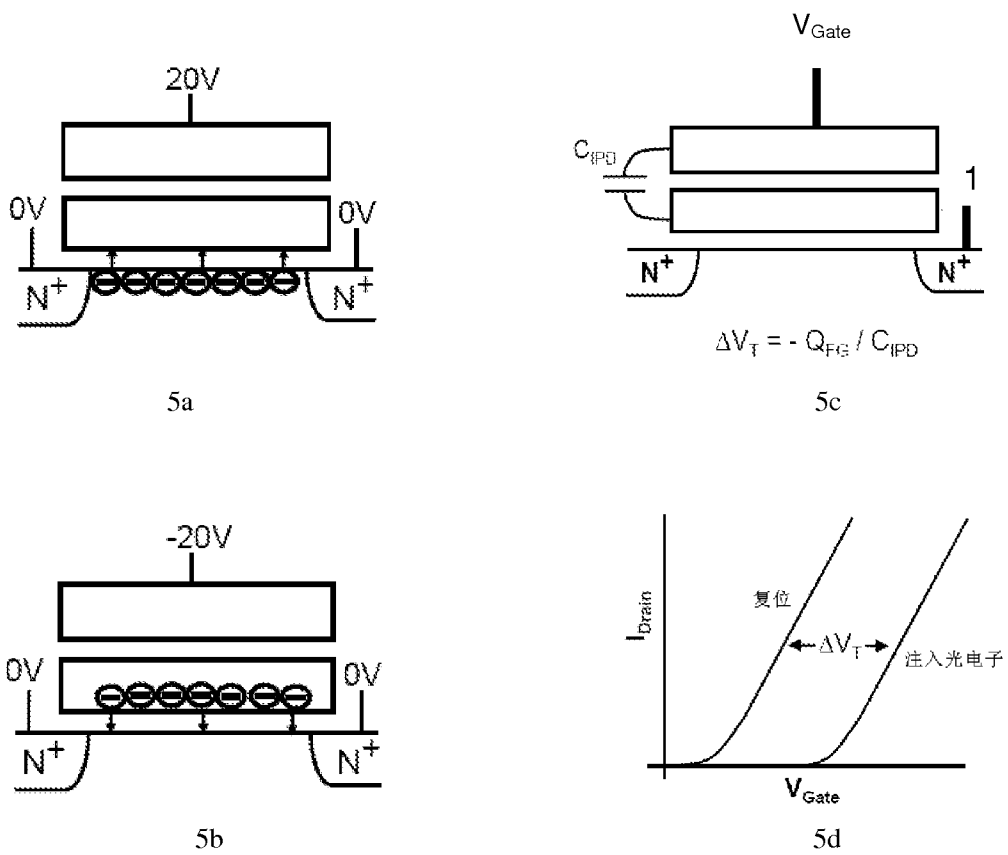


图 5

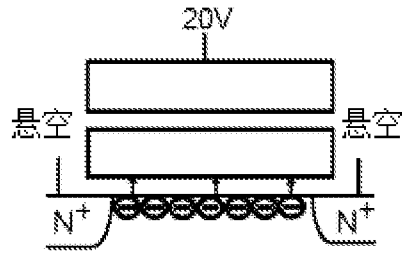


图 6

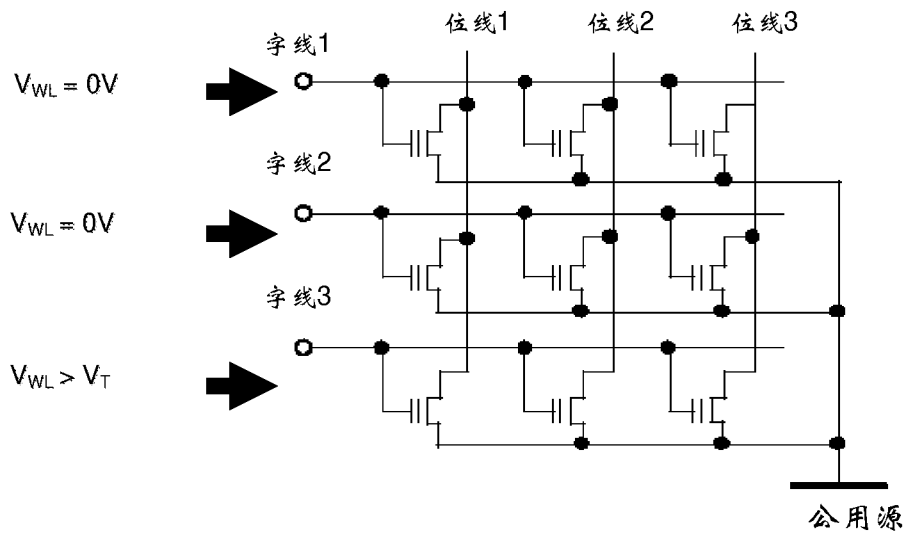


图 7

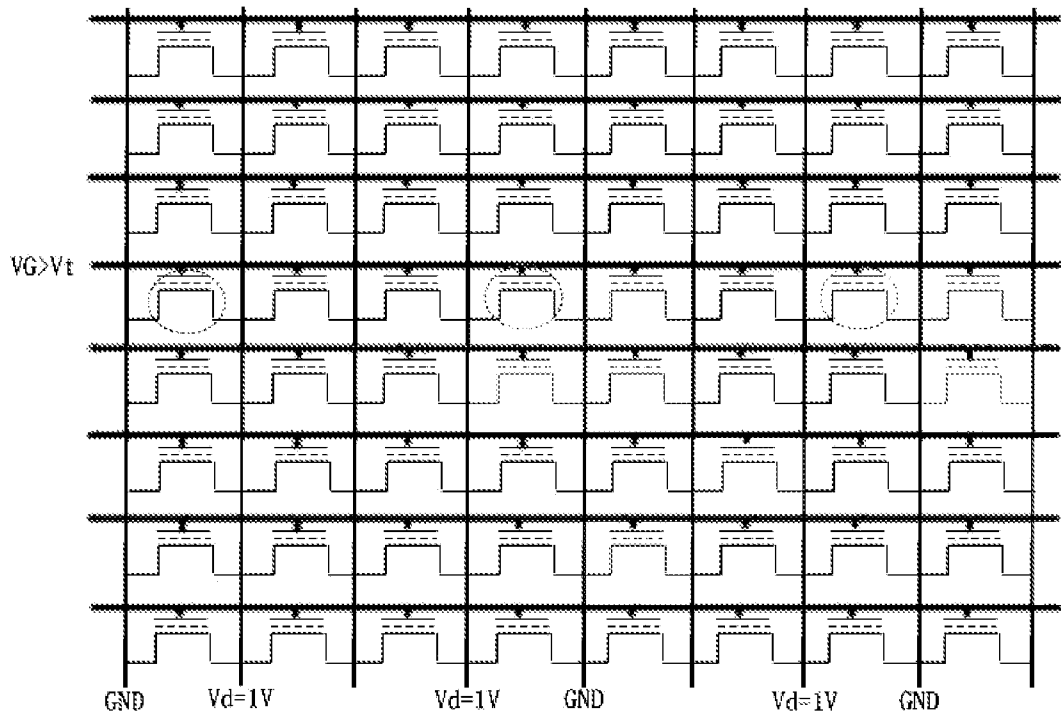


图 8

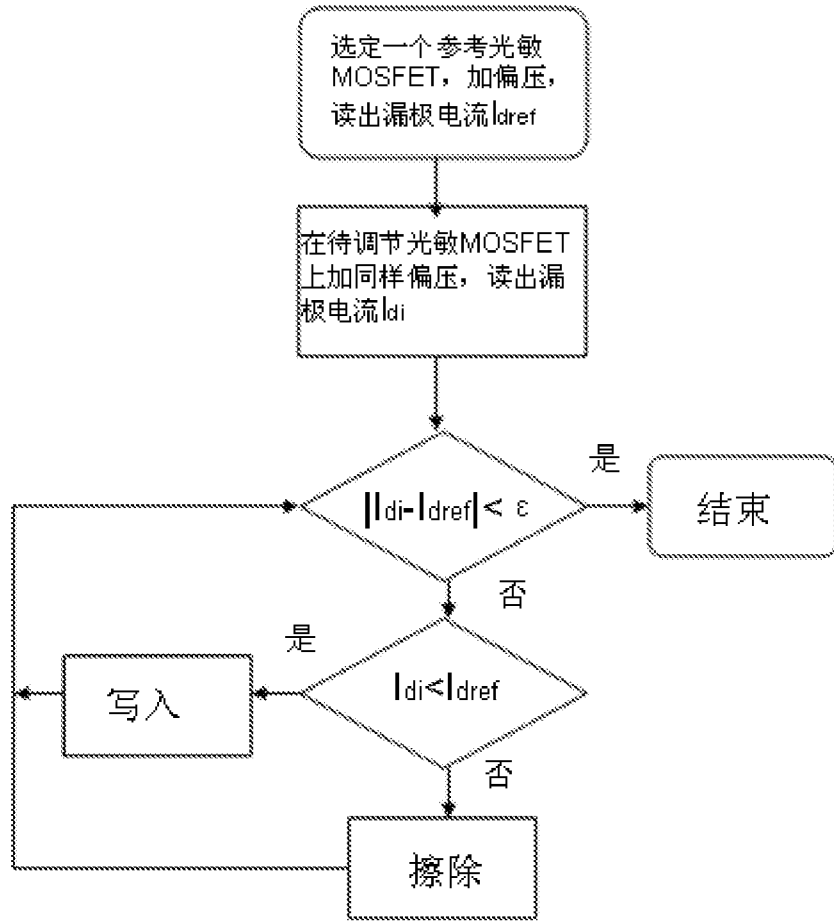


图 9

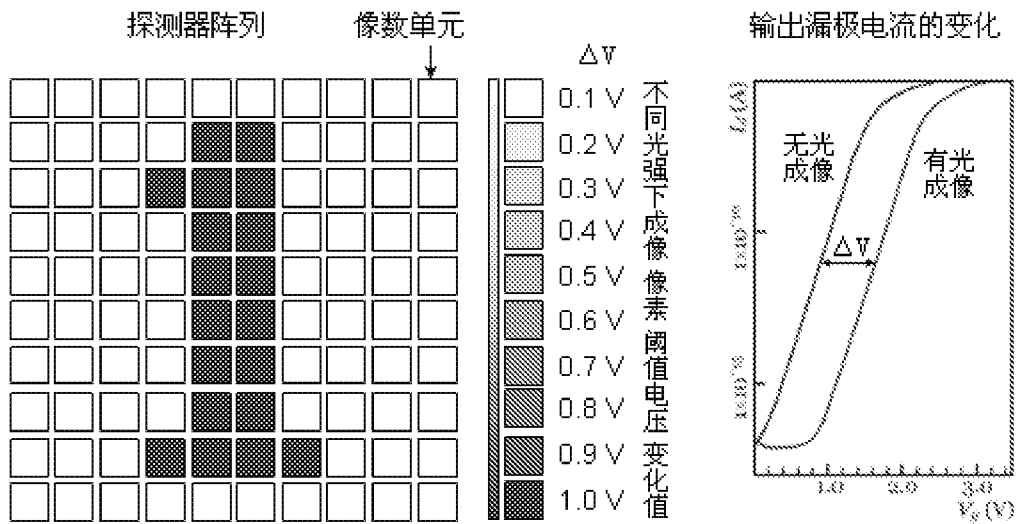


图 10

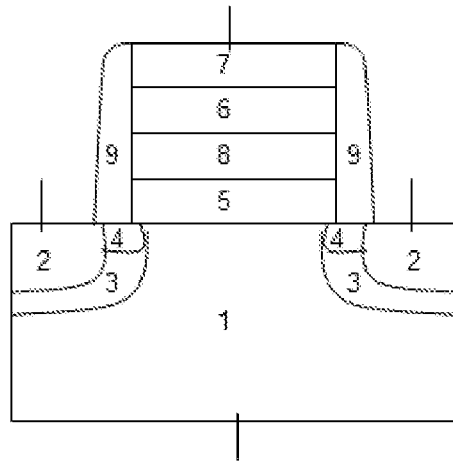


图 11

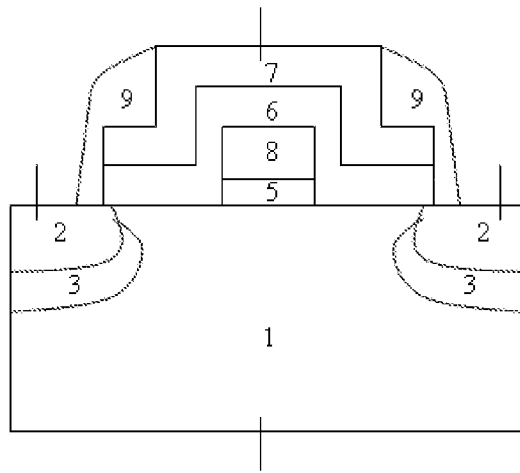


图 12

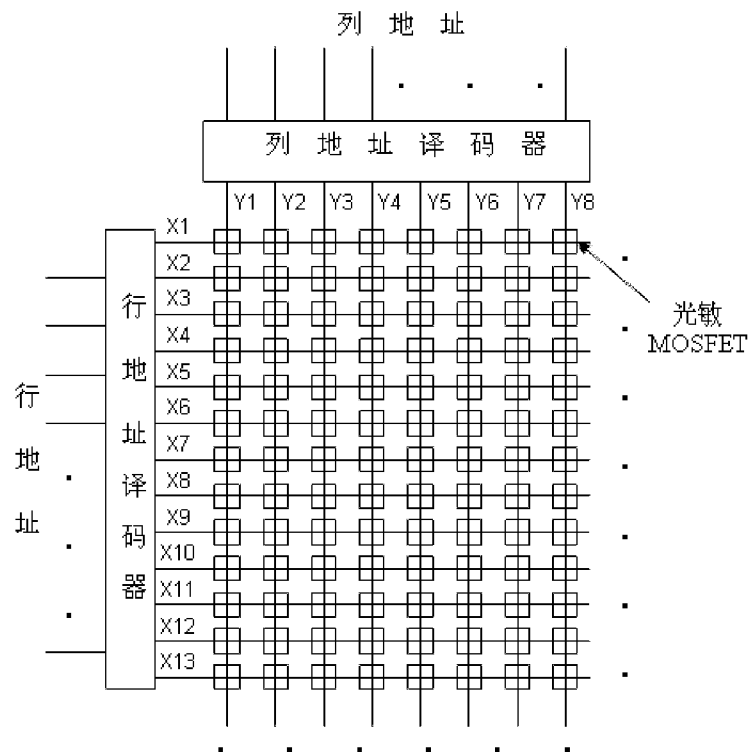


图 13

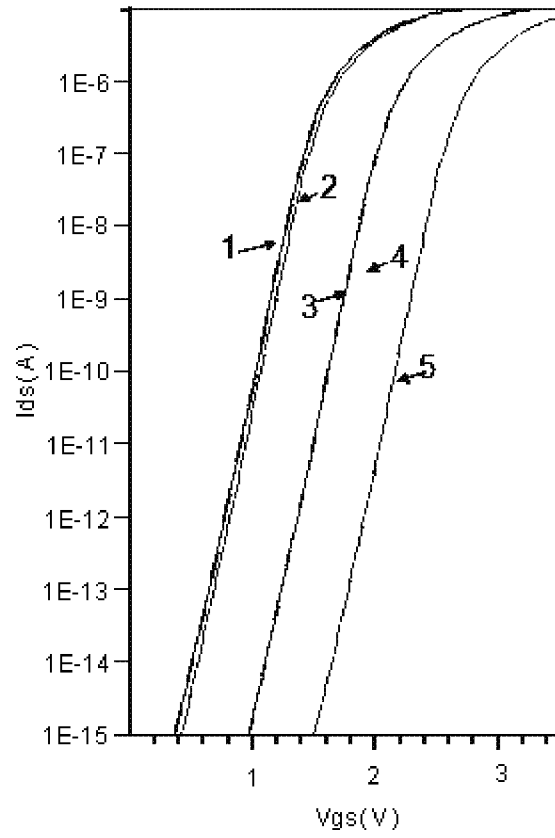


图 14

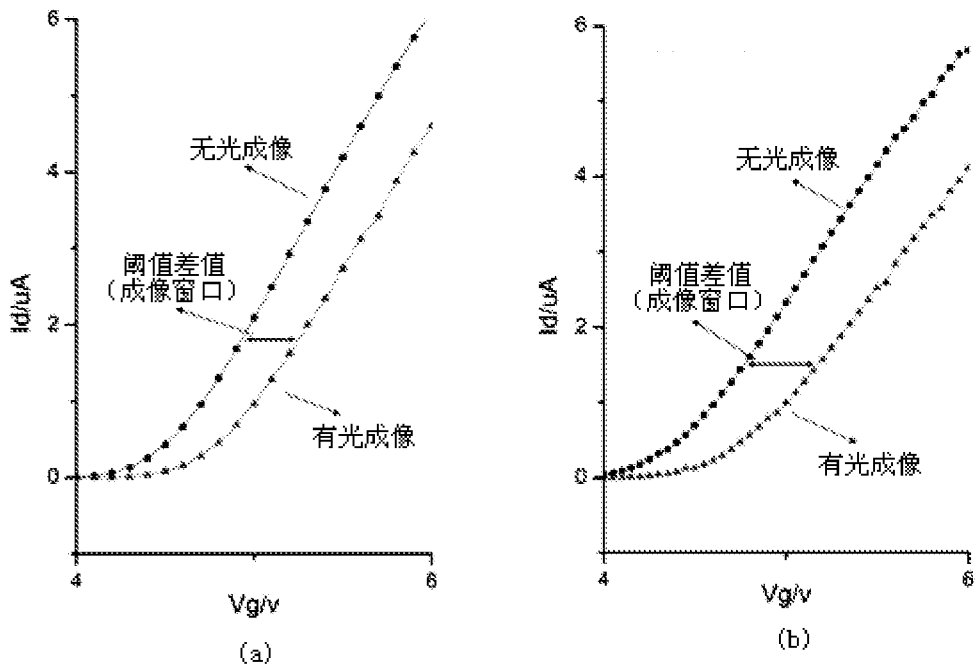


图 15

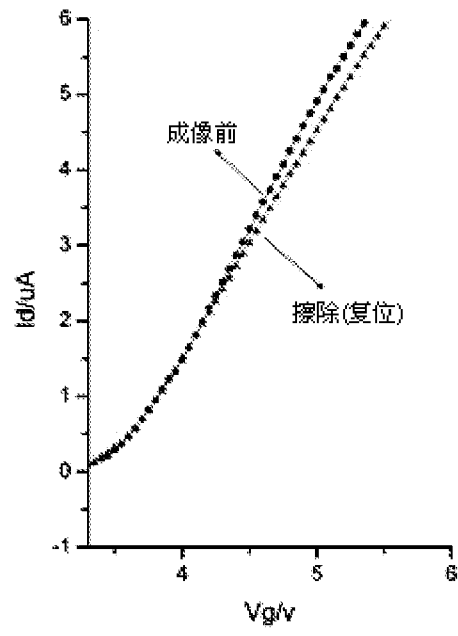


图 16

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2010/070612

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/115 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L27/-, H01L21/-, H01L29/-, H01L 31/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT,CNKI,WPI,EPODOC: imag+ float-gate storage+ pocket memory

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US6784933B1 (KABUSHIKI KAISHA TOSHIBA) 31 Aug. 2004 (31.08.2004) abstract, Column 4, line 64 to column 8, line 14, figures 1, 5	1, 4-11
Y		2-3
Y	US6348378B1 (SAMSUNG ELECTRONICS CO., LTD.) 19 Feb. 2002 (19.02.2002) Column 8, line 4 to column 12, line 45, figure 16C	2
Y	US4893273A (KABUSHIKI KAISHA TOSHIBA) 09 Jan. 1990 (09.01.1990) Column 2, line 57 to column 4, line 46, figure 1	3

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim (S) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&”document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 30 Apr. 2010 (30.04.2010)	Date of mailing of the international search report 20 May 2010 (20.05.2010)
--	---

Name and mailing address of the ISA/CN
The State Intellectual Property Office, the P.R.China
6 Xitucheng Rd., Jimen Bridge, Haidian District, Beijing, China
100088
Facsimile No. 86-10-62019451

Authorized officer

YANG Yong

Telephone No. (86-10)62411777

INTERNATIONAL SEARCH REPORTInternational application No.
PCT/CN2010/070612

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US5147811A (KABUSHIKI KAISHA TOSHIBA) 15 Sep. 1992 (15.09.1992) Column 4, line 20 to column 6, line 58, figure 2F	3
A	CN101263708A (MOTOROLA INC.) 10 Sep. 2008 (10.09.2008) The whole document	1-14
A	JP6-215593A (ROHM CO., LTD.) 05 Aug. 1994 (05.08.1994) the whole document	1-14
PX	CN101533845A (NAN JING UNIVERSITY) 16 Sep. 2009 (16.09.2009) specification: Page 2, paragraph 5 to page 6, the last paragraph, figures 1-13	1,5,12

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2010/070612

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US6784933B1	31.08.2004	JP2001085660A	30.03.2001
US6348378B1	19.02.2002	KR20000008134A	07.02.2000
		KR100270958B1	01.11.2000
		US2002052080A1	02.05.2002
		US6563168B2	13.05.2003
		TW417298A	01.01.2001
US4893273A	09.01.1990	JP61222262A	02.10.1986
		JP1026193B	22.05.1989
		JP1543563C	15.02.1990
US5147811A	15.09.1992	EP0446893A1	18.09.1991
		JP4211178A	03.08.1992
		KR940010930B1	19.11.1994
		EP0446893B1	21.05.1997
		DE69126156E	26.06.1997
CN101263708A	10.09.2008	US2006290798A1	28.12.2006
		JP2007013953A	18.01.2007
		WO2007001688A1	04.01.2007
		EP1908278A1	09.04.2008
		INKOLNP200704800E	15.02.2008
		CA2612194A1	04.01.2007
		KR20080038282A	06.05.2008
		US7508434B2	24.03.2009
		TW200731787A	16.08.2007
		JP6215593A	05.08.1994
CN101533845A	16.09.2009	NONE	

国际检索报告

国际申请号
PCT/CN2010/070612

A. 主题的分类

H01L27/115 (2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L27/-, H01L21/-, H01L29/-, H01L 31/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, CNKI: 图像 成像 浮栅 浮置栅 存储 记忆 袋 光敏

WPI, EPODOC: imag+ float-gate storage+ pocket memory photosen+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	US6784933B1 (株式会社东芝) 31. 8 月 2004 (31.08.2004) 摘要, 第 4 栏第 64 行至第 8 栏第 14 行, 附图 1, 5	1, 4-11
Y		2-3
Y	US6348378B1 (三星电子株式会社) 19.2 月 2002 (19.02.2002) 第 8 栏第 4 行至第 12 栏第 45 行, 附图 16C	2
Y	US4893273A (株式会社东芝) 09.1 月 1990 (09.01.1990) 第 2 栏第 57 行至第 4 栏第 46 行, 附图 1	3
Y	US5147811A (株式会社东芝) 15.9 月 1992 (15.09.1992) 第 4 栏第 20 行至第 6 栏第 58 行, 附图 2F	3

其余文件在 C 栏的续页中列出。

见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期
30.4 月 2010 (30.04.2010)

国际检索报告邮寄日期
20.5 月 2010 (20.05.2010)

ISA/CN 的名称和邮寄地址:
中华人民共和国国家知识产权局
中国北京市海淀区蓟门桥西土城路 6 号 100088
传真号: (86-10)62019451

受权官员
杨永
电话号码: (86-10) 62411777

C(续). 相关文件		
类 型	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN101263708A (摩托罗拉公司) 10.9 月 2008 (10.09.2008) 全文	1-14
A	JP6-215593A (罗姆株式会社) 05.8 月 1994 (05.08.1994) 全文	1-14
PX	CN101533845A (南京大学) 16.9 月 2009 (16.09.2009) 说明书第 2 页第 5 段至第 6 页最后 1 段, 附图 1-13	1,5,12

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2010/070612

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
US6784933B1	31.08.2004	JP2001085660A	30.03.2001
US6348378B1	19.02.2002	KR20000008134A	07.02.2000
		KR100270958B1	01.11.2000
		US2002052080A1	02.05.2002
		US6563168B2	13.05.2003
		TW417298A	01.01.2001
US4893273A	09.01.1990	JP61222262A	02.10.1986
		JP1026193B	22.05.1989
		JP1543563C	15.02.1990
US5147811A	15.09.1992	EP0446893A1	18.09.1991
		JP4211178A	03.08.1992
		KR940010930B1	19.11.1994
		EP0446893B1	21.05.1997
		DE69126156E	26.06.1997
CN101263708A	10.09.2008	US2006290798A1	28.12.2006
		JP2007013953A	18.01.2007
		WO2007001688A1	04.01.2007
		EP1908278A1	09.04.2008
		INKOLNP200704800E	15.02.2008
		CA2612194A1	04.01.2007
		KR20080038282A	06.05.2008
		US7508434B2	24.03.2009
		TW200731787A	16.08.2007
JP6215593A	05.08.1994	无	
CN101533845A	16.09.2009	无	