(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年2月13日(13.02.2020)

WIPO | PCT

(10) 国際公開番号
WO 2020/031330 A1

(51) 国際特許分類:
H03K 5/00 (2006.01) *G06F 1/10* (2006.01)

(21) 国際出願番号： PCT/JP2018/029922

(22) 国際出願日： 2018年8月9日(09.08.2018)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(71) 出願人: オリンパス株式会社 (**OLYMPUS CORPORATION**) [JP/JP]; 〒1928507 東京都八王子市石川町２９５１番地 Tokyo (JP).

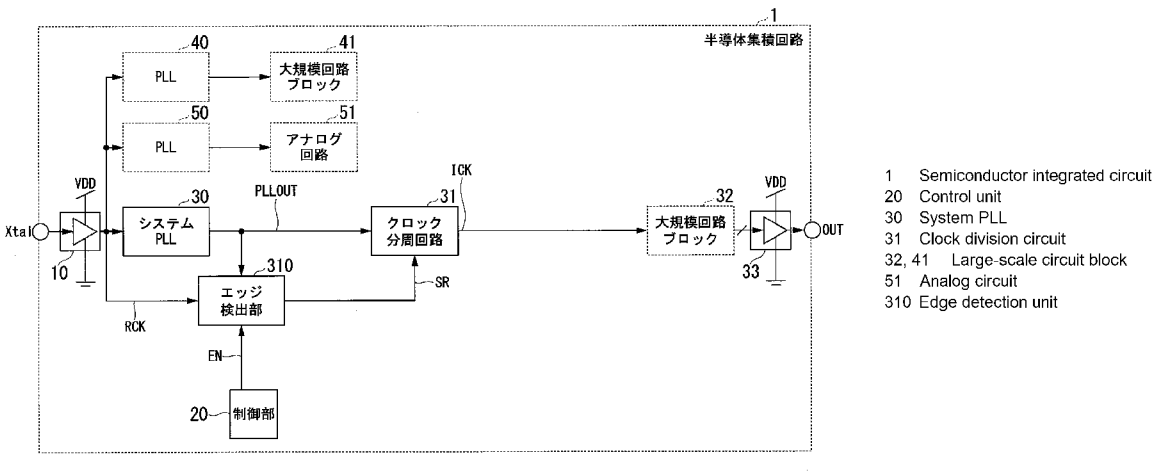
(72) 発明者: 村田 豊(**MURATA Yutaka**); 〒1928507 東京都八王子市石川町２９５１番地 オリンパス株式会社内 Tokyo (JP). 上野 晃(**UENO Akira**); 〒1928507 東京都八王子市石川町２９５１番地 オリンパス株式会社内 Tokyo (JP).

(74) 代理人: 棚井 澄雄, 外 (**TANAI Sumio** et al.); 〒1006620 東京都千代田区丸の内一丁目９番２号 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,

(54) **Title:** SEMICONDUCTOR INTEGRATED CIRCUIT

(54) 発明の名称： 半導体集積回路



1 Semiconductor integrated circuit
20 Control unit
30 System PLL
31 Clock division circuit
32, 41 Large-scale circuit block
51 Analog circuit
310 Edge detection unit

(57) **Abstract:** This semiconductor integrated circuit is provided with: a phase synchronization circuit that is synchronized to a reference clock signal and that generates a synchronous clock signal in which the reference clock signal is multiplied; an edge detection circuit that detects an edge at which the signal waveform of the reference clock signal changes at the timing of the synchronous clock signal and that outputs an edge detection signal representing the timing at which the edge was detected; and a clock division circuit that is reset at a timing corresponding to the edge detection signal and that generates a divided clock signal in which the synchronous clock signal is divided.

(57) 要約：基準クロック信号に同期し、基準クロック信号を逓倍した同期クロック信号を生成する位相同期回路と、同期クロック信号のタイミングで基準クロック信号の信号波形が変化するエッジを検出し、エッジが検出されたタイミングを表すエッジ検出信号を出力するエッジ検出回路と、エッジ検出信号に応じたタイミングでリセットされ、同期クロック信号を分周した分周クロック信号を生成するクロック分周回路と、を備える。

WO 2020/031330 A1

[続葉有]

QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

明　細　書

発明の名称 ： 半導体集積回路

技術分野

[0001] 本発明は、半導体集積回路に関する。

背景技術

[0002] ＡＳＩＣ（Ａｐｐｌｉｃａｔｉｏｎ Ｓｐｅｃｉｆｉｃ Ｉｎｔｅｇｒａｔｅｄ Ｃｉｒｃｕｉｔ）など、半導体基板に形成された様々な回路要素が動作して予め定めた機能を実現する大規模な半導体集積回路を搭載した装置がある。このような装置では、上述したＡＳＩＣなどの半導体集積回路を含めた種々の構成要素（デジタル回路やアナログ回路など）が、装置を構成するためのシステム基板上に実装され、システム基板に実装されたそれぞれの構成要素が電源を共有している。また、このような装置を構成する構成要素には、予め定めた周波数のクロック信号を基準として動作する構成要素も含まれている。このため、装置のシステム基板には、水晶発振子や水晶発振器などが発振した予め定めた周波数のクロック信号をそれぞれの構成要素に供給するクロック供給回路も実装されている。そして、このような装置では、システム基板上に実装されたクロック供給回路も、他の構成要素と同様に電源を共有している。

[0003] ところで、ＡＳＩＣなどの半導体集積回路では、半導体基板に形成された回路要素が入力信号に応じて出力する出力信号を一方の状態（レベル）から他方の状態（レベル）に遷移させる際に、電源とグラウンドとの間に通過電流や負荷に対する充放電電流などの電流が流れる。そして、半導体集積回路において電源とグラウンドとの間に流れる電流は、同時に出力信号を出力する回路要素の数が多くなるほど多く流れる。このような半導体集積回路において電源とグラウンドとの間に流れる電流は、半導体集積回路が発生する電源ノイズ（自己ノイズ）となり、システム基板上に実装されたそれぞれの構成要素の電源に影響を与えてしまう。

[0004] 特に、半導体基板に形成された回路要素のうち、入力されたクロック信号に基づいて動作する回路要素、つまり、クロック信号に同期して動作する回路要素が動作する際に発生する電源ノイズは、クロック信号に同期したタイミングで流れる。このため、半導体集積回路によるクロック信号に同期した電源ノイズは、電源を共有しているクロック供給回路や、半導体基板内に形成されたクロックバッファ回路などがそれぞれの構成要素や回路要素に供給（分配）するクロック信号の変動（ジッタ）を大きくしてしまう。これは、例えば、クロックバッファ回路においては、入力されたクロック信号が“Ｌｏｗ”レベルから“Ｈｉｇｈ”レベルに遷移しているときに電源ノイズが発生すると、クロックバッファ回路を構成するトランジスターに規定されているゲート端子の閾値電圧（いわゆる、ゲート閾値電圧Ｖｔｈ）が電源ノイズの影響によって変動し、クロック信号がクロックバッファ回路を通過する際の遅延時間が変動してしまうからである。

[0005] そして、装置のシステムでは、半導体集積回路が発生した電源ノイズに起因するクロック信号の変動（ジッタ）は、半導体集積回路を実装したシステム基板におけるそれぞれの構成要素の動作に対する影響が大きく、装置のシステムの全体の性能を低下させてしまう要因になる。このため、装置のシステムでは、ＡＳＩＣなどの半導体集積回路に、クロック信号の変動（ジッタ）を大きくさせてしまう要因となる電源ノイズの発生を抑えること、またはクロック信号を変動させない（ジッタを起こさせない）タイミングで動作することが望まれる。

[0006] このため、例えば、特許文献１には、クロック信号の位相を調整することによって、電源ノイズに起因するクロック信号のジッタの発生を低減する技術が開示されている。特許文献１に開示された技術では、クロック信号の遅延時間を測定する遅延測定回路と、電源電圧の変動時間を測定する時間測定回路と、クロック信号を遅延させる遅延調整回路と、クロック信号の位相差を測定する位相差測定回路と、クロック信号の位相を制御する位相制御回路とを備えている。そして、特許文献１に開示された技術では、位相制御回路

が、クロック信号の周期、変動時間、および遅延時間に基づいて、ジッタが最適となるクロック信号の位相差を算出し、位相差測定回路が測定したクロック信号の位相差が算出した位相差となるように、遅延調整回路による遅延量を調整している。

先行技術文献

特許文献

[0007] 特許文献1：日本国特開２０１１－００４２４８号公報

発明の概要

発明が解決しようとする課題

[0008] しかしながら、特許文献１に開示された技術では、２つのクロック信号の位相差を調整する技術であり、動作の基準となるクロック信号の変動（ジッタ）の発生を低減させる技術ではない。しかも、特許文献１に開示された技術では、それぞれのクロック信号における様々な状態を測定する複数の測定回路を備えるため、例え、基準となるクロック信号の変動（ジッタ）の発生を低減させるために適用したとしても、その構成は複雑なものとなる。さらに、特許文献１に開示された技術では、装置のシステムがリセット状態から復帰するごとに、クロック信号の測定や、位相差の算出および調整をする必要があり、装置の起動が遅くなってしまう懸念がある。

[0009] 本発明は、上記の課題認識に基づいてなされたものであり、半導体集積回路が発生する電源ノイズに起因するクロック信号の変動を抑えることができる半導体集積回路を提供することを目的としている。

課題を解決するための手段

[0010] 本発明の第１の態様によれば、半導体集積回路は、基準クロック信号に同期し、前記基準クロック信号を逓倍した同期クロック信号を生成する位相同期回路と、前記同期クロック信号のタイミングで前記基準クロック信号の信号波形が変化するエッジを検出し、前記エッジが検出されたタイミングを表すエッジ検出信号を出力するエッジ検出回路と、前記エッジ検出信号に応じ

たタイミングでリセットされ、前記同期クロック信号を分周した分周クロック信号を生成するクロック分周回路と、を備える。

[0011] 本発明の第２の態様によれば、上記第１の態様の半導体集積回路において、前記エッジ検出回路は、前記同期クロック信号の１周期分の前記エッジ検出信号を出力してもよい。

[0012] 本発明の第３の態様によれば、上記第２の態様の半導体集積回路において、前記エッジ検出信号を前記同期クロック信号の周期の単位で遅延させる遅延調整部、をさらに備えてもよい。

[0013] 本発明の第４の態様によれば、上記第３の態様の半導体集積回路において、前記分周クロック信号の経路の伝搬遅延を模擬し、前記分周クロック信号を前記伝搬遅延に応じた時間だけ遅延させる遅延部と、前記基準クロック信号と、前記遅延部が遅延させた前記分周クロック信号との位相を比較する位相比較部と、をさらに備えてもよい。

[0014] 本発明の第５の態様によれば、上記第４の態様の半導体集積回路において、前記遅延調整部は、前記位相比較部の位相比較結果に基づいて設定された前記同期クロック信号の周期分の時間だけ、前記エッジ検出信号を遅延させてもよい。

[0015] 本発明の第６の態様によれば、上記第５の態様の半導体集積回路において、前記分周クロック信号を前記同期クロック信号の１周期内の時間だけ遅延させる遅延微調整部、をさらに備え、前記遅延部は、前記遅延微調整部が遅延させた前記分周クロック信号を、前記伝搬遅延に応じた時間だけさらに遅延させてもよい。

[0016] 本発明の第７の態様によれば、上記第６の態様の半導体集積回路において、前記遅延微調整部は、前記位相比較部の位相比較結果に基づいて設定された時間だけ、前記分周クロック信号を遅延させてもよい。

[0017] 本発明の第８の態様によれば、上記第１の態様から上記第７の態様のいずれか一態様の半導体集積回路において、前記エッジ検出回路に前記エッジの検出を開始させる制御部、をさらに備えてもよい。

[0018] 本発明の第９の態様によれば、上記第３の態様から上記第７の態様のいずれか一態様の半導体集積回路において、前記エッジ検出回路に前記エッジの検出を開始させるとともに、前記エッジ検出信号を遅延させる時間を前記遅延調整部に設定する制御部、をさらに備えてもよい。

[0019] 本発明の第１０の態様によれば、上記第４の態様から上記第７の態様のいずれか一態様の半導体集積回路において、前記エッジ検出回路に前記エッジの検出を開始させるとともに、前記位相比較部の位相比較結果に基づいて、前記エッジ検出信号を遅延させる時間を前記遅延調整部に設定する制御部、をさらに備えてもよい。

[0020] 本発明の第１１の態様によれば、上記第６の態様または上記第７の態様の半導体集積回路において、前記エッジ検出回路に前記エッジの検出を開始させるとともに、前記位相比較部の位相比較結果に基づいて、前記遅延調整部に前記エッジ検出信号を遅延させる時間を設定し、前記遅延微調整部に前記分周クロック信号を遅延させる時間を設定する制御部、をさらに備えてもよい。

発明の効果

[0021] 上記各態様によれば、半導体集積回路が発生する電源ノイズに起因するクロック信号の変動を抑えることができる半導体集積回路を提供することができるという効果が得られる。

図面の簡単な説明

[0022] [図1]本発明の半導体集積回路におけるクロック信号の位相調整の考え方を説明する図である。

[図2]本発明の第１の実施形態における半導体集積回路の概略構成を示したブロック図である。

[図3]本発明の第１の実施形態の半導体集積回路における位相調整の動作を示したタイミングチャートである。

[図4]本発明の第２の実施形態における半導体集積回路の概略構成を示したブロック図である。

[図5]本発明の第２の実施形態の半導体集積回路に備えた遅延調整部の概略構成の一例を示したブロック図である。

[図6]本発明の第２の実施形態の半導体集積回路における位相調整の動作を示したタイミングチャートである。

[図7]本発明の第３の実施形態における半導体集積回路の概略構成を示したブロック図である。

[図8]本発明の第３の実施形態の半導体集積回路に備えた位相比較部の概略構成の一例および位相比較部の動作の一例を示した図である。

[図9]本発明の第４の実施形態における半導体集積回路の概略構成を示したブロック図である。

[図10]本発明の第４の実施形態の半導体集積回路に備えた遅延微調整部の概略構成の一例を示したブロック図である。

発明を実施するための形態

[0023] 以下、本発明の実施形態について、図面を参照して説明する。本発明の半導体集積回路では、半導体集積回路が出力する出力信号のレベルが変化（遷移）するタイミングを、半導体集積回路に入力されるクロック信号の信号波形が変化（遷移）するタイミングからずらすことによって、それぞれのクロック信号の信号波形に発生する変動（ジッタ）を低減させることを基本の考え方としている。つまり、本発明の半導体集積回路では、半導体集積回路を搭載した装置（システム）のシステム基板において電源を変動させてしまう要因となる電源ノイズ（自己ノイズ）が発生するタイミングを、半導体集積回路に入力されるクロック信号のレベルが変化（遷移）するタイミングからずらすことを基本の考え方としている。このため、本発明の半導体集積回路では、入力されるクロック信号に基づいて生成する半導体集積回路内で用いるクロック信号の位相を、半導体集積回路に入力されるクロック信号の位相からずらす調整をする。つまり、本発明の半導体集積回路では、クロック信号に同期して動作する回路要素の動作タイミングを、半導体集積回路に入力されるクロック信号のレベルが変化（遷移）するタイミングからずらす調整

をする。

[0024] まず、本発明の半導体集積回路におけるクロック信号の位相調整の基本的な考え方について説明する。図１は、本発明の半導体集積回路におけるクロック信号の位相調整の考え方を説明する図である。図１には、本発明の半導体集積回路を搭載した装置（システム）における基準のクロック信号として半導体集積回路に入力されるクロック信号（以下、「基準クロック信号」という）と、半導体集積回路が出力する複数ビットのパラレルの出力信号と、半導体集積回路において基準クロック信号から生成され、半導体集積回路内で用いられるクロック信号（以下、「内部クロック信号」という）とのそれぞれのタイミングを示している。また、図１には、出力信号のレベルの変化（遷移）に伴って発生する半導体集積回路の電源ノイズ（自己ノイズ）のタイミングを示している。なお、図１の（ａ）には、本発明の半導体集積回路における位相調整の考え方を適用しない場合において電源ノイズとして発生する過渡電流のタイミングを示している。また、図１の（ｂ）には、本発明の半導体集積回路における位相調整の考え方を適用した場合において電源ノイズとして発生する過渡電流のタイミングを示している。

[0025] まず、図１の（ａ）を用いて、本発明の半導体集積回路における位相調整の考え方を適用しない場合に半導体集積回路が発生する電源ノイズについて説明する。図１の（ａ）に示したタイミングでは、半導体集積回路が、基準クロック信号のレベルが変化（遷移）する立ち上がりエッジのタイミング（時刻ｔ０１や時刻ｔ０３）を基準とし、基準クロック信号を逓倍して内部クロック信号を生成している。このため、本発明の半導体集積回路における位相調整の考え方を適用しない半導体集積回路では、図１の（ａ）に示したように、内部クロック信号におけるそれぞれの立ち上がりエッジに同期して、例えば、時刻ｔ０１、時刻ｔ０２、時刻ｔ０３などのときに、出力信号が変化することになる。

[0026] これにより、本発明の半導体集積回路における位相調整の考え方を適用しない半導体集積回路では、図１の（ａ）に示したように、内部クロック信号

のそれぞれの立ち上がりエッジに同期したタイミング（例えば、時刻ｔ０１、時刻ｔ０２、時刻ｔ０３など）のときに、多くの過渡電流が流れる。従って、本発明の半導体集積回路における位相調整の考え方を適用しない半導体集積回路は、図１の（ａ）に示した内部クロック信号のそれぞれの立ち上がりエッジに同期したタイミング（例えば、時刻ｔ０１、時刻ｔ０２、時刻ｔ０３など）のときに、多くの電源ノイズを発生させる。

[0027] すると、本発明の半導体集積回路における位相調整の考え方を適用しない半導体集積回路を搭載した装置（システム）では、内部クロック信号の基準とする時刻ｔ０１や時刻ｔ０３のときに発生した電源ノイズの影響によって、図１の（ａ）において基準クロック信号の遷移期間Ｊ内に示したように、基準クロック信号が大きく変動してしまう。つまり、本発明の半導体集積回路における位相調整の考え方を適用しない半導体集積回路を搭載した装置（システム）では、内部クロック信号の基準とする基準クロック信号の立ち上がりエッジにジッタが発生してしまう。

[0028] 続いて、図１の（ｂ）を用いて、本発明の半導体集積回路における位相調整の考え方を適用した場合に半導体集積回路が発生する電源ノイズについて説明する。図１の（ｂ）に示したタイミングでも、図１の（ａ）に示したタイミングと同様に、半導体集積回路が、基準クロック信号のレベルが変化（遷移）する立ち上がりエッジのタイミング（時刻ｔ０１や時刻ｔ０３）を基準として、基準クロック信号を逓倍した内部クロック信号を生成している。しかしながら、本発明の半導体集積回路における位相調整の考え方を適用した半導体集積回路では、図１の（ｂ）に示したように、生成する内部クロック信号の立ち上がりエッジのタイミングを時刻ｔ１１や時刻ｔ１３にすることによって、基準クロック信号の立ち上がりエッジのタイミングからずらしている。言い換えれば、本発明の半導体集積回路における位相調整の考え方を適用した半導体集積回路では、生成する内部クロック信号の位相を、基準クロック信号の位相からずらしている。このため、本発明の半導体集積回路における位相調整の考え方を適用した半導体集積回路では、図１の（ｂ）に

示したように、内部クロック信号におけるそれぞれの立ち上がりエッジに同期して、例えば、時刻ｔ１１、時刻ｔ１２、時刻ｔ１３などのときに、出力信号が変化することになる。

[0029] そして、本発明の半導体集積回路における位相調整の考え方を適用した半導体集積回路でも、図１の（ｂ）に示したように、内部クロック信号のそれぞれの立ち上がりエッジに同期したタイミング（例えば、時刻ｔ１１、時刻ｔ１２、時刻ｔ１３など）のときに、多くの過渡電流が流れる。つまり、本発明の半導体集積回路における位相調整の考え方を適用した半導体集積回路でも、本発明の半導体集積回路における位相調整の考え方を適用しない半導体集積回路と同様に、内部クロック信号のそれぞれの立ち上がりエッジに同期したタイミング（例えば、時刻ｔ１１、時刻ｔ１２、時刻ｔ１３など）のときに、多くの電源ノイズを発生させる。

[0030] ただし、本発明の半導体集積回路における位相調整の考え方を適用した半導体集積回路では、上述したように、生成する内部クロック信号の立ち上がりエッジのタイミングを基準クロック信号の立ち上がりエッジのタイミングからずらしている。このため、本発明の半導体集積回路における位相調整の考え方を適用した半導体集積回路では、内部クロック信号のそれぞれの立ち上がりエッジに同期したタイミングのときに、多くの電源ノイズを発生させるものの、電源ノイズを発生させるタイミングを時刻ｔ１１や時刻ｔ１３にすることによって、内部クロック信号の基準とする基準クロック信号の立ち上がりエッジのタイミングからずれたタイミングとなる。つまり、本発明の半導体集積回路における位相調整の考え方を適用した半導体集積回路では、本発明の半導体集積回路における位相調整の考え方を適用しない半導体集積回路とは異なり、基準クロック信号のレベルが変化（遷移）する立ち上がりの期間を避けて、基準クロック信号のレベルがいずれかのレベルに安定している期間に電源ノイズを発生させることになる。このため、本発明の半導体集積回路における位相調整の考え方を適用した半導体集積回路では、発生した電源ノイズが基準クロック信号に与える影響が少なくなる。

[0031] これにより、本発明の半導体集積回路における位相調整の考え方を適用した半導体集積回路を搭載した装置（システム）では、内部クロック信号の基準とする時刻ｔ０１や時刻ｔ０３のときに電源ノイズが発生せず、図１の（ｂ）において基準クロック信号の遷移期間Ｎ内に示したように、電源ノイズの影響によって基準クロック信号が大きく変動してしまうことがない。つまり、本発明の半導体集積回路における位相調整の考え方を適用した半導体集積回路を搭載した装置（システム）では、内部クロック信号の基準とする基準クロック信号の立ち上がりエッジにジッタが発生してしまうことがない。

[0032] このように、本発明の半導体集積回路における位相調整の考え方を適用した半導体集積回路では、基準クロック信号に基づいて生成する内部クロック信号の立ち上がりエッジのタイミングを、基準クロック信号の立ち上がりエッジのタイミングからずらすことによって、基準クロック信号の立ち上がりエッジに変動（ジッタ）を引き起こす要因となる電源ノイズ（自己ノイズ）をなくしている。

[0033] （第１の実施形態）

次に、本発明の第１の実施形態の半導体集積回路について説明する。図２は、本発明の第１の実施形態における半導体集積回路の概略構成を示したブロック図である。図２に示した半導体集積回路１は、コンパレータ１０と、制御部２０と、システムＰＬＬ（Ｐｈａｓｅ Ｌｏｃｋｅｄ Ｌｏｏｐ）３０と、クロック分周回路３１と、エッジ検出回路３１０と、大規模回路ブロック３２と、出力バッファ３３と、を備えている。また、半導体集積回路１は、ＰＬＬ４０と、大規模回路ブロック４１と、ＰＬＬ５０と、アナログ回路５１と、を備えている。なお、図２に示したＰＬＬ４０と、大規模回路ブロック４１と、ＰＬＬ５０と、アナログ回路５１とのそれぞれは、基準クロック信号を共通ソースとして使用しており、電源ノイズの変動によって劣化する基準クロック信号のジッタ性能の影響を受ける回路の一例として示している。

[0034] 半導体集積回路１は、例えば、ＡＳＩＣ（Ａｐｐｌｉｃａｔｉｏｎ Ｓｐ

ｅｃｉｆｉｃ　Ｉｎｔｅｇｒａｔｅｄ　Ｃｉｒｃｕｉｔ）などによって実現される大規模な半導体集積回路である。半導体集積回路１は、半導体集積回路１を搭載した装置（システム）において、予め定めた機能を実現する。半導体集積回路１は、装置のシステムを構成するためのシステム基板上に実装され、同じシステム基板に共に実装されたクロック供給回路から出力された予め定めた周波数のクロック信号に基づいて、装置のシステムにおける予め定めた機能を実現するための動作をする。ここで、システム基板に実装されるクロック供給回路としては、例えば、水晶発振子や水晶発振器などのクロック発振回路が考えられる。以下の説明においては、装置のシステム基板に実装されたクロック供給回路が水晶発振子であり、半導体集積回路１は、水晶発振子が発振したクロック信号（以下、「原発振クロック信号Ｘｔａｌ」という）に基づいて動作するものとして説明する。

[0035] コンパレータ１０は、クロック供給回路（水晶発振子）が発振して出力した原発振クロック信号Ｘｔａｌの波形を整形して半導体集積回路１に備えた構成要素に供給するクロックバッファ回路である。コンパレータ１０は、例えば、正弦波の原発振クロック信号Ｘｔａｌの波形を矩形波に整形する。コンパレータ１０は、波形を整形した原発振クロック信号Ｘｔａｌ（以下、「基準クロック信号ＲＣＫ」という）を、システムＰＬＬ３０、エッジ検出回路３１０、ＰＬＬ４０、およびＰＬＬ５０のそれぞれに供給する。

[0036] 制御部２０は、半導体集積回路１に備えたそれぞれの構成要素が動作するためのクロック信号に対する位相調整の実施を制御する制御部である。制御部２０は、クロック信号の位相調整をする際に、位相調整イネーブル信号ＥＮをエッジ検出回路３１０に出力する。

[0037] また、制御部２０は、装置のシステムにおける予め定めた機能を実現するために、半導体集積回路１に備えたそれぞれの機能の全体を制御する制御部でもある。制御部２０は、例えば、ＣＰＵ（Ｃｅｎｔｒａｌ　Ｐｒｏｃｅｓｓｉｎｇ　Ｕｎｉｔ）などの処理装置である。制御部２０は、半導体集積回路１に備えたそれぞれの構成要素を制御するためのプログラムやデータに応

じて、半導体集積回路１に備えたそれぞれの機能の全体を制御する。なお、制御部２０は、装置のシステムに備えられ、同じシステム基板に実装された他の構成要素を制御してもよい。制御部２０が半導体集積回路１に備えたそれぞれの機能や装置のシステムに備えたそれぞれの構成要素を制御するためのプログラムやデータは、例えば、メモリなどの不図示の記憶装置に記憶されているものであってもよい。この場合、制御部２０は、メモリに記憶されているプログラムやデータを読み出して実行することにより、半導体集積回路１に備えたそれぞれの機能や装置のシステムに備えたそれぞれの構成要素の全体を制御する。なお、制御部２０は、半導体集積回路１に備える構成に限定されるものではなく、半導体集積回路１の外部に備える、つまり、同じシステム基板に実装される構成であってもよい。

[0038] システムＰＬＬ３０は、コンパレータ１０から出力された基準クロック信号ＲＣＫに同期した同期クロック信号ＰＬＬＯＵＴを生成する位相同期回路である。システムＰＬＬ３０は、基準クロック信号ＲＣＫを整数倍に逓倍した同期クロック信号ＰＬＬＯＵＴ、つまり、基準クロック信号ＲＣＫの周波数より高い周波数の同期クロック信号ＰＬＬＯＵＴを生成する。そして、システムＰＬＬ３０は、生成した同期クロック信号ＰＬＬＯＵＴを、クロック分周回路３１およびエッジ検出回路３１０に出力する。

[0039] エッジ検出回路３１０は、制御部２０からの制御に応じて、コンパレータ１０から出力された基準クロック信号ＲＣＫの立ち上がりエッジを検出する。エッジ検出回路３１０は、基準クロック信号ＲＣＫの立ち上がりエッジが検出されたタイミングを表す信号を、クロック分周回路３１に出力する。より具体的には、エッジ検出回路３１０は、制御部２０から位相調整イネーブル信号ＥＮが出力されると、同期クロック信号ＰＬＬＯＵＴの立ち上がりエッジのタイミングで、基準クロック信号ＲＣＫにおける最初の立ち上がりエッジを検出する。そして、エッジ検出回路３１０は、基準クロック信号ＲＣＫの立ち上がりエッジが検出されたタイミングを表す信号を、クロック分周回路３１を基準クロック信号ＲＣＫの立ち上がりエッジに同期してリセット

させるための同期リセット信号ＳＲとして、クロック分周回路３１に出力する。

[0040] クロック分周回路３１は、システムＰＬＬ３０から出力された同期クロック信号ＰＬＬＯＵＴを分周し、対応する大規模回路ブロック３２内のそれぞれの回路要素が動作するための内部クロック信号ＩＣＫを生成するクロック分周回路である。クロック分周回路３１は、同期クロック信号ＰＬＬＯＵＴを予め定めた分周比で分周した内部クロック信号ＩＣＫを生成する。そして、クロック分周回路３１は、生成した内部クロック信号ＩＣＫを、大規模回路ブロック３２内のそれぞれの回路要素に出力する。

[0041] なお、クロック分周回路３１における同期クロック信号ＰＬＬＯＵＴの分周の動作は、エッジ検出回路３１０から出力された同期リセット信号ＳＲによってリセットされる。言い換えれば、クロック分周回路３１は、同期リセット信号ＳＲが解除されたタイミングから、内部クロック信号ＩＣＫの生成を開始する。このため、クロック分周回路３１が生成する内部クロック信号ＩＣＫは、制御部２０がエッジ検出回路３１０に位相調整イネーブル信号ＥＮを出力した後で、エッジ検出回路３１０が検出した基準クロック信号ＲＣＫの最初の立ち上がりエッジのタイミングに同期したクロック信号となる。

[0042] 大規模回路ブロック３２は、クロック分周回路３１が出力した内部クロック信号ＩＣＫのクロックに基づいたタイミングで半導体集積回路１における予め定めた機能を実現するデジタルの回路要素群である。大規模回路ブロック３２に備えたそれぞれの回路要素は、内部クロック信号ＩＣＫに同期したタイミングで、予め定めた機能を実現する。そして、大規模回路ブロック３２は、内部クロック信号ＩＣＫに同期したタイミングで、予め定めた機能を実現した結果を表す信号を、出力バッファ３３に出力する。なお、図２には、大規模回路ブロック３２が、予め定めた機能を実現した結果を表す複数ビットのパラレルの信号を、出力バッファ３３に出力する構成を示している。

[0043] 出力バッファ３３は、大規模回路ブロック３２が予め定めた機能を実現した結果を表す信号を、半導体集積回路１における出力信号ＯＵＴとして、半

導体集積回路１の外部に出力するバッファ回路である。上述したように、大規模回路ブロック３２は、内部クロック信号ＩＣＫに同期したタイミングで、予め定めた機能を実現した結果を表す複数ビットのパラレルの信号を、出力バッファ３３に出力する。このため、出力バッファ３３も、複数ビットのパラレルの出力信号ＯＵＴを、半導体集積回路１の外部に出力する。このため、半導体集積回路１では、出力バッファ３３が出力する出力信号ＯＵＴのレベルの変化（遷移）が、半導体集積回路１において発生する電源ノイズ（自己ノイズ）の要因となることが懸念される。しかし、半導体集積回路１では、上述したように、クロック分周回路３１が生成する内部クロック信号ＩＣＫの位相を、基準クロック信号ＲＣＫの位相からずらす位相調整をしている。このため、半導体集積回路１では、出力信号ＯＵＴのレベルが変化（遷移）による電源ノイズ（自己ノイズ）が、クロック供給回路（水晶発振子）が発振する原発振クロック信号Ｘｔａｌや、コンパレータ１０が出力する基準クロック信号ＲＣＫの立ち上がりエッジにジッタを起こさせる要因にはならない。なお、半導体集積回路１における内部クロック信号ＩＣＫに対する位相調整の動作に関する詳細な説明は、後述する。

[0044] ＰＬＬ４０は、システムＰＬＬ３０と同様に、コンパレータ１０から出力された基準クロック信号ＲＣＫに同期したＰＬＬクロック信号を生成する位相同期回路である。ただし、ＰＬＬ４０は、生成したＰＬＬクロック信号を、大規模回路ブロック４１に出力する。つまり、ＰＬＬ４０は、システムＰＬＬ３０と異なるクロック経路に対応する位相同期回路である。

[0045] 大規模回路ブロック４１は、ＰＬＬ４０が出力したＰＬＬクロック信号に基づいたクロック信号のタイミングで半導体集積回路１における予め定めた機能を実現するデジタルの回路要素群である。大規模回路ブロック４１に備えたそれぞれの回路要素は、ＰＬＬ４０が出力したＰＬＬクロック信号に同期したタイミングで、予め定めた機能を実現する。

[0046] なお、図２では、説明を容易にするため、大規模回路ブロック４１が予め定めた機能を実現した結果を出力する経路（信号線）を省略している。しか

し、半導体集積回路１は、大規模回路ブロック４１が予め定めた機能を実現した結果も、大規模回路ブロック３２と同様に、半導体集積回路１の外部に出力信号として出力する構成であることも考えられる。この場合、大規模回路ブロック４１は、予め定めた機能を実現した結果を表す信号を、対応する不図示の出力バッファに出力する。これにより、大規模回路ブロック４１が予め定めた機能を実現した結果を表す出力信号が、不図示の出力バッファから出力される。すると、大規模回路ブロック４１に対応する不図示の出力バッファが半導体集積回路１の外部に出力した出力信号のレベルが変化（遷移）も、半導体集積回路１において発生する電源ノイズ（自己ノイズ）の要因となる。この場合、半導体集積回路１では、大規模回路ブロック４１に備えた回路要素が動作するクロック信号、つまり、ＰＬＬ４０が出力するＰＬＬクロック信号に基づいたクロック信号も、システムＰＬＬ３０が出力する同期クロック信号ＰＬＬＯＵＴに基づいた内部クロック信号ＩＣＫと同様に、位相調整をする構成要素を備えてもよい。つまり、半導体集積回路１は、ＰＬＬ４０が出力するＰＬＬクロック信号に基づいたクロック信号を生成するために、エッジ検出回路３１０やクロック分周回路３１と同様の動作をする構成要素を備えてもよい。これにより、半導体集積回路１では、ＰＬＬ４０が出力するＰＬＬクロック信号に基づいたクロック信号のタイミングで出力される出力信号のレベルの変化（遷移）による電源ノイズ（自己ノイズ）も、クロック供給回路（水晶発振子）が発振する原発振クロック信号Ｘｔａｌや、コンパレータ１０が出力する基準クロック信号ＲＣＫの立ち上がりエッジにジッタを起こさせる要因にはならない。

[0047] ＰＬＬ５０は、システムＰＬＬ３０と同様に、コンパレータ１０から出力された基準クロック信号ＲＣＫに同期したＰＬＬクロック信号を生成する位相同期回路である。ただし、ＰＬＬ５０は、生成したＰＬＬクロック信号を、アナログ回路５１に出力する。つまり、ＰＬＬ５０は、システムＰＬＬ３０やＰＬＬ４０と異なるクロック経路に対応する位相同期回路である。

[0048] アナログ回路５１は、ＰＬＬ５０が出力したＰＬＬクロック信号に基づい

たクロック信号のタイミングで半導体集積回路１における予め定めた機能を実現するアナログの回路要素群である。アナログ回路５１に備えたそれぞれの回路要素は、ＰＬＬ５０が出力したＰＬＬクロック信号に同期したタイミングで、予め定めた機能を実現する。

[0049] なお、図２では、説明を容易にするため、大規模回路ブロック４１のクロック経路と同様に、アナログ回路５１が予め定めた機能を実現した結果を出力する経路（信号線）を省略している。しかし、半導体集積回路１は、アナログ回路５１が予め定めた機能を実現した結果も、大規模回路ブロック３２や大規模回路ブロック４１と同様に、半導体集積回路１の外部に出力信号として出力する構成であることも考えられる。この場合、アナログ回路５１は、予め定めた機能を実現した結果を表す信号を、対応する不図示の出力バッファに出力する。これにより、アナログ回路５１が予め定めた機能を実現した結果を表す出力信号が、不図示の出力バッファから出力される。すると、アナログ回路５１に対応する不図示の出力バッファが半導体集積回路１の外部に出力した出力信号のレベルが変化（遷移）も、半導体集積回路１において発生する電源ノイズ（自己ノイズ）の要因となる。この場合、半導体集積回路１では、アナログ回路５１に備えた回路要素が動作するクロック信号、つまり、ＰＬＬ５０が出力するＰＬＬクロック信号に基づいたクロック信号も、システムＰＬＬ３０が出力する同期クロック信号ＰＬＬＯＵＴに基づいた内部クロック信号ＩＣＫと同様に、位相調整をする構成要素を備えてもよい。つまり、半導体集積回路１は、ＰＬＬ５０が出力するＰＬＬクロック信号に基づいたクロック信号を生成するために、エッジ検出回路３１０やクロック分周回路３１と同様の動作をする構成要素を備えてもよい。これにより、半導体集積回路１では、ＰＬＬ５０が出力するＰＬＬクロック信号に基づいたクロック信号のタイミングで出力される出力信号のレベルが変化（遷移）による電源ノイズ（自己ノイズ）も、クロック供給回路（水晶発振子）が発振する原発振クロック信号Ｘｔａｌや、コンパレータ１０が出力する基準クロック信号ＲＣＫの立ち上がりエッジにジッタを起こさせる要因にはなら

ない。

[0050] ここで、半導体集積回路１に備えた大規模回路ブロック３２内のそれぞれの回路要素が動作する内部クロック信号ＩＣＫに対する位相調整の動作について説明する。図３は、本発明の第１の実施形態の半導体集積回路１における位相調整の動作を示したタイミングチャートである。図３には、半導体集積回路１における内部クロック信号ＩＣＫのクロック経路のそれぞれの構成要素が出力する信号のタイミングを示している。より具体的には、原発振クロック信号Ｘｔａｌ、同期クロック信号ＰＬＬＯＵＴ、位相調整イネーブル信号ＥＮ、同期リセット信号ＳＲ、および内部クロック信号ＩＣＫのそれぞれのタイミングを示している。なお、図３に示した原発振クロック信号Ｘｔａｌのタイミングは、エッジ検出回路３１０が立ち上がりエッジを検出する基準クロック信号ＲＣＫのタイミングでもある。以下の説明においては、エッジ検出回路３１０が、原発振クロック信号Ｘｔａｌの立ち上がりエッジを検出するものとして説明する。また、図３には、半導体集積回路１における内部クロック信号ＩＣＫに基づいたタイミングで発生する電源ノイズ（自己ノイズ）のタイミングとして過渡電流のタイミングを示している。

[0051] 半導体集積回路１では、装置のシステム基板の電源がオンされ、制御部２０が起動したときに、位相調整の動作を開始する。このとき、制御部２０は、まず、位相調整イネーブル信号ＥＮを“Ｈｉｇｈ”レベルにする。これにより、エッジ検出回路３１０は、位相調整イネーブル信号ＥＮの“Ｈｉｇｈ”レベルに応じて、原発振クロック信号Ｘｔａｌの立ち上がりエッジを検出する。図３では、エッジ検出回路３１０が、時刻ｔ０１のときに、原発振クロック信号Ｘｔａｌの立ち上がりエッジを検出した場合の動作を示している。

[0052] エッジ検出回路３１０は、時刻ｔ０１において原発振クロック信号Ｘｔａｌの立ち上がりエッジを検出すると、同期クロック信号ＰＬＬＯＵＴの１周期分の同期リセット信号ＳＲをクロック分周回路３１に出力する。つまり、エッジ検出回路３１０は、時刻ｔ０１において同期リセット信号ＳＲを“Ｈ

ｉｇｈ”レベルにし、その後、時刻ｔ１１において同期リセット信号ＳＲを“Ｌｏｗ”レベルにする。これにより、クロック分周回路３１は、エッジ検出回路３１０から出力された同期リセット信号ＳＲの“Ｈｉｇｈ”レベルによって分周の動作がリセットされ、同期リセット信号ＳＲが“Ｌｏｗ”レベルになった、つまり、リセットが解除された時刻ｔ１１から、同期クロック信号ＰＬＬＯＵＴを分周した内部クロック信号ＩＣＫの出力を開始する。これにより、クロック分周回路３１が出力する内部クロック信号ＩＣＫは、エッジ検出回路３１０が検出した原発振クロック信号Ｘｔａｌの立ち上がりエッジのタイミングから、同期クロック信号ＰＬＬＯＵＴの１周期分の位相をずらしたクロック信号となる。なお、図３に示した内部クロック信号ＩＣＫは、同期クロック信号ＰＬＬＯＵＴを５分周した場合の一例である。つまり、図３に示した内部クロック信号ＩＣＫの周波数は、同期クロック信号ＰＬＬＯＵＴの１／５倍の周波数である。

[0053] そして、半導体集積回路１では、大規模回路ブロック３２が予め定めた機能の動作をして出力バッファ３３が外部に出力する信号も、原発振クロック信号Ｘｔａｌの立ち上がりエッジのタイミングから同期クロック信号ＰＬＬＯＵＴの１周期分の位相がずれた、例えば、時刻ｔ１１、時刻ｔ１２、時刻ｔ１３などのときにレベルが変化（遷移）する信号となる。これにより、装置のシステム基板では、半導体集積回路１が出力する内部クロック信号ＩＣＫのそれぞれの立ち上がりエッジに同期して出力される出力信号ＯＵＴのレベルの変化（遷移）に応じて、例えば、時刻ｔ１１、時刻ｔ１２、時刻ｔ１３などのときに、図３に示したような多くの過渡電流が流れる。つまり、装置のシステム基板では、原発振クロック信号Ｘｔａｌの立ち上がりエッジのタイミングから同期クロック信号ＰＬＬＯＵＴの１周期分だけ位相がずれたタイミングのときに、半導体集積回路１が出力する出力信号ＯＵＴに同期した電源ノイズが発生することになる。

[0054] 言い換えれば、装置のシステム基板では、半導体集積回路１によって発生する電源ノイズが、原発振クロック信号Ｘｔａｌや基準クロック信号ＲＣＫ

のレベルが変化（遷移）している途中の時刻ｔ０１や時刻ｔ０３のタイミングを避けて、原発振クロック信号ＸｔａｌやＲＣＫのレベルがいずれかのレベルに安定している期間に発生することになる。このため、装置のシステム基板において半導体集積回路１が発生する電源ノイズは、原発振クロック信号ＸｔａｌやＲＣＫに対して与える影響が少なく、原発振クロック信号ＸｔａｌやＲＣＫの立ち上がりエッジにジッタを起こさせる要因にはならない。

[0055] このように、半導体集積回路１では、エッジ検出回路３１０がＲＣＫの立ち上がりエッジを検出してクロック分周回路３１をリセットする。これにより、半導体集積回路１では、ＲＣＫ（原発振クロック信号Ｘｔａｌ）に基づいて生成する内部クロック信号ＩＣＫの立ち上がりエッジのタイミングを、ＲＣＫ（原発振クロック信号Ｘｔａｌ）の立ち上がりエッジのタイミングからずらす。これにより、半導体集積回路１では、外部に出力する出力信号ＯＵＴのレベルの変化（遷移）によって装置のシステム基板に発生させてしまう電源ノイズ（自己ノイズ）のタイミングが、ＲＣＫ（原発振クロック信号Ｘｔａｌ）の立ち上がりエッジのタイミングからずれる。このため、半導体集積回路１では、電源ノイズ（自己ノイズ）を発生させたとしても、この電源ノイズは、ＲＣＫ（原発振クロック信号Ｘｔａｌ）の立ち上がりエッジを変動させる（ジッタを起こさせる）要因にはならない。言い換えれば、半導体集積回路１では、ＲＣＫ（原発振クロック信号Ｘｔａｌ）の立ち上がりエッジに変動（ジッタ）を引き起こす要因となる電源ノイズ（自己ノイズ）をなくしている。

[0056] 第１の実施形態によれば、基準クロック信号（ＲＣＫ、原発振クロック信号Ｘｔａｌであってもよい）に同期し、ＲＣＫを逓倍した同期クロック信号（同期クロック信号ＰＬＬＯＵＴ）を生成する位相同期回路（システムＰＬＬ３０）と、同期クロック信号ＰＬＬＯＵＴのタイミングでＲＣＫの信号波形が変化するエッジ（

第１の実施形態では、立ち上がりエッジ）を検出し、立ち上がりエッジが検出されたタイミングを表すエッジ検出信号（エッジ検出信号ＥＤ）を出力するエッジ検出回路（エッジ検出回路３１０）と、エッジ検出信号ＥＤに応じたタイミングでリセットされ、同期クロック信号ＰＬＬＯＵＴを分周した分周クロック信号（内部クロック信号ＩＣＫ）を生成するクロック分周回路（クロック分周回路３１）と、を備える、半導体集積回路（半導体集積回路１）が構成される。

[0057] また、第１の実施形態によれば、エッジ検出回路３１０は、同期クロック信号ＰＬＬＯＵＴの１周期分のエッジ検出信号ＥＤを出力する半導体集積回路１が構成される。

[0058] また、第１の実施形態によれば、エッジ検出回路３１０に立ち上がりエッジの検出を開始させる制御部（制御部２０）、をさらに備える、半導体集積回路１が構成される。

[0059] 上述したように、第１の実施形態の半導体集積回路１では、エッジ検出回路３１０が基準クロック信号ＲＣＫの立ち上がりエッジを検出してクロック分周回路３１をリセットすることにより、クロック分周回路３１が生成する内部クロック信号ＩＣＫの立ち上がりエッジのタイミングを、基準クロック信号ＲＣＫ（原発振クロック信号Ｘｔａｌ）の立ち上がりエッジのタイミングからずらす。これにより、第１の実施形態の半導体集積回路１では、外部に出力する出力信号ＯＵＴのレベルの変化（遷移）によって、第１の実施形態の半導体集積回路１を搭載した装置（システム）のシステム基板に電源ノイズ（自己ノイズ）を発生させてしまった場合でも、この電源ノイズ（自己ノイズ）が発生するタイミングが、基準クロック信号ＲＣＫ（原発振クロック信号Ｘｔａｌ）の立ち上がりエッジのタイミングからずれることになる。このことにより、第１の実施形態の半導体集積回路１では、発生させてしまった電源ノイズ（自己ノイズ）が、基準クロック信号ＲＣＫ（原発振クロック信号Ｘｔａｌ）の立ち上がりエッジを変動させる（ジッタを起こさせる）要因にはならない。つまり、第１の実施形態の半導体集積回路１では、基準

クロック信号ＲＣＫ（原発振クロック信号Ｘｔａｌ）の立ち上がりエッジに変動（ジッタ）を引き起こすタイミングでの電源ノイズ（自己ノイズ）の発生をなくしている。

[0060] このことにより、第１の実施形態の半導体集積回路１を搭載した装置（システム）では、第１の実施形態の半導体集積回路１が発生させてしまった電源ノイズ（自己ノイズ）に起因するシステム全体の性能の低下を抑えることができる。

[0061] なお、第１の実施形態の半導体集積回路１では、エッジ検出回路３１０が出力する同期リセット信号ＳＲによって、クロック分周回路３１が生成する内部クロック信号ＩＣＫを、基準クロック信号ＲＣＫ（原発振クロック信号Ｘｔａｌ）の立ち上がりエッジのタイミングから同期クロック信号ＰＬＬＯＵＴの１周期分の位相をずらす構成について説明した。しかし、第１の実施形態の半導体集積回路１においてクロック分周回路３１が生成する内部クロック信号ＩＣＫの立ち上がりエッジのタイミングを基準クロック信号ＲＣＫ（原発振クロック信号Ｘｔａｌ）の立ち上がりエッジのタイミングからずらす量、つまり、内部クロック信号ＩＣＫの位相調整量は、同期クロック信号ＰＬＬＯＵＴの１周期分に限定されるものではない。例えば、第１の実施形態の半導体集積回路１においては、内部クロック信号ＩＣＫのクロック経路に伝搬遅延があることが考えられる。より具体的には、第１の実施形態の半導体集積回路１においては、大規模回路ブロック３２に備えたそれぞれの回路要素にクロック分周回路３１が出力した内部クロック信号ＩＣＫの信号線を引き回す際に、それぞれの回路要素が配置された応じた伝搬遅延があることが考えられる。このため、第１の実施形態の半導体集積回路１では、内部クロック信号ＩＣＫの伝搬遅延に応じたタイミングに、内部クロック信号ＩＣＫの位相を調整する構成にしてもよい。

[0062]（第２の実施形態）

次に、本発明の第２の実施形態の半導体集積回路について説明する。本発明の第２の実施形態の半導体集積回路は、内部クロック信号ＩＣＫのクロッ

ク経路に伝搬遅延があることを考慮して、内部クロック信号ＩＣＫの伝搬遅延に応じたタイミングに、内部クロック信号ＩＣＫの位相を調整する構成である。

[0063] 図４は、本発明の第２の実施形態における半導体集積回路の概略構成を示したブロック図である。図４に示した第２の実施形態の半導体集積回路の構成には、図２に示した第１の実施形態の半導体集積回路１と同様の構成要素を含んでいる。従って、第２の実施形態の半導体集積回路の構成要素において、第１の実施形態の半導体集積回路１の構成要素と同様の構成要素には、同一の符号を付与し、それぞれの構成要素に関する詳細な説明は省略する。

[0064] 図４に示した半導体集積回路２は、コンパレータ１０と、制御部２０と、システムＰＬＬ３０と、クロック分周回路３１と、エッジ検出回路３１０と、遅延調整部３２０と、大規模回路ブロック３２と、出力バッファ３３と、を備えている。半導体集積回路２では、第１の実施形態の半導体集積回路１におけるエッジ検出回路３１０とクロック分周回路３１との間に、遅延調整部３２０が追加されている。なお、図４に示した半導体集積回路２の構成においては、内部クロック信号ＩＣＫのクロック経路の伝搬遅延を、複数のバッファ回路が直列に接続された構成の伝搬遅延３４として模式的に示している。また、半導体集積回路２は、ＰＬＬ４０と、大規模回路ブロック４１と、ＰＬＬ５０と、アナログ回路５１と、を備えている。

[0065] 半導体集積回路２も、図２に示した第１の実施形態の半導体集積回路１と同様に、例えば、ＡＳＩＣなどによって実現される大規模な半導体集積回路である。半導体集積回路２も、第１の実施形態の半導体集積回路１と同様に、半導体集積回路２を搭載した装置（システム）において、予め定めた機能を実現する。半導体集積回路２も、第１の実施形態の半導体集積回路１と同様に、装置のシステムを構成するためのシステム基板上に実装され、同じシステム基板に共に実装されたクロック供給回路から出力された予め定めた周波数のクロック信号に基づいて、装置のシステムにおける予め定めた機能を実現するための動作をする。以下の説明においては、第１の実施形態と同様

に、装置のシステム基板に実装されたクロック供給回路が水晶発振子であり、半導体集積回路２は、水晶発振子が発振した原発振クロック信号Ｘｔａｌに基づいて動作するものとして説明する。

[0066] 半導体集積回路２では、システムＰＬＬ３０が、生成した同期クロック信号ＰＬＬＯＵＴを、クロック分周回路３１とエッジ検出回路３１０とに加えて、遅延調整部３２０にも出力する。

[0067] また、半導体集積回路２では、エッジ検出回路３１０が、基準クロック信号ＲＣＫの立ち上がりエッジが検出されたタイミングを表す信号を、エッジ検出信号ＥＤとして、遅延調整部３２０に出力する。なお、エッジ検出回路３１０が遅延調整部３２０に出力するエッジ検出信号ＥＤは、第１の実施形態における同期リセット信号ＳＲと同じ信号である。つまり、エッジ検出回路３１０は、同期リセット信号ＳＲをエッジ検出信号ＥＤとして、遅延調整部３２０に出力する。

[0068] 遅延調整部３２０は、エッジ検出回路３１０から出力されたエッジ検出信号ＥＤを、予め定めた時間だけ遅延させる。より具体的には、内部クロック信号ＩＣＫの周期をＴＩＣＫ、クロック経路の伝搬遅延３４の遅延時間をＴＤＩＣＫとすると、遅延調整部３２０は、エッジ検出信号ＥＤを（ＴＩＣＫ－ＴＤＩＣＫ）の時間だけ遅延させる。遅延調整部３２０は、遅延させたエッジ検出信号ＥＤを、同期リセット信号ＳＲとしてクロック分周回路３１に出力する。より具体的には、遅延調整部３２０は、エッジ検出回路３１０から出力されたエッジ検出信号ＥＤを、同期クロック信号ＰＬＬＯＵＴの周期の単位で遅延させた同期リセット信号ＳＲを、第１の実施形態における同期リセット信号ＳＲと同じ信号としてクロック分周回路３１に出力する。これにより、半導体集積回路２では、クロック分周回路３１が同期リセット信号ＳＲに応じてリセットされるタイミングが、遅延調整部３２０が遅延させた時間、つまり、（ＴＩＣＫ－ＴＤＩＣＫ）の時間だけ、第１の実施形態の半導体集積回路１に備えたクロック分周回路３１よりも遅くなる。

[0069] なお、遅延調整部３２０は、上述した（ＴＩＣＫ－ＴＤＩＣＫ）の時間に

相当する時間だけ遅くする構成、つまり、固定の遅延時間だけエッジ検出信号ＥＤを遅延させた同期リセット信号ＳＲを出力する構成に限定されるものではない。例えば、遅延調整部３２０は、制御部２０からの制御に応じて、エッジ検出信号ＥＤを遅延させて同期リセット信号ＳＲとして出力する時間を変更することができる構成であってもよい。つまり、遅延調整部３２０は、内部クロック信号ＩＣＫの位相調整量を変更することができる構成にしてもよい。これにより、半導体集積回路２が搭載された装置のシステム基板におけるそれぞれの構成要素の配置位置によって変わる可能性がある電源ノイズ（自己ノイズ）が発生するタイミングまでも考慮して、内部クロック信号ＩＣＫの位相調整量を変更することができる。

[0070] なお、半導体集積回路２においても、クロック分周回路３１が生成する内部クロック信号ＩＣＫは、制御部２０がエッジ検出回路３１０に位相調整イネーブル信号ＥＮを出力した後で、エッジ検出回路３１０が検出した基準クロック信号ＲＣＫの最初の立ち上がりエッジのタイミングに同期したクロック信号である。ただし、半導体集積回路２では、上述したように、遅延調整部３２０が同期リセット信号ＳＲのタイミングを遅延させているため、クロック分周回路３１が生成する内部クロック信号ＩＣＫは、同期クロック信号ＰＬＬＯＵＴの複数周期分の位相をずらしたクロック信号である。

[0071] このため、半導体集積回路２では、出力バッファ３３が出力する出力信号ＯＵＴも、遅延調整部３２０が遅延させた同期クロック信号ＰＬＬＯＵＴの複数周期分だけ遅いタイミングで、レベルが変化（遷移）することになる。なお、半導体集積回路２においても、第１の実施形態の半導体集積回路１と同様に、出力信号ＯＵＴのレベルが変化（遷移）による電源ノイズ（自己ノイズ）が、クロック供給回路（水晶発振子）が発振する原発振クロック信号Ｘｔａｌや、コンパレータ１０が出力する基準クロック信号ＲＣＫの立ち上がりエッジにジッタを起こさせる要因にはならない。むしろ、半導体集積回路２では、大規模回路ブロック３２内で内部クロック信号ＩＣＫのクロック経路の伝搬遅延をより反映させたタイミングで出力信号ＯＵＴのレベルが変

化（遷移）するため、より適切に原発振クロック信号ＸｔａｌＩや基準クロック信号ＲＣＫの立ち上がりエッジに起こり得るジッタを抑えることができる。なお、半導体集積回路２における内部クロック信号ＩＣＫに対する位相調整の動作に関する詳細な説明は、後述する。

[0072] ここで、遅延調整部３２０の構成の一例について説明する。図５は、本発明の第２の実施形態の半導体集積回路２に備えた遅延調整部３２０の概略構成の一例を示したブロック図である。図５に示した遅延調整部３２０の構成の一例は、エッジ検出信号ＥＤを遅延させる時間を変更することができる、つまり、内部クロック信号ＩＣＫの位相調整量を変更することができる構成の一例である。

[0073] 遅延調整部３２０は、４つのＤ型フリップフロップ（Ｄ－ＦＦ）３２０１～Ｄ－ＦＦ３２０４と、セレクタ３２０５と、を備えている。遅延調整部３２０では、Ｄ－ＦＦ３２０１、Ｄ－ＦＦ３２０２、Ｄ－ＦＦ３２０３、Ｄ－ＦＦ３２０４の順番で順次接続され、遅延調整部３２０に入力されたエッジ検出信号ＥＤおよびそれぞれのＤ型フリップフロップの出力信号が、セレクタ３２０５の入力信号として接続されている。そして、遅延調整部３２０では、セレクタ３２０５が選択した入力信号を、同期リセット信号ＳＲとして出力する。

[0074] 遅延調整部３２０では、それぞれのＤ型フリップフロップが、入力されたエッジ検出信号ＥＤまたは前段のＤ型フリップフロップの出力信号を、同期クロック信号ＰＬＬＯＵＴの周期ごとに取り込んで保持する。また、遅延調整部３２０では、セレクタ３２０５が、例えば、制御部２０からの制御に応じて、エッジ検出信号ＥＤまたは４つのＤ型フリップフロップの出力信号のいずれか１つの信号を選択し、選択した信号を同期リセット信号ＳＲとして出力する。

[0075] このような構成によって遅延調整部３２０は、制御部２０からの制御に応じて、エッジ検出回路３１０から出力されたエッジ検出信号ＥＤをそのまま、またはエッジ検出信号ＥＤを同期クロック信号ＰＬＬＯＵＴの１周期分～

４周期分だけ遅延させて、同期リセット信号ＳＲとしてクロック分周回路３１に出力する。これにより、半導体集積回路２では、遅延調整部３２０が出力する同期リセット信号ＳＲによって、クロック分周回路３１が生成する内部クロック信号ＩＣＫを、基準クロック信号ＲＣＫ（原発振クロック信号Ｘｔａｌ）の立ち上がりエッジのタイミングから同期クロック信号ＰＬＬＯＵＴの１周期分～５周期分の位相をずらす構成となる。

[0076] なお、図５には、エッジ検出信号ＥＤを同期クロック信号ＰＬＬＯＵＴの０周期～４周期分だけ遅延させて出力する遅延調整部３２０の構成を示したが、遅延調整部３２０の構成は、図５に示した構成に限定されるものではない。例えば、遅延調整部３２０は、基準クロック信号ＲＣＫの１周期分、つまり、原発振クロック信号Ｘｔａｌの１周期分に相当する数のＤ型フリップフロップを備える構成にしてもよい。この構成の場合、遅延調整部３２０は、制御部２０からの制御に応じて、エッジ検出信号ＥＤを基準クロック信号ＲＣＫの１周期のいずれのタイミングにも遅延させて、同期リセット信号ＳＲとして出力することができる。これにより、半導体集積回路２では、異なる様々な装置に搭載された場合でも、内部クロック信号ＩＣＫの位相調整量を適切に変更することができる。なお、遅延調整部３２０の構成は、エッジ検出信号ＥＤを遅延させて同期リセット信号ＳＲとして出力する構成であれば、どのような構成であってもよい。

[0077] なお、遅延調整部３２０がエッジ検出信号ＥＤを遅延させる時間を変更する構成ではない場合、つまり、内部クロック信号ＩＣＫの位相調整量が固定の構成である場合には、セレクタ３２０５を備えず、最終段のＤ型フリップフロップ（図５では、Ｄ－ＦＦ３２０４）の出力信号を、同期リセット信号ＳＲとしてクロック分周回路３１に出力する構成であってもよい。

[0078] ここで、半導体集積回路２に備えた大規模回路ブロック３２内のそれぞれの回路要素が動作する内部クロック信号ＩＣＫに対する位相調整の動作について説明する。図６は、本発明の第２の実施形態の半導体集積回路２における位相調整の動作を示したタイミングチャートである。図６には、図３に示

した第１の実施形態の半導体集積回路１における位相調整の動作と同様に、半導体集積回路２における内部クロック信号ＩＣＫのクロック経路のそれぞれの構成要素が出力する信号のタイミングを示している。より具体的には、原発振クロック信号Ｘｔａｌ、同期クロック信号ＰＬＬＯＵＴ、位相調整イネーブル信号ＥＮ、エッジ検出信号ＥＤ、同期リセット信号ＳＲ、および内部クロック信号ＩＣＫのそれぞれのタイミングを示している。なお、図６に示した原発振クロック信号Ｘｔａｌのタイミングも、第１の実施形態の半導体集積回路１における原発振クロック信号Ｘｔａｌのタイミングと同様に、エッジ検出回路３１０が立ち上がりエッジを検出する基準クロック信号ＲＣＫのタイミングでもある。以下の説明においても、第１の実施形態の半導体集積回路１における位相調整の動作と同様に、エッジ検出回路３１０が、原発振クロック信号Ｘｔａｌの立ち上がりエッジを検出するものとして説明する。また、図６には、図３に示した第１の実施形態の半導体集積回路１における位相調整の動作と同様に、半導体集積回路２における内部クロック信号ＩＣＫに基づいたタイミングで発生する電源ノイズ（自己ノイズ）のタイミングとして過渡電流のタイミングを示している。

[0079] なお、半導体集積回路２は、伝搬遅延３４によってクロック分周回路３１が生成した内部クロック信号ＩＣＫが遅延することを考慮し、内部クロック信号ＩＣＫの位相を調整する構成である。このため、図６には、内部クロック信号ＩＣＫのタイミングとして、遅延調整部３２０が同期リセット信号ＳＲのタイミングを調整しない場合の内部クロック信号ＩＣＫ（調整前）と、遅延調整部３２０が同期リセット信号ＳＲのタイミングを調整した場合の内部クロック信号ＩＣＫ（調整後）との両方を示している。なお、図６に示した内部クロック信号ＩＣＫ（調整後）のタイミングは、遅延調整部３２０が、エッジ検出信号ＥＤを同期クロック信号ＰＬＬＯＵＴの２周期分だけ遅延させて同期リセット信号ＳＲとしてクロック分周回路３１に出力した場合の一例である。つまり、図６には、クロック分周回路３１が生成する内部クロック信号ＩＣＫの位相を、第１の実施形態の半導体集積回路１と同様に同期

クロック信号ＰＬＬＯＵＴの１周期分ずらした場合の内部クロック信号ＩＣＫ（調整前）のタイミングと、同期クロック信号ＰＬＬＯＵＴの３周期分ずらした場合の内部クロック信号ＩＣＫ（調整後）のタイミングとを示している。なお、図６に示した内部クロック信号ＩＣＫは、図３に示した第１の実施形態の半導体集積回路１における位相調整の動作と同様に、同期クロック信号ＰＬＬＯＵＴを５分周した場合の一例である。つまり、図６に示した内部クロック信号ＩＣＫの周波数は、図３に示した第１の実施形態の半導体集積回路１における位相調整の動作と同様に、同期クロック信号ＰＬＬＯＵＴの１／５倍の周波数である。

[0080] 半導体集積回路２でも、第１の実施形態の半導体集積回路１と同様に、装置のシステム基板の電源がオンされ、制御部２０が起動したときに、位相調整の動作を開始する。このとき、制御部２０は、まず、第１の実施形態の半導体集積回路１と同様に、位相調整イネーブル信号ＥＮを“Ｈｉｇｈ”レベルにする。これにより、エッジ検出回路３１０は、位相調整イネーブル信号ＥＮの“Ｈｉｇｈ”レベルに応じて、原発振クロック信号ＸｔａｌＩの立ち上がりエッジを検出する。図６でも、図３に示した第１の実施形態の半導体集積回路１における位相調整の動作と同様に、エッジ検出回路３１０が、時刻ｔ０１のときに、原発振クロック信号ＸｔａｌＩの立ち上がりエッジを検出した場合の動作を示している。

[0081] エッジ検出回路３１０は、時刻ｔ０１において原発振クロック信号ＸｔａｌＩの立ち上がりエッジを検出すると、同期クロック信号ＰＬＬＯＵＴの１周期分のエッジ検出信号ＥＤを遅延調整部３２０に出力する。つまり、エッジ検出回路３１０は、時刻ｔ０１においてエッジ検出信号ＥＤを“Ｈｉｇｈ”レベルにし、その後、時刻ｔ１１においてエッジ検出信号ＥＤを“Ｌｏｗ”レベルにする。

[0082] ここで、遅延調整部３２０がエッジ検出回路３１０から出力されたエッジ検出信号ＥＤを遅延させずに、同期リセット信号ＳＲとしてクロック分周回路３１に出力した場合を考える。この場合、クロック分周回路３１が生成し

た内部クロック信号ＩＣＫは、伝搬遅延３４によって遅延し、内部クロック信号ＩＣＫ（調整前）のタイミングで、大規模回路ブロック３２内のそれぞれの回路要素に出力される。この内部クロック信号ＩＣＫ（調整前）は、内部クロック信号ＩＣＫの遷移期間Ｂ内に示したように、立ち上がりエッジのタイミングが、原発振クロック信号Ｘｔａｌの立ち上がりエッジのタイミングに近くなっている。このため、半導体集積回路２の出力信号ＯＵＴのレベルの変化（遷移）による電源ノイズ（自己ノイズ）が、クロック供給回路（水晶発振子）が発振する原発振クロック信号Ｘｔａｌや、コンパレータ１０が出力する基準クロック信号ＲＣＫの立ち上がりエッジにジッタを起こさせる要因となることが懸念される。

[0083] より具体的には、図６に示した内部クロック信号ＩＣＫ（調整前）のタイミングでは、時刻ｔ１３における内部クロック信号ＩＣＫの立ち上がりエッジのタイミングが、時刻ｔ０３における原発振クロック信号Ｘｔａｌの立ち上がりエッジのタイミングに近くなっている。このため、図６において破線で示した、内部クロック信号ＩＣＫ（調整前）のそれぞれの立ち上がりエッジに同期して多く流れる過渡電流（調整前）による電源ノイズ（自己ノイズ）が、時刻ｔ０３のときの原発振クロック信号Ｘｔａｌ（基準クロック信号ＲＣＫ）の立ち上がりエッジにジッタを起こさせる要因となることが懸念される。

[0084] このため、半導体集積回路２では、遅延調整部３２０が、エッジ検出回路３１０から出力されたエッジ検出信号ＥＤを同期クロック信号ＰＬＬＯＵＴの周期の単位で遅延させて、同期リセット信号ＳＲとしてクロック分周回路３１に出力する。図６では、遅延調整部３２０が、エッジ検出信号ＥＤを同期クロック信号ＰＬＬＯＵＴの２周期分だけ遅延させて同期リセット信号ＳＲとしてクロック分周回路３１に出力している。このため、遅延調整部３２０は、時刻ｔ２１において同期リセット信号ＳＲを“Ｈｉｇｈ”レベルにし、その後、時刻ｔ２２において同期リセット信号ＳＲを“Ｌｏｗ”レベルにする。これにより、クロック分周回路３１は、遅延調整部３２０から出力さ

れた同期リセット信号ＳＲの“Ｈｉｇｈ”レベルによって分周の動作がリセットされ、同期リセット信号ＳＲが“Ｌｏｗ”レベルになった、つまり、リセットが解除された時刻ｔ２２から、同期クロック信号ＰＬＬＯＵＴを分周した内部クロック信号ＩＣＫの出力を開始する。なお、クロック分周回路３１が時刻ｔ２２から出力を開始した内部クロック信号ＩＣＫも、伝搬遅延３４によって遅延する。このため、クロック分周回路３１が時刻ｔ２２から出力を開始した内部クロック信号ＩＣＫは、伝搬遅延３４によって遅延した時刻ｔ２３から、内部クロック信号ＩＣＫ（調整後）のタイミングで、大規模回路ブロック３２内のそれぞれの回路要素に出力される。この内部クロック信号ＩＣＫ（調整後）は、内部クロック信号ＩＣＫの遷移期間Ａ内に示したように、立ち上がりエッジのタイミングが、原発振クロック信号Ｘｔａｌの立ち上がりエッジのタイミングから遠くなっている。すなわち、クロック分周回路３１が出力する内部クロック信号ＩＣＫ（調整後）は、エッジ検出回路３１０が検出した原発振クロック信号Ｘｔａｌの立ち上がりエッジのタイミングから、より適切に位相をずらしたクロック信号となっている。このため、半導体集積回路２の出力信号ＯＵＴのレベルの変化（遷移）による電源ノイズ（自己ノイズ）が、クロック供給回路（水晶発振子）が発振する原発振クロック信号Ｘｔａｌや、コンパレータ１０が出力する基準クロック信号ＲＣＫの立ち上がりエッジにジッタを起こさせる要因にはならない。

[0085] より具体的には、図６に示した内部クロック信号ＩＣＫ（調整後）のタイミングでは、時刻ｔ２４における内部クロック信号ＩＣＫの立ち上がりエッジのタイミングが、時刻ｔ０３における原発振クロック信号Ｘｔａｌの立ち上がりエッジのタイミングから遠くなっている。このため、図６において実線で示した、内部クロック信号ＩＣＫ（調整後）のそれぞれの立ち上がりエッジに同期して多く流れる過渡電流（調整後）による電源ノイズ（自己ノイズ）は、時刻ｔ０３のときの原発振クロック信号Ｘｔａｌ（基準クロック信号ＲＣＫ）の立ち上がりエッジにジッタを起こさせる要因にはならない。

[0086] このように、半導体集積回路２では、エッジ検出回路３１０が基準クロッ

ク信号ＲＣＫの立ち上がりエッジを検出した後、遅延調整部３２０がクロック分周回路３１をリセットするタイミングを遅らせる。これにより、半導体集積回路２では、内部クロック信号ＩＣＫのクロック経路に伝搬遅延がある場合でも、内部クロック信号ＩＣＫの立ち上がりエッジのタイミングを、基準クロック信号ＲＣＫ（原発振クロック信号Ｘｔａｌ）の立ち上がりエッジのタイミングからずらす。これにより、半導体集積回路２でも、第１の実施形態の半導体集積回路１と同様に、外部に出力する出力信号ＯＵＴのレベルの変化（遷移）によって装置のシステム基板に発生させてしまう電源ノイズ（自己ノイズ）のタイミングが、基準クロック信号ＲＣＫ（原発振クロック信号Ｘｔａｌ）の立ち上がりエッジのタイミングからずれる。このため、半導体集積回路２でも、第１の実施形態の半導体集積回路１と同様に、電源ノイズ（自己ノイズ）を発生させたとしても、この電源ノイズは、基準クロック信号ＲＣＫ（原発振クロック信号Ｘｔａｌ）の立ち上がりエッジを変動させる（ジッタを起こさせる）要因にはならない。言い換えれば、半導体集積回路２でも、第１の実施形態の半導体集積回路１と同様に、基準クロック信号ＲＣＫ（原発振クロック信号Ｘｔａｌ）の立ち上がりエッジに変動（ジッタ）を引き起こす要因となる電源ノイズ（自己ノイズ）をなくしている。

[0087] 第２の実施形態によれば、エッジ検出信号（エッジ検出信号ＥＤ）を同期クロック信号（同期クロック信号ＰＬＬＯＵＴ）の周期の単位で遅延させる遅延調整部（遅延調整部３２０）、をさらに備える、半導体集積回路（半導体集積回路２）が構成される。

[0088] また、第２の実施形態によれば、エッジ検出回路（エッジ検出回路３１０）にエッジ（第１の実施形態では、立ち上がりエッジ）の検出を開始させるとともに、エッジ検出信号（エッジ検出信号ＥＤ）を遅延させる時間を遅延調整部３２０に設定する制御部（制御部２０）、をさらに備える、半導体集積回路２が構成される。

[0089] 上述したように、第２の実施形態の半導体集積回路２では、第１の実施形態の半導体集積回路１と同様に、エッジ検出回路３１０が基準クロック信号

ＲＣＫの立ち上がりエッジを検出する。また、第２の実施形態の半導体集積回路２では、遅延調整部３２０がタイミングを遅らせてクロック分周回路３１をリセットする。これにより、第２の実施形態の半導体集積回路２では、内部クロック信号ＩＣＫのクロック経路に伝搬遅延がある場合でも、第１の実施形態の半導体集積回路１と同様に、クロック分周回路３１が生成する内部クロック信号ＩＣＫの立ち上がりエッジのタイミングを、基準クロック信号ＲＣＫ（原発振クロック信号Ｘｔａｌ）の立ち上がりエッジのタイミングからずらす。これにより、第２の実施形態の半導体集積回路２でも、第１の実施形態の半導体集積回路１と同様に、外部に出力する出力信号ＯＵＴのレベルの変化（遷移）によって、第２の実施形態の半導体集積回路２を搭載した装置（システム）のシステム基板に電源ノイズ（自己ノイズ）を発生させてしまった場合でも、この電源ノイズ（自己ノイズ）が発生するタイミングが、基準クロック信号ＲＣＫ（原発振クロック信号Ｘｔａｌ）の立ち上がりエッジのタイミングからずれることになる。このことにより、第２の実施形態の半導体集積回路２でも、第１の実施形態の半導体集積回路１と同様に、発生させてしまった電源ノイズ（自己ノイズ）が、基準クロック信号ＲＣＫ（原発振クロック信号Ｘｔａｌ）の立ち上がりエッジを変動させる（ジッタを起こさせる）要因にはならない。つまり、第２の実施形態の半導体集積回路２でも、第１の実施形態の半導体集積回路１と同様に、基準クロック信号ＲＣＫ（原発振クロック信号Ｘｔａｌ）の立ち上がりエッジに変動（ジッタ）を引き起こすタイミングでの電源ノイズ（自己ノイズ）の発生をなくしている。

[0090] このことにより、第２の実施形態の半導体集積回路２を搭載した装置（システム）でも、第１の実施形態の半導体集積回路１を搭載した装置（システム）と同様に、第２の実施形態の半導体集積回路２が発生させてしまった電源ノイズ（自己ノイズ）に起因するシステム全体の性能の低下を抑えることができる。

[0091] なお、第２の実施形態の半導体集積回路２では、遅延調整部３２０が、（

ＴＩＣＫ－ＴＤＩＣＫ）の時間に相当する固定の遅延時間だけエッジ検出信号ＥＤを遅延させた同期リセット信号ＳＲによって、クロック分周回路３１が生成する内部クロック信号ＩＣＫを、基準クロック信号ＲＣＫ（原発振クロック信号Ｘｔａｌ）の立ち上がりエッジのタイミングから同期クロック信号ＰＬＬＯＵＴの周期の単位で位相をずらす構成について説明した。そして、第２の実施形態の半導体集積回路２では、遅延調整部３２０が、制御部２０からの制御に応じて、エッジ検出信号ＥＤを遅延させる同期クロック信号ＰＬＬＯＵＴの周期を変更することができる構成についても説明した。しかし、第２の実施形態の半導体集積回路２においては、制御部２０によって遅延調整部３２０がエッジ検出信号ＥＤを遅延させる同期クロック信号ＰＬＬＯＵＴの周期を変更する方法については説明していない。例えば、第２の実施形態の半導体集積回路２においては、制御部２０が、基準クロック信号ＲＣＫの立ち上がりエッジのタイミングと内部クロック信号ＩＣＫの立ち上がりエッジのタイミングとのずれ量、つまり、基準クロック信号ＲＣＫと内部クロック信号ＩＣＫとの位相のずれ量に基づいて、遅延調整部３２０がエッジ検出信号ＥＤを遅延させる同期クロック信号ＰＬＬＯＵＴの周期を変更する構成にしてもよい。

[0092]（第３の実施形態）

次に、本発明の第３の実施形態の半導体集積回路について説明する。本発明の第３の実施形態の半導体集積回路は、基準クロック信号ＲＣＫと内部クロック信号ＩＣＫとの位相のずれ量に基づいて、内部クロック信号ＩＣＫのクロック経路に伝搬遅延を考慮したタイミングに、内部クロック信号ＩＣＫの位相を調整する構成である。

[0093] 図７は、本発明の第３の実施形態における半導体集積回路の概略構成を示したブロック図である。図７に示した第３の実施形態の半導体集積回路の構成には、図２に示した第１の実施形態の半導体集積回路１や、図４に示した第２の実施形態の半導体集積回路２と同様の構成要素を含んでいる。従って、第３の実施形態の半導体集積回路の構成要素において、第１の実施形態の

半導体集積回路１や第２の実施形態の半導体集積回路２の構成要素と同様の構成要素には、同一の符号を付与し、それぞれの構成要素に関する詳細な説明は省略する。

[0094] 図７に示した半導体集積回路３は、コンパレータ１０と、制御部２０と、システムＰＬＬ３０と、クロック分周回路３１と、エッジ検出回路３１０と、遅延調整部３２０と、位相比較部３３０と、ダミー遅延部３３１と、大規模回路ブロック３２と、出力バッファ３３と、を備えている。半導体集積回路３では、第２の実施形態の半導体集積回路２に、位相比較部３３０とダミー遅延部３３１とが追加されている。なお、図７に示した半導体集積回路３の構成においても、図４に示した第２の実施形態の半導体集積回路２と同様に、内部クロック信号ＩＣＫのクロック経路の伝搬遅延を、伝搬遅延３４によって模式的に示している。また、半導体集積回路３は、ＰＬＬ４０と、大規模回路ブロック４１と、ＰＬＬ５０と、アナログ回路５１と、を備えている。

[0095] 半導体集積回路３も、図２に示した第１の実施形態の半導体集積回路１や、図４に示した第２の実施形態の半導体集積回路２と同様に、例えば、ＡＳＩＣなどによって実現される大規模な半導体集積回路である。半導体集積回路３も、第１の実施形態の半導体集積回路１や第２の実施形態の半導体集積回路２と同様に、半導体集積回路３を搭載した装置（システム）において、予め定めた機能を実現する。半導体集積回路３も、第１の実施形態の半導体集積回路１や第２の実施形態の半導体集積回路２と同様に、装置のシステムを構成するためのシステム基板上に実装され、同じシステム基板に共に実装されたクロック供給回路から出力された予め定めた周波数のクロック信号に基づいて、装置のシステムにおける予め定めた機能を実現するための動作をする。以下の説明においては、第１の実施形態の半導体集積回路１や第２の実施形態の半導体集積回路２と同様に、装置のシステム基板に実装されたクロック供給回路が水晶発振子であり、半導体集積回路３は、水晶発振子が発振した原発振クロック信号Ｘｔａｌに基づいて動作するものとして説明する

。

[0096] 半導体集積回路３では、コンパレータ１０が、波形を整形した原発振クロック信号Ｘｔａｌを、システムＰＬＬ３０、エッジ検出回路３１０、ＰＬＬ４０、およびＰＬＬ５０に加えて位相比較部３３０にも供給する。

[0097] また、半導体集積回路３では、クロック分周回路３１が、生成した内部クロック信号ＩＣＫを、大規模回路ブロック３２内のそれぞれの回路要素に加えて、ダミー遅延部３３１にも出力する。

[0098] また、半導体集積回路３では、制御部２０が、内部クロック信号ＩＣＫの位相調整量を決定して遅延調整部３２０に設定する。より具体的には、制御部２０は、遅延調整部３２０においてエッジ検出信号ＥＤを遅延させる時間、つまり、Ｄ型フリップフロップの段数を決定し、決定したＤ型フリップフロップの段数を設定（選択）するための遅延調整信号ＤＡを、遅延調整部３２０に出力する。なお、半導体集積回路３に備えた遅延調整部３２０の構成は、図５に示した遅延調整部３２０の構成である。従って、遅延調整部３２０は、セレクタ３２０５が、制御部２０から出力された遅延調整信号ＤＡに応じて、エッジ検出信号ＥＤまたは４つのＤ型フリップフロップの出力信号のいずれか１つの信号を選択し、選択した信号を同期リセット信号ＳＲとして出力する。

[0099] ダミー遅延部３３１は、内部クロック信号ＩＣＫのクロック経路の伝搬遅延に相当する遅延量を模擬する回路である。より具体的には、ダミー遅延部３３１は、大規模回路ブロック３２に備えたそれぞれの回路要素にクロック分周回路３１が出力した内部クロック信号ＩＣＫの信号線を引き回す際に、それぞれの回路要素の配置に応じた伝搬遅延を模擬する遅延回路である。つまり、ダミー遅延部３３１は、伝搬遅延３４と同じ遅延量を模擬する。図７に示した半導体集積回路３の構成においては、伝搬遅延３４と同じ遅延量を、複数のバッファ回路が直列に接続された構成によって模擬する構成のダミー遅延部３３１を示している。なお、ダミー遅延部３３１が伝搬遅延３４と同じ遅延量を模擬する構成は、図７に示したダミー遅延部３３１の構成に限

定されるものではなく、伝搬遅延３４と同じ遅延量を模擬することができれば、いかなる構成であってもよい。ダミー遅延部３３１は、クロック分周回路３１から出力された内部クロック信号ＩＣＫを、伝搬遅延３４と同じ遅延時間だけ遅延させて、位相比較部３３０に出力する。

[0100] 位相比較部３３０は、コンパレータ１０から出力された基準クロック信号ＲＣＫと、ダミー遅延部３３１が遅延させた内部クロック信号ＩＣＫとの位相を比較する。位相比較部３３０は、基準クロック信号ＲＣＫを基準のクロック信号とし、ダミー遅延部３３１が遅延させた内部クロック信号ＩＣＫ（以下、「遅延内部クロック信号ＤＩＣＫ」という）を比較対象のクロック信号として、それぞれのクロック信号同士の位相を比較する。位相比較部３３０は、基準クロック信号ＲＣＫと遅延内部クロック信号ＤＩＣＫとの位相を比較した結果を表す位相比較結果信号ＰＤを、制御部２０に出力する。なお、位相比較部３３０が出力する位相比較結果信号ＰＤには、遅延内部クロック信号ＤＩＣＫの立ち上がりエッジの位相が、基準クロック信号ＲＣＫの立ち上がりエッジの位相よりも進んでいるか、遅れているかを表す情報が含まれている。

[0101] 半導体集積回路３では、制御部２０が、位相比較部３３０から出力された位相比較結果信号ＰＤに基づいて、遅延調整部３２０にエッジ検出信号ＥＤを遅延させる時間を決定し、決定した結果に応じて内部クロック信号ＩＣＫの位相調整量を遅延調整部３２０に設定する。より具体的には、半導体集積回路３では、制御部２０が、遅延調整部３２０に備えたＤ型フリップフロップによって遅延させるエッジ検出信号ＥＤの段数を決定し、決定した段数を表す情報を、遅延調整信号ＤＡとして遅延調整部３２０に備えたセレクタ３２０５に出力する。そして、半導体集積回路３では、遅延調整部３２０に備えたセレクタ３２０５が、遅延調整信号ＤＡが表す段数のＤ型フリップフロップから出力された出力信号を選択し、選択した信号を同期リセット信号ＳＲとしてクロック分周回路３１に出力する。これにより、半導体集積回路３では、位相比較部３３０が比較した基準クロック信号ＲＣＫと遅延内部クロ

ック信号ＤＩＣＫとの位相差に応じて、クロック分周回路３１が生成する内部クロック信号ＩＣＫの位相を変更、つまり、内部クロック信号ＩＣＫの位相調整量を変更する。

[0102] なお、半導体集積回路３においても、クロック分周回路３１が生成する内部クロック信号ＩＣＫは、制御部２０がエッジ検出回路３１０に位相調整イネーブル信号ＥＮを出力した後で、エッジ検出回路３１０が検出した基準クロック信号ＲＣＫの最初の立ち上がりエッジのタイミングに同期したクロック信号である。ただし、半導体集積回路３でも、第２の実施形態の半導体集積回路２と同様に、遅延調整部３２０が同期リセット信号ＳＲのタイミングを遅延させているため、クロック分周回路３１が生成する内部クロック信号ＩＣＫは、同期クロック信号ＰＬＬＯＵＴの複数周期分の位相をずらしたクロック信号である。

[0103] このため、半導体集積回路３でも、第２の実施形態の半導体集積回路２と同様に、出力バッファ３３が出力する出力信号ＯＵＴが、遅延調整部３２０が遅延させた同期クロック信号ＰＬＬＯＵＴの複数周期分だけ遅いタイミングで、レベルが変化（遷移）することになる。なお、半導体集積回路３においても、第１の実施形態の半導体集積回路１や第２の実施形態の半導体集積回路２と同様に、出力信号ＯＵＴのレベルが変化（遷移）による電源ノイズ（自己ノイズ）が、クロック供給回路（水晶発振子）が発振する原発振クロック信号Ｘｔａｌや、コンパレータ１０が出力する基準クロック信号ＲＣＫの立ち上がりエッジにジッタを起こさせる要因にはならない。むしろ、半導体集積回路３では、基準クロック信号ＲＣＫと遅延内部クロック信号ＤＩＣＫとの位相差に応じたタイミングで出力信号ＯＵＴのレベルが変化（遷移）するため、より適切に原発振クロック信号Ｘｔａｌや基準クロック信号ＲＣＫの立ち上がりエッジに起こり得るジッタを抑えることができる。

[0104] なお、半導体集積回路３では、内部クロック信号ＩＣＫの位相調整量が第２の実施形態の半導体集積回路２と異なるが、半導体集積回路３における内部クロック信号ＩＣＫに対する位相調整の動作は、第２の実施形態の半導体

集積回路２と同様である。従って、半導体集積回路３における内部クロック信号ＩＣＫに対する位相調整の動作に関する詳細な説明は省略する。

[0105] ここで、位相比較部３３０の構成および位相比較の動作の一例について説明する。図８は、本発明の第３の実施形態の半導体集積回路３に備えた位相比較部３３０の概略構成の一例および位相比較部３３０の動作の一例を示した図である。図８の（ａ）には、位相比較部３３０の構成の一例を示している。また、図８の（ｂ）～図８の（ｄ）には、図８の（ａ）に示した構成の位相比較部３３０における位相比較動作の一例を示している。また、図８の（ｅ）には、位相比較部３３０から出力された位相比較結果信号ＰＤに基づいて制御部２０が決定する遅延調整部３２０にエッジ検出信号ＥＤを遅延させる時間（遅延調整値）の範囲の一例を模式的に示している。

[0106] まず、図８の（ａ）に示した位相比較部３３０の構成について説明する。なお、半導体集積回路３においても、基準クロック信号ＲＣＫは、第１の実施形態の半導体集積回路１や第２の実施形態の半導体集積回路２と同様に、原発振クロック信号Ｘｔａｌと同様のクロック信号である。以下の説明においては、位相比較部３３０が、遅延内部クロック信号ＤＩＣＫと原発振クロック信号Ｘｔａｌとの位相を比較するものとして説明する。

[0107] 位相比較部３３０では、原発振クロック信号Ｘｔａｌを、位相比較する基準のクロック信号とし、遅延内部クロック信号ＤＩＣＫを、位相比較する対象のクロック信号としている。位相比較部３３０は、Ｄ型フリップフロップ（Ｄ－ＦＦ）３３０１と、カウンタ３３０２と、を備えている。位相比較部３３０では、Ｄ－ＦＦ３３０１のデータ入力として遅延内部クロック信号ＤＩＣＫが入力され、Ｄ－ＦＦ３３０１のクロック入力として原発振クロック信号Ｘｔａｌが入力されている。そして、位相比較部３３０では、Ｄ－ＦＦ３３０１から出力される出力信号ＦＦＯＵＴがカウンタ３３０２に入力されている。また、位相比較部３３０では、カウンタ３３０２のクロック入力として原発振クロック信号Ｘｔａｌが入力されている。そして、位相比較部３３０では、カウンタ３３０２の出力信号を、位相比較結果信号ＰＤとして出

力する。

[0108] 位相比較部３３０では、Ｄ－ＦＦ３３０１が、原発振クロック信号Ｘｔａｌの立ち上がりエッジのタイミングで、遅延内部クロック信号ＤＩＣＫのレベルを取り込んで保持する。また、位相比較部３３０では、カウンタ３３０２が、原発振クロック信号Ｘｔａｌの立ち上がりエッジのタイミングで、Ｄ－ＦＦ３３０１から出力された出力信号ＦＦＯＵＴ、つまり、保持した遅延内部クロック信号ＤＩＣＫのレベルをカウントする。なお、カウンタ３３０２は、Ｄ－ＦＦ３３０１が出力した出力信号ＦＦＯＵＴが“Ｈｉｇｈ”レベルであるときを、予め定めた回数、つまり、原発振クロック信号Ｘｔａｌにおける予め定めた周期の期間だけカウントする。そして、位相比較部３３０では、カウンタ３３０２が予め定めた回数だけカウントした結果の値（カウント値）を位相比較結果信号ＰＤとして出力する。つまり、位相比較部３３０は、カウンタ３３０２が原発振クロック信号Ｘｔａｌの立ち上がりエッジのタイミングでカウントした、遅延内部クロック信号ＤＩＣＫが“Ｈｉｇｈ”レベルである回数を、遅延内部クロック信号ＤＩＣＫの立ち上がりエッジの位相が、原発振クロック信号Ｘｔａｌの立ち上がりエッジの位相よりも進んでいるか、遅れているかを表す情報（位相比較結果信号ＰＤ）として出力する。

[0109] 次に、図８の（ｂ）～図８の（ｄ）を用いて、図８の（ａ）に示した位相比較部３３０における位相比較動作の一例について説明する。位相比較部３３０に備えたカウンタ３３０２が、Ｄ－ＦＦ３３０１から出力された出力信号ＦＦＯＵＴの“Ｈｉｇｈ”レベルをカウントする原発振クロック信号Ｘｔａｌの周期は、複数回カウントすることができる周期であれば、その長さ、つまり、カウントする回数に関しては、特に規定しない。以下の説明においては、一例として、位相比較部３３０に備えたカウンタ３３０２が、原発振クロック信号Ｘｔａｌの３２周期分の期間だけ、Ｄ－ＦＦ３３０１から出力された出力信号ＦＦＯＵＴの“Ｈｉｇｈ”レベルをカウントするものとして説明する。

[0110] まず、遅延内部クロック信号ＤＩＣＫの立ち上がりエッジの位相が、原発振クロック信号Ｘｔａｌの立ち上がりエッジの位相よりも常に遅れている場合の動作について説明する。つまり、遅延内部クロック信号ＤＩＣＫの立ち上がりエッジの位相が、原発振クロック信号Ｘｔａｌの立ち上がりエッジの位相よりも遅れている状態で安定している場合について説明する。この場合、Ｄ－ＦＦ３３０１は、図８の（ｂ）に示したように、原発振クロック信号Ｘｔａｌの立ち上がりエッジのタイミングである時刻ｔ３１や時刻ｔ３２のときに、遅延内部クロック信号ＤＩＣＫの“Ｈｉｇｈ”レベルを取り込んで保持する。そして、Ｄ－ＦＦ３３０１は、保持している“Ｈｉｇｈ”レベルの出力信号ＦＦＯＵＴをカウンタ３３０２に出力する。このため、カウンタ３３０２は、原発振クロック信号Ｘｔａｌの立ち上がりエッジのタイミングでＤ－ＦＦ３３０１が出力した出力信号ＦＦＯＵＴの“Ｈｉｇｈ”レベルを３２回カウントし、カウント値＝３２の位相比較結果信号ＰＤを出力する。

[0111] 続いて、遅延内部クロック信号ＤＩＣＫの立ち上がりエッジの位相が、原発振クロック信号Ｘｔａｌの立ち上がりエッジの位相よりも常に進んでいる場合の動作について説明する。つまり、遅延内部クロック信号ＤＩＣＫの立ち上がりエッジの位相が、原発振クロック信号Ｘｔａｌの立ち上がりエッジの位相よりも進んでいる状態で安定している場合について説明する。この場合、Ｄ－ＦＦ３３０１は、図８の（ｃ）に示したように、原発振クロック信号Ｘｔａｌの立ち上がりエッジのタイミングである時刻ｔ３１や時刻ｔ３２のときに、遅延内部クロック信号ＤＩＣＫの“Ｌｏｗ”レベルを取り込んで保持する。そして、Ｄ－ＦＦ３３０１は、保持している“Ｌｏｗ”レベルの出力信号ＦＦＯＵＴをカウンタ３３０２に出力する。このため、カウンタ３３０２は、原発振クロック信号Ｘｔａｌの立ち上がりエッジのタイミングでＤ－ＦＦ３３０１が出力した出力信号ＦＦＯＵＴの“Ｈｉｇｈ”レベルを３２回カウントすることなく、カウント値＝０の位相比較結果信号ＰＤを出力する。

[0112] 続いて、遅延内部クロック信号ＤＩＣＫの立ち上がりエッジの位相が、原

発振クロック信号ＸｔａｌＩの立ち上がりエッジの位相よりも遅れているときと進んでいるときとが含まれている場合の動作について説明する。つまり、遅延内部クロック信号ＤＩＣＫの立ち上がりエッジの位相が、原発振クロック信号ＸｔａｌＩの立ち上がりエッジの位相に一致しているため、一方の状態に安定していない場合について説明する。この場合、Ｄ－ＦＦ３３０１は、図８の（ｄ）に示したように、原発振クロック信号ＸｔａｌＩの立ち上がりエッジのタイミングである時刻ｔ３１や時刻ｔ３２のときに、遅延内部クロック信号ＤＩＣＫの“Ｈｉｇｈ”レベルまたは“Ｌｏｗ”レベルを取り込んで保持する。そして、Ｄ－ＦＦ３３０１は、保持している“Ｈｉｇｈ”レベルまたは“Ｌｏｗ”レベルの出力信号ＦＦＯＵＴをカウンタ３３０２に出力する。このため、カウンタ３３０２は、原発振クロック信号ＸｔａｌＩの立ち上がりエッジのタイミングでＤ－ＦＦ３３０１が出力した出力信号ＦＦＯＵＴの“Ｈｉｇｈ”レベルのみをカウントし、カウント値が３１～１の間の位相比較結果信号ＰＤを出力する。図８の（ｄ）には、カウンタ３３０２が、カウント値≒１５（カウント値＝１５に近い範囲の複数の値）の位相比較結果信号ＰＤを出力している場合の一例を示している。

[0113] このような構成および動作によって位相比較部３３０は、遅延内部クロック信号ＤＩＣＫと原発振クロック信号ＸｔａｌＩとの位相を比較した結果を表す位相比較結果信号ＰＤを、制御部２０に出力する。つまり、位相比較部３３０は、遅延内部クロック信号ＤＩＣＫの立ち上がりエッジの位相に対する原発振クロック信号ＸｔａｌＩの立ち上がりエッジの位相の状態に応じて異なるカウント値の位相比較結果信号ＰＤを、制御部２０に出力する。これにより、半導体集積回路３では、制御部２０が、位相比較部３３０から出力された位相比較結果信号ＰＤが表すカウント値に基づいて、遅延調整部３２０にエッジ検出信号ＥＤを遅延させる時間を、内部クロック信号ＩＣＫの位相調整量として決定する。

[0114] なお、図８の（ａ）～図８の（ｄ）には、原発振クロック信号ＸｔａｌＩにおける予め定めた周期の期間だけ、遅延内部クロック信号ＤＩＣＫのレベル

が“Ｈｉｇｈ”レベルであるときをカウントする構成および動作の位相比較部３３０を示した。しかし、位相比較部３３０は、図８の（ａ）～図８の（ｄ）に示した構成および動作の位相比較部に限定されるものではない。より具体的には、半導体集積回路３に備える位相比較部３３０は、遅延内部クロック信号ＤＩＣＫと原発振クロック信号Ｘｔａｌとの位相を比較し、少なくとも、遅延内部クロック信号ＤＩＣＫの立ち上がりエッジの位相が基準クロック信号ＲＣＫの立ち上がりエッジの位相と一致しているか否かを表す位相比較結果信号ＰＤを出力することができれば、どのような構成および動作の位相比較部であってもよい。

[0115] 次に、図８の（ｅ）を用いて、制御部２０が遅延調整部３２０にエッジ検出信号ＥＤを遅延させる時間（遅延調整値）を決定する動作の一例について説明する。制御部２０は、位相比較部３３０から出力された位相比較結果信号ＰＤが表すカウント値が、遅延内部クロック信号ＤＩＣＫと原発振クロック信号Ｘｔａｌとの位相が遅れている状態または進んでいる状態で安定していることを表している範囲内に、遅延調整部３２０にエッジ検出信号ＥＤを遅延させる時間（遅延調整値）を決定する。言い換えれば、制御部２０は、位相比較部３３０から出力された位相比較結果信号ＰＤが表すカウント値が、遅延内部クロック信号ＤＩＣＫの立ち上がりエッジの位相が原発振クロック信号Ｘｔａｌの立ち上がりエッジの位相に一致していないことを表している範囲内に、遅延調整部３２０に備えたＤ型フリップフロップの段数を決定する。

[0116] 上述したように、位相比較部３３０は、遅延内部クロック信号ＤＩＣＫの立ち上がりエッジの位相が、原発振クロック信号Ｘｔａｌの立ち上がりエッジの位相よりも遅れている状態のときには、カウント値＝３２の位相比較結果信号ＰＤを出力する。また、位相比較部３３０は、遅延内部クロック信号ＤＩＣＫの立ち上がりエッジの位相が、原発振クロック信号Ｘｔａｌの立ち上がりエッジの位相よりも進んでいる状態のときには、カウント値＝０の位相比較結果信号ＰＤを出力する。また、位相比較部３３０は、遅延内部クロ

ック信号ＤＩＣＫの立ち上がりエッジの位相が、原発振クロック信号Ｘｔａｌの立ち上がりエッジの位相に一致している状態のときには、カウント値が３１～１の間の位相比較結果信号ＰＤを出力する。

[0117] このため、制御部２０は、位相比較部３３０から出力された位相比較結果信号ＰＤが表すカウント値が、遅延内部クロック信号ＤＩＣＫと原発振クロック信号Ｘｔａｌとの位相が遅れている状態または進んでいる状態であることを表している範囲を遅延調整値に決定する。つまり、制御部２０は、位相比較部３３０から出力された位相比較結果信号ＰＤが表すカウント値が、カウント値＝３２またはカウント値＝０である範囲（図８の（ｅ）に示した「位相＝一致」以外の範囲）の遅延調整値を決定し、この遅延調整値となるＤ型フリップフロップの段数を設定（選択）するための遅延調整信号ＤＡを、遅延調整部３２０に出力する。

[0118] なお、半導体集積回路３でも、第１の実施形態の半導体集積回路１や第２の実施形態の半導体集積回路２と同様に、装置のシステム基板の電源がオンされ、制御部２０が起動したときに位相調整の動作を開始し、位相調整イネーブル信号ＥＮを“Ｈｉｇｈ”レベルにする。しかし、半導体集積回路３では、制御部２０が起動したときの位相調整の動作において遅延調整部３２０に出力した遅延調整信号ＤＡが、必ずしも遅延内部クロック信号ＤＩＣＫと原発振クロック信号Ｘｔａｌとの位相が遅れている状態または進んでいる状態であることを表している範囲の遅延調整値であるとは限らない。つまり、制御部２０が起動したときに遅延調整部３２０に設定したＤ型フリップフロップの段数で動作した後に位相比較部３３０が位相比較をした結果、遅延内部クロック信号ＤＩＣＫの立ち上がりエッジの位相が、原発振クロック信号Ｘｔａｌの立ち上がりエッジの位相に一致している状態であることも考えられる。この場合、制御部２０は、位相調整イネーブル信号ＥＮを一旦“Ｌｏｗ”レベルにして異なる遅延調整値になる遅延調整信号ＤＡを遅延調整部３２０に出力して、位相調整イネーブル信号ＥＮを再度“Ｈｉｇｈ”レベルにする。つまり、制御部２０は、遅延内部クロック信号ＤＩＣＫの立ち上がり

エッジの位相が原発振クロック信号Ｘｔａｌの立ち上がりエッジの位相に一致していることを表す位相比較結果信号ＰＤが位相比較部３３０から出力された場合には、起動したときと同様に位相調整の動作をやり直す。これにより、遅延調整部３２０は、セレクタ３２０５によって異なる段数のＤ型フリップフロップから出力された出力信号を選択した同期リセット信号ＳＲをクロック分周回路３１に出力し、クロック分周回路３１は、異なる位相の内部クロック信号ＩＣＫを生成し直して、大規模回路ブロック３２内のそれぞれの回路要素に出力する。

[0119] なお、制御部２０は、位相比較部３３０から、遅延内部クロック信号ＤＩＣＫの立ち上がりエッジの位相が原発振クロック信号Ｘｔａｌの立ち上がりエッジの位相に一致していることを表す位相比較結果信号ＰＤがさらに出力された場合には、同様に位相調整の動作をやり直すことによって、クロック分周回路３１が生成する内部クロック信号ＩＣＫの位相を変更する。つまり、制御部２０は、位相比較部３３０から出力された位相比較結果信号ＰＤに応じて位相調整の動作を繰り返すことによって、クロック分周回路３１が生成する内部クロック信号ＩＣＫの位相調整量を変更する。

[0120] なお、制御部２０は、クロック分周回路３１が生成する内部クロック信号ＩＣＫの位相調整量を変更した最終的な遅延調整値を記憶しておく構成であってもよい。この場合、半導体集積回路３を搭載した装置（システム）では、例えば、システム基板の電源をオフせずに消費電力を低減する、つまり、基準クロック信号ＲＣＫの生成を継続した状態で他の構成要素の動作を停止するスタンバイモードやスリープモードなどの低消費電力モードから通常の動作モードに復帰する際に、記憶しておいた遅延調整値に基づいて、クロック分周回路３１が生成する内部クロック信号ＩＣＫの位相調整量を変更することができる。これにより、半導体集積回路３を搭載した装置（システム）では、制御部２０が位相比較部３３０から出力された位相比較結果信号ＰＤに応じて位相調整の動作を繰り返すよりも早く、通常の動作モードに復帰することができる。つまり、半導体集積回路３を搭載した装置（システム）で

は、原発振クロック信号Ｘｔａｌと内部クロック信号ＩＣＫとの位相の関係が変わってしまうことがなければ、クロック分周回路３１が生成する内部クロック信号ＩＣＫの位相調整量を変更するための位相調整の動作をすることなく、以前の遅延調整値を利用することができる。

[0121] なお、図８の（ｅ）では、位相比較部３３０から出力された位相比較結果信号ＰＤが表すカウント値がカウント値＝３２またはカウント値＝０である範囲以外を、「位相＝一致」の範囲とし、この「位相＝一致」範囲以外、つまり、位相比較結果信号ＰＤが表すカウント値がカウント値＝３２またはカウント値＝０である場合のみを、決定する遅延調整値とする動作を説明した。しかし、例えば、半導体集積回路３が発生した電源ノイズ（自己ノイズ）によって起こる、クロック供給回路（水晶発振子）が発振する原発振クロック信号Ｘｔａｌや、コンパレータ１０が出力する基準クロック信号ＲＣＫの立ち上がりエッジの変動（ジッタ）に許容範囲があることも考えられる。この場合、制御部２０は、「位相＝遅れ」や「位相＝進み」とする範囲を広げて、位相比較結果信号ＰＤが表すカウント値が、例えば、カウント値＝３～カウント値＝３０の間である場合を、「位相＝一致」の範囲としてもよい。

[0122] このように、半導体集積回路３では、ダミー遅延部３３１によって、内部クロック信号ＩＣＫのクロック経路の伝搬遅延（伝搬遅延３４）によって、大規模回路ブロック３２に備えたそれぞれの回路要素に入力される内部クロック信号ＩＣＫの遅延を模擬する。また、半導体集積回路３では、位相比較部３３０が、基準クロック信号ＲＣＫ（原発振クロック信号Ｘｔａｌ）の立ち上がりエッジの位相と、ダミー遅延部３３１が遅延させた内部クロック信号ＩＣＫ（遅延内部クロック信号ＤＩＣＫ）の立ち上がりエッジの位相とを比較する。そして、半導体集積回路３では、制御部２０が、位相比較部３３０から出力された位相比較結果信号ＰＤに基づいて、遅延調整部３２０にエッジ検出信号ＥＤを遅延させる時間、つまり、クロック分周回路３１が生成する内部クロック信号ＩＣＫの位相調整量を遅延調整部３２０に設定する。これにより、半導体集積回路３では、内部クロック信号ＩＣＫのクロック経

路に伝搬遅延がある場合でも、内部クロック信号ＩＣＫの立ち上がりエッジのタイミングを、基準クロック信号ＲＣＫ（原発振クロック信号Ｘｔａｌ）の立ち上がりエッジのタイミングからずらす。これにより、半導体集積回路３でも、第１の実施形態の半導体集積回路１や第２の実施形態の半導体集積回路２と同様に、外部に出力する出力信号ＯＵＴのレベルの変化（遷移）によって装置のシステム基板に発生させてしまう電源ノイズ（自己ノイズ）のタイミングが、基準クロック信号ＲＣＫ（原発振クロック信号Ｘｔａｌ）の立ち上がりエッジのタイミングからずれる。このため、半導体集積回路３でも、第１の実施形態の半導体集積回路１や第２の実施形態の半導体集積回路２と同様に、電源ノイズ（自己ノイズ）を発生させたとしても、この電源ノイズは、基準クロック信号ＲＣＫ（原発振クロック信号Ｘｔａｌ）の立ち上がりエッジを変動させる（ジッタを起こさせる）要因にはならない。言い換えれば、半導体集積回路３でも、第１の実施形態の半導体集積回路１や第２の実施形態の半導体集積回路２と同様に、基準クロック信号ＲＣＫ（原発振クロック信号Ｘｔａｌ）の立ち上がりエッジに変動（ジッタ）を引き起こす要因となる電源ノイズ（自己ノイズ）をなくしている。

[0123] 第３の実施形態によれば、分周クロック信号（内部クロック信号ＩＣＫ）の経路の伝搬遅延（伝搬遅延３４）を模擬し、内部クロック信号ＩＣＫを伝搬遅延に応じた時間だけ遅延させる遅延部（ダミー遅延部３３１）と、基準クロック信号（基準クロック信号ＲＣＫ、原発振クロック信号Ｘｔａｌであってもよい）と、ダミー遅延部３３１が遅延させた内部クロック信号ＩＣＫとの位相を比較する位相比較部（位相比較部３３０）と、をさらに備える、半導体集積回路（半導体集積回路３）が構成される。

[0124] また、第３の実施形態によれば、遅延調整部（遅延調整部３２０）は、位相比較部３３０の位相比較結果に基づいて設定された同期クロック信号（同期クロック信号ＰＬＬＯＵＴ）の周期分の時間だけ、エッジ検出信号（エッジ検出信号ＥＤ）を遅延させる、半導体集積回路３が構成される。

[0125] また、第３の実施形態によれば、エッジ検出回路（エッジ検出回路３１０

）にエッジ（第１の実施形態では、立ち上がりエッジ）の検出を開始させるとともに、位相比較部３３０の位相比較結果に基づいて、エッジ検出信号ＥＤを遅延させる時間を遅延調整部３２０に設定する制御部（制御部２０）、をさらに備える、半導体集積回路３が構成される。

[0126] 上述したように、第３の実施形態の半導体集積回路３では、第１の実施形態や第２の実施形態の半導体集積回路と同様に、エッジ検出回路３１０が基準クロック信号ＲＣＫの立ち上がりエッジを検出する。また、第３の実施形態の半導体集積回路３では、第２の実施形態の半導体集積回路２と同様に、遅延調整部３２０がタイミングを遅らせてクロック分周回路３１をリセットする。このとき、第３の実施形態の半導体集積回路３では、制御部２０が、位相比較部３３０が基準クロック信号ＲＣＫの立ち上がりエッジの位相と、ダミー遅延部３３１が遅延させた内部クロック信号ＩＣＫ（遅延内部クロック信号ＤＩＣＫ）の立ち上がりエッジの位相とを比較した位相比較結果信号ＰＤに基づいて、遅延調整部３２０がクロック分周回路３１をリセットするタイミングを遅らせる時間を遅延調整部３２０に設定する。これにより、第３の実施形態の半導体集積回路３では、内部クロック信号ＩＣＫのクロック経路に伝搬遅延がある場合でも、第１の実施形態や第２の実施形態の半導体集積回路と同様に、クロック分周回路３１が生成する内部クロック信号ＩＣＫの立ち上がりエッジのタイミングを、基準クロック信号ＲＣＫ（原発振クロック信号Ｘｔａｌ）の立ち上がりエッジのタイミングからずらす。これにより、第３の実施形態の半導体集積回路３でも、第１の実施形態や第２の実施形態の半導体集積回路と同様に、外部に出力する出力信号ＯＵＴのレベルの変化（遷移）によって、第３の実施形態の半導体集積回路３を搭載した装置（システム）のシステム基板に電源ノイズ（自己ノイズ）を発生させてしまった場合でも、この電源ノイズ（自己ノイズ）が発生するタイミングが、基準クロック信号ＲＣＫ（原発振クロック信号Ｘｔａｌ）の立ち上がりエッジのタイミングからずれることになる。このことにより、第３の実施形態の半導体集積回路３でも、第１の実施形態や第２の実施形態の半導体集積回路

と同様に、発生させてしまった電源ノイズ（自己ノイズ）が、基準クロック信号ＲＣＫ（原発振クロック信号Ｘｔａｌ）の立ち上がりエッジを変動させる（ジッタを起こさせる）要因にはならない。つまり、第３の実施形態の半導体集積回路３でも、第１の実施形態や第２の実施形態の半導体集積回路と同様に、基準クロック信号ＲＣＫ（原発振クロック信号Ｘｔａｌ）の立ち上がりエッジに変動（ジッタ）を引き起こすタイミングでの電源ノイズ（自己ノイズ）の発生をなくしている。

[0127] このことにより、第３の実施形態の半導体集積回路３を搭載した装置（システム）でも、第１の実施形態や第２の実施形態の半導体集積回路を搭載した装置（システム）と同様に、第３の実施形態の半導体集積回路３が発生させてしまった電源ノイズ（自己ノイズ）に起因するシステム全体の性能の低下を抑えることができる。

[0128] なお、第３の実施形態の半導体集積回路３では、制御部２０が、位相比較部３３０から出力された位相比較結果信号ＰＤに応じて位相調整の動作を繰り返すことによって、クロック分周回路３１が生成する内部クロック信号ＩＣＫの位相調整量を順次変更する構成について説明した。これは、位相比較部３３０が、遅延内部クロック信号ＤＩＣＫの立ち上がりエッジの位相が、基準クロック信号ＲＣＫの立ち上がりエッジの位相よりも進んでいるか遅れているかを表す位相比較結果信号ＰＤを出力する構成であることによるものである。しかし、上述したように、半導体集積回路３に備える位相比較部３３０は、遅延内部クロック信号ＤＩＣＫと原発振クロック信号Ｘｔａｌとの位相を比較することができれば、どのような構成および動作の位相比較部であってもよい。このため、半導体集積回路３に備える位相比較部３３０は、例えば、遅延内部クロック信号ＤＩＣＫの立ち上がりエッジの位相と基準クロック信号ＲＣＫの立ち上がりエッジの位相とを比較し、位相のずれ量の大きさを表す情報が含まれている位相比較結果信号ＰＤを出力する構成であってもよい。この場合、制御部２０は、位相調整の動作を繰り返さなくても、位相比較部３３０から出力された１回分の位相比較結果信号ＰＤに基づいて

、遅延調整部３２０にエッジ検出信号ＥＤを遅延させる時間を直ちに決定することができる。そして、この場合には、制御部２０は、決定した結果に応じて、クロック分周回路３１が生成する内部クロック信号ＩＣＫの位相調整量を１回のみ遅延調整部３２０に設定する動作をしてもよい。

[0129] なお、第２の実施形態や第３の実施形態の半導体集積回路では、遅延調整部３２０が、同期クロック信号ＰＬＬＯＵＴの周期の単位でエッジ検出信号ＥＤを遅延させた同期リセット信号ＳＲによって、クロック分周回路３１が生成する内部クロック信号ＩＣＫの立ち上がりエッジのタイミングを、基準クロック信号ＲＣＫ（原発振クロック信号Ｘｔａｌ）の立ち上がりエッジのタイミングから同期クロック信号ＰＬＬＯＵＴの周期の単位で位相をずらす構成について説明した。しかし、第２の実施形態や第３の実施形態の半導体集積回路においては、内部クロック信号ＩＣＫのクロック経路の伝搬遅延（伝搬遅延３４）の遅延量は、必ずしも同期クロック信号ＰＬＬＯＵＴの周期の単位で表されるとは限らない。つまり、第２の実施形態や第３の実施形態の半導体集積回路においては、大規模回路ブロック３２に備えたそれぞれの回路要素に入力される内部クロック信号ＩＣＫの遅延時間が、同期クロック信号ＰＬＬＯＵＴの周期の間の時間であることも考えられる。この場合であっても、第２の実施形態や第３の実施形態の半導体集積回路では、同期クロック信号ＰＬＬＯＵＴの周期の単位でクロック分周回路３１が生成する内部クロック信号ＩＣＫの位相をずらしているため、発生させてしまった電源ノイズ（自己ノイズ）が、基準クロック信号ＲＣＫ（原発振クロック信号Ｘｔａｌ）の立ち上がりエッジを変動させる（ジッタを起こさせる）要因にはならない。しかし、第２の実施形態や第３の実施形態の半導体集積回路においてクロック分周回路３１が生成する内部クロック信号ＩＣＫの立ち上がりエッジのタイミングを基準クロック信号ＲＣＫ（原発振クロック信号Ｘｔａｌ）の立ち上がりエッジのタイミングからずらす量（内部クロック信号ＩＣＫの位相調整量）は、同期クロック信号ＰＬＬＯＵＴの周期の単位に限定されるものではない。例えば、第２の実施形態や第３の実施形態の半導体集積回

路において、クロック分周回路３１が生成する内部クロック信号ＩＣＫの立ち上がりエッジのタイミングを、内部クロック信号ＩＣＫのクロック経路における伝搬遅延に合わせて、基準クロック信号ＲＣＫ（原発振クロック信号Ｘｔａｌ）の立ち上がりエッジのタイミングからずらす構成にしてもよい。

[0130]（第４の実施形態）

次に、本発明の第４の実施形態の半導体集積回路について説明する。本発明の第４の実施形態の半導体集積回路は、内部クロック信号ＩＣＫのクロック経路に、同期クロック信号ＰＬＬＯＵＴの周期の単位ではない時間の伝搬遅延があることを考慮して、内部クロック信号ＩＣＫの伝搬遅延に応じたタイミングに、内部クロック信号ＩＣＫの位相を調整する構成である。

[0131] 図９は、本発明の第４の実施形態における半導体集積回路の概略構成を示したブロック図である。図９に示した第４の実施形態の半導体集積回路の構成には、図２に示した第１の実施形態の半導体集積回路１や、図４に示した第２の実施形態の半導体集積回路２、図７に示した第３の実施形態の半導体集積回路３と同様の構成要素を含んでいる。従って、第４の実施形態の半導体集積回路の構成要素において、第１の実施形態の半導体集積回路１や、第２の実施形態の半導体集積回路２、第３の実施形態の半導体集積回路３の構成要素と同様の構成要素には、同一の符号を付与し、それぞれの構成要素に関する詳細な説明は省略する。

[0132] 図９に示した半導体集積回路４は、コンパレータ１０と、制御部２０と、システムＰＬＬ３０と、クロック分周回路３１と、エッジ検出回路３１０と、遅延調整部３２０と、位相比較部３３０と、ダミー遅延部３３１と、遅延微調整部３４０と、大規模回路ブロック３２と、出力バッファ３３と、を備えている。半導体集積回路４では、第３の実施形態の半導体集積回路３に、遅延微調整部３４０が追加されている。なお、図９に示した半導体集積回路４の構成においても、図４に示した第２の実施形態の半導体集積回路２や図７に示した第３の実施形態の半導体集積回路３と同様に、内部クロック信号ＩＣＫのクロック経路の伝搬遅延を、伝搬遅延３４によって模式的に示して

いる。また、半導体集積回路４は、ＰＬＬ４０と、大規模回路ブロック４１と、ＰＬＬ５０と、アナログ回路５１と、を備えている。

[0133] 半導体集積回路４も、図２に示した第１の実施形態の半導体集積回路１や、図４に示した第２の実施形態の半導体集積回路２、図７に示した第３の実施形態の半導体集積回路３と同様に、例えば、ＡＳＩＣなどによって実現される大規模な半導体集積回路である。半導体集積回路４も、第１の実施形態の半導体集積回路１や、第２の実施形態の半導体集積回路２、第３の実施形態の半導体集積回路３と同様に、半導体集積回路４を搭載した装置（システム）において、予め定めた機能を実現する。半導体集積回路４も、第１の実施形態の半導体集積回路１や、第２の実施形態の半導体集積回路２、第３の実施形態の半導体集積回路３と同様に、装置のシステムを構成するためのシステム基板上に実装され、同じシステム基板に共に実装されたクロック供給回路から出力された予め定めた周波数のクロック信号に基づいて、装置のシステムにおける予め定めた機能を実現するための動作をする。以下の説明においては、第１の実施形態の半導体集積回路１や、第２の実施形態の半導体集積回路２、第３の実施形態の半導体集積回路３と同様に、装置のシステム基板に実装されたクロック供給回路が水晶発振子であり、半導体集積回路４は、水晶発振子が発振した原発振クロック信号Ｘｔａｌに基づいて動作するものとして説明する。

[0134] 半導体集積回路４では、クロック分周回路３１が生成した内部クロック信号ＩＣＫを遅延微調整部３４０に出力し、遅延微調整部３４０が出力した内部クロック信号ＩＣＫＤを、大規模回路ブロック３２内のそれぞれの回路要素に出力する。また、半導体集積回路４では、ダミー遅延部３３１に入力される内部クロック信号ＩＣＫが、遅延微調整部３４０が出力した内部クロック信号ＩＣＫＤに代わっている。つまり、第３の実施形態の半導体集積回路３においてそれぞれの構成要素に出力されていた内部クロック信号ＩＣＫが、半導体集積回路４では、遅延微調整部３４０が出力する内部クロック信号ＩＣＫＤに代わっている。

[0135] 遅延微調整部３４０は、制御部２０からの制御に応じて、クロック分周回路３１から出力された内部クロック信号ＩＣＫを、同期クロック信号ＰＬＬＯＵＴの１周期内の時間だけ遅延させる。つまり、遅延微調整部３４０は、内部クロック信号ＩＣＫの立ち上がりエッジのタイミングを、内部クロック信号ＩＣＫのクロック経路における伝搬遅延３４により合わせるために微調整する。遅延微調整部３４０は、遅延させた内部クロック信号ＩＣＫを、内部クロック信号ＩＣＫＤとして、大規模回路ブロック３２内のそれぞれの回路要素、およびダミー遅延部３３１に出力する。

[0136] ここで、遅延微調整部３４０の構成の一例について説明する。図１０は、本発明の第４の実施形態の半導体集積回路４に備えた遅延微調整部３４０の概略構成の一例を示したブロック図である。遅延微調整部３４０は、４つのバッファ回路３４０１～バッファ回路３４０４と、セレクタ３４０５と、を備えている。遅延微調整部３４０では、バッファ回路３４０１、バッファ回路３４０２、バッファ回路３４０３、バッファ回路３４０４の順番で順次接続され、遅延微調整部３４０に入力された内部クロック信号ＩＣＫおよびそれぞれのバッファ回路の出力信号が、セレクタ３４０５の入力信号として接続されている。そして、遅延微調整部３４０では、セレクタ３４０５が選択した入力信号を、内部クロック信号ＩＣＫＤとして出力する。

[0137] 遅延微調整部３４０では、それぞれのバッファ回路が、入力された内部クロック信号ＩＣＫまたは前段のバッファ回路の出力信号を、バッファ回路における素子の遅延時間だけ遅延させて出力する。また、遅延微調整部３４０では、セレクタ３４０５が、制御部２０からの制御に応じて、内部クロック信号ＩＣＫまたは４つのバッファ回路の出力信号のいずれか１つの信号を選択し、選択した信号を内部クロック信号ＩＣＫＤとして出力する。

[0138] このような構成によって遅延微調整部３４０は、制御部２０からの制御に応じて、クロック分周回路３１から出力された内部クロック信号ＩＣＫをそのまま、または内部クロック信号ＩＣＫをバッファ回路の１つ分～４つ分だけ遅延させて、内部クロック信号ＩＣＫＤとして大規模回路ブロック３２内

のそれぞれの回路要素に出力する。これにより、半導体集積回路４では、大規模回路ブロック３２内のそれぞれの回路要素が動作する内部クロック信号ＩＣＫＤを、第３の実施形態の半導体集積回路３と同様に同期クロック信号ＰＬＬＯＵＴの１周期分～５周期分の位相をずらすとともに、バッファ回路の１つ分～４つ分の位相をさらにずらす構成となる。

[0139] なお、図１０には、内部クロック信号ＩＣＫをそのまま、またはバッファ回路の１つ分～４つ分だけ遅延させて出力する遅延微調整部３４０の構成を示したが、遅延微調整部３４０の構成は、図１０に示した構成に限定されるものではない。例えば、遅延微調整部３４０は、同期クロック信号ＰＬＬＯＵＴの１周期分の遅延時間を設定することはできる数のバッファ回路を備える構成にしてもよい。この構成の場合、遅延微調整部３４０は、制御部２０からの制御に応じて、内部クロック信号ＩＣＫを、同期クロック信号ＰＬＬＯＵＴの１周期のいずれのタイミングにも遅延させて、内部クロック信号ＩＣＫＤとして出力することができる。これにより、半導体集積回路２では、異なる様々な装置に搭載された場合でも、内部クロック信号ＩＣＫＤの位相調整量を適切に変更することができる。なお、遅延微調整部３４０の構成は、内部クロック信号ＩＣＫを遅延させて内部クロック信号ＩＣＫＤとして出力する構成であれば、どのような構成であってもよい。

[0140] なお、遅延微調整部３４０は、内部クロック信号ＩＣＫを遅延させる時間を変更する構成ではない、つまり、内部クロック信号ＩＣＫの位相調整量が固定の構成であってもよい。この場合、遅延微調整部３４０は、セレクタ３４０５を備えず、最終段のバッファ回路（図１０では、バッファ回路３４０４）の出力信号を、内部クロック信号ＩＣＫＤとして大規模回路ブロック３２内のそれぞれの回路要素、およびダミー遅延部３３１に出力する構成となる。

[0141] ダミー遅延部３３１は、遅延微調整部３４０から出力された内部クロック信号ＩＣＫＤを、伝搬遅延３４と同じ遅延時間だけ遅延させ、遅延内部クロック信号ＤＩＣＫとして、位相比較部３３０に出力する。

[0142] なお、半導体集積回路４では、第３の実施形態の半導体集積回路３における内部クロック信号ＩＣＫの位相調整と同様の考え方に基づいて、制御部２０が、内部クロック信号ＩＣＫの位相を微調整する際に、遅延微調整部３４０によって内部クロック信号ＩＣＫを遅延させる時間を決定し、決定した結果に応じて内部クロック信号ＩＣＫの位相調整量を遅延微調整部３４０に設定する。このとき、制御部２０が遅延微調整部３４０に対して内部クロック信号ＩＣＫの位相調整量を設定するための信号は、制御部２０が遅延調整部３２０に対して内部クロック信号ＩＣＫの位相調整量を設定するための遅延調整信号ＤＡと同様の信号であってもよい。図９に示した半導体集積回路４では、制御部２０が、遅延調整信号ＤＡを遅延微調整部３４０にも出力する構成を示している。つまり、制御部２０が、遅延調整部３２０と遅延微調整部３４０とのそれぞれが対応する信号を遅延させる時間を、遅延調整信号ＤＡによって設定する構成を示している。この場合、半導体集積回路４では、制御部２０が、遅延微調整部３４０に備えたバッファ回路によって遅延させる内部クロック信号ＩＣＫの段数を決定し、決定した段数を表す情報を、遅延調整信号ＤＡとして遅延微調整部３４０に備えたセレクタ３４０５に出力する。そして、半導体集積回路４では、遅延微調整部３４０に備えたセレクタ３４０５が、遅延調整信号ＤＡが表す段数のバッファ回路から出力された出力信号を選択し、選択した信号を内部クロック信号ＩＣＫＤとして大規模回路ブロック３２内のそれぞれの回路要素、およびダミー遅延部３３１に出力する。これにより、半導体集積回路４では、位相比較部３３０が比較した基準クロック信号ＲＣＫと遅延微調整部３４０による遅延時間を含む遅延内部クロック信号ＤＩＣＫとの位相差に応じて、クロック分周回路３１が生成する内部クロック信号ＩＣＫの位相を変更、つまり、遅延微調整部３４０が遅延させる前の内部クロック信号ＩＣＫの位相調整量を変更する。

[0143] このため、半導体集積回路４では、第３の実施形態の半導体集積回路３よりも、出力バッファ３３が出力する出力信号ＯＵＴが、遅延微調整部３４０が遅延させた同期クロック信号ＰＬＬＯＵＴの１周期内の時間分だけ遅いタ

イミングで、レベルが変化（遷移）することになる。なお、半導体集積回路４においても、第１の実施形態の半導体集積回路１や、第２の実施形態の半導体集積回路２、第３の実施形態の半導体集積回路３と同様に、出力信号ＯＵＴのレベルが変化（遷移）による電源ノイズ（自己ノイズ）が、クロック供給回路（水晶発振子）が発振する原発振クロック信号Ｘｔａｌや、コンパレータ１０が出力する基準クロック信号ＲＣＫの立ち上がりエッジにジッタを起こさせる要因にはならない。むしろ、半導体集積回路４では、基準クロック信号ＲＣＫと遅延微調整部３４０による遅延時間を含む遅延内部クロック信号ＤＩＣＫとの位相差に応じたタイミングで出力信号ＯＵＴのレベルが変化（遷移）するため、第３の実施形態の半導体集積回路３よりもさらに適切に原発振クロック信号Ｘｔａｌや基準クロック信号ＲＣＫの立ち上がりエッジに起こり得るジッタを抑えることができる。

[0144] なお、半導体集積回路４では、内部クロック信号ＩＣＫの位相調整量が第２の実施形態の半導体集積回路２や第３の実施形態の半導体集積回路３と異なるが、半導体集積回路４における内部クロック信号ＩＣＫに対する位相調整の動作は、第２の実施形態の半導体集積回路２や第３の実施形態の半導体集積回路３と同様である。従って、半導体集積回路４における内部クロック信号ＩＣＫに対する位相調整の動作に関する詳細な説明は省略する。

[0145] このように、半導体集積回路４では、遅延微調整部３４０が、クロック分周回路３１が生成した内部クロック信号ＩＣＫを、同期クロック信号ＰＬＬＯＵＴの１周期内の時間だけ遅延させる。また、半導体集積回路４では、第３の実施形態の半導体集積回路３と同様に、位相比較部３３０が、基準クロック信号ＲＣＫ（原発振クロック信号Ｘｔａｌ）の立ち上がりエッジの位相と、ダミー遅延部３３１が遅延させた内部クロック信号ＩＣＫ（遅延微調整部３４０による遅延時間を含む遅延内部クロック信号ＤＩＣＫ）の立ち上がりエッジの位相とを比較する。そして、半導体集積回路４では、制御部２０が、位相比較部３３０から出力された位相比較結果信号ＰＤに基づいて、遅延調整部３２０にエッジ検出信号ＥＤを遅延させる時間および遅延微調整部

３４０に内部クロック信号ＩＣＫを遅延させる時間、つまり、クロック分周回路３１が生成する内部クロック信号ＩＣＫの位相調整量を、遅延調整部３２０と遅延微調整部３４０とのそれぞれに設定する。これにより、半導体集積回路４では、内部クロック信号ＩＣＫのクロック経路に伝搬遅延がある場合でも、内部クロック信号ＩＣＫの立ち上がりエッジのタイミングを、基準クロック信号ＲＣＫ（原発振クロック信号Ｘｔａｌ）の立ち上がりエッジのタイミングからずらす。これにより、半導体集積回路４でも、第１の実施形態の半導体集積回路１や、第２の実施形態の半導体集積回路２、第３の実施形態の半導体集積回路３と同様に、外部に出力する出力信号ＯＵＴのレベルの変化（遷移）によって装置のシステム基板に発生させてしまう電源ノイズ（自己ノイズ）のタイミングが、基準クロック信号ＲＣＫ（原発振クロック信号Ｘｔａｌ）の立ち上がりエッジのタイミングからずれる。このため、半導体集積回路４でも、第１の実施形態の半導体集積回路１や、第２の実施形態の半導体集積回路２、第３の実施形態の半導体集積回路３と同様に、電源ノイズ（自己ノイズ）を発生させたとしても、この電源ノイズは、基準クロック信号ＲＣＫ（原発振クロック信号Ｘｔａｌ）の立ち上がりエッジを変動させる（ジッタを起こさせる）要因にはならない。言い換えれば、半導体集積回路４でも、第１の実施形態の半導体集積回路１や、第２の実施形態の半導体集積回路２、第３の実施形態の半導体集積回路３と同様に、基準クロック信号ＲＣＫ（原発振クロック信号Ｘｔａｌ）の立ち上がりエッジに変動（ジッタ）を引き起こす要因となる電源ノイズ（自己ノイズ）をなくしている。

[0146] 第４の実施形態によれば、分周クロック信号（内部クロック信号ＩＣＫ）を同期クロック信号（同期クロック信号ＰＬＬＯＵＴ）の１周期内の時間だけ遅延させる遅延微調整部（遅延微調整部３４０）、をさらに備え、遅延部（ダミー遅延部３３１）は、遅延微調整部３４０が遅延させた内部クロック信号ＩＣＫを、伝搬遅延（伝搬遅延３４）に応じた時間だけさらに遅延させる半導体集積回路（半導体集積回路４）が構成される。

[0147] また、第４の実施形態によれば、遅延微調整部３４０は、位相比較部（位相比較部３３０）の位相比較結果に基づいて設定された時間だけ、内部クロック信号ＩＣＫを遅延させる、半導体集積回路４が構成される。

[0148] また、第４の実施形態によれば、エッジ検出回路（エッジ検出回路３１０）にエッジ（第１の実施形態では、立ち上がりエッジ）の検出を開始させるとともに、位相比較部３３０の位相比較結果に基づいて、遅延調整部（遅延調整部３２０）にエッジ検出信号（エッジ検出信号ＥＤ）を遅延させる時間を設定し、遅延微調整部３４０に内部クロック信号ＩＣＫを遅延させる時間を設定する制御部（制御部２０）、をさらに備える、半導体集積回路４が構成される。

[0149] 上述したように、第４の実施形態の半導体集積回路４では、第１～第３の実施形態の半導体集積回路と同様に、エッジ検出回路３１０が基準クロック信号ＲＣＫの立ち上がりエッジを検出する。また、第４の実施形態の半導体集積回路４では、第２および第３の実施形態の半導体集積回路と同様に、遅延調整部３２０がタイミングを遅らせてクロック分周回路３１をリセットする。このとき、第４の実施形態の半導体集積回路４では、制御部２０が、位相比較部３３０が基準クロック信号ＲＣＫの立ち上がりエッジの位相と、ダミー遅延部３３１が遅延させた内部クロック信号ＩＣＫ（遅延微調整部３４０による遅延時間を含む遅延内部クロック信号ＤＩＣＫ）の立ち上がりエッジの位相とを比較した位相比較結果信号ＰＤに基づいて、遅延調整部３２０がクロック分周回路３１をリセットするタイミングを遅らせる時間を遅延調整部３２０に設定する。また、第４の実施形態の半導体集積回路４では、制御部２０が、遅延微調整部３４０によってクロック分周回路３１が生成した内部クロック信号ＩＣＫを遅延させる、同期クロック信号ＰＬＬＯＵＴの１周期内の時間を遅延微調整部３４０に設定する。これにより、第４の実施形態の半導体集積回路４では、内部クロック信号ＩＣＫのクロック経路に伝搬遅延がある場合でも、第１～第３の実施形態の半導体集積回路と同様に、クロック分周回路３１が生成する内部クロック信号ＩＣＫの立ち上がりエッジ

のタイミングを、基準クロック信号ＲＣＫ（原発振クロック信号Ｘｔａｌ）の立ち上がりエッジのタイミングからずらす。これにより、第４の実施形態の半導体集積回路４でも、第１～第３の実施形態の半導体集積回路と同様に、外部に出力する出力信号ＯＵＴのレベルの変化（遷移）によって、第４の実施形態の半導体集積回路４を搭載した装置（システム）のシステム基板に電源ノイズ（自己ノイズ）を発生させてしまった場合でも、この電源ノイズ（自己ノイズ）が発生するタイミングが、基準クロック信号ＲＣＫ（原発振クロック信号Ｘｔａｌ）の立ち上がりエッジのタイミングからずれることになる。このことにより、第４の実施形態の半導体集積回路４でも、第１～第３の実施形態の半導体集積回路と同様に、発生させてしまった電源ノイズ（自己ノイズ）が、基準クロック信号ＲＣＫ（原発振クロック信号Ｘｔａｌ）の立ち上がりエッジを変動させる（ジッタを起こさせる）要因にはならない。つまり、第４の実施形態の半導体集積回路４でも、第１～第３の実施形態の半導体集積回路と同様に、基準クロック信号ＲＣＫ（原発振クロック信号Ｘｔａｌ）の立ち上がりエッジに変動（ジッタ）を引き起こすタイミングでの電源ノイズ（自己ノイズ）の発生をなくしている。

[0150] このことにより、第４の実施形態の半導体集積回路４を搭載した装置（システム）でも、第１～第３の実施形態の半導体集積回路を搭載した装置（システム）と同様に、第４の実施形態の半導体集積回路４が発生させてしまった電源ノイズ（自己ノイズ）に起因するシステム全体の性能の低下を抑えることができる。

[0151] なお、第４の実施形態の半導体集積回路４でも、第３の実施形態の半導体集積回路３と同様に、制御部２０が、位相比較部３３０から出力された位相比較結果信号ＰＤに応じて位相調整の動作を繰り返すことによって、クロック分周回路３１が生成する内部クロック信号ＩＣＫの位相調整量を順次変更する構成であってもよい。しかし、第４の実施形態の半導体集積回路４でも、第３の実施形態の半導体集積回路３と同様に、位相比較部３３０を、位相のずれ量の大きさを表す情報が含まれている位相比較結果信号ＰＤを出力す

る構成とし、制御部２０が、位相調整の動作を繰り返さないようにしてもよい。つまり、第４の実施形態の半導体集積回路４でも、第３の実施形態の半導体集積回路３と同様に、制御部２０が、位相比較部３３０から出力された１回分の位相比較結果信号ＰＤに基づいて、遅延調整部３２０および遅延微調整部３４０にそれぞれに、クロック分周回路３１が生成する内部クロック信号ＩＣＫの位相調整量を１回のみ設定する動作をしてもよい。

[0152] また、第４の実施形態の半導体集積回路４でも、第３の実施形態の半導体集積回路３と同様に、制御部２０が、クロック分周回路３１が生成する内部クロック信号ＩＣＫの位相調整量を変更した最終的な遅延調整値を記憶しておく構成であってもよい。この場合、第４の実施形態の半導体集積回路４を搭載した装置（システム）でも、第３の実施形態の半導体集積回路３を搭載した装置（システム）と同様に、例えば、スタンバイモードやスリープモードなどの低消費電力モードから通常の動作モードに復帰する際に、制御部２０は、以前の遅延調整値を利用して、クロック分周回路３１が生成する内部クロック信号ＩＣＫの位相調整量を変更することができる。

[0153] 上記に述べたように、本発明の各実施形態によれば、半導体集積回路に、基準クロック信号（原発振クロック信号）の立ち上がりエッジを検出し、検出した基準クロック信号のタイミングで、内部クロック信号を生成するクロック分周回路をリセットするエッジ検出回路を備える。これにより、本発明の各実施形態では、半導体集積回路において、クロック分周回路が生成する内部クロック信号の立ち上がりエッジのタイミングを、基準クロック信号の立ち上がりエッジのタイミングからずらす。つまり、本発明の各実施形態では、半導体集積回路において、クロック分周回路が生成する内部クロック信号の位相を、基準クロック信号の位相からずらす。これにより、本発明の各実施形態では、半導体集積回路が外部に出力する出力信号のレベルが変化（遷移）するタイミングが、基準クロック信号の立ち上がりエッジのタイミングからずれることになる。これにより、本発明の各実施形態では、半導体集積回路が外部に出力する出力信号のレベルの変化（遷移）によって、半導体

集積回路を搭載した装置（システム）のシステム基板に発生させてしまう電源ノイズ（自己ノイズ）が、基準クロック信号の立ち上がりエッジを変動させる（ジッタを起こさせる）要因とはならなくなる。

[0154] また、本発明の各実施形態によれば、半導体集積回路に、クロック分周回路が分周して生成する内部クロック信号の元のクロック信号（ＰＬＬクロック信号）の周期の単位で、エッジ検出回路がクロック分周回路をリセットするタイミングを遅らせる遅延調整部を備える。また、本発明の各実施形態では、制御部が、遅延調整部がクロック分周回路をリセットするタイミングを遅らせる時間を設定する。これにより、本発明の各実施形態では、半導体集積回路において内部クロック信号のクロック経路に伝搬遅延がある場合でも、内部クロック信号の位相を基準クロック信号の位相からずらし、半導体集積回路を搭載した装置（システム）のシステム基板に発生させてしまう電源ノイズ（自己ノイズ）が、基準クロック信号の立ち上がりエッジを変動させる（ジッタを起こさせる）要因とはならなくなる。

[0155] また、本発明の各実施形態によれば、半導体集積回路に、内部クロック信号のクロック経路の伝搬遅延の遅延量を模擬するダミー遅延部と、基準クロック信号とダミー遅延部が遅延させた内部クロック信号との位相を比較する位相比較部とを備える。また、本発明の各実施形態では、半導体集積回路に、クロック分周回路が生成する内部クロック信号を、内部クロック信号を生成する元のクロック信号（ＰＬＬクロック信号）の１周期内の時間だけ遅延させる遅延微調整部を備える。そして、本発明の各実施形態では、制御部が、基準クロック信号とダミー遅延部が遅延させた内部クロック信号との位相差に応じて、クロック分周回路をリセットするタイミング、つまり、内部クロック信号の位相を変更（調整）する。これにより、本発明の各実施形態では、半導体集積回路において、基準クロック信号と遅延内部クロック信号との位相差に応じて、内部クロック信号の位相を基準クロック信号の位相からずらし、半導体集積回路を搭載した装置（システム）のシステム基板に発生させてしまう電源ノイズ（自己ノイズ）が、基準クロック信号の立ち上がり

エッジを変動させる（ジッタを起こさせる）要因とはならなくなる。

[0156] このように、本発明の各実施形態では、半導体集積回路において、基準クロック信号の立ち上がりエッジに変動（ジッタ）を引き起こすタイミングでの電源ノイズ（自己ノイズ）の発生をなくすことができる。つまり、本発明の各実施形態では、半導体集積回路を搭載した装置（システム）において、半導体集積回路が発生する電源ノイズに起因する基準クロック信号の立ち上がりエッジの変動（ジッタ）を抑えることができる。このことにより、本発明の各実施形態では、半導体集積回路を搭載した装置（システム）において、半導体集積回路が発生させてしまった電源ノイズ（自己ノイズ）に起因するシステム全体の性能の低下を抑えることができる。

[0157] なお、本発明の各実施形態では、本発明の半導体集積回路が、基準クロック信号の立ち上がりエッジを変動させる（ジッタを起こさせる）要因となるタイミングでの電源ノイズ（自己ノイズ）の発生をなくす構成である場合について説明した。しかし、半導体集積回路においては、基準クロック信号と内部クロック信号との位相に関連する電源ノイズ（自己ノイズ）が、他のエッジ同士の関係においても発生することも考えられる。例えば、半導体集積回路が、基準クロック信号の立ち下がりエッジを基準として動作する場合には、基準クロック信号の立ち下がりエッジと、内部クロック信号の立ち下がりエッジや立ち上がりエッジとの関係によって電源ノイズ（自己ノイズ）が発生することも考えられる。この場合でも、本発明の半導体集積回路における考え方、つまり、内部クロック信号の立ち上がりエッジのタイミングを基準クロック信号の立ち上がりエッジのタイミングからずらすという考え方は、それぞれのクロック信号のエッジ同士の関係がいかなる関係であっても同様に、容易に適用することができる。そして、本発明の半導体集積回路における考え方を適用することによって、同様の効果を得ることができる。

[0158] 以上、本発明の好ましい実施形態を説明したが、本発明はこれら実施形態およびその変形例に限定されることはない。本発明の趣旨を逸脱しない範囲で、構成の付加、省略、置換、およびその他の変更をすることができる。

また、本発明は前述した説明によって限定されることはなく、添付のクレームの範囲によってのみ限定される。

産業上の利用可能性

[0159] 上記各実施形態によれば、半導体集積回路が発生する電源ノイズに起因するクロック信号の変動を抑えることができる。

符号の説明

[0160] １，２，３，４　半導体集積回路

１０　コンパレータ

２０　制御部

３０　システムＰＬＬ（位相同期回路）

３１　クロック分周回路

３１０　エッジ検出回路

３２０　遅延調整部

３２０１，３２０２，３２０３，３２０４　Ｄ型フリップフロップ（遅延調整部）

３２０５　セレクタ（遅延調整部）

３３０　位相比較部

３３０１　Ｄ型フリップフロップ（位相比較部）

３３０２　カウンタ（位相比較部）

３３１　ダミー遅延部（遅延部）

３４０　遅延微調整部

３４０１，３４０２，３４０３，３４０４　バッファ回路（遅延微調整部）

３４０５　セレクタ（遅延微調整部）

３２　大規模回路ブロック

３３　出力バッファ

３４　伝搬遅延

４０　ＰＬＬ（位相同期回路）

４１　大規模回路ブロック

５０　ＰＬＬ（位相同期回路）

５１　アナログ回路

請求の範囲

[請求項1] 基準クロック信号に同期し、前記基準クロック信号を逓倍した同期クロック信号を生成する位相同期回路と、

前記同期クロック信号のタイミングで前記基準クロック信号の信号波形が変化するエッジを検出し、前記エッジが検出されたタイミングを表すエッジ検出信号を出力するエッジ検出回路と、

前記エッジ検出信号に応じたタイミングでリセットされ、前記同期クロック信号を分周した分周クロック信号を生成するクロック分周回路と、

を備える、

半導体集積回路。

[請求項2] 前記エッジ検出回路は、

前記同期クロック信号の１周期分の前記エッジ検出信号を出力する、

請求項１に記載の半導体集積回路。

[請求項3] 前記エッジ検出信号を前記同期クロック信号の周期の単位で遅延させる遅延調整部、

をさらに備える、

請求項２に記載の半導体集積回路。

[請求項4] 前記分周クロック信号の経路の伝搬遅延を模擬し、前記分周クロック信号を前記伝搬遅延に応じた時間だけ遅延させる遅延部と、

前記基準クロック信号と、前記遅延部が遅延させた前記分周クロック信号との位相を比較する位相比較部と、

をさらに備える、

請求項３に記載の半導体集積回路。

[請求項5] 前記遅延調整部は、

前記位相比較部の位相比較結果に基づいて設定された前記同期クロック信号の周期分の時間だけ、前記エッジ検出信号を遅延させる、

請求項４に記載の半導体集積回路。

[請求項6] 前記分周クロック信号を前記同期クロック信号の１周期内の時間だけ遅延させる遅延微調整部、

をさらに備え、

前記遅延部は、

前記遅延微調整部が遅延させた前記分周クロック信号を、前記伝搬遅延に応じた時間だけさらに遅延させる、

請求項５に記載の半導体集積回路。

[請求項7] 前記遅延微調整部は、

前記位相比較部の位相比較結果に基づいて設定された時間だけ、前記分周クロック信号を遅延させる、

請求項６に記載の半導体集積回路。

[請求項8] 前記エッジ検出回路に前記エッジの検出を開始させる制御部、

をさらに備える、

請求項１から請求項７のいずれか１項に記載の半導体集積回路。

[請求項9] 前記エッジ検出回路に前記エッジの検出を開始させるとともに、前記エッジ検出信号を遅延させる時間を前記遅延調整部に設定する制御部、

をさらに備える、

請求項３から請求項７のいずれか１項に記載の半導体集積回路。

[請求項10] 前記エッジ検出回路に前記エッジの検出を開始させるとともに、前記位相比較部の位相比較結果に基づいて、前記エッジ検出信号を遅延させる時間を前記遅延調整部に設定する制御部、

をさらに備える、

請求項４から請求項７のいずれか１項に記載の半導体集積回路。

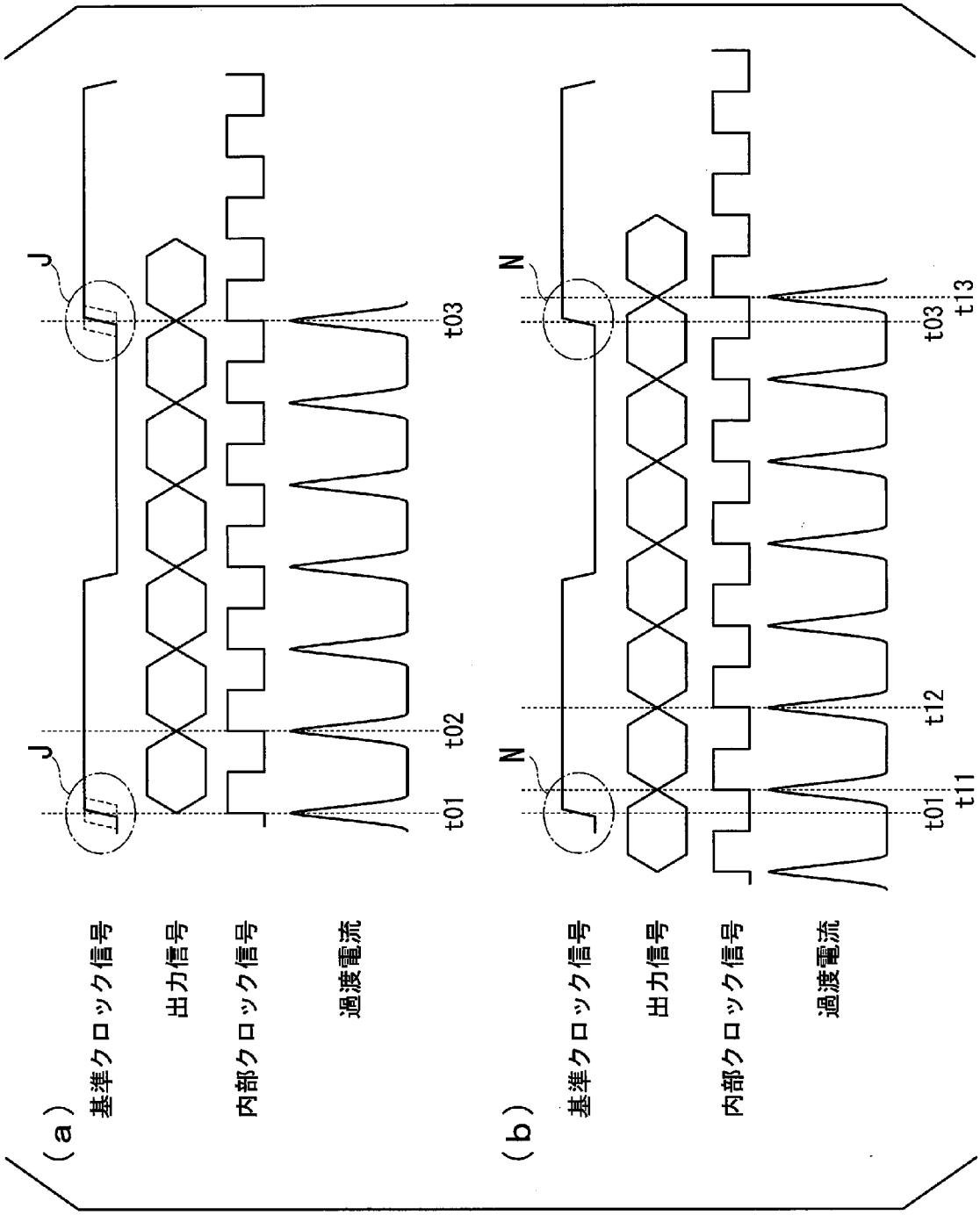
[請求項11] 前記エッジ検出回路に前記エッジの検出を開始させるとともに、前記位相比較部の位相比較結果に基づいて、前記遅延調整部に前記エッジ検出信号を遅延させる時間を設定し、前記遅延微調整部に前記分周

クロック信号を遅延させる時間を設定する制御部、

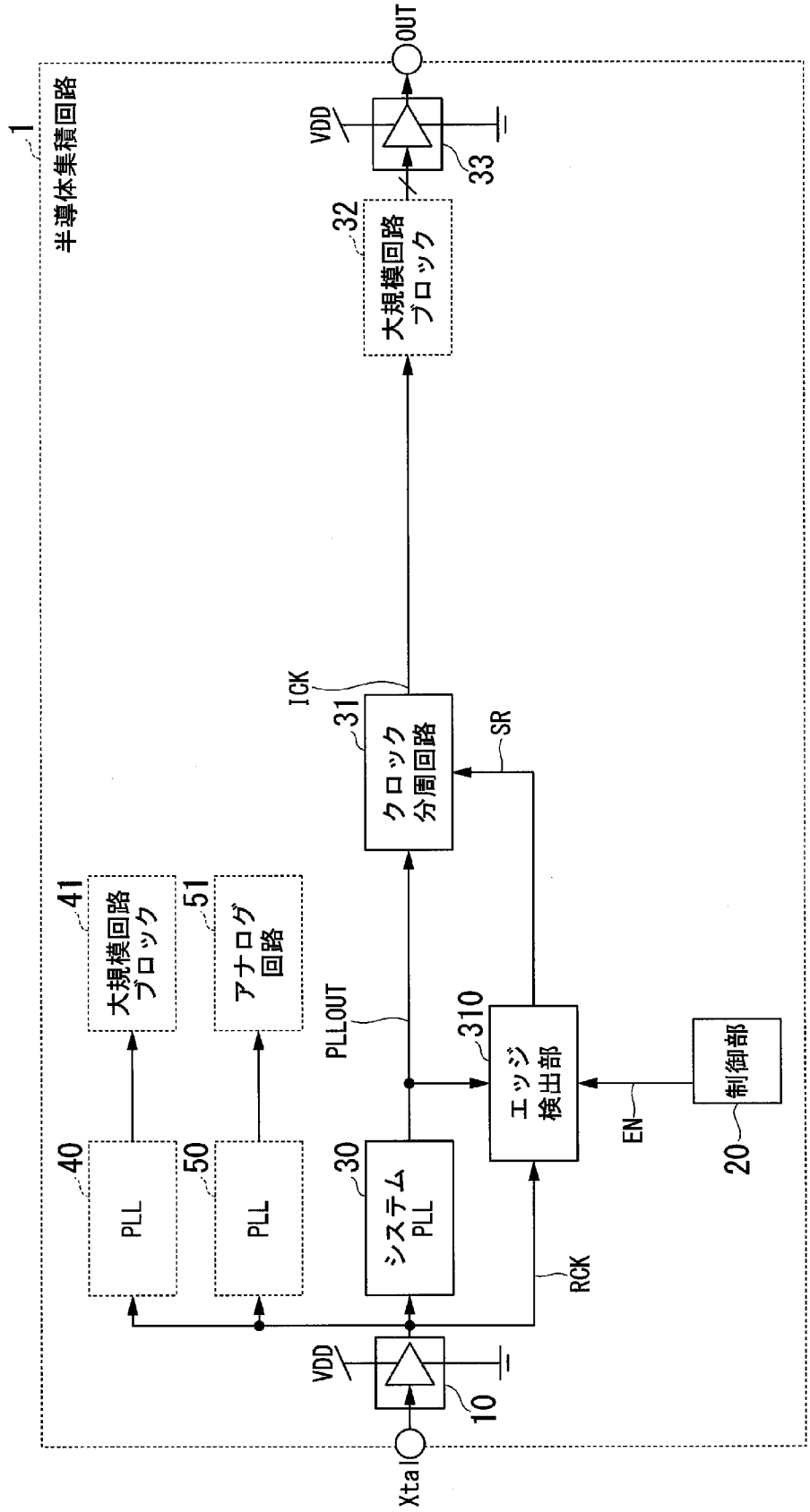
をさらに備える、

請求項６または請求項７に記載の半導体集積回路。

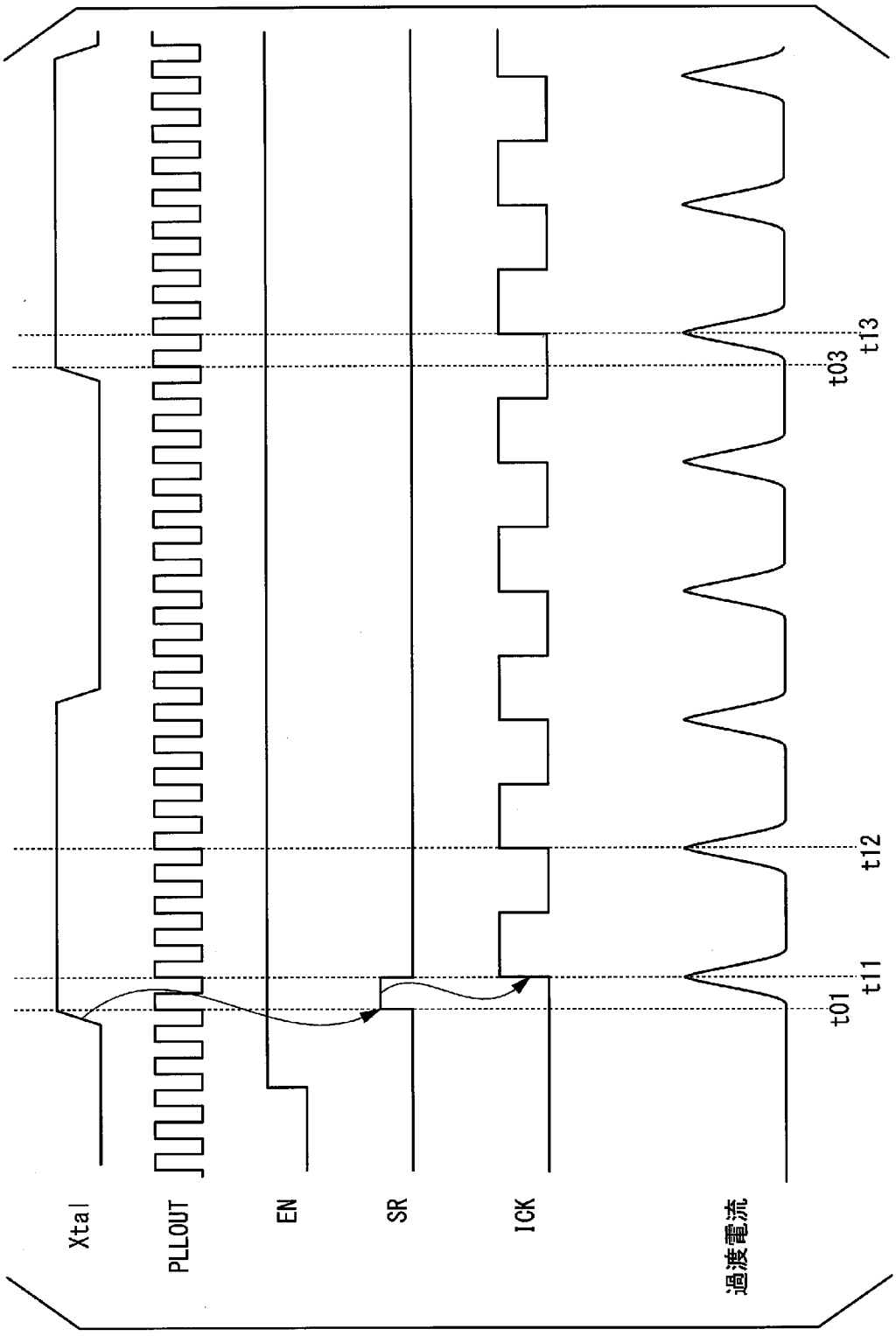
[図1]


(a)
基準クロック信号
出力信号
内部クロック信号
過渡電流
J
J
t01
t02
t03
(b)
基準クロック信号
出力信号
内部クロック信号
過渡電流
N
N
t01
t11
t12
t03
t13

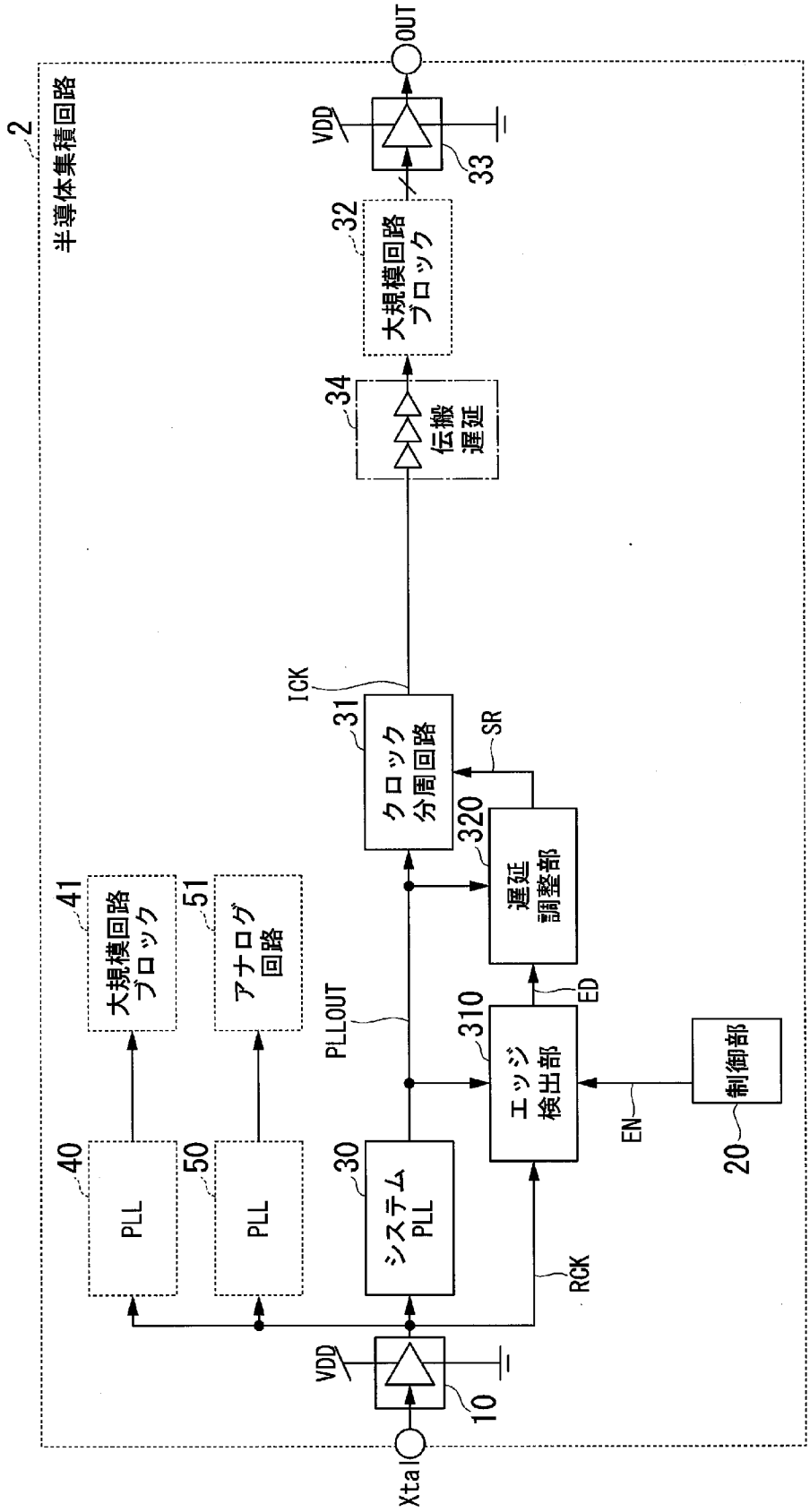
[図2]


1
半導体集積回路
OUT
VDD
33
32
大規模回路ブロック
ICK
31
クロック分周回路
SR
41
大規模回路ブロック
51
アナログ回路
PLLOUT
310
エッジ検出部
EN
制御部
20
40
PLL
50
PLL
30
システムPLL
RCK
VDD
10
Xtal

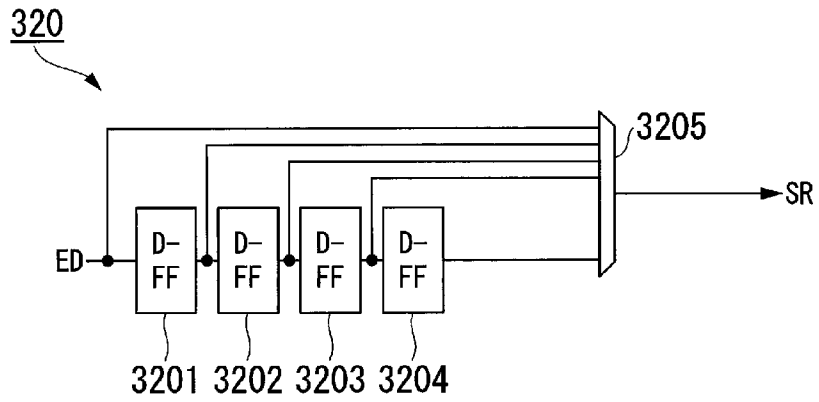
[図3]



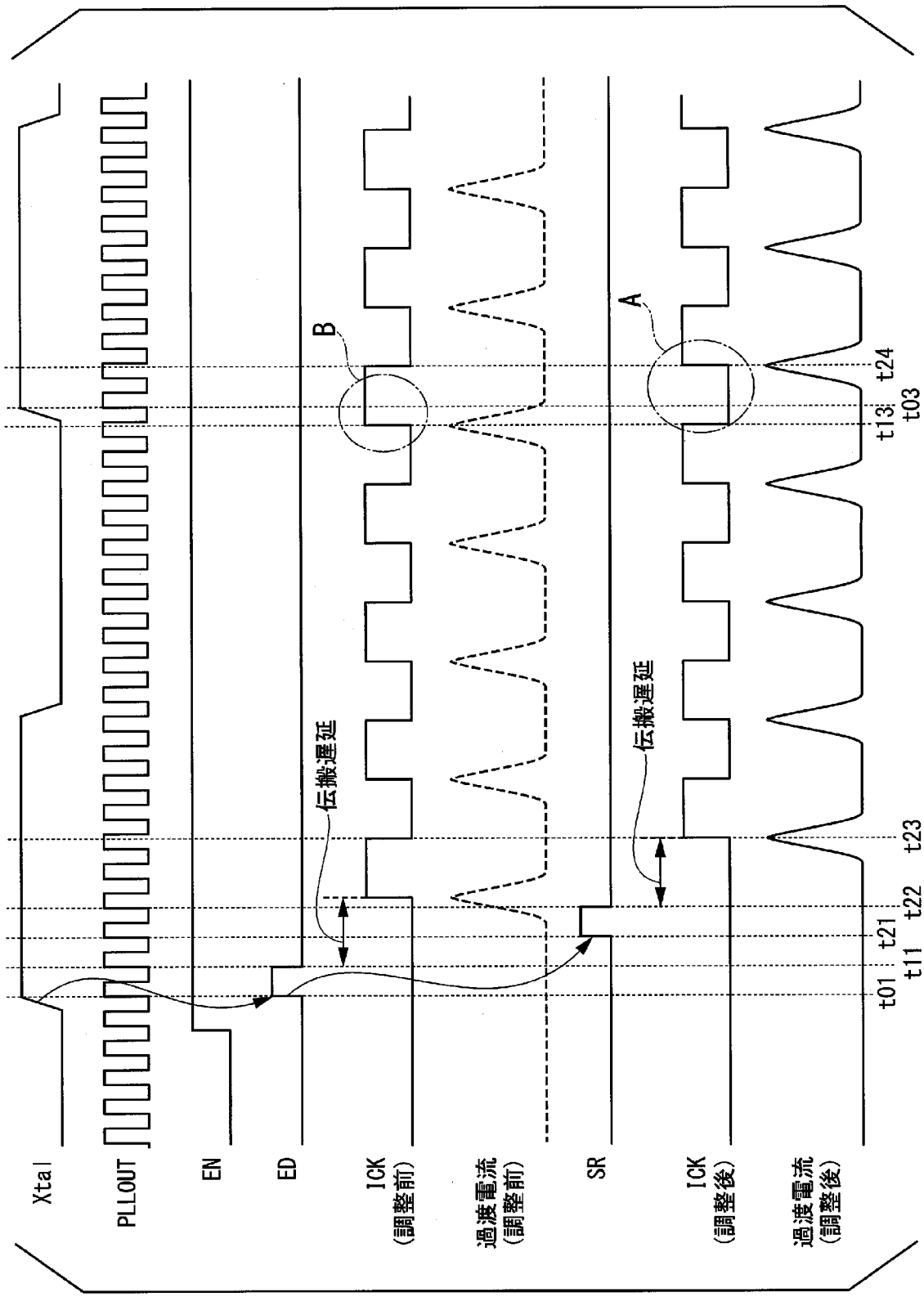
[図4]


2
半導体集積回路
OUT
VDD
33
32
大規模回路ブロック
34
伝搬遅延
ICK
31
クロック分周回路
SR
320
遅延調整部
41
大規模回路ブロック
51
アナログ回路
PLLOUT
310
エッジ検出部
ED
制御部
EN
20
40
PLL
50
PLL
30
システムPLL
RCK
VDD
10
Xtal

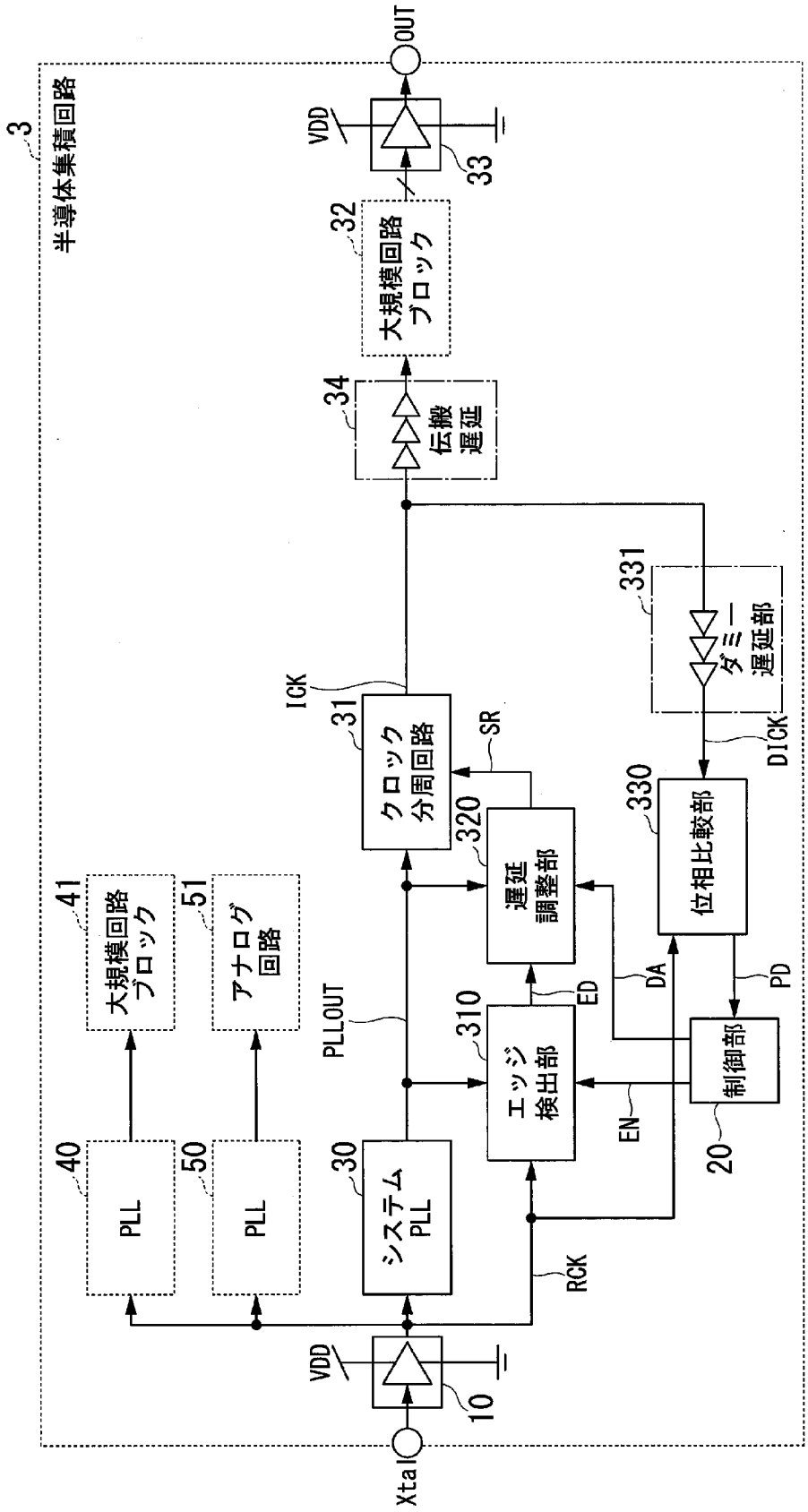
[図5]



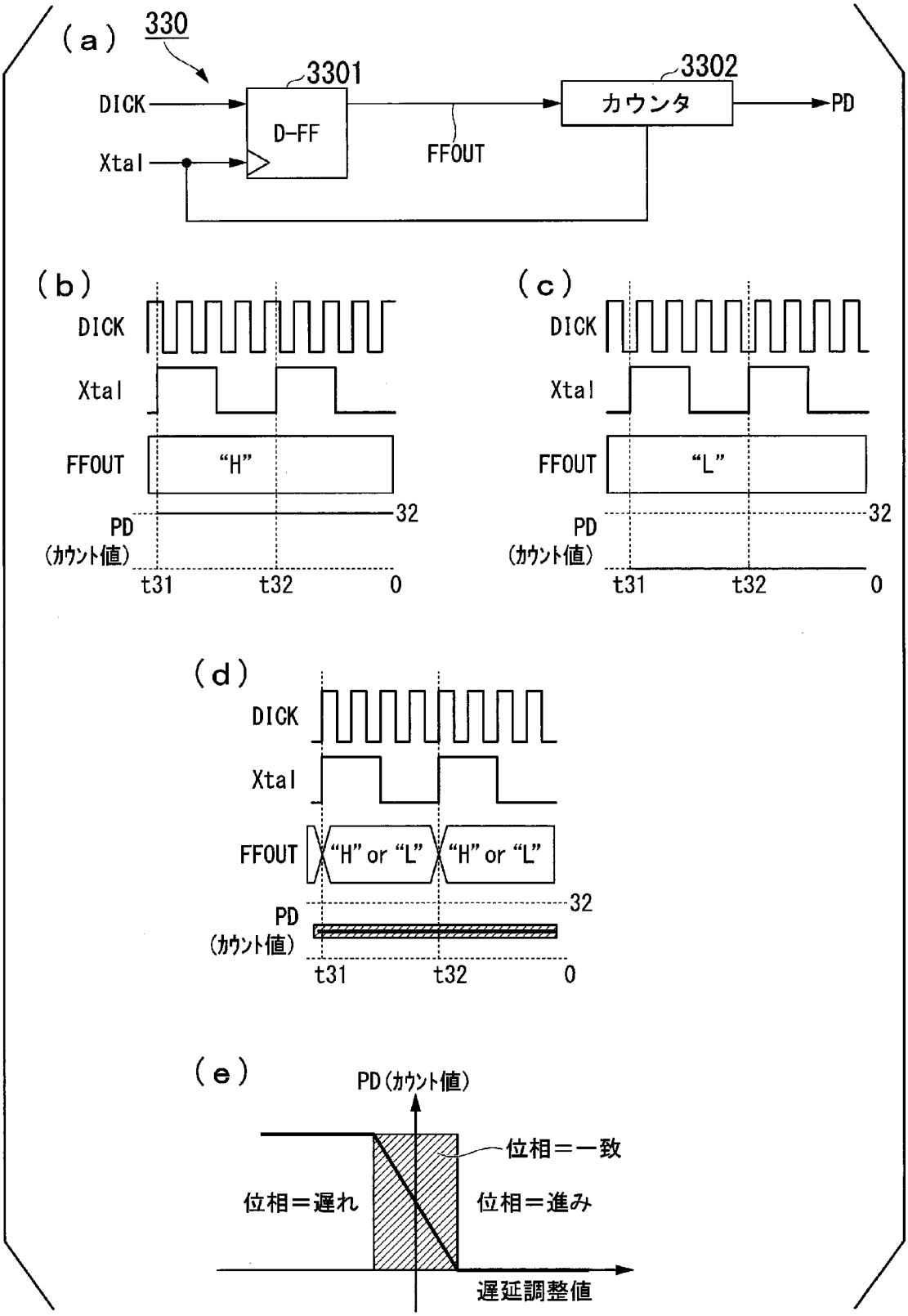
[図6]


Xtal
PLLOUT
EN
ED
ICK
(調整前)
過渡電流
(調整前)
SR
ICK
(調整後)
過渡電流
(調整後)
伝搬遅延
伝搬遅延
B
A
t01
t11
t21
t22
t23
t13
t24
t03

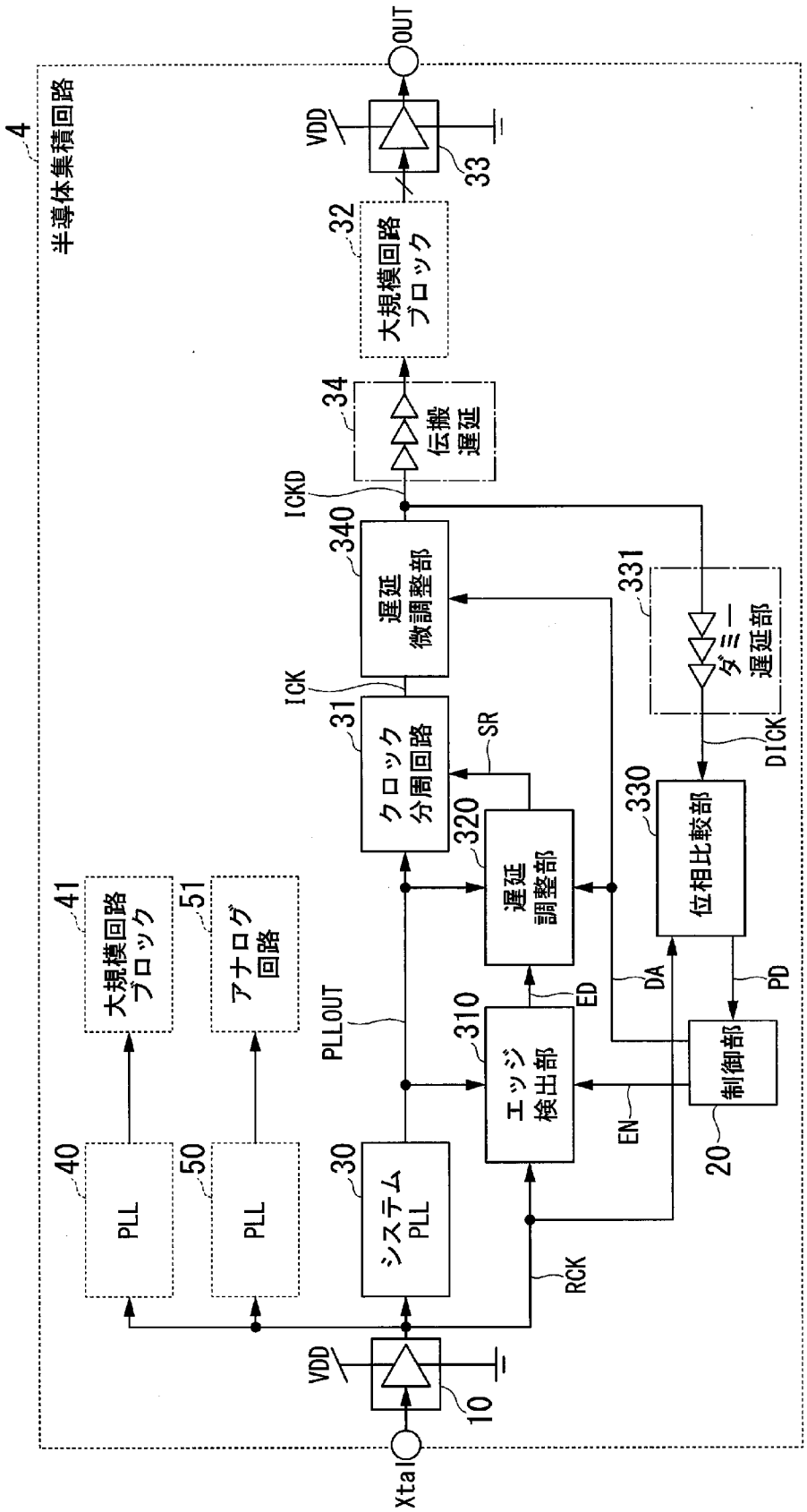
[図7]


3
半導体集積回路
OUT
VDD
33
32
大規模回路ブロック
34
伝搬遅延
331
ダミー遅延部
DICK
ICK
31
クロック分周回路
SR
320
遅延調整部
330
位相比較部
41
大規模回路ブロック
51
アナログ回路
PLLOUT
310
エッジ検出部
ED
DA
PD
制御部
40
PLL
50
PLL
30
システムPLL
EN
20
RCK
VDD
10
Xtal

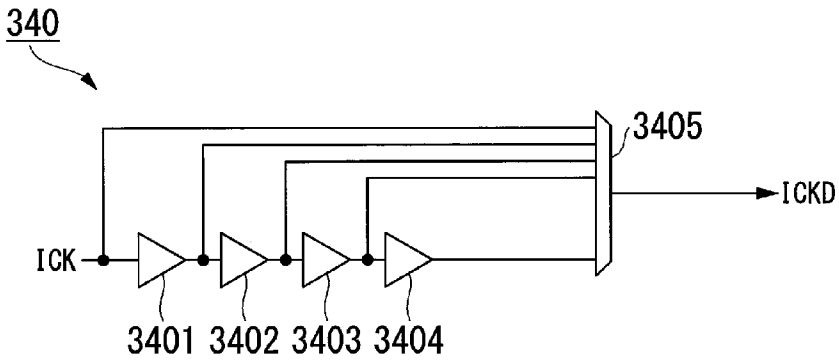
[図8]


(a)
330
3301
3302
DICK
Xtal
D-FF
FFOUT
カウンタ
PD
(b)
DICK
Xtal
FFOUT
"H"
PD
(カウント値)
32
t31
t32
0
(c)
DICK
Xtal
FFOUT
"L"
PD
(カウント値)
32
t31
t32
0
(d)
DICK
Xtal
FFOUT
"H" or "L"
"H" or "L"
PD
(カウント値)
32
t31
t32
0
(e)
PD(カウント値)
位相＝一致
位相＝遅れ
位相＝進み
遅延調整値

[図9]


4
半導体集積回路
OUT
VDD
33
32
大規模回路ブロック
34
伝搬遅延
ICKD
340
遅延微調整部
331
ダミー遅延部
ICK
31
クロック分周回路
SR
320
遅延調整部
330
位相比較部
DICK
41
大規模回路ブロック
51
アナログ回路
PLLOUT
310
エッジ検出部
ED
DA
PD
40
PLL
50
PLL
30
システムPLL
EN
制御部
20
RCK
VDD
10
Xtal

[図10]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2018/029922

A. CLASSIFICATION OF SUBJECT MATTER
Int. Cl. H03K5/00(2006.01)i, G06F1/10(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int. Cl. H03K5/00, G06F1/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2018
Registered utility model specifications of Japan 1996-2018
Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-4248 A (FUJITSU LTD.) 06 January 2011, paragraphs [0013]-[0056], fig. 1-4 (Family: none)	1-11
A	JP 2015-80049 A (NIHON DEMPA KOGYO CO., LTD.) 23 April 2015, paragraphs [0006]-[0027], fig. 1, 2 & US 2015/0102862 A1, paragraphs [0007]-[0037], fig. 1, 2 & CN 104579334 A	1-11
A	JP 61-264911 A (FUJITSU LTD.) 22 November 1986, page 2, upper right column, line 16 to page 4, upper right column, line 12, fig. 1, 2 (Family: none)	1-11
A	JP 2011-160097 A (FUJITSU LTD.) 18 August 2011, paragraphs [0014]-[0035], fig. 1-3 (Family: none)	3

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
23.10.2018	06.11.2018
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2018/029922

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2017/0134031 A1 (EZELL, Richard William) 11 May 2017, paragraphs [0010]-[0027], fig. 4-6 (Family: none)	1-11

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１８／０２９９２２

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H03K5/00(2006.01)i, G06F1/10(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H03K5/00, G06F1/10

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１８年
日本国実用新案登録公報	１９９６－２０１８年
日本国登録実用新案公報	１９９４－２０１８年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2011-4248 A（富士通株式会社）2011.01.06, 段落［００１３］－［００５６］、図１－４ (ファミリーなし)	1-11
A	JP 2015-80049 A（日本電波工業株式会社）2015.04.23, 段落［０００６］－［００２７］、図１－２ & US 2015/0102862 A1, [0007]- [0037], FIGUERS 1-2 & CN 104579334 A	1-11

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２３．１０．２０１８	０６．１１．２０１８

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｗ　８３２１
緒方　寿彦
電話番号　０３－３５８１－１１０１　内線　３５７６

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 61-264911 A (富士通株式会社) 1986.11.22, 第２頁右上欄第１６行－第４頁右上欄第１２行、図１－２ (ファミリーなし)	1-11
A	JP 2011-160097 A (富士通株式会社) 2011.08.18, 段落［００１４］－［００３５］、図１－３ (ファミリーなし)	3
A	US 2017/0134031 A1 (EZELL, Richard William) 2017.05.11, [0010]- [0027], FIGUERS 4-6 (ファミリーなし)	1-11