

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010年9月16日(16.09.2010)

PCT

(10) 国際公開番号
WO 2010/104135 A1

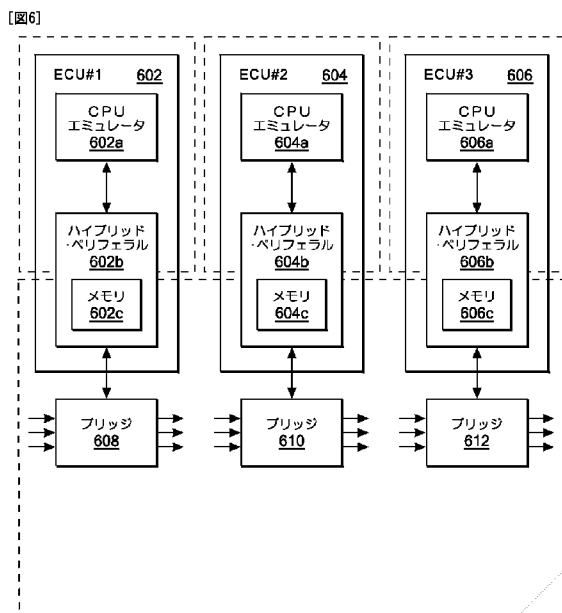
- (51) 国際特許分類:
G06F 11/28 (2006.01) G06F 17/50 (2006.01)
- (21) 国際出願番号: PCT/JP2010/054056
- (22) 国際出願日: 2010年3月10日(10.03.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2009-059790 2009年3月12日(12.03.2009) JP
- (71) 出願人 (米国を除く全ての指定国について): インターナショナル・ビジネス・マシーンス・コーポレーション (INTERNATIONAL BUSINESS MACHINES CORPORATION) [US/US]; 10504 ニューヨーク州アーモンク ニュー オーチャード ロード New York (US).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 清水 周一 (SHIMIZU, Shuichi) [JP/JP]; 〒2428502 神奈川県大和市下鶴間 1 6 2 3 番地 1 4 日本アイ・

- ビー・エム株式会社東京基礎研究所内 Kanagawa (JP). 大澤 史朋 (OHSAWA, Fumitomo) [JP/JP]; 〒2428502 神奈川県大和市下鶴間 1 6 2 3 番地 1 4 日本アイ・ビー・エム株式会社大和事業所内 Kanagawa (JP). 小松 秀昭 (KOMATSU, Hideaki) [JP/JP]; 〒2428502 神奈川県大和市下鶴間 1 6 2 3 番地 1 4 日本アイ・ビー・エム株式会社東京基礎研究所内 Kanagawa (JP).
- (74) 代理人: 上野 剛史, 外 (UENO, Takeshi et al.); 〒2428502 神奈川県大和市下鶴間 1 6 2 3 番地 1 4 日本アイ・ビー・エム株式会社大和事業所内 Kanagawa (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST,

[続葉有]

(54) Title: SIMULATION METHOD, SYSTEM, AND PROGRAM

(54) 発明の名称: シミュレーション方法、システム及びプログラム



602a CPU EMULATOR
602b HYBRID PERIPHERAL
602c MEMORY
604a CPU EMULATOR
604b HYBRID PERIPHERAL
604c MEMORY

606a CPU EMULATOR
606b HYBRID PERIPHERAL
606c MEMORY
608 BRIDGE
610 BRIDGE
612 BRIDGE

(57) Abstract: In a simulation system, the operation speed of the simulation system is improved by reducing the communication cost between a continuous series system and a discrete series system. At least some of the peripherals of ECU emulators serving as the discrete series system are separated so as to be operated by the thread of the continuous series system. In addition, the continuous series system and the peripherals sparsely communicate with each other because of performing a loose synchronization. With the configuration, the frequency of the thread-to-thread communication between the continuous series system and the discrete series system is significantly reduced in response to a continuous clock in the simulation system configured from the continuous series system and the discrete series system, resulting in reduced communication cost. As a result, the operation speed of the simulation system can be improved.

(57) 要約: シミュレーション・システムにおいて、連続系システムと離散系システム間の通信コストを低減することによって、シミュレーション・システムの動作速度を向上させること。本発明によれば、離散系システムである、ECUエミュレータのペリフェラルの少なくとも一部を分離して、連続系システムのスレッドで動作するようになされる。また、連続系システムとペリフェラルとは、緩い同期をとるため、疎に通信される。このような構成をとると、連続系システムと離散系システムからなるシミュレーション・システムで、連続的クロックにตอบสนองしての連続系システムと離散系システム間のスレッド間通信の頻度が著しく減

り、通信コストが下がる。これによって、シミュレーション・システムの動作速度を向上させることが可能となる。

WO 2010/104135 A1



SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ,
NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア
(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ
(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,

GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL,
NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ,
CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN,
TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：シミュレーション方法、システム及びプログラム 技術分野

[0001] 本発明は、自動車などの物理システムのシミュレーションに関し、より詳しくは、ソフトウェア・ベースでのシミュレーション・システムに関するものである。

背景技術

[0002] 自動車は、その初期の時代の20世紀初頭は、動力としてのエンジンと、ブレーキ、アクセル、ハンドル、トランスミッション、サスペンションを含む、機構部品からなっていたが、エンジンのプラグの点火、ヘッドライト以外は、電気的な仕組みはほとんど利用していなかった。

[0003] ところが、1970年代頃から、大気汚染、石油危機などに備えて、エンジンを効率的に制御する必要性が生じ、このためエンジンの制御に、ECUが使用されるようになってきた。ECUは、一般的に、センサからの入力信号を、例えばA/D変換する入力インターフェースと、決められた論理に従ってデジタル入力信号を処理する論理演算部（マイクロコンピュータ）と、その処理結果を、アクチュエータ作動信号に変換する出力インターフェースとから構成される。

[0004] いまや、エンジンやトランスミッションなどの制御システム、Anti-lock Braking System（ABS）、Electronic Stability Control（ESC）、パワーステアリングだけでなく、ワイパー制御やセキュリティ・モニタリング・システムなどに至るまで、最近の自動車では、機構部品だけでなく、エレクトロニクス部品やソフトウェアが重要な比率を占める。後者に関する開発費は全体の25%とも40%とも言われ、ハイブリッド型の自動車では70%を占める。

[0005] 電子制御は、ECUを複数、配置して行われる。ECU間は車載ネットワーク、例えば、Controller Area Network（CAN）で相互に接続される。

また、制御の対象である、エンジンやトランスミッションなどには、それぞれのECUから直接ワイヤ接続する。

[0006] ECUは、小さなコンピュータであり、センサ入力などからの割り込みに応じて動作する。一方、エンジンなどは連続的に機械的動作を行っている。すなわち、コンピュータ系のデジタル・システムと、機械系の物理システムが、自動車という単一システムにおいて、並列に協調動作を行っている。当然、これを支えるソフトウェアは複雑さがますます増大しており、ECU単体で動作を検証するだけでなく、複数を同時に検証する仕組みの実現が要望されている。

[0007] 一方、ECUの出力信号によって駆動されるアクチュエータには、電磁ソレノイド及びモータ等がある。ソレノイドは例えば、エンジンのインジェクタ、トランスミッションのシフト・コントロール、ブレーキのバルブ制御、ドアロックなどに使用される。

[0008] このようなテストのために従来行われている技法として、HILS (Hardware In the Loop Simulation)がある。特に、自動車全体のECUをテストする環境は、ホールビークルHILS (Whole Vehicle Hardware In the Loop Simulation)と呼ばれる。ホールビークルHILSにおいては、実験室内で、本物のECUが、エンジン、トランスミッション機構などをエミュレーションする専用のハードウェア装置に接続され、所定のシナリオに従って、テストが行われる。ECUからの出力は、監視用のコンピュータに入力され、さらにはディスプレイに表示されて、テスト担当者がディスプレイを眺めながら、異常動作がないかどうか、チェックする。

[0009] しかし、HILSは、専用のハードウェア装置を使い、それと本物のECUの間を物理的に配線しなくてはならないので、準備が大変である。また、別のECUに取り替えてのテストも、物理的に接続し直さなくてはならないので、手間がかかる。さらに、本物のECUを用いたテストであるため、テストに実時間を要する。従って、多くのシナリオをテストすると、膨大な時間がかかる。また、HILSのエミュレーション用のハードウェア装置は、

一般に、非常に高価である。

- [0010] そこで近年、高価なエミュレーション用ハードウェア装置を使うことなく、ソフトウェアで構成する手法が存在する。この手法は、S I L S (Software In the Loop Simulation) と呼ばれ、ECUに搭載されるマイクロコンピュータ、入出力回路、制御のシナリオなどを全て、ソフトウェア・シミュレータで構成する技法である。これによれば、ECUのハードウェアが存在しなくても、テストを実行可能である。
- [0011] ところで、自動車用シミュレーション・システムは、連続系シミュレータと、離散系シミュレータを有する。連続系シミュレータの例として、エンジンの機械系部分をシミュレートするシミュレータがある。離散イベント系シミュレータの例として、エンジン回転のパルスのタイミングで動作し、燃料噴射や点火のタイミングを制御するECUのシミュレータがある。
- [0012] 4WDのシミュレーションをする場合においては、連続系シミュレータの例として、各タイヤへのトルク配分から車の動作を繰り返し計算するシミュレータがあり、離散イベント系シミュレータの例として、10ミリ秒ごとの定期パルス信号で動作し、車のヨーレートなどのセンサ入力から各タイヤへのトルク配分を決定するECUをシミュレートするシミュレータがある。
- [0013] さらに、離散系シミュレータは、連続系シミュレータのタイムスライスとは非同期に、パルス信号入力以外に、I/Oポートを通じてデータの読み書きを行う。典型的には、センサからのデータを読み込み、更新する。
- [0014] 図1に、従来の典型的な、離散系/連続系シミュレーション・システムな構成のブロック図を示す。このシステムの離散系シミュレータは、ECUEミュレータ102、104及び106からなる。実際は、より多数のECUEミュレータを有するが、ここでは例示的に3個だけ示す。
- [0015] ECUエミュレータ102、104及び106は、機能的には、ほぼ同一なので、代表的に、ECUEミュレータ102だけについて説明すると、ECUEミュレータ102は、CPUエミュレータ102aと、ペリフェラル・エミュレータ102bとからなる。CPUエミュレータ102aは、元の

ECUの論理機能をエミュレーションするモジュールである。

- [0016] ペリフェラル・エミュレータ102bは、エンジン・シミュレータなどの連続系シミュレータであるプラント・シミュレータ108からの連続パルス信号を受け取り、割込みイベント信号に変換して、離散系のCPUエミュレータ102aに渡し、あるいは、CPUエミュレータ102aから受け取った割込みイベント信号を、連続パルス信号に変換する。
- [0017] 尚、図1で点線矩形ブロックで囲ったのが、シミュレーション・プログラムの個別のスレッドである。マルチ・コアまたはマルチ・プロセッサ環境において、好適には、個々のスレッドは、個別のコアまたはプロセッサに割り当てられる。
- [0018] 図2に、ECUエミュレータ102、104及び106と、プラント・シミュレータ108の間の通信のタイミング・チャートを示す。この図から見て取れるように、図1の構成では、離散系システムとしてのECUエミュレータと、連続系システムとしてのプラント・シミュレータが、個々のクロック毎に同期している。
- [0019] ところが、図1の点線ブロックで見て取れるように、プラント・シミュレータ108と、ECUエミュレータ102、104及び106とは別スレッドで実行されているので、個々のクロック毎に、スレッド間通信が生じてしまう。並列実行のために各スレッドが個別のコアまたはプロセッサにアサインされている場合には、プロセッサ間通信となって、いずれにしても、このようなスレッド間通信またはプロセッサ間通信が個々のクロック毎に発生することは非常に大きいコストであって、このことは、シミュレーション・システムの動作速度の向上を妨げる。
- [0020] 特開2001-290860号公報は、シミュレータ間の不要な同期処理をシミュレータで求め、その同期処理を削減することにより、シミュレーション速度の向上を図ったハードウェア/ソフトウェア協調シミュレータを提供することを目的とするものであって、CPUシミュレーション手段と周辺回路シミュレーション手段を同期させるシミュレーション協調手段と、シミ

ュレーション協調手段での同期を抑制するかどうかを決定する判断手段を備え、判断手段に基づいて前記シミュレーション協調手段での同期を抑制することを開示する。

[0021] 特開平8-227367号公報は、設計エラーが予期されるシステム動作を除く全てのシステム動作を無視する高速シミュレータを使用してデバッグ速度を増加させるデバッガを得ることを目的とするものであって、各シミュレータを相互接続するための、バスサイクルに対応する信号を提供するバスのバスシミュレータとシミュレーションに不必要なバスサイクルを省略する手段を備え、シミュレーションに無関係なCPUバスサイクルを省略し、または、周期的クロック信号を明示的にシミュレートしないでクロック信号のスケジュールのみを発生するようにすることを開示する。

[0022] 特開2004-30228号公報は、CPUシミュレータと、1以上の周辺マクロシミュレータと、これらの同期実行を制御する同期実行制御処理部とを備え、周辺マクロシミュレータが、CPUシミュレータでのシミュレーションに基づいて端子に入力される信号が変化したときに当該端子信号に基づくシミュレーションを実行し、さらに周辺マクロシミュレータは、入力された端子信号の変化を検出し、変化した端子信号を端子信号リスト22に登録し、登録された端子信号についてのみシミュレーションを実行するようにすることを開示する。

[0023] 特開2006-65758号公報は、回路シミュレーション手法において、回路データから作成された第1離散時間モデルに応答関数を与えて第2離散時間モデルを生成し、クロックのエッジタイミングおよびこのタイミングでのクロック同期回路に入出力される信号の実効的信号値を、第2離散モデルを用いて計算し、これによってシミュレーションを実行することを開示する。

先行技術文献

特許文献

[0024] 特許文献1：特開2001-290860号公報

特許文献2：特開平8-227367号公報

特許文献3：特開2004-30228号公報

特許文献4：特開2006-65758号公報

発明の概要

発明が解決しようとする課題

[0025] 上記従来技術は、条件的にシミュレータを同期させたり、クロックのエッジタイミングを拾うなどの技法で、シミュレータ間の通信コストを図るものであるが、シミュレーション・システムにおける、連続系システムと離散系システムとの間のスレッド間通信あるいはプロセッサ間通信のコストの問題を十分に解決するものではない。

[0026] 従って、この発明の目的は、シミュレーション・システムにおいて、連続系システムと離散系システム間の通信コストを低減することにある。

[0027] この発明の他の目的は、連続系システムと離散系システムが、粗い同期をとるだけで適切に動作するシミュレーション・システムを提供することにある。

課題を解決するための手段

[0028] 上記課題を解決するために研究を重ね、本願発明者は、ECUエミュレータなどの離散系シミュレータのペリフェラル部分に着目した。すなわち、ECUエミュレータは、図1にも示すように、CPUエミュレータ部分と、ペリフェラル部分からなっている。ここに、通信コストのボトルネックがあるらしいと考えた。

[0029] そして本願発明者は、研究の末、ECUエミュレータのペリフェラルの少なくとも一部分を敢えて、連続系システムのスレッドと同一のスレッド内で動作させる、という着想に想到した。このような構成をとると、連続系システムとペリフェラルの一部が同一スレッド内で動作するので、そこで通信コストは低い。

[0030] それでも、ペリフェラルとECUエミュレータ間のスレッド間通信は、依然として必要であるが、そのような通信は、割り込みイベント、あるいは長

い期間毎の周期的なアクセスのようなまばらなタイミングで生じるだけなので、通信コスト的にあまり負荷にならない。

[0031] 本発明の別の特徴によれば、連続系システムと離散系システムは、粗い同期をとるだけで適切に動作する。すなわち、本発明の第1の実施例によれば、離散系システムは、連続系システムのクロックに関係なく、独立に動作する。離散系システムは、連続系システムのクロック・モジュールにアクセス可能であり、その時刻が必要であるときのみ、クロック・モジュールにアクセスするので、通信コスト的には、ほとんど負荷にならない。

[0032] 本発明の第2の実施例によれば、離散系システムは、連続系システムのクロックのうちの間引かれたあるクロック（例えば、 $1/1000$ ）で、同期をとるため、連続系システムのクロック・モジュールにアクセスにアクセス可能である。第2の実施例は、離散系システムにおいて、ソフトウェアによるタイマー（時間計算）が使用される場合に採用される。ここで、タイマーの最小粒度より小さな周期で同期を取ることにより、ソフトウェア・タイマーの動作が保証される。

発明の効果

[0033] この発明によれば、離散系システムのペリフェラルの少なくとも一部が、連続系システムと同一のスレッドで動作するように、連続系システム側に組み込むことによって、離散系システムと連続系システムの間のスレッド間通信の頻度が大幅に低減される。これにより、スレッド間通信のコストを大幅に削減することによって、シミュレーション・システムの動作速度を著しく向上させることが可能となる。

図面の簡単な説明

[0034] [図1] 離散系と連続系を有する、従来の典型的なシミュレーション・システムの機能ブロック図を示す図である。

[図2] 図1のシミュレーション・システムの、タイミング・チャートを示す図である。

[図3] ECUの典型的な制御である、フィードバック閉ループ系の例を示す図

である。

[図4]フィードバック閉ループ系の、応答関数による記述の例である。

[図5]本発明を実施するために使用されるコンピュータのハードウェアのブロック図である。

[図6]本発明の実施例に係るシミュレーション・システムの機能ブロック図を示す図である。

[図7]図6のシミュレーション・システムの、タイミング・チャートを示す図である。

[図8]本発明の実施例に係るシミュレーション・システムの、より詳細な機能ブロック図を示す図である。

[図9]連続系とハイブリッド・ペリフェラルの動作の処理のフローチャートを示す図である。

[図10]ハイブリッド・ペリフェラルの構成要素の順序リストを示す図である。

[図11]割込みコントローラの動作の処理のフローチャートを示す図である。

[図12]アドバンスド・タイマ・ユニットの動作の処理のフローチャートを示す図である。

[図13]別の実施例における、連続系とハイブリッド・ペリフェラルの動作の処理のフローチャートを示す図である。

符号の説明

[0035] 602、604、606・・・ECUエミュレータ

602b、604b、606b・・・ハイブリッド・ペリフェラル

発明を実施するための形態

[0036] 以下、図面を参照して、本発明の一実施例の構成及び処理を説明する。以下の記述では、特に断わらない限り、図面に亘って、同一の要素は同一の符号で参照されるものとする。なお、ここで説明する構成と処理は、一実施例として説明するものであり、本発明の技術的範囲をこの実施例に限定して解釈する意図はないことを理解されたい。

- [0037] 本発明を実現するための構成を説明する前に、その前提として、ECUについて説明する。ECUは、一般的に、センサからの入力信号を、例えばA/D変換する入インターフェースと、決められた論理に従ってデジタル入力信号を処理する論理演算部（マイクロコンピュータ）と、その処理結果を、アクチュエータ作動信号に変換する出インターフェースとから構成されるものである。
- [0038] この発明は、説明の便宜上、以下では、自動車のECUに関連して説明するが、それには限定されず、航空機、ロボットなどその他のECUをもつメカトロニクス機構全般に適用可能であることを理解されたい。
- [0039] ECUは、周辺や環境状態、エンジンなどの駆動機構の状態、及び人間による指示操作の内容をセンサで検出して、信号として入力する。具体的には、水温センサ、吸気温センサ、過給圧センサ、ポンプ角センサ、クランク角センサ、車速センサ、アクセル位置センサ、A/Tシフト・ポジション、スタータ・スイッチ、エアコンECUなどからの信号がある。
- [0040] ECUは、これらの信号を入力して、電磁スปีル弁、フエール・カット・ソレノイド、タイミング・コントロール・バルブ、吸気絞りVSV、グロー・プラグ・リレー、タコメータ及びエアコン・リレーなどを駆動する信号を出力しする。
- [0041] 1つのECUが複数の異なる機構を制御するための駆動信号を出力するようになることは不可能ではないが、例えば、エンジンとエアコンのように、応答性やその制御の厳密性が異なるものを単一のECUで制御することは合理的でなく、従って、一般的に自動車にECUは複数個設けられる。
- [0042] 図3は、ECUの典型的な制御である、フィードバック閉ループ系の例を示す図である。すなわち、図3において、ある目標の信号が、ECUであるコントローラ302に入力され、ECUは、目標の信号を内部処理することによって、駆動信号を出力し、制御対象モデルである、エンジンなどのプラント304を駆動し、プラント304の出力は、センサ306を介して、コントローラ102の入力にフィードバックされる。

- [0043] ここで目標信号として与えられるのは、例えば、スロットル開度、アイドル・コントロール、ブレーキ力、シフト、スタータON・OFF、バッテリー電圧、インジェクション通電時間、インジェクション通電回数、デポジット、ドウェル角、進角値、吸気完了フラグ、点火完了フラグ、大気圧、車両重量、転がり抵抗係数、道路勾配、粘着係数、吸気温、などのパラメータである。
- [0044] また、センサ信号としてフィードバックされるのは、スロットル開度、吸気圧力、吸入空気量、シフト、エンジン回転数、車速、排気温、 O_2 、冷却水温、空燃比、ノック、点火異常、などである。
- [0045] ECUが制御する対象は、ニュートンの力学方程式で解かれる、機構系システムであったり、電気回路の応答方程式で解かれる、電気駆動回路であったり、それらの組み合わせであったりする。これらは、基本的に微分方程式であり、制御工学によれば、ラプラス変換によって応答関数に変換されて、記述することができる。
- [0046] 図4は、そのような応答関数による記述の例である。図4で破線402で囲った箇所が、図3のコントローラ302に対応し、破線404で囲った箇所が、図3の制御対象モデル304に対応し、センサ306が、ブロック406に対応する。なお、図4は、応答関数による表現の一例であって、特に本発明を限定する意図はないことを理解されたい。
- [0047] 次に、図5を参照して、本発明を実施するために使用されるコンピュータのハードウェアについて説明する。図5において、ホスト・バス502には、複数のCPU0 504a、CPU1 504b、CPU2 504c、CPU3 504dが接続されている。ホスト・バス502にはさらに、CPU0 504a、CPU1 504b、CPU2 504c、CPU3 504dの演算処理のためのメイン・メモリ506が接続されている。
- [0048] 一方、I/Oバス508には、キーボード510、マウス512、ディスプレイ514及びハードディスク・ドライブ516が接続されている。I/Oバス508は、I/Oブリッジ518を介して、ホスト・バス502に接

続されている。キーボード510及びマウス512は、オペレータが、コマンドを打ち込んだり、メニューをクリックするなどして、操作するために使用される。ディスプレイ514は、必要に応じて、後述する本発明に係るプログラムをGUIで操作するためのメニューを表示するために使用される。

[0049] この目的のために使用される好適なコンピュータ・システムのハードウェアとして、IBM (R) System Xがある。その際、CPU0 504a、CPU1 504b、CPU2 504c、CPU3 504dは、例えば、インテル (R) Core 2 DUOであり、オペレーティング・システムは、Windows (商標) Server 2003である。オペレーティング・システムは、ハードディスク・ドライブ516に格納され、コンピュータ・システムの起動時に、ハードディスク・ドライブ516からメイン・メモリ506に読み込まれる。

[0050] ここで図示されているCPUの個数は4個であるが、これに限定されず、シングル・プロセッサのシステムであってもよく、あるいは、任意の個数のマルチコア、またはマルチプロセッサのシステムであってもよい。

[0051] なお、本発明を実施するために使用可能なコンピュータ・システムのハードウェアは、IBM (R) System Xに限定されず、本発明のシミュレーション・プログラムを走らせることができるものであれば、任意のコンピュータ・システムを使用することができる。オペレーティング・システムも、Windows (R) に限定されず、Linux (R)、Mac OS (R) など、任意のオペレーティング・システムを使用することができる。さらに、ECUエミュレータ・プログラム、プラント・シミュレータなどの論理プロセスを高速で動作させるために、POWER (商標) 6ベースで、オペレーティング・システムがAIX (商標) のIBM (R) System Pなどのコンピュータ・システムを使用してもよい。

[0052] ハードディスク・ドライブ516にはさらに、ECUエミュレータ、プラント・シミュレータなどの複数の論理プロセス、及び、複数の論理プロセスを協働して動作させるためのプログラムが格納され、キーボード510及び

マウス 5 1 2 によって起動操作可能である。

- [0053] 好適には、フルビークル S I L S を実現するために、1 台の自動車で使われるすべての E C U のエミュレータ・プログラムが、ハードディスク・ドライブ 5 1 6 に保存されている。
- [0054] ハードディスク・ドライブ 5 1 6 にはさらに、後述する E C U エミュレータ・プログラムのためのスケジューラ、エンジン、トランスミッション、ステアリング、ワイパなどのプラント・シミュレータ・プログラム、全体のシステムの時刻を管理するためのグローバル・タイム・マネージャ及び、登り坂道、高速道路、つづら折道などの様々な、テストのためのシナリオを格納したシナリオ・ジェネレータのプログラムも格納されている。
- [0055] なお、ここでの「エミュレータ」と、「シミュレータ」の用語の使い分けであるが、もともとの、別のプロセッサで動くことを想定して書かれていた E C U のコードを、C P U 0 ~ C P U 3 などターゲットとして動くようにすることを、エミュレーションと呼び、それを行うプログラムを、エミュレータと呼ぶ。一方、エンジンなどの物理的システムの動作を仮想計算するシステムを、シミュレータと呼ぶ。
- [0056] 次に、図 6 を参照して、離散系システムと連続系システムからなる、本発明のシミュレーション・システムの機能論理ブロック図を説明する。このシステムの離散系シミュレータは、E C U エミュレータ 6 0 2、6 0 4 及び 6 0 6 からなる。実際は、より多数の E C U エミュレータを有するが、ここでは例示的に 3 個だけ示す。
- [0057] 図 6 に示すシステムのプログラム・モジュールは、ハードディスク・ドライブ 5 1 6 に保存され、シミュレーション・システムの起動時に、オペレーティング・システムの働きにより、ハードディスク・ドライブ 5 1 6 からメイン・メモリ 5 0 6 にロードされて動作する。
- [0058] E C U エミュレータ 6 0 2、6 0 4 及び 6 0 6 は、機能的には、ほぼ同一なので、代表的に、E C U エミュレータ 6 0 2 だけについて説明すると、E C U エミュレータ 6 0 2 は、C P U エミュレータ 6 0 2 a と、ハイブリッド

・ペリフェラル602bとからなる。

- [0059] ブリッジ608、610及び612は、エンジン・シミュレータなどのプラント・シミュレータにおける、データの入出力部分の機能を実行する論理ブロックであり、それぞれ、ハイブリッド・ペリフェラル602b、604b及び606bと、連続系のプラント・シミュレータのクロックの間隔 Δt 毎に通信する。
- [0060] 図6において、点線の矩形ブロックは、シミュレーション・プログラムの個別のスレッドを示す。マルチ・コアまたはマルチ・プロセッサ環境において、好適には、個々のスレッドは、個別のコアまたはプロセッサに割り当てられる。
- [0061] 図6に示されるように、ハイブリッド・ペリフェラル602b、604b及び606bはそれぞれ、機能的にはECUエミュレータ602、604及び606のために、CPUエミュレータ602a、604a及び606aと、ブリッジ608、610及び612と間をインターフェースする役割を果たすが、モジュール的には、ブリッジ608、610及び612が存在するプラント・シミュレータが動作するスレッドと、ECUエミュレータ602、604及び606が動作するスレッドに跨って動作するように制御される。ハイブリッド・ペリフェラルの「ハイブリッド」という名前は、このような混在的な存在であることに由来する。すなわち、ハイブリッド・ペリフェラルのある部分はECUエミュレータ602、604及び606と同一のスレッドにあり、ハイブリッド・ペリフェラルの別の部分はプラント・シミュレータと同一のスレッドにある。
- [0062] 更に図示するように、ハイブリッド・ペリフェラル602b、604b及び606bはそれぞれ、データを読み書きするための共有メモリ602c、604c及び606cを有する。これらのメモリ602c、604c及び606cは、好適には、メイン・メモリ506の一部である。メモリは、ハイブリッド・ペリフェラルの構成ブロック、及びECUエミュレータによって、データを読み書き可能である。

- [0063] 図7は、図6の機能ブロック図で示すシミュレーション・システムのタイミング・チャートの概要を示す図である。図示されているように、プラント・シミュレータなどの連続系シミュレータと、ハイブリッド・ペリフェラルの間は、クロックの間隔 Δt 毎に通信が行なわれるので、密な通信となる。しかし、本発明によれば、プラント・シミュレータとハイブリッド・ペリフェラルの一部は、同一スレッド内にあるので、その間でスレッド間通信を引き起こさず、過大な通信コストをもたらさない。
- [0064] 一方、ハイブリッド・ペリフェラルと、離散系シミュレータであるECUEミュレータの間の通信は、離散系シミュレータに割込みが発生するタイミング、あるいはスケジュールされた疎なタイミングでのみ生じる。なお、ハイブリッド・ペリフェラルからECUEミュレータに対する通信は、イベント信号を送ることによって、行なわれる。
- [0065] 図8は、機能ブロック図の、より詳細な機能ブロック図を示すものである。ここでは特に、ECUEミュレータ602及びブリッジ608について示すが、ECUEミュレータ604、606及びブリッジ610、612についても同様であることを理解されたい。
- [0066] 図8において、CPUエミュレータ602aには、ROM802と、RAM804が接続されている。なお、ここで説明するシミュレーション・システムは、基本的にSILSであるため、すべての機能ブロックがソフトウェア・モジュールで実現されている。よって、ROM802は単に、定数の宣言の集まりであり、RAM804は、メイン・メモリ506に割り当てられたメモリ区画である。
- [0067] CPUエミュレータ602aの動作は、元のエミュレータ・プログラムのバイナリを逆アセンブルしたコードを再アセンブルしたバイナリを実行するものでもよいし、エミュレータ・プログラムのバイナリ命令を、順次ステップ的に変換しながら実行するものでもよい。
- [0068] 図8に示すように、ハイブリッド・ペリフェラル602bは、割込みコントローラ（INT-C）806と、アドバンスド・タイマー・ユニット（A

TU) 808と、ピン・ファンクション・コントローラ (PFC) 810と、ウォッチ・ドッグ・タイマ (WDT) 812からなる。

[0069] なお、INT-C806と、ATU808と、PFC810と、WDT812からなる構成は、ハイブリッド・ペリフェラル602bの構成の一例であって、これには限定されないことを理解されたい。

[0070] ブリッジ608は、変数マッピングの機能によって、ブリッジ608への入力信号を、PFC810のピンに提供される値に変換する。それは、C言語的な擬似コードであらわすと、例えば下記のとおりである。

```
switch (link_type) {  
    case NE_PULSE:  
        data.pi0 = link_value;  
        break;  
    case A_F:  
        data.pe23 = link_value;  
        break;  
    ...  
}
```

[0071] すなわち、link_typeに与えられる値によって、dataという構造体の異なる要素に、値が提供される。ここでNE_PULSEとは、エンジンの回転を表すパルスで、実車の一例では、クランクシャフトの1回転あたり24回発生する。A_Fとは空燃費であり、シリンダに入る空気量と燃料の比である。これらは、一例としてのみ示すもので、実際は他にも多数の信号があることを理解されたい。

[0072] PFC810は、変数マッピングの機能によってブリッジ608からピンに対応する変数として与えられたデータをマルチプレクスして、INT-C806あるいは、ATU808に提供する機能を有する。

[0073] INT-C806は、PFC810に与えられる値または状態のクロック毎の変化に応答して、CPUエミュレータ602aに、イベントを送る。そ

のイベントには、PFC810から提供されるパラメータ値が含まれる。

[0074] ATU808は、ブリッジからの信号により、その時刻を更新される。一方、CPUエミュレータ602aは、その計算結果に基づき、開始タイミングと継続時間を、ATU808にセットする。そして、ATU808は、受け取った開始タイミングと継続時間に基づき、パルスを生成して、タイムスライスに合わせて、連続系システムに送り出す。このように計算される例として、燃料噴射の開始タイミングと継続時間がある。

[0075] WDT812は、常時カウント・アップし、CPUエミュレータ602aからの信号に反応して、カウント値をクリアされるタイマであり、一定期間以上CPUエミュレータ602aから信号が来ないことによってカウント値が閾値を超えたことで、CPUエミュレータ602aの動作が正常でないことを示す信号を出力する。

[0076] 図9は、ハイブリッド・ペリフェラル602bと、CPUエミュレータ602aの動作を示す処理のフローチャートである。なお、ハイブリッド・ペリフェラル604bと、CPUエミュレータ604aの動作等も実質的に同じであると理解されたい。ここでは代表的に、ハイブリッド・ペリフェラル602bと、CPUエミュレータ602aについて説明する。

[0077] この処理は、タイムスライス Δt 毎に呼び出される。この処理は、連続系シミュレータのパルスに、離散系シミュレータが同期する訳ではない、という意味で、非同期プロセスであると言える。

[0078] 図9において、ステップ902及びステップ908では、順序付けられたペリフェラルの構成ブロックの順に、構成ブロックの固有の処理が行なわれる。ここでいう構成ブロックとは、図8の例では、INT-C806、ATU808、PFC810及びWDT812であり、この所定の順序は、図10に示すような順序リスト1002に従い決められる。このリストは、好適には、メイン・メモリ506の所定箇所に配置される。このリストは、PFC→ATU→WDT→INT-Cの順序であることを示す。図10はまた、連続系の入力から出力にかけて、このリストの順に処理が行なわれるべきこ

とを示す。

- [0079] 特にステップ902では、ステップ904の、ハイブリッド・ペリフェラル602bの共有メモリ602cから、CPUエミュレータ602aの出力としてデータを読み出す処理と、ステップ906の、ハイブリッド・ペリフェラル602bの共有メモリ602cへ、CPUエミュレータ602aの入力としてデータを上書きで書き込む処理とが行われる。
- [0080] こうして、全ての構成ブロックの処理が完了すると、ハイブリッド・ペリフェラル602bの処理（特に、連続系の部分）は、終了する。
- [0081] 一方、CPUエミュレータ602aの側では、CPUエミュレータ602aがステップ910で、I/Oへのアクセスまで実行し、ステップ912で、ハイブリッド・ペリフェラル602bの共有メモリ602cへのI/Oアクセスを行う。このとき、共有メモリ602cへのアクセスの間は、他の処理ブロックが共有メモリ602cの値を書き換えないように、排他制御が行われる。
- [0082] 図11は、ハイブリッド・ペリフェラル602bのINT-C806の処理のフローチャートを示す図である。これは、図9のペリフェラル構成ブロック固有の処理ステップ910における、INT-C806の固有の処理である。図11において、ステップ1102では、INT-Cが入力データをPFC810から取り込む。ステップ1104では、INT-Cが、入力データを割込みに変換するかどうか判断する。この判断は例えば、ある値の前の値を保持しておいて、その値が前回から変わったかどうかで判断される。典型的には、パルスの立下りの検出である。
- [0083] 入力データを割込みに変換すると判断すると、INT-Cは、ステップ1106で、CPUエミュレータに割込みイベント・メッセージを送り、処理は終わる。
- [0084] 図12は、ハイブリッド・ペリフェラル602bのATU808フローチャートを示す図である。これは、図9のペリフェラル構成ブロック固有の処理ステップ910における、ATU808の固有の処理である。図12にお

- いて、ステップ1202では、ATUが入力データをPFCから取り込む。
- [0085] ステップ1204では、ATUが、タイマがヒット、すなわちタイマの値が設定した所定の値に達したかどうかを判断する。もしそうなら、ステップ1206で、ATUは、出力のステータスを変更する。そうでなければ、直ちにステップ1208に進む。
- [0086] 次にステップ1208では、ATUが、出力データをPFCに書き込み、処理は終わる。
- [0087] より具体的に述べると、ATU808には、CPUエミュレータ602aから、開始時刻と期間を設定可能であり、すると、ステップ1204でのタイマヒットとは、その開始時刻から期間内であることを意味する。すると、ATU808の働きは例えば、開始時刻から期間内は、PFCを通じて、論理1を出力し、それ以外は、論理0を出力することになる。
- [0088] 図13は、ペリフェラルとECUエミュレータの間の処理動作に関する別の実施例の処理のフローチャートを示す図である。図9の処理とは異なり、この実施例では、指定されたサイクル毎に同期処理が行われる。図13のフローチャートの処理も、タイムスライス Δt 毎に呼び出される。この実施例は、離散系システムにおいて、ソフトウェアによるタイマー（時間計算）が使用される場合に採用される。ここで、タイマーの最小粒度より小さな周期で同期を取ることにより、ソフトウェア・タイマーの動作が保証される。
- [0089] 図13において、ステップ1302及びステップ1308では、順序付けられたペリフェラルの構成ブロックの順に、構成ブロックの固有の処理が行なわれる。ここでいう構成ブロックとは、図8の例における、INT-C806、ATU808、PFC810及びWDT812であり、この所定の順序は、図10に示すような順序リスト1002に従い決められる。このリストは、好適には、メイン・メモリ506の所定箇所に配置される。このリストは、PFC→ATU→WDT→INT-Cの順序であることを示す。図10はまた、連続系の入力から出力にかけて、このリストの順に処理が行なわれるべきことを示す。

- [0090] INT-C806及びATU808の固有の処理は、図11及び図12に関連して、それぞれ既に説明したとおりである。
- [0091] 特にステップ1302では、ステップ1304の、ハイブリッド・ペリフェラル602bの共有メモリ602cから、CPUエミュレータ602aの出力としてデータを読み出す処理と、ステップ1306の、ハイブリッド・ペリフェラル602bの共有メモリ602cへ、CPUエミュレータ602aの入力としてデータを上書きで書き込む処理とが行われる。
- [0092] こうして、全ての構成ブロックの処理が完了すると、ハイブリッド・ペリフェラル602bの処理は、ステップ1310に進み、そこで、 $t \leq T < t + \Delta t$ かどうか判断される。そうでなければ、処理は直ちに終わる。ここで、 t は、連続系シミュレータにおける現在の時刻、 Δt はタイムスライスの大さき、 T はCPUエミュレータの同期時刻をあらわす。
- [0093] ステップ1310で、 $t \leq T < t + \Delta t$ と判断されると、ステップ1312で、ハイブリッド・ペリフェラル602bは、CPUエミュレータ602aからの通知を待ち、通知があると、ステップ1314で T を更新して、CPUエミュレータ602aに通知する。
- [0094] 一方、CPUエミュレータ602aの側では、CPUエミュレータ602aがステップ1316で、I/Oへのアクセスまで実行し、ステップ1318で、ハイブリッド・ペリフェラル602bの共有メモリ602cへのI/Oアクセスを行う。このとき、共有メモリ602cへのアクセスの間は、他の処理ブロックが共有メモリ602cの値を書き換えないように、排他制御が行われる。
- [0095] ステップ1320では、指定されたサイクルを終えたかどうか判断され、もしそうでないなら、処理は、ステップ1316に戻る。
- [0096] ステップ1320で、指定されたサイクルを終えたと判断されると、ステップ1322で、CPUエミュレータ602aは、終了したことを、ハイブリッド・ペリフェラル602b側に通知する。この通知は、上記ステップ1312におけるCPUエミュレータ602aからの通知である。

- [0097] ステップ1324では、CPUエミュレータ602aが、次のサイクルの指定を待つ。ここで待つのは、上記ステップ1314からの通知である。次に処理は、ステップ1316に戻る。
- [0098] 以上、自動車用の複数のシミュレーション・システムに関連して、本発明の特定の実施例を説明してきたが、本発明はこのような特定の実施例に限定されず、飛行機用のシミュレーション・システムなど、一般的な電子機械制御系システムのシミュレーション・システムに適用可能であることを、この分野の当業者であるなら、理解するであろう。
- [0099] 上記実施例では、ECUエミュレータのペリフェラル部分と、連続系システムが同一スレッド内にある、と説明してきたが、スレッドに限らず、単一プロセッサまたはコアに割り当てることができるような単位であるなら、より広く、プロセスという単位でもよい。

請求の範囲

- [請求項1] コンピュータの処理により、シミュレーションを行なうシミュレーション・システムにおいて、
- 連続パルスによって動作する連続系シミュレータと、
- 離散イベント・メッセージにより動作する離散系シミュレータと、
- 前記連続系シミュレータからの連続パルス信号を、イベント・メッセージに変換して前記離散系シミュレータに送出するするためのペリフェラル手段とを有し、
- 前記連続系シミュレータと前記ペリフェラル手段の少なくとも一部は、同一プロセスまたは同一スレッド内で動作するように制御される、
- シミュレーション・システム。
- [請求項2] 前記ペリフェラル手段は、離散系シミュレータからのイベント・メッセージ信号を連続クロックの信号に変換して前記連続系シミュレータに送出する機能をさらに有する、請求項1のシミュレーション・システム。
- [請求項3] 前記離散系シミュレータのイベントが、割込みである、請求項1のシミュレーション・システム。
- [請求項4] 前記ペリフェラル手段と、離散系シミュレータは、非同期で通信する、請求項1のシミュレーション・システム。
- [請求項5] 前記ペリフェラル手段が、データを読み書き可能なメモリを有し、前記ペリフェラル手段と、離散系シミュレータは、該メモリへの読み書きによりデータを交換する、請求項4のシミュレーション・システム。
- [請求項6] 前記ペリフェラル手段が、前記連続クロック信号の周期よりも長い指定サイクル毎の同期で通信する、請求項1のシミュレーション・システム。
- [請求項7] 前記シミュレーション・システムが自動車のシミュレーション・シ

システムであり、前記連続系シミュレータがエンジン・シミュレータを含み、前記離散系シミュレータが、該エンジン・シミュレータを制御するためのECUエミュレータを含む、請求項1のシミュレーション・システム。

[請求項8] コンピュータの処理により、シミュレーションを行なうシミュレーション方法において、

連続パルスによって動作する連続系シミュレータを動作させるステップと、

離散イベント・メッセージにより動作する離散系シミュレータを動作させるステップと、

前記連続系シミュレータからの連続パルス信号を、イベント・メッセージに変換して前記離散系シミュレータに送出するするためのペリフェラル手段を動作させるステップを有し、

前記連続系シミュレータと前記ペリフェラル手段は、同一プロセスまたは同一スレッド内で動作するように制御される、

シミュレーション方法。

[請求項9] 前記ペリフェラル手段は、離散系シミュレータからのイベント・メッセージ信号を連続クロックの信号に変換して前記連続系シミュレータに送出する機能をさらに有する、請求項8のシミュレーション方法。

[請求項10] 前記離散系シミュレータのイベントが、割込みである、請求項8のシミュレーション方法。

[請求項11] 前記ペリフェラル手段と、離散系シミュレータは、非同期で通信する、請求項8のシミュレーション方法。

[請求項12] 前記ペリフェラル手段が、前記連続クロック信号の周期よりも長い指定サイクル毎の同期で通信する、請求項8のシミュレーション方法。

[請求項13] 前記シミュレーション方法が自動車のシミュレーション方法であり

、前記連続系シミュレータがエンジン・シミュレータを含み、前記離散系シミュレータが、該エンジン・シミュレータを制御するためのECUエミュレータを含む、請求項8のシミュレーション方法。

[請求項14] コンピュータの処理により、シミュレーションを行なうシミュレーション・プログラムであって、

前記コンピュータをして、

連続パルスによって動作する連続系シミュレータを動作させるステップと、

離散イベント・メッセージにより動作する離散系シミュレータを動作させるステップと、

前記連続系シミュレータからの連続パルス信号を、イベント・メッセージに変換して前記離散系シミュレータに送出するするためのペリフェラル手段を動作させるステップを実行させる、

前記連続系シミュレータと前記ペリフェラル手段は、同一プロセスまたは同一スレッド内で動作するように制御される、

シミュレーション・プログラム。

[請求項15] 前記ペリフェラル手段は、離散系シミュレータからのイベント・メッセージ信号を連続クロックの信号に変換して前記連続系シミュレータに送出する機能をさらに有する、請求項14のシミュレーション・プログラム。

[請求項16] 前記ペリフェラル手段と、離散系シミュレータは、非同期で通信する、請求項14のシミュレーション・プログラム。

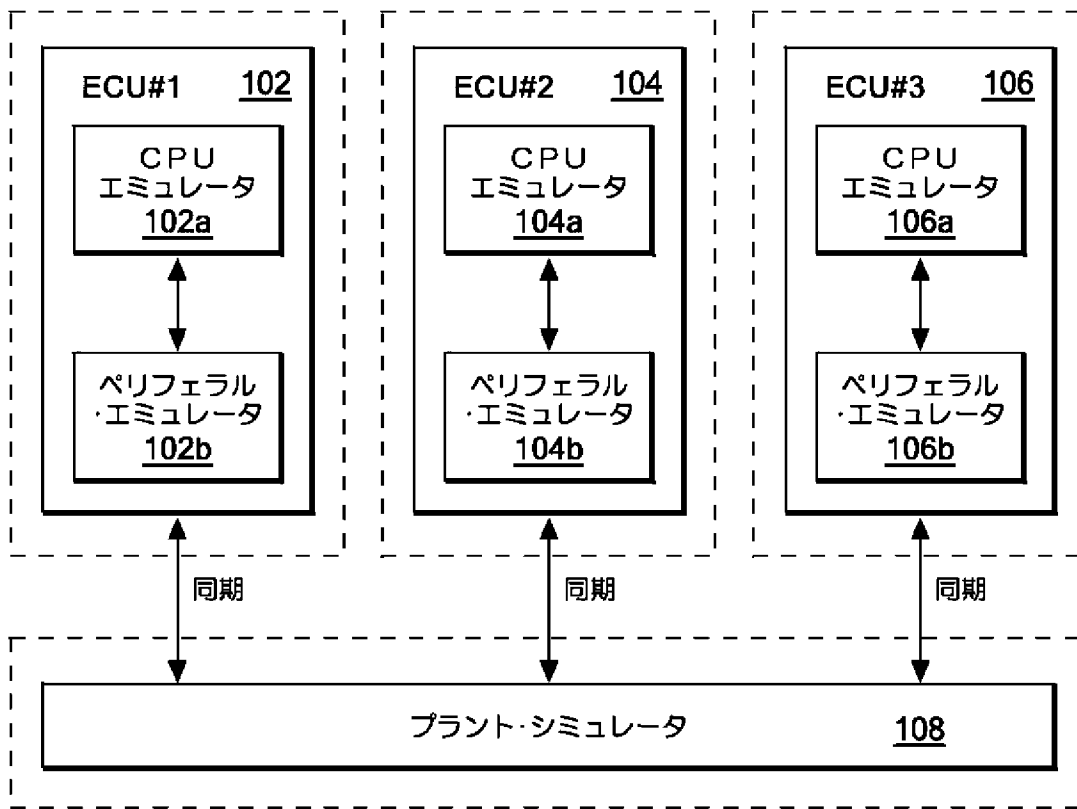
[請求項17] 前記離散系シミュレータのイベントが、割込みである、請求項14のシミュレーション・プログラム。

[請求項18] 前記ペリフェラル手段が、前記連続クロック信号の周期よりも長い指定サイクル毎の同期で通信する、請求項14のシミュレーション・プログラム。

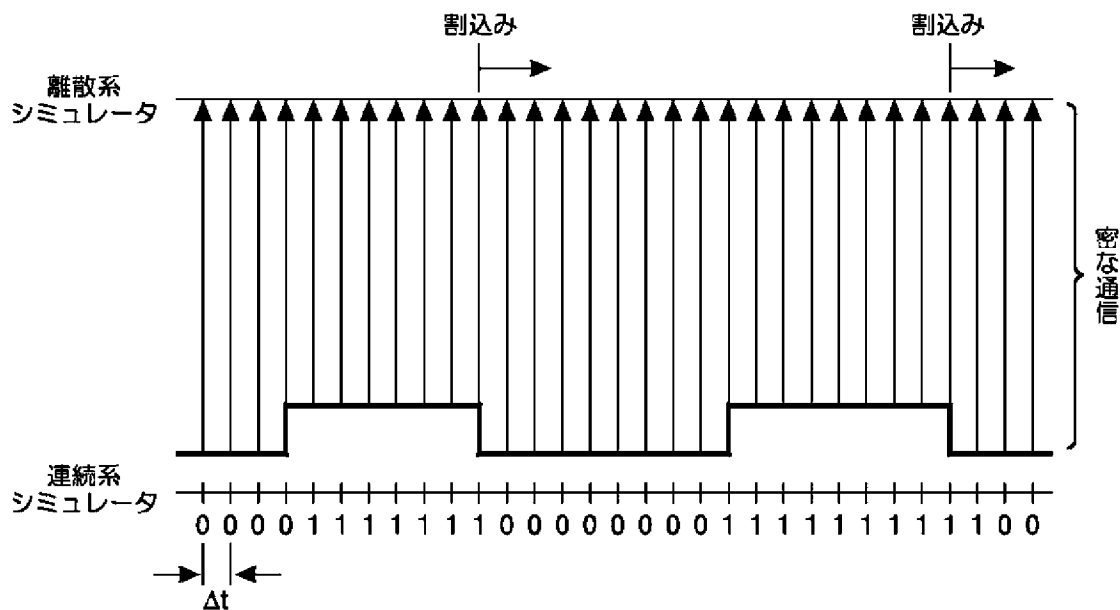
[請求項19] 前記シミュレーション・プログラムが自動車のシミュレーション・

プログラムであり、前記連続系シミュレータがエンジン・シミュレータを含み、前記離散系シミュレータが、該エンジン・シミュレータを制御するためのECUエミュレータを含む、請求項14のシミュレーション・プログラム。

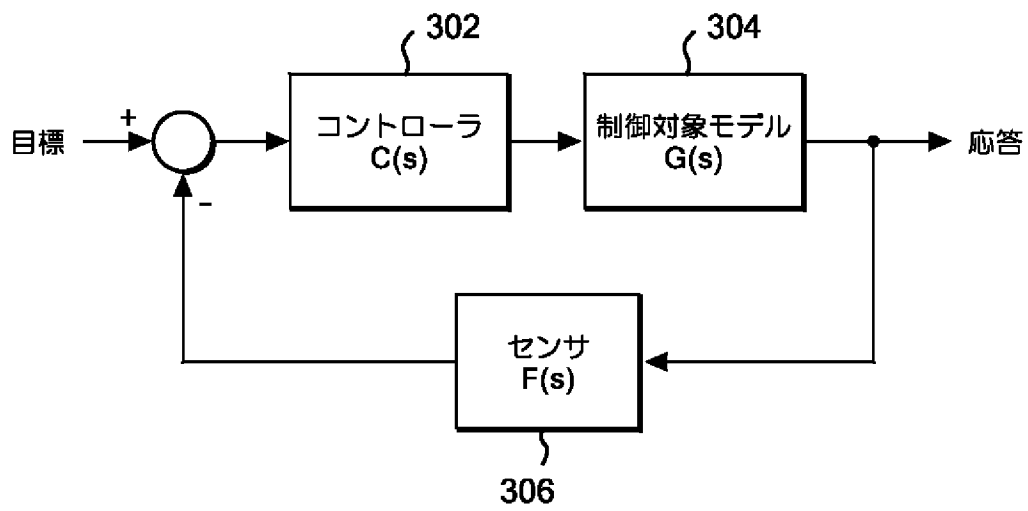
[図1]



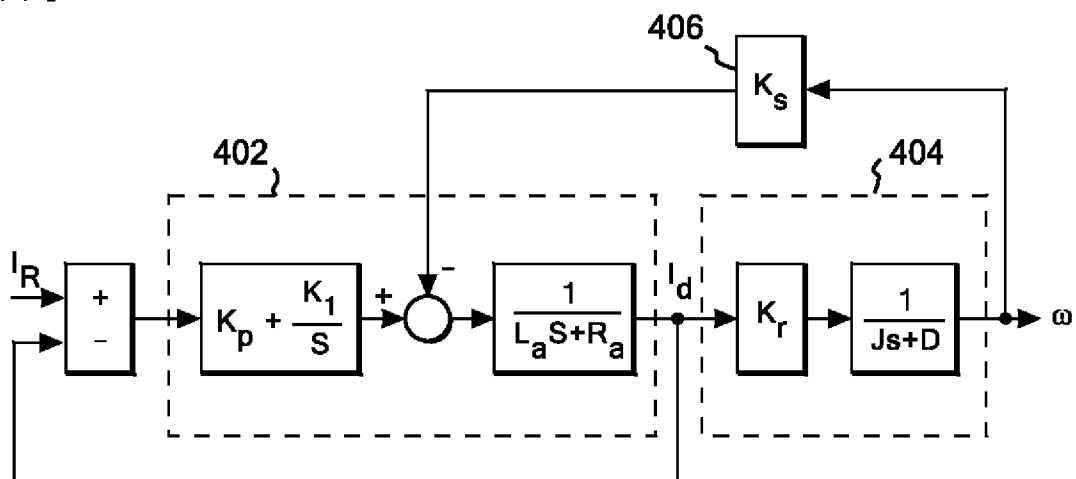
[図2]



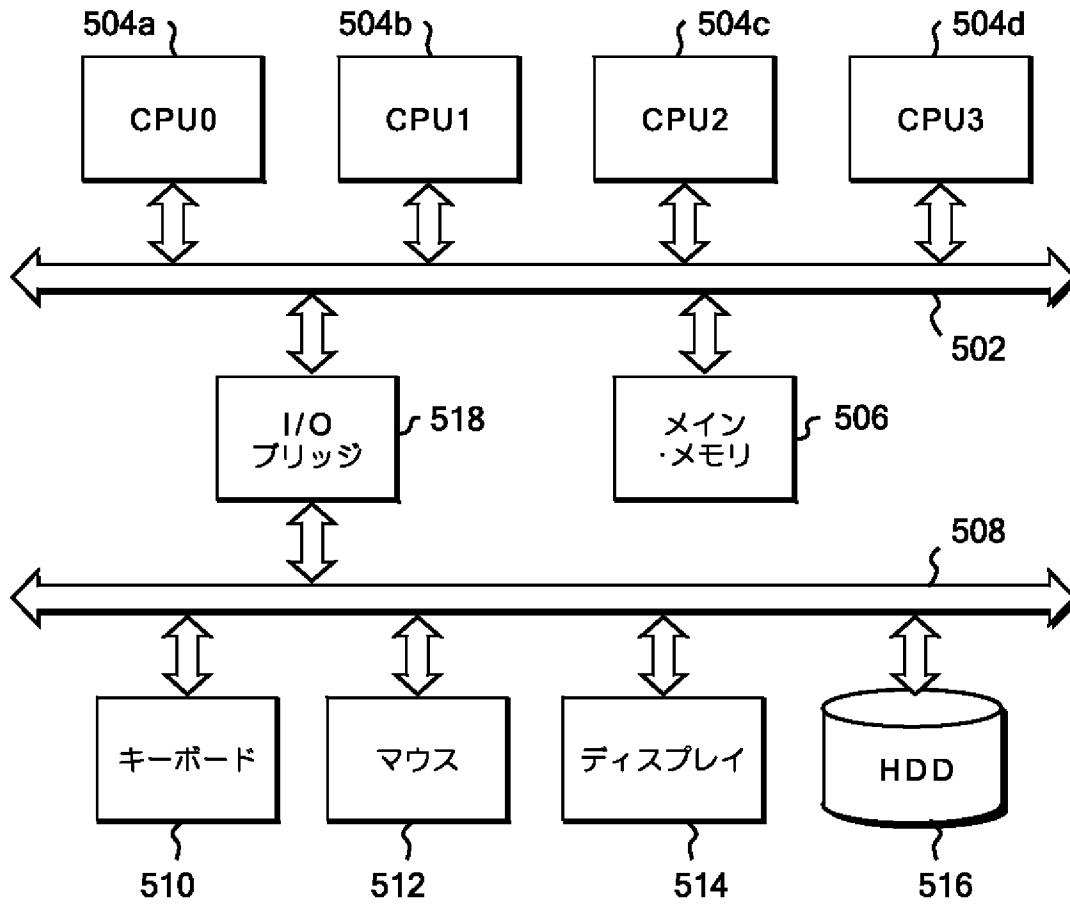
[図3]



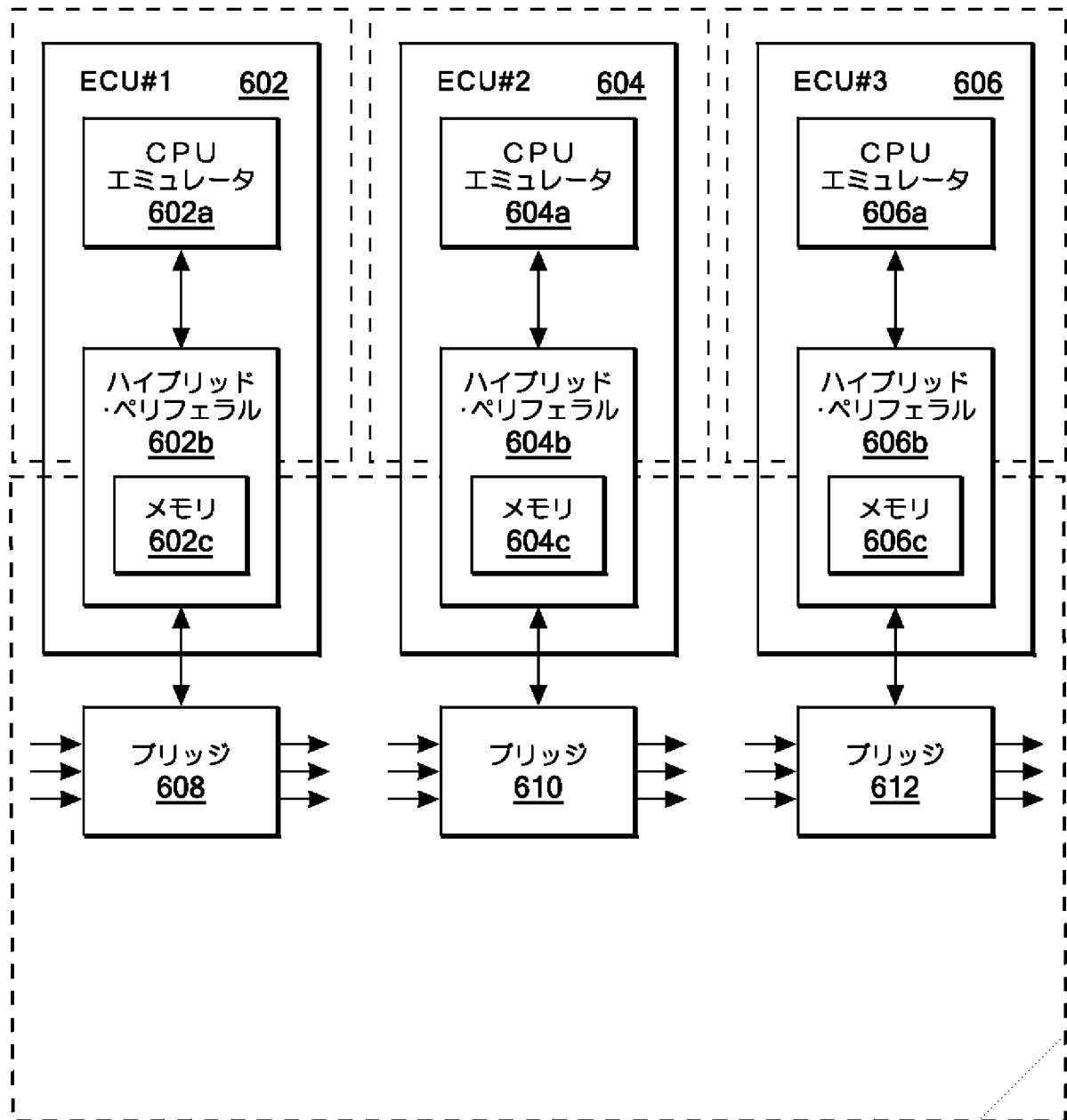
[図4]



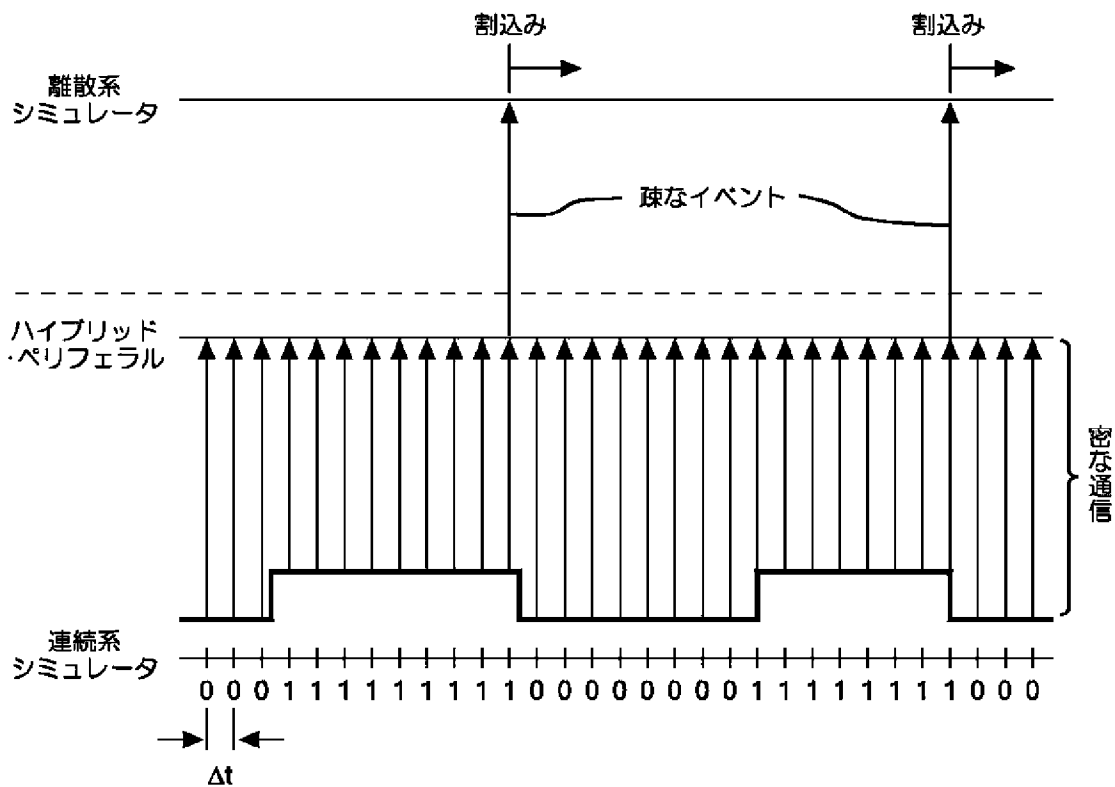
[図5]



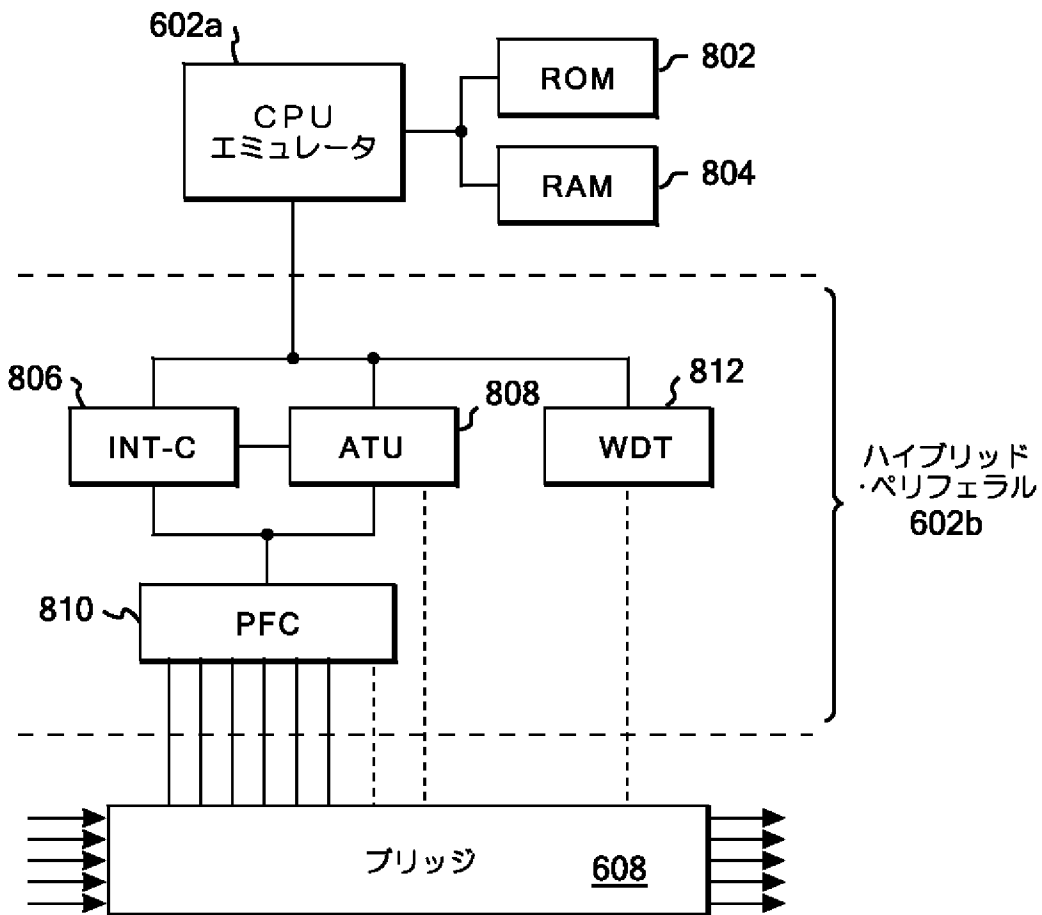
[図6]



[図7]

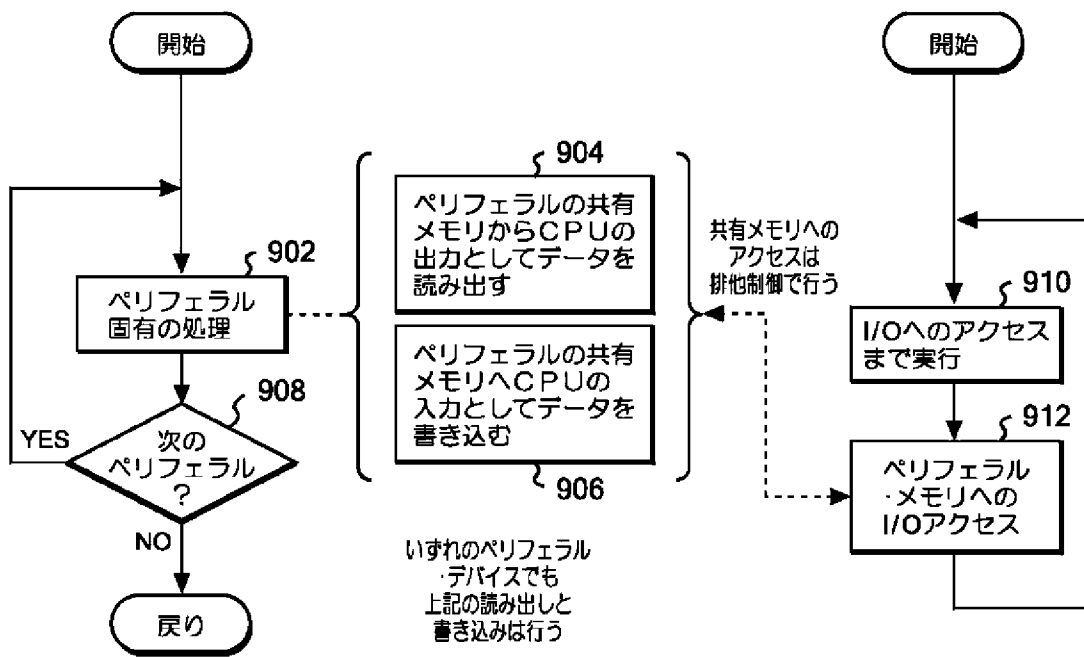


[図8]



[図9]

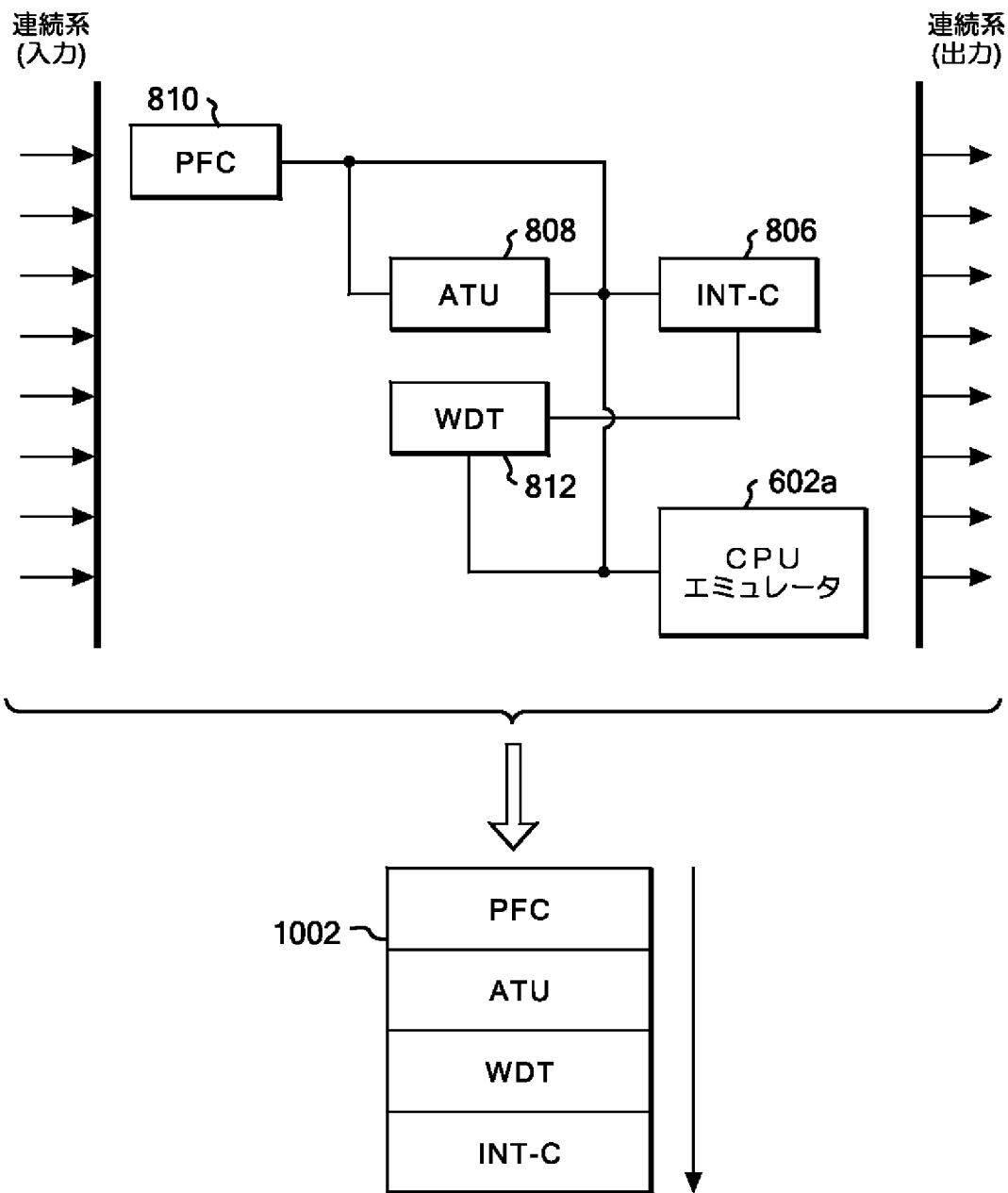
タイムスライス(Δt)ごとに呼び出される



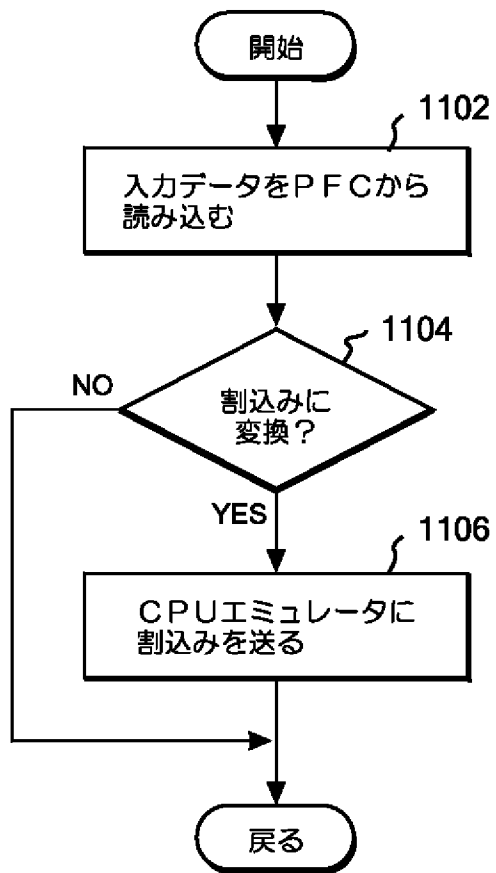
連続系ペリフェラル

CPUエミュレータ

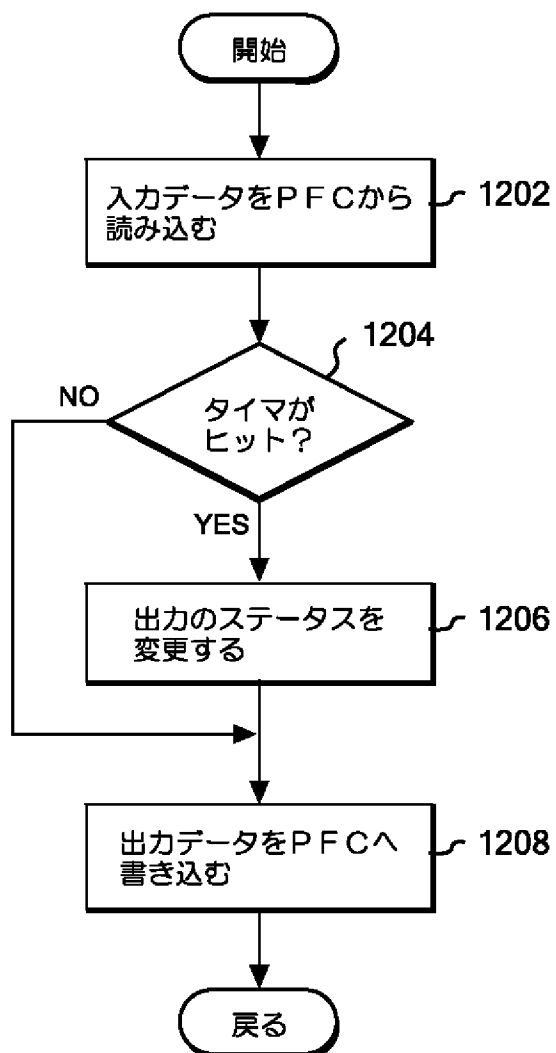
[図10]



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/054056

A. CLASSIFICATION OF SUBJECT MATTER

G06F11/28(2006.01)i, G06F17/50(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F11/28, G06F17/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2003-228496 A (Fujitsu Ltd.), 15 August 2003 (15.08.2003), paragraphs [0021] to [0056] (Family: none)	1-19
Y	Shun'ichi NAKAYAMA, "System ASIC Shijo Kakudai o Mikomi/Kensho Tool ga Zokuzoku Tojo suru", Nikkei Electronics, Nikkei Business Publications, Inc., 01 September 1997 (01.09. 1997), no.697, page 82	1-19
Y	Kazuo TAKI, "Daikibo Han'yo Heiretsu Shori no Jitsugen ni Mukete", bit, Kyoritsu Shuppan Co., Ltd., 01 February 1991 (01.02.1991), vol.23, no.2, page 45, left column, line 33 to right column, line 11	1-19

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
03 June, 2010 (03.06.10)Date of mailing of the international search report
15 June, 2010 (15.06.10)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/054056

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2008-065640 A (Toshiba Corp.), 21 March 2008 (21.03.2008), paragraphs [0045], [0046] & US 2009/0083682 A1	6, 12, 18

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. G06F11/28(2006.01)i, G06F17/50(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. G06F11/28, G06F17/50

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2010年
 日本国実用新案登録公報 1996-2010年
 日本国登録実用新案公報 1994-2010年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2003-228496 A (富士通株式会社) 2003.08.15, 段落[0021]-[0056] (ファミリーなし)	1-19
Y	中山俊一, システムASIC市場拡大を見込み/検証ツールが続々登場する, 日経エレクトロニクス, 日経BP社, 1997.09.01, 第697号, p.82	1-19
Y	瀧和男, 大規模汎用並列処理の実現に向けて, bit, 共立出版株式会社, 1991.02.01, 第23巻, 第2号, p.45 左欄第33行-右欄第11行	1-19

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
 「A」 特に関連のある文献ではなく、一般的な技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献
 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日 03.06.2010	国際調査報告の発送日 15.06.2010
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 多胡 滋 電話番号 03-3581-1101 内線 3545

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2008-065640 A (株式会社東芝) 2008.03.21, 段落[0045],[0046] & US 2009/0083682 A1	6, 12, 18