

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-109889

(P2012-109889A)

(43) 公開日 平成24年6月7日(2012. 6. 7)

(51) Int.Cl.	F I	テーマコード (参考)
H04L 1/00 (2006.01)	H04L 1/00 B	5 J 0 6 5
H03M 13/35 (2006.01)	H03M 13/35	5 K 0 1 4
	H04L 1/00 E	

審査請求 未請求 請求項の数 15 O L (全 20 頁)

(21) 出願番号	特願2010-258569 (P2010-258569)	(71) 出願人	000002185
(22) 出願日	平成22年11月19日 (2010. 11. 19)		ソニー株式会社
			東京都港区港南1丁目7番1号
		(74) 代理人	100082131
			弁理士 稲本 義雄
		(74) 代理人	100121131
			弁理士 西川 孝
		(72) 発明者	新橋 龍男
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
		(72) 発明者	舟本 一久
			東京都港区港南1丁目7番1号 ソニー株
			式会社内

最終頁に続く

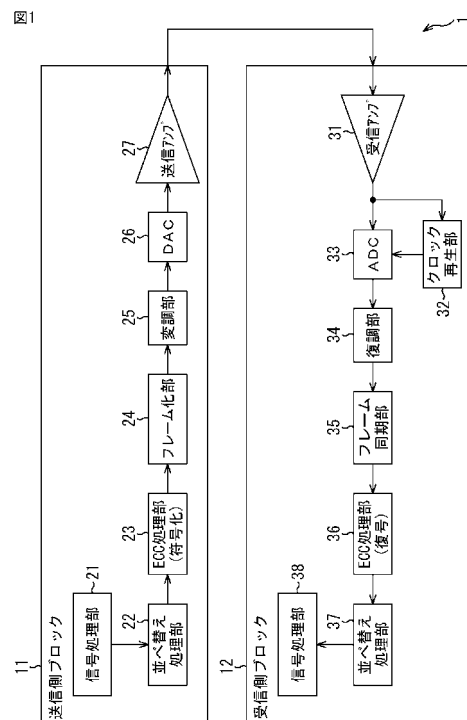
(54) 【発明の名称】 送信装置、送信方法、受信装置、受信方法、プログラム、および伝送システム

(57) 【要約】

【課題】装置内でのデータの送受信を効率的に行うことができるようにする。

【解決手段】送信側ブロック11と受信側ブロック12は、デジタルカメラ、携帯電話機、パーソナルコンピュータなどの同じ装置内に設けられるブロックであり、1本の伝送路を介して接続される。データの送信時、送信側ブロック11においては、送信対象のデータに基づいて誤り訂正符号の計算が行われ、送信データに付加されることによって誤り訂正符号化が行われる。誤り訂正符号が付加された送信データを受信した受信側ブロック12においては、伝送路上において生じた送信データの誤りが、送信データに付加されている誤り訂正符号を用いて訂正される。本発明は、複数のLSI間でデータの送受信を行う装置に適用することができる。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

データ長が可変である誤り訂正符号のデータ長を設定する設定手段と、
送信対象のデータを情報語として、前記設定手段により設定されたデータ長の前記誤り訂正符号を計算する誤り訂正符号計算手段と、
前記誤り訂正符号計算手段による計算によって求められた前記誤り訂正符号を前記送信対象のデータに付加して得られた符号語のデータである符号化データを、同じ装置内にある受信装置に送信する送信手段と
を備える送信装置。

【請求項 2】

前記設定手段は、前記送信装置を構成する回路の入力端子に外部から入力された信号に従って前記誤り訂正符号のデータ長を設定する
請求項 1 に記載の送信装置。

【請求項 3】

前記設定手段は、外部との通信用のバスを介して外部から入力された信号に従って前記誤り訂正符号のデータ長を設定する
請求項 1 に記載の送信装置。

【請求項 4】

前記設定手段はプロセッサであり、所定のプログラムに従って前記誤り訂正符号のデータ長を設定する
請求項 1 に記載の送信装置。

【請求項 5】

前記設定手段はプロセッサであり、前記受信装置のプロセッサから送信されてきた情報に基づいて、前記送信対象のデータの誤り訂正の状況に基づいて前記受信装置のプロセッサにより決定された前記誤り訂正符号のデータ長を設定する
請求項 1 に記載の送信装置。

【請求項 6】

データ長が可変である誤り訂正符号のデータ長を設定し、
送信対象のデータを情報語として、設定したデータ長の前記誤り訂正符号を計算し、
計算によって求めた前記誤り訂正符号を前記送信対象のデータに付加して得られた符号語のデータである符号化データを、同じ装置内にある受信装置に送信する
ステップを含む送信方法。

【請求項 7】

データ長が可変である誤り訂正符号のデータ長を設定し、
送信対象のデータを情報語として、設定したデータ長の前記誤り訂正符号を計算し、
計算によって求めた前記誤り訂正符号を前記送信対象のデータに付加して得られた符号語のデータである符号化データを、同じ装置内にある受信装置に送信する
ステップを含む処理をコンピュータに実行させるプログラム。

【請求項 8】

データ長が可変である誤り訂正符号のデータ長を設定し、送信対象のデータを情報語として、設定したデータ長の前記誤り訂正符号を計算し、計算によって求めた前記誤り訂正符号を前記送信対象のデータに付加して得られた符号語のデータである符号化データを送信する同じ装置内に設けられる送信装置から送信された前記符号化データを受信する受信手段と、
前記誤り訂正符号のデータ長を設定する設定手段と、
前記符号化データに含まれる、前記設定手段により設定されたデータ長の前記誤り訂正符号に基づいて前記送信対象のデータの誤り訂正を行う誤り訂正手段と、
前記誤り訂正後の前記送信対象のデータの処理を行う処理手段と
を備える受信装置。

【請求項 9】

前記設定手段は、前記受信装置を構成する回路の入力端子に外部から入力された信号に従って前記誤り訂正符号のデータ長を設定する

請求項 8 に記載の受信装置。

【請求項 10】

前記設定手段は、外部との通信用のバスを介して外部から入力された信号に従って前記誤り訂正符号のデータ長を設定する

請求項 8 に記載の受信装置。

【請求項 11】

前記設定手段はプロセッサであり、所定のプログラムに従って前記誤り訂正符号のデータ長を設定する

請求項 8 に記載の受信装置。

【請求項 12】

前記設定手段はプロセッサであり、前記誤り訂正手段による前記誤り訂正の状況に基づいて前記誤り訂正符号のデータ長を決定し、決定したデータ長を表す情報を、前記送信装置において前記誤り訂正符号のデータ長を設定する、前記送信装置のプロセッサに送信する

請求項 8 に記載の受信装置。

【請求項 13】

データ長が可変である誤り訂正符号のデータ長を設定し、送信対象のデータを情報語として、設定したデータ長の前記誤り訂正符号を計算し、計算によって求めた前記誤り訂正符号を前記送信対象のデータに付加して得られた符号語のデータである符号化データを送信する同じ装置内に設けられる送信装置から送信された前記符号化データを受信し、

前記誤り訂正符号のデータ長を設定し、

前記符号化データに含まれる、設定したデータ長の前記誤り訂正符号に基づいて前記送信対象のデータの誤り訂正を行い、

前記誤り訂正後の前記送信対象のデータの処理を行う

ステップを含む受信方法。

【請求項 14】

データ長が可変である誤り訂正符号のデータ長を設定し、送信対象のデータを情報語として、設定したデータ長の前記誤り訂正符号を計算し、計算によって求めた前記誤り訂正符号を前記送信対象のデータに付加して得られた符号語のデータである符号化データを送信する同じ装置内に設けられる送信装置から送信された前記符号化データを受信し、

前記誤り訂正符号のデータ長を設定し、

前記符号化データに含まれる、設定したデータ長の前記誤り訂正符号に基づいて前記送信対象のデータの誤り訂正を行い、

前記誤り訂正後の前記送信対象のデータの処理を行う

ステップを含む処理をコンピュータに実行させるプログラム。

【請求項 15】

送信装置と受信装置とを含む伝送システムにおいて、

前記送信装置は、

データ長が可変である誤り訂正符号のデータ長を設定する設定手段と、

送信対象のデータを情報語として、前記設定手段により設定されたデータ長の前記誤り訂正符号を計算する誤り訂正符号計算手段と、

前記誤り訂正符号計算手段による計算によって求められた前記誤り訂正符号を前記送信対象のデータに付加して得られた符号語のデータである符号化データを前記受信装置に送信する送信手段と

を備え、

前記受信装置は、

前記符号化データを受信する受信手段と、

前記誤り訂正符号のデータ長を設定する設定手段と、

10

20

30

40

50

前記符号化データに含まれる、前記設定手段により設定されたデータ長の前記誤り訂正符号に基づいて前記送信対象のデータの誤り訂正を行う誤り訂正手段と、

前記誤り訂正後の前記送信対象のデータの処理を行う処理手段とを備える

伝送システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、送信装置、送信方法、受信装置、受信方法、プログラム、および伝送システムに関し、特に、装置内でのデータの送受信を効率的に行うことができるようにした送信装置、送信方法、受信装置、受信方法、プログラム、および伝送システムに関する。

10

【背景技術】

【0002】

情報の大容量化に伴い、信号処理LSI(Large Scale Integrated Circuit)間のインタフェースの伝送速度の高速化が必要になってきている。

【0003】

この要求に応えるため、信号処理の多並列化、インタフェースのクロック周波数の向上、信号の低電圧化などの手法が採用されているが、これらの手法によれば、ノイズ耐性が劣化し、データを正しく伝送することが難しくなる。

【0004】

20

モバイル機器向けの信号処理LSI間のインタフェースなどの消費電力を抑えることが要求されるインタフェースにおいても、伝送速度の高速化はそれほど要求されないものの、低電圧化が進められており、データを正しく伝送することが難しい。

【0005】

このような問題を解決するため、従来、CDR(Clock Data Recovery)回路やイコライザの高性能化などの伝送チャネルの電気的な性能改善が行われ、また、ノイズによって生じた誤りを受信側で検出する誤り検出符号も用いられている。誤りを検出した受信側のLSIが、送信側のLSIに対してデータの再送を要求し、データの送受信を再度行うことによってエラー対策が確保されるようになされている。

【先行技術文献】

30

【非特許文献】

【0006】

【非特許文献1】Serial ATA: High Speed Serialized AT Attachment Revision 1.0a 7-January-2003

【発明の概要】

【発明が解決しようとする課題】

【0007】

信号処理LSI間のインタフェースに要求される伝送容量が加速度的に増大してきている。再送信を行う従来の方法は、比較的容量の大きいデータバッファを受信側のLSIに用意する必要があり、また、データが再送されてくるのを待っている受信側のLSIにおける処理が時間的に間に合わないこともあって、現実的な実装方法ではなくなりつつある。

40

【0008】

本発明はこのような状況に鑑みてなされたものであり、装置内でのデータの送受信を効率的に行うことができるようにするものである。

【課題を解決するための手段】

【0009】

本発明の第1の側面の送信装置は、データ長が可変である誤り訂正符号のデータ長を設定する設定手段と、送信対象のデータを情報語として、前記設定手段により設定されたデータ長の前記誤り訂正符号を計算する誤り訂正符号計算手段と、前記誤り訂正符号計算手段による計算によって求められた前記誤り訂正符号を前記送信対象のデータに付加して得

50

られた符号語のデータである符号化データを、同じ装置内にある受信装置に送信する送信手段とを備える。

【0010】

前記設定手段には、前記送信装置を構成する回路の入力端子に外部から入力された信号に従って前記誤り訂正符号のデータ長を設定させることができる。

【0011】

前記設定手段には、外部との通信用のバスを介して外部から入力された信号に従って前記誤り訂正符号のデータ長を設定させることができる。

【0012】

前記設定手段はプロセッサであり、所定のプログラムに従って前記誤り訂正符号のデータ長を設定させることができる。

【0013】

前記設定手段はプロセッサであり、前記受信装置のプロセッサから送信されてきた情報に基づいて、前記送信対象のデータの誤り訂正の状況に基づいて前記受信装置のプロセッサにより決定された前記誤り訂正符号のデータ長を設定させることができる。

【0014】

本発明の第1の側面の送信方法は、データ長が可変である誤り訂正符号のデータ長を設定し、送信対象のデータを情報語として、設定したデータ長の前記誤り訂正符号を計算し、計算によって求めた前記誤り訂正符号を前記送信対象のデータに付加して得られた符号語のデータである符号化データを、同じ装置内にある受信装置に送信するステップを含む。

【0015】

本発明の第1の側面のプログラムは、データ長が可変である誤り訂正符号のデータ長を設定し、送信対象のデータを情報語として、設定したデータ長の前記誤り訂正符号を計算し、計算によって求めた前記誤り訂正符号を前記送信対象のデータに付加して得られた符号語のデータである符号化データを、同じ装置内にある受信装置に送信するステップを含む処理をコンピュータに実行させる。

【0016】

本発明の第2の側面の受信装置は、データ長が可変である誤り訂正符号のデータ長を設定し、送信対象のデータを情報語として、設定したデータ長の前記誤り訂正符号を計算し、計算によって求めた前記誤り訂正符号を前記送信対象のデータに付加して得られた符号語のデータである符号化データを送信する同じ装置内に設けられる送信装置から送信された前記符号化データを受信する受信手段と、前記誤り訂正符号のデータ長を設定する設定手段と、前記符号化データに含まれる、前記設定手段により設定されたデータ長の前記誤り訂正符号に基づいて前記送信対象のデータの誤り訂正を行う誤り訂正手段と、前記誤り訂正後の前記送信対象のデータの処理を行う処理手段とを備える。

【0017】

前記設定手段には、前記受信装置を構成する回路の入力端子に外部から入力された信号に従って前記誤り訂正符号のデータ長を設定させることができる。

【0018】

前記設定手段には、外部との通信用のバスを介して外部から入力された信号に従って前記誤り訂正符号のデータ長を設定させることができる。

【0019】

前記設定手段はプロセッサであり、所定のプログラムに従って前記誤り訂正符号のデータ長を設定させることができる。

【0020】

前記設定手段はプロセッサであり、前記誤り訂正手段による前記誤り訂正の状況に基づいて前記誤り訂正符号のデータ長を決定し、決定したデータ長を表す情報を、前記送信装置において前記誤り訂正符号のデータ長を設定する、前記送信装置のプロセッサに送信させることができる。

10

20

30

40

50

【 0 0 2 1 】

本発明の第 2 の側面の受信方法は、データ長が可変である誤り訂正符号のデータ長を設定し、送信対象のデータを情報語として、設定したデータ長の前記誤り訂正符号を計算し、計算によって求めた前記誤り訂正符号を前記送信対象のデータに付加して得られた符号語のデータである符号化データを送信する同じ装置内に設けられる送信装置から送信された前記符号化データを受信し、前記誤り訂正符号のデータ長を設定し、前記符号化データに含まれる、設定したデータ長の前記誤り訂正符号に基づいて前記送信対象のデータの誤り訂正を行い、前記誤り訂正後の前記送信対象のデータの処理を行うステップを含む。

【 0 0 2 2 】

本発明の第 2 の側面のプログラムは、データ長が可変である誤り訂正符号のデータ長を設定し、送信対象のデータを情報語として、設定したデータ長の前記誤り訂正符号を計算し、計算によって求めた前記誤り訂正符号を前記送信対象のデータに付加して得られた符号語のデータである符号化データを送信する同じ装置内に設けられる送信装置から送信された前記符号化データを受信し、前記誤り訂正符号のデータ長を設定し、前記符号化データに含まれる、設定したデータ長の前記誤り訂正符号に基づいて前記送信対象のデータの誤り訂正を行い、前記誤り訂正後の前記送信対象のデータの処理を行うステップを含む処理をコンピュータに実行させる。

【 0 0 2 3 】

本発明の第 3 の側面の伝送システムは、送信装置と受信装置とを含む伝送システムにおいて、前記送信装置は、データ長が可変である誤り訂正符号のデータ長を設定する設定手段と、送信対象のデータを情報語として、前記設定手段により設定されたデータ長の前記誤り訂正符号を計算する誤り訂正符号計算手段と、前記誤り訂正符号計算手段による計算によって求められた前記誤り訂正符号を前記送信対象のデータに付加して得られた符号語のデータである符号化データを前記受信装置に送信する送信手段とを備え、前記受信装置は、前記符号化データを受信する受信手段と、前記誤り訂正符号のデータ長を設定する設定手段と、前記符号化データに含まれる、前記設定手段により設定されたデータ長の前記誤り訂正符号に基づいて前記送信対象のデータの誤り訂正を行う誤り訂正手段と、前記誤り訂正後の前記送信対象のデータの処理を行う処理手段とを備える。

【 0 0 2 4 】

本発明の第 1 の側面においては、データ長が可変である誤り訂正符号のデータ長が設定され、送信対象のデータを情報語として、設定されたデータ長の前記誤り訂正符号が計算される。また、計算によって求められた前記誤り訂正符号を前記送信対象のデータに付加して得られた符号語のデータである符号化データが、同じ装置内にある受信装置に送信される。

【 0 0 2 5 】

本発明の第 2 の側面においては、データ長が可変である誤り訂正符号のデータ長を設定し、送信対象のデータを情報語として、設定したデータ長の前記誤り訂正符号を計算し、計算によって求めた前記誤り訂正符号を前記送信対象のデータに付加して得られた符号語のデータである符号化データを送信する同じ装置内に設けられる送信装置から送信された前記符号化データが受信される。また、前記誤り訂正符号のデータ長が設定され、前記符号化データに含まれる、設定されたデータ長の前記誤り訂正符号に基づいて前記送信対象のデータの誤り訂正が行われ、前記誤り訂正後の前記送信対象のデータの処理が行われる。

【 0 0 2 6 】

本発明の第 3 の側面においては、送信装置により、データ長が可変である誤り訂正符号のデータ長が設定され、送信対象のデータを情報語として、設定されたデータ長の前記誤り訂正符号が計算され、計算によって求められた前記誤り訂正符号を前記送信対象のデータに付加して得られた符号語のデータである符号化データが受信装置に送信される。また、受信装置により、前記送信装置から送信された前記符号化データが受信され、前記誤り訂正符号のデータ長が設定され、前記符号化データに含まれる、設定されたデータ長の前

記誤り訂正符号に基づいて前記送信対象のデータの誤り訂正が行われ、前記誤り訂正後の前記送信対象のデータの処理が行われる。

【発明の効果】

【0027】

本発明によれば、装置内でのデータの送受信を効率的に行うことができる。

【図面の簡単な説明】

【0028】

【図1】伝送システムの第1の構成例を示す図である。

【図2】送信データの並び替えの例を示す図である。

【図3】誤り訂正符号化の例を示す図である。

【図4】伝送フレームのフレーム構成を示す図である。

【図5】誤り訂正復号の例を示す図である。

【図6】送信側ブロックの送信処理について説明するフローチャートである。

【図7】受信側ブロックの受信処理について説明するフローチャートである。

【図8】送信側ブロックと受信側ブロックの構成の変形例を示す図である。

【図9】伝送システムの第2の構成例を示す図である。

【図10】伝送システムの第3の構成例を示す図である。

【図11】伝送システムの第4の構成例を示す図である。

【図12】伝送システムの第5の構成例を示す図である。

【図13】送信側ブロックのパリティ数設定処理について説明するフローチャートである

。

【図14】受信側ブロックのパリティ数設定処理について説明するフローチャートである

。

【図15】コンピュータの構成例を示す図である。

【発明を実施するための形態】

【0029】

<第1の実施の形態>

[ブロックの構成]

図1は、本発明の一実施形態に係る伝送システムの第1の構成例を示す図である。

【0030】

図1の伝送システム1は、送信側ブロック11と受信側ブロック12から構成される。送信側ブロック11と受信側ブロック12は、例えば、それぞれ異なるLSIにより、または同じLSIにより実現され、デジタルカメラ、携帯電話機、パーソナルコンピュータなどの、情報を処理する同じ装置内に設けられる。図1の例においては、送信側ブロック11と受信側ブロック12は1本の伝送路を介して接続されている。送信側ブロック11と受信側ブロック12の間の伝送路は有線の伝送路であってもよいし、無線の伝送路であってもよい。

【0031】

送信側ブロック11は、信号処理部21、並べ替え処理部22、ECC処理部23、フレーム化部24、変調部25、DAC26、および送信アンプ27から構成される。

【0032】

信号処理部21は、各種の信号処理を行い、信号処理を行うことによって得られた画像データ、テキストデータ、オーディオデータなどの、送信対象のデータである送信データを並べ替え処理部22に出力する。

【0033】

送信データが送信側ブロック11の外部の回路から並べ替え処理部22に入力されるようにすることも可能である。例えば、CMOS(Complementary Metal Oxide Semiconductor)などの外部の撮像素子により撮像された画像を構成する画素データが、1画素のデータずつ順に送信データとして入力されるようにしてもよい。

【0034】

10

20

30

40

50

並べ替え処理部 2 2 は、信号処理部 2 1 から供給された送信データを取得し、取得した送信データの並び替えを行う。例えば、送信データが 12 ビットなどの所定の数のビットで 1 シンボルを構成するデータである場合、並べ替え処理部 2 2 においては、データの並び替えが行われることによって 8 ビット単位のデータに変換される。

【 0 0 3 5 】

図 2 は、送信データの並び替えの例を示す図である。

【 0 0 3 6 】

図 2 の左側に示す縦長の 4 つのブロックは、それぞれ 12 ビットのデータであるシンボル S 1 乃至 S 4 を表す。各ブロックの縦方向の長さが 12 ビットを表す。

【 0 0 3 7 】

例えば、シンボル S 1 乃至 S 4 が送信データとして入力された場合、並べ替え処理部 2 2 においては、入力された順に 8 ビットずつ集められ、矢印の先に示すような 8 ビット単位のデータであるシンボル s 1 乃至 s 6 に並び替えられる。

【 0 0 3 8 】

シンボル s 1 は、シンボル S 1 の 1 ビット目から 8 ビット目までの 8 ビットにより構成される。シンボル s 2 は、シンボル S 1 の 9 ビット目から 12 ビット目までの 4 ビットと、シンボル S 2 の 1 ビット目から 4 ビット目までの 4 ビットとの 8 ビットにより構成される。シンボル s 3 は、シンボル S 2 の 5 ビット目から 12 ビット目までの 8 ビットにより構成される。シンボル s 4 は、シンボル S 3 の 1 ビット目から 8 ビット目までの 8 ビットにより構成される。シンボル s 5 は、シンボル S 3 の 9 ビット目から 12 ビット目までの 4 ビットと、シンボル S 4 の 1 ビット目から 4 ビット目までの 4 ビットとの 8 ビットにより構成される。シンボル s 6 は、シンボル S 4 の 5 ビット目から 12 ビット目までの 8 ビットにより構成される。

【 0 0 3 9 】

送信データを構成する各シンボルが 12 ビット以外のビット数で表されることもある。並べ替え処理部 2 2 においては、送信データの各シンボルがどのようなビット数で表される場合であっても後段の処理部において同じ処理で伝送フレームを生成できるように、送信データを 8 ビット単位のデータに区切り直す処理が行われる。並べ替え処理部 2 2 は、並び替えを行うことによって得られた 8 ビット単位の送信データを ECC 処理部 2 3 に出力する。

【 0 0 4 0 】

ECC(Error Correcting Code)処理部 2 3 は、並べ替え処理部 2 2 から供給された 8 ビット単位の送信データに基づいて、送信データの誤り訂正に用いられる誤り訂正符号を計算する。また、ECC 処理部 2 3 は、計算により求めた誤り訂正符号であるパリティを送信データに付加することによって誤り訂正符号化を行う。誤り訂正符号として例えば Reed Solomon 符号が用いられる。

【 0 0 4 1 】

図 3 は、ECC 処理部 2 3 による誤り訂正符号化の例を示す図である。

【 0 0 4 2 】

ECC 処理部 2 3 は、所定の数の 8 ビット単位の送信データを情報語として生成多項式に適用し、パリティの計算を行う。例えば、ECC 処理部 2 3 により求められるパリティも 8 ビット単位のデータとされる。ECC 処理部 2 3 は、白抜き矢印の先に示すように、計算により求めたパリティを情報語に付加し、符号語を生成する。ECC 処理部 2 3 は、生成した符号語のデータである符号化データをフレーム化部 2 4 に出力する。

【 0 0 4 3 】

フレーム化部 2 4 は、ECC 処理部 2 3 から供給された符号化データをペイロードに格納し、送信データに関する情報を含むヘッダとフッタを付加することによってパケットを生成する。また、フレーム化部 2 4 は、パケットの先頭にパケットデータの開始位置を表す開始コードを付加し、パケットの末尾にパケットデータの終了位置を表す終了コードを付加することによって伝送フレームを生成する。

10

20

30

40

50

【 0 0 4 4 】

図 4 は、伝送フレームのフレーム構成を示す図である。

【 0 0 4 5 】

図 4 に示すように、符号化データが格納されたペイロードにヘッダとフッタが付加されることによって 1 パケットが構成される。また、パケットに開始コードと終了コードが付加されることによって伝送フレームが構成される。

【 0 0 4 6 】

フレーム化部 2 4 は、図 4 に示すようなフレーム構成を有する伝送フレームのデータであるフレームデータを先頭のデータから順に変調部 2 5 に出力する。

【 0 0 4 7 】

変調部 2 5 は、フレーム化部 2 4 から供給されたフレームデータを所定の方式で変調し、変調後のフレームデータを DAC 2 6 に出力する。

【 0 0 4 8 】

DAC(Digital Analog Converter) 2 6 は、変調部 2 5 から供給されたフレームデータに対して D/A 変換を施し、D/A 変換を施すことによって得られたアナログ信号を送信アンプ 2 7 に出力する。

【 0 0 4 9 】

送信アンプ 2 7 は、DAC 2 6 から供給された信号の信号電圧を調整し、調整後の信号を送信する。

【 0 0 5 0 】

受信側ブロック 1 2 は、受信アンプ 3 1、クロック再生部 3 2、ADC(Analog Digital Converter) 3 3、復調部 3 4、フレーム同期部 3 5、ECC処理部 3 6、並べ替え処理部 3 7、および信号処理部 3 8 から構成される。送信側ブロック 1 1 の送信アンプ 2 7 から出力された信号は受信アンプ 3 1 に入力される。

【 0 0 5 1 】

受信アンプ 3 1 は、送信側ブロック 1 1 から送信されてきた信号を受信し、信号電圧を調整して出力する。受信アンプ 3 1 から出力された信号はクロック再生部 3 2 と ADC 3 3 に入力される。

【 0 0 5 2 】

クロック再生部 3 2 は、入力信号のエッジを検出することによってビット同期をとり、エッジの検出周期に基づいてクロック信号を再生する。クロック再生部 3 2 は、再生したクロック信号を ADC 3 3 に出力する。

【 0 0 5 3 】

ADC 3 3 は、クロック再生部 3 2 により再生されたクロック信号に従って入力信号のサンプリングを行い、サンプリングによって得られたフレームデータを復調部 3 4 に出力する。

【 0 0 5 4 】

復調部 3 4 は、送信側ブロック 1 1 の変調部 2 5 における変調方式に対応する方式でフレームデータの復調を行い、復調後のフレームデータをフレーム同期部 3 5 に出力する。

【 0 0 5 5 】

フレーム同期部 3 5 は、復調部 3 4 から供給されたフレームデータから開始コードと終了コードを検出し、フレーム同期をとる。フレーム同期部 3 5 は、開始コードから終了コードまでのデータをパケットデータとして検出し、ペイロードに格納されている符号化データを ECC 処理部 3 6 に出力する。

【 0 0 5 6 】

ECC 処理部 3 6 は、フレーム同期部 3 5 から供給された符号化データに含まれるパリティに基づいて誤り訂正演算を行うことによって送信データの誤りを検出し、検出した誤りの訂正を行う。

【 0 0 5 7 】

図 5 は、ECC 処理部 3 6 による誤り訂正復号の例を示す図である。

10

20

30

40

50

【 0 0 5 8 】

例えば、図 5 の上段に示す符号語のデータが符号化データとして送信側ブロック 1 1 から送信され、白抜き矢印 # 1 1 の先に示すようなデータが受信された場合について説明する。図 5 の受信データ中のビット E 1 , E 2 は、誤りのあるビットを表す。

【 0 0 5 9 】

この場合、ECC処理部 3 6 においては、パリティに基づく誤り訂正演算が行われることによってビット E 1 , E 2 が検出され、白抜き矢印 # 1 2 の先に示すように訂正される。ECC処理部 3 6 は、各符号語を対象として誤り訂正復号を行い、誤り訂正後の送信データを並べ替え処理部 3 7 に出力する。

【 0 0 6 0 】

並べ替え処理部 3 7 は、ECC処理部 3 6 から供給された 8 ビット単位の送信データを、送信側ブロック 1 1 の並べ替え処理部 2 2 による並び替えの順番と逆順で並び替える。すなわち、並べ替え処理部 3 7 においては、図 2 を参照して説明した処理と逆の処理が行われることによって、8 ビット単位の送信データが、1 2 ビットなどの所定のビット数単位の送信データに変換される。並べ替え処理部 3 7 は、並び替えを行うことによって得られた送信データを信号処理部 3 8 に出力する。

【 0 0 6 1 】

信号処理部 3 8 は、並べ替え処理部 3 7 から供給された送信データを用いて各種の処理を行う。例えば、送信データが 1 フレームの画像を構成する画素データである場合、信号処理部 3 8 においては、画素データに基づいて 1 フレームの画像が生成され、画像データの圧縮、画像の表示、記録媒体に対する画像データの記録などの各種の処理が行われる。

【 0 0 6 2 】

[ブロックの動作]

ここで、図 1 の構成を有する送信側ブロック 1 1 と受信側ブロック 1 2 の一連の処理について説明する。はじめに、図 6 のフローチャートを参照して送信側ブロック 1 1 の送信処理について説明する。

【 0 0 6 3 】

ステップ S 1 において、信号処理部 2 1 は信号処理を行い、信号処理を行うことによって得られた送信データを出力する。

【 0 0 6 4 】

ステップ S 2 において、並べ替え処理部 2 2 は、信号処理部 2 1 から供給された送信データを取得し、図 2 を参照して説明したようにしてデータの並び替えを行う。

【 0 0 6 5 】

ステップ S 3 において、ECC処理部 2 3 は、並び替えによって得られた 8 ビット単位の送信データに基づいてパリティを計算し、送信データに付加することによって誤り訂正符号化を行う。

【 0 0 6 6 】

ステップ S 4 において、フレーム化部 2 4 は、誤り訂正符号化によって得られた符号化データをペイロードに格納し、ヘッダとフッタを付加することによってパケットを生成する。また、フレーム化部 2 4 は、パケットの先頭に開始コードを付加し、末尾に終了コードを付加することによってフレーム化を行う。

【 0 0 6 7 】

ステップ S 5 において、変調部 2 5 は、フレーム化によって得られた伝送フレームを構成するフレームデータを対象として変調処理を行う。

【 0 0 6 8 】

ステップ S 6 において、DAC 2 6 は、変調処理を行うことによって得られたフレームデータに D/A 変換を施す。

【 0 0 6 9 】

ステップ S 7 において、送信アンプ 2 7 は、D/A 変換によって得られた信号を受信側ブロック 1 2 に送信する。ステップ S 2 乃至 S 7 の処理は、信号処理部 2 1 から出力された

10

20

30

40

50

送信データに基づいて生成されたフレームデータを表す信号の送信が終了するまで繰り返し行われる。

【0070】

次に、図7のフローチャートを参照して受信側ブロック12の受信処理について説明する。

【0071】

ステップS11において、受信アンプ31は、送信側ブロック11から送信されてきた信号を受信し、信号電圧を調整する。

【0072】

ステップS12において、クロック再生部32は、受信アンプ31から供給された信号のエッジを検出し、クロック信号を再生する。

【0073】

ステップS13において、ADC33は、クロック再生部32により再生されたクロック信号に従ってサンプリングを行う。

【0074】

ステップS14において、復調部34は、サンプリングにより得られたフレームデータを対象として復調処理を行う。

【0075】

ステップS15において、フレーム同期部35は、復調部34から供給されたフレームデータから開始コードと終了コードを検出することによってフレーム同期をとる。フレーム同期部35は、ペイロードに格納されている符号化データをECC処理部36に出力する。

【0076】

ステップS16において、ECC処理部36は、符号化データに基づいて誤り訂正復号を行い、送信データの誤りを訂正する。

【0077】

ステップS17において、並べ替え処理部37は、誤り訂正後の送信データの並び替えを行い、送信側ブロック11において信号処理部21から出力されたデータと同じ所定のビット数単位の送信データを生成する。ステップS11乃至S17の処理は、送信側ブロック11から送信されてきたフレームデータを表す信号の処理が終了するまで繰り返し行われる。

【0078】

フレームデータを表す信号の処理が終了したとき、ステップS18において、信号処理部38は、並べ替え処理部37から供給された送信データに基づいて信号処理を行う。信号処理部38は、信号処理が終了したとき、処理を終了する。

【0079】

以上のように、送信側ブロック11と受信側ブロック12からなる伝送システム1においては、伝送路上において生じた送信データの誤りが、送信データに付加されている誤り訂正符号を用いて訂正される。これにより、送信データの誤りが生じた場合に送信データの再送を送信側ブロック11に対して要求する必要がないため、エラー対策を確保しつつ、データ伝送のリアルタイム性を確保することができる。また、再送要求用の伝送路を設ける必要がないため、回路構成の簡易化、コストの削減を図ることができる。

【0080】

図8に、ECC処理部が設けられていない送信側ブロック11と受信側ブロック12の構成を示す。図8の送信側ブロック11には、ECC処理部23に代えて誤り検出符号化部51が設けられ、受信側ブロック12には、ECC処理部36に代えて誤り検出部61が設けられている。

【0081】

送信側ブロック11の誤り検出符号化部51は、並べ替え処理部22から供給された送信データに基づいて誤り検出符号の計算を行い、計算により求めた誤り検出符号を送信デ

10

20

30

40

50

ータに付加する。送信側ブロック 1 1 のフレーム化部 2 4、変調部 2 5、DAC 2 6、および送信アンプ 2 7 においては上述した処理と同様の処理が行われ、誤り検出符号が付加された送信データが、伝送フレームを用いて受信側ブロック 1 2 に送信される。

【0082】

受信側ブロック 1 2 に供給された送信データに対しては、受信アンプ 3 1、ADC 3 3、復調部 3 4、およびフレーム同期部 3 5 において上述した処理と同様の処理が施され、誤り検出符号が付加された送信データが誤り検出部 6 1 に供給される。誤り検出部 6 1 は、誤り検出符号に基づいて送信データの誤りを検出し、検出結果を表す情報を信号処理部 3 8 に出力する。検出結果を表す情報は信号処理部 3 8 のデータバッファ 6 2 に格納される。

10

【0083】

信号処理部 3 8 は、送信データの誤りが検出されたか否かをデータバッファ 6 2 に格納されている情報に基づいて判定し、誤りが検出されたと判定した場合、送信側ブロック 1 1 の信号処理部 2 1 に対してデータの再送を要求する。

【0084】

送信側ブロック 1 1 と受信側ブロック 1 2 が図 8 に示すような構成を有している場合、伝送エラーが生じたときには受信側ブロック 1 2 が送信側ブロック 1 1 に対してデータの再送を要求する必要がある、リアルタイム性を確保できず、回路構成も複雑になってしまう。

【0085】

20

< 第 2 の実施の形態 >

図 9 は、伝送システム 1 の第 2 の構成例を示す図である。

【0086】

図 9 に示す構成のうち、図 1 に示す構成と同じ構成には同じ符号を付してある。重複する説明については適宜省略する。

【0087】

図 9 の伝送システム 1 においては、誤り訂正の能力を規定するパリティ数が可変となっており、ブロックの外部から設定することができるようになされている。送信側ブロック 1 1、受信側ブロック 1 2 とともに同じ装置内に設けられる回路から出力されたパリティ数指示情報は、送信側ブロック 1 1 の外部ピン 1 1 A を介して ECC 処理部 2 3 に入力され、受信側ブロック 1 2 の外部ピン 1 2 A を介して ECC 処理部 3 6 に入力される。

30

【0088】

パリティ数指示情報は、例えば 0、1、2、3、4 バイトの中から選択されたいずれかのパリティ数（パリティのデータ長）を指示する信号である。パリティ数を 0 バイトとした場合、冗長なデータであるパリティを付加しない代わりに誤り訂正能力がない。一方、パリティ数を 1 バイトとした場合、1 符号語中、1 バイトの誤り検出のみが可能となる。パリティ数を 2 バイトまたは 3 バイトとした場合、1 符号語中、1 バイトの誤り訂正が可能となり、パリティ数を 4 バイトとした場合、1 符号語中、2 バイトの誤り訂正が可能となる。ここでは、Reed Solomon 符号として 1、2、3、4 バイトのパリティを用いる場合について説明しているが、パリティ数はこれらのサイズに限られるものではない。

40

【0089】

送信側ブロック 1 1 の ECC 処理部 2 3 は、パリティ数指示情報により表されるパリティ数を設定し、設定したパリティ数のパリティを送信データに付加するようにして誤り訂正符号化を行う。送信側ブロック 1 1 によるデータ送信時の処理は、図 6 のフローチャートを参照して説明した処理と同じ処理である。

【0090】

一方、受信側ブロック 1 2 の ECC 処理部 3 6 は、パリティ数指示情報により表されるパリティ数を設定し、設定したパリティ数のパリティを検出して送信データの誤り訂正を行う。受信側ブロック 1 2 によるデータ受信時の処理は、図 7 のフローチャートを参照して説明した処理と同じ処理である。

50

【 0 0 9 1 】

これにより、パリティ数を伝送路の誤り率などに応じて適切に設定することが可能となる。伝送路の誤り率は、送信側ブロック 1 1 の伝送インタフェースの電気的性能、受信側ブロック 1 2 の伝送インタフェースの電気的性能、ブロック間の接続における伝送性能、および伝送途中の電磁氣的ノイズ環境などによって定まる。送信側ブロック 1 1 と受信側ブロック 1 2 の設計時にパリティ数を固定しないで、同じ装置に組み込む送信側ブロック 1 1 と受信側ブロック 1 2 の仕様が決まってからパリティ数を設定できるようにすることにより、適切なパリティ数を後から設定することが可能になる。

【 0 0 9 2 】

一般に、パリティのデータ長が長いほど高い誤り訂正能力が得られる。一方、パリティは冗長なデータであるからそれを送信することは伝送速度の観点で好ましくなく、また、誤り訂正のための消費電力も増大する。従って、パリティ数を可変とし、伝送路の誤り率に応じた適切なパリティ数を設定することができるようにすることによって、高速のデータ伝送を可能としつつ、消費電力を抑えることが可能となる。

【 0 0 9 3 】

< 第 3 の実施の形態 >

図 1 0 は、伝送システム 1 の第 3 の構成例を示す図である。

【 0 0 9 4 】

図 1 0 に示す構成のうち、図 1 に示す構成と同じ構成には同じ符号を付してある。重複する説明については適宜省略する。図 1 0 に示す送信側ブロック 1 1 の構成は、I2C I/F 7 1 とレジスタ 7 2 が設けられている点で図 1 の構成と異なり、受信側ブロック 1 2 の構成は、I2C I/F 8 1 とレジスタ 8 2 が設けられている点で図 1 の構成と異なる。

【 0 0 9 5 】

図 1 0 の伝送システム 1 においては、パリティ数をブロックの外部ピンを介して設定するのではなく、外部の回路との通信用のバスのインタフェースである I2C インタフェースを介して設定することができるようになされている。送信側ブロック 1 1、受信側ブロック 1 2 とともに同じ装置内に設けられる回路から出力されたパリティ数指示情報は、送信側ブロック 1 1 の I2C I/F 7 1 を介してレジスタ 7 2 に記憶され、受信側ブロック 1 2 の I2C I/F 8 1 を介してレジスタ 8 2 に記憶される。

【 0 0 9 6 】

送信側ブロック 1 1 の ECC 処理部 2 3 は、レジスタ 7 2 に記憶されているパリティ数指示情報を読み出し、パリティ数指示情報により表されるパリティ数のパリティを送信データに付加するようにして誤り訂正符号化を行う。送信側ブロック 1 1 によるデータ送信時の処理は、図 6 のフローチャートを参照して説明した処理と同じ処理である。

【 0 0 9 7 】

一方、受信側ブロック 1 2 の ECC 処理部 3 6 は、レジスタ 8 2 に記憶されているパリティ数指示情報を読み出し、パリティ数指示情報により表されるパリティ数のパリティを検出して送信データの誤り訂正を行う。受信側ブロック 1 2 によるデータ受信時の処理は、図 7 のフローチャートを参照して説明した処理と同じ処理である。

【 0 0 9 8 】

図 1 0 の構成によっても、可変のパリティ数を伝送路の誤り率などに応じて適切に設定することが可能となる。

【 0 0 9 9 】

< 第 4 の実施の形態 >

図 1 1 は、伝送システム 1 の第 4 の構成例を示す図である。

【 0 1 0 0 】

図 1 1 に示す構成のうち、図 1 に示す構成と同じ構成には同じ符号を付してある。重複する説明については適宜省略する。図 1 1 に示す送信側ブロック 1 1 の構成は、マイクロプロセッサ 9 1 が設けられている点で図 1 の構成と異なり、受信側ブロック 1 2 の構成は、マイクロプロセッサ 9 2 が設けられている点で図 1 の構成と異なる。

【 0 1 0 1 】

図 1 1 の伝送システム 1 においては、パリティ数をブロックの外部ピンを介して設定するのではなく、ブロックの内部のマイクロプロセッサから設定することができるようになされている。

【 0 1 0 2 】

送信側ブロック 1 1 のマイクロプロセッサ 9 1 は、所定のプログラム（ファームウェア）を実行し、所定のパリティ数を表すパリティ数指示情報を ECC 処理部 2 3 に出力する。

【 0 1 0 3 】

ECC 処理部 2 3 は、マイクロプロセッサ 9 1 から供給されたパリティ数指示情報に従ってパリティ数を設定し、設定したパリティ数のパリティを送信データに付加するようにして誤り訂正符号化を行う。送信側ブロック 1 1 によるデータ送信時の処理は、図 6 のフローチャートを参照して説明した処理と同じ処理である。

10

【 0 1 0 4 】

一方、受信側ブロック 1 2 のマイクロプロセッサ 9 2 も同様に、プログラムを実行し、パリティ数指示情報を ECC 処理部 3 6 に出力する。マイクロプロセッサ 9 2 が出力するパリティ数指示情報により表されるパリティ数は、送信側ブロック 1 1 のマイクロプロセッサ 9 1 が出力するパリティ数指示情報により表されるパリティ数と同じである。

【 0 1 0 5 】

ECC 処理部 3 6 は、マイクロプロセッサ 9 2 から供給されたパリティ数指示情報に従ってパリティ数を設定し、設定したパリティ数のパリティを検出して送信データの誤り訂正を行う。受信側ブロック 1 2 によるデータ受信時の処理は、図 7 のフローチャートを参照して説明した処理と同じ処理である。

20

【 0 1 0 6 】

図 1 1 の構成によっても、パリティ数を伝送路の誤り率などに応じて適切に設定することが可能となる。また、マイクロプロセッサ 9 1 とマイクロプロセッサ 9 2 のファームウェアを更新することによってパリティ数を変更することも可能になる。

【 0 1 0 7 】

< 第 5 の実施の形態 >

図 1 2 は、伝送システム 1 の第 5 の構成例を示す図である。

【 0 1 0 8 】

図 1 2 に示す構成のうち、図 1 1 に示す構成と同じ構成には同じ符号を付してある。重複する説明については適宜省略する。

30

【 0 1 0 9 】

図 1 2 の伝送システム 1 においては、送信側ブロック 1 1 のマイクロプロセッサ 9 1 と受信側ブロック 1 2 のマイクロプロセッサ 9 2 が信号線を介して接続されている。マイクロプロセッサ 9 2 からマイクロプロセッサ 9 1 に対しては、例えば、マイクロプロセッサ 9 2 において検出されたデータの誤り訂正の確率に応じたパリティ数を表すパリティ数指示情報が送信される。

【 0 1 1 0 】

送信側ブロック 1 1 のマイクロプロセッサ 9 1 は、マイクロプロセッサ 9 2 から供給されたパリティ数指示情報を受信し、ECC 処理部 2 3 に出力する。

40

【 0 1 1 1 】

ECC 処理部 2 3 は、マイクロプロセッサ 9 1 から供給されたパリティ数指示情報に従ってパリティ数を設定し、設定したパリティ数のパリティを送信データに付加するようにして誤り訂正符号化を行う。

【 0 1 1 2 】

一方、受信側ブロック 1 2 のマイクロプロセッサ 9 2 は、パリティ数指示情報を ECC 処理部 3 6 に出力する。マイクロプロセッサ 9 2 が送信するパリティ数指示情報により表されるパリティ数は、送信側ブロック 1 1 のマイクロプロセッサ 9 1 が出力するパリティ数指示情報により表されるパリティ数と同じである。

50

【 0 1 1 3 】

また、マイクロプロセッサ 9 2 は、ECC処理部 3 6 により行われる誤り訂正処理を監視し、例えば、受信データに対する誤り訂正の対象になったデータの割合を誤り訂正の確率として記憶する。マイクロプロセッサ 9 2 は、記憶しておいた誤り訂正の確率に基づいて、送信側ブロック 1 1 のECC処理部 2 3 と受信側ブロック 1 2 のECC処理部 3 6 におけるパリティ数を更新する。

【 0 1 1 4 】

例えば、マイクロプロセッサ 9 2 は、記憶しておいた誤り訂正の確率が閾値より高く、現在のパリティ数ではノイズ耐性を保証できないと判定した場合、より長くなるようにパリティ数を更新する。また、マイクロプロセッサ 9 2 は、記憶しておいた誤り訂正の確率が閾値より低い場合、より短くなるようにパリティ数を更新する。マイクロプロセッサ 9 2 は、更新後のパリティ数を表すパリティ数指示情報をマイクロプロセッサ 9 1 に送信する。

10

【 0 1 1 5 】

ECC処理部 3 6 は、マイクロプロセッサ 9 2 から供給されたパリティ数指示情報に従ってパリティ数を設定し、設定したパリティ数のパリティを検出して送信データの誤り訂正を行う。

【 0 1 1 6 】

ここで、図 1 3 のフローチャートを参照して、送信側ブロック 1 1 のパリティ数設定処理について説明する。図 1 3 の処理は、例えば図 6 の処理が行われている間、図 6 の処理と並行して繰り返し行われる。

20

【 0 1 1 7 】

ステップ S 3 1 において、送信側ブロック 1 1 のマイクロプロセッサ 9 1 は、マイクロプロセッサ 9 2 から供給されたパリティ数指示情報を受信する。

【 0 1 1 8 】

ステップ S 3 2 において、マイクロプロセッサ 9 1 は、受信したパリティ数指示情報をECC処理部 2 3 に出力し、パリティ数を設定する。その後、処理は終了される。ECC処理部 2 3 においては、マイクロプロセッサ 9 1 から供給されたパリティ数指示情報により表されるパリティ数のパリティを送信データに付加するようにして誤り訂正符号化が行われる。

30

【 0 1 1 9 】

次に、図 1 4 のフローチャートを参照して、受信側ブロック 1 2 のパリティ数設定処理について説明する。図 1 4 の処理は、例えば図 7 の処理が行われている間、図 7 の処理と並行して繰り返し行われる。

【 0 1 2 0 】

ステップ S 4 1 において、受信側ブロック 1 2 のマイクロプロセッサ 9 2 は、ECC処理部 3 6 における誤り訂正を監視し、誤り訂正の確率に基づいて、新たなパリティ数を決定する。

【 0 1 2 1 】

ステップ S 4 2 において、マイクロプロセッサ 9 2 は、決定した更新後のパリティ数を表すパリティ数指示情報をマイクロプロセッサ 9 1 に送信する。

40

【 0 1 2 2 】

ステップ S 4 3 において、マイクロプロセッサ 9 2 は、更新後のパリティ数を表すパリティ数指示情報をECC処理部 3 6 に出力し、パリティ数を設定する。その後、処理は終了される。ECC処理部 3 6 においては、マイクロプロセッサ 9 2 から供給されたパリティ数指示情報により表されるパリティ数のパリティを検出して送信データの誤り訂正が行われる。

【 0 1 2 3 】

このように、受信側ブロック 1 2 から送信側ブロック 1 1 に対して信号を返す経路を設けることによって、誤り訂正の能力を実際の伝送状況に応じて自律的に設定することが可

50

能となる。

【 0 1 2 4 】

[コンピュータの構成例]

上述した一連の処理は、ハードウェアにより実行することもできるし、ソフトウェアにより実行することもできる。一連の処理をソフトウェアにより実行する場合には、そのソフトウェアを構成するプログラムが、専用のハードウェアに組み込まれているコンピュータ、または汎用のパーソナルコンピュータなどに、プログラム記録媒体からインストールされる。

【 0 1 2 5 】

図 1 5 は、上述した一連の処理をプログラムにより実行するコンピュータのハードウェアの構成例を示すブロック図である。

10

【 0 1 2 6 】

CPU(Central Processing Unit) 1 0 1、ROM(Read Only Memory) 1 0 2、RAM(Random Access Memory) 1 0 3 は、バス 1 0 4 により相互に接続されている。

【 0 1 2 7 】

バス 1 0 4 には、さらに、入出力インタフェース 1 0 5 が接続されている。入出力インタフェース 1 0 5 には、キーボード、マウスなどよりなる入力部 1 0 6、ディスプレイ、スピーカなどよりなる出力部 1 0 7 が接続される。また、入出力インタフェース 1 0 5 には、ハードディスクや不揮発性のメモリなどよりなる記憶部 1 0 8、ネットワークインタフェースなどよりなる通信部 1 0 9、リムーバブルメディア 1 1 1 を駆動するドライブ 1 1 0 が接続される。

20

【 0 1 2 8 】

以上のように構成されるコンピュータでは、CPU 1 0 1 が、例えば、記憶部 1 0 8 に記憶されているプログラムを入出力インタフェース 1 0 5 及びバス 1 0 4 を介して RAM 1 0 3 にロードして実行することにより、上述した一連の処理が行われる。

【 0 1 2 9 】

CPU 1 0 1 が実行するプログラムは、例えばリムーバブルメディア 1 1 1 に記録して、あるいは、ローカルエリアネットワーク、インターネット、デジタル放送といった、有線または無線の伝送媒体を介して提供され、記憶部 1 0 8 にインストールされる。

【 0 1 3 0 】

30

なお、コンピュータが実行するプログラムは、本明細書で説明する順序に沿って時系列に処理が行われるプログラムであっても良いし、並列に、あるいは呼び出しが行われたとき等の必要なタイミングで処理が行われるプログラムであっても良い。

【 0 1 3 1 】

本発明の実施の形態は、上述した実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲において種々の変更が可能である。

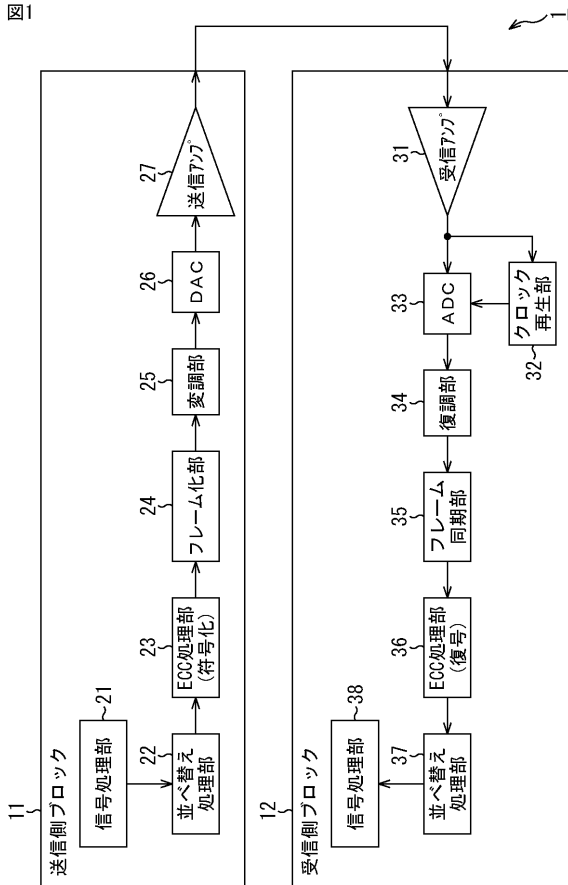
【符号の説明】

【 0 1 3 2 】

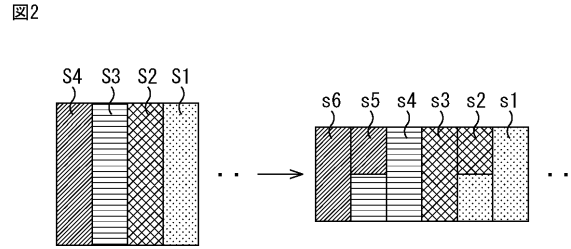
1 伝送システム， 1 1 送信側ブロック， 1 2 受信側ブロック， 2 1 信号処理部， 2 2 並べ替え処理部， 2 3 ECC処理部， 2 4 フレーム化部， 2 5 変調部， 2 6 DAC， 2 7 送信アンプ， 3 1 受信アンプ， 3 2 クロック再生部， 3 3 ADC， 3 4 復調部， 3 5 フレーム同期部， 3 6 ECC処理部， 3 7 並べ替え処理部， 3 8 信号処理部

40

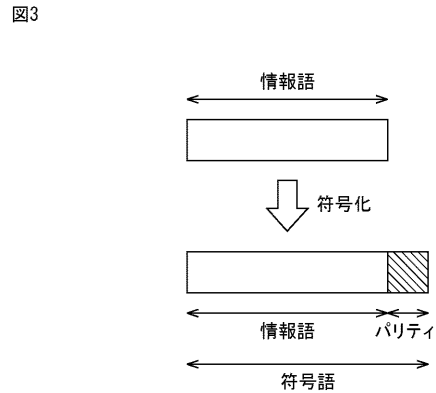
【図 1】



【図 2】



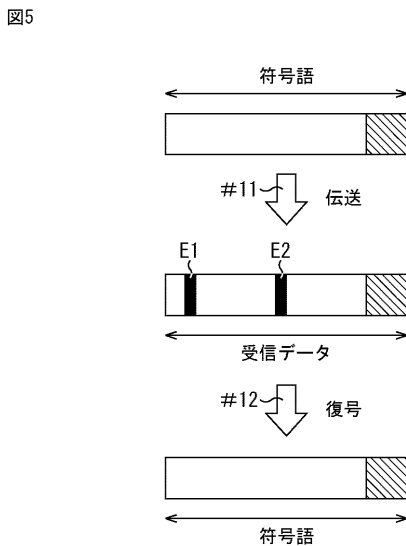
【図 3】



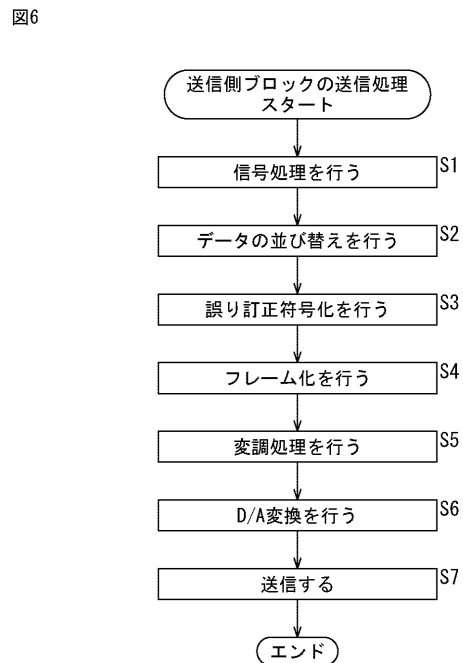
【図 4】



【図 5】

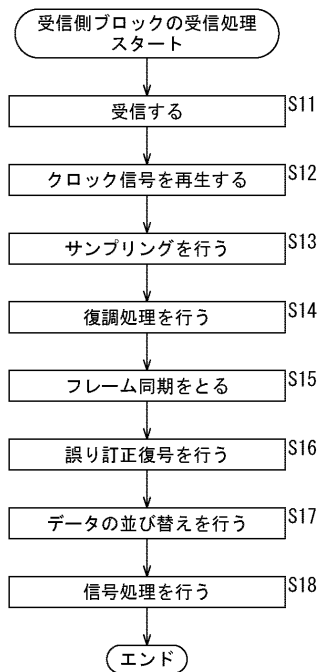


【図 6】



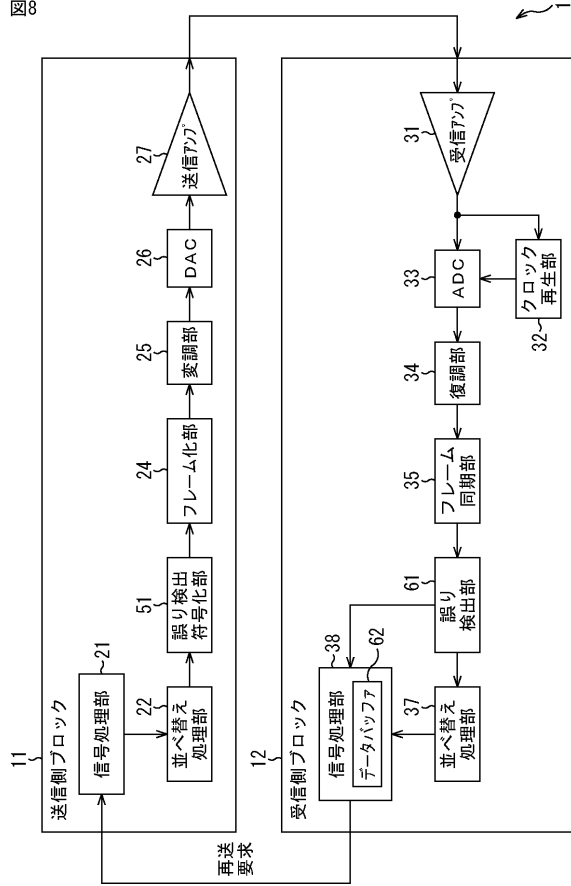
【図 7】

図7



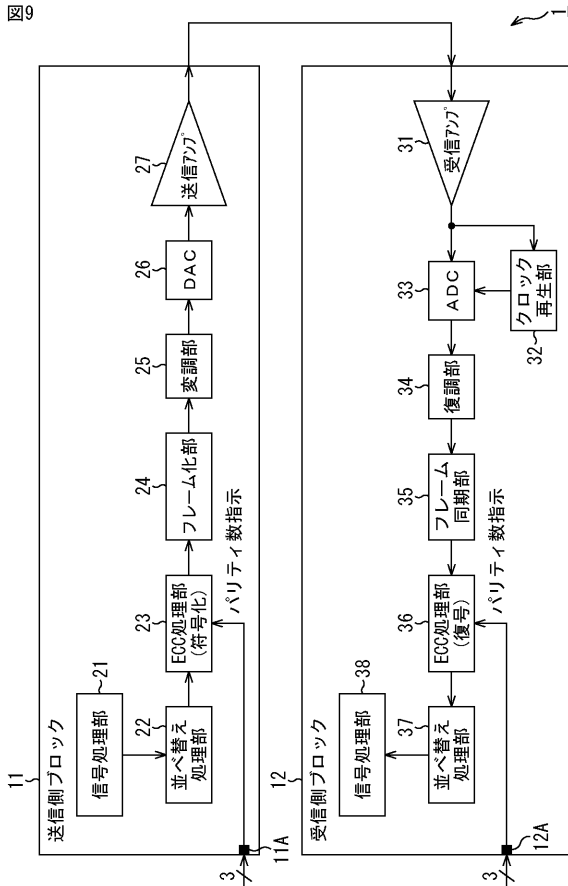
【図 8】

図8



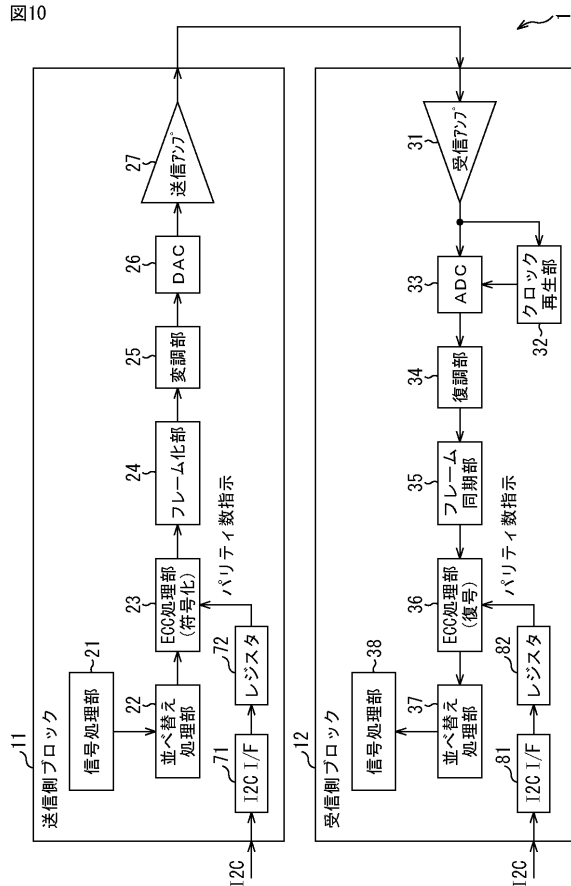
【図 9】

図9

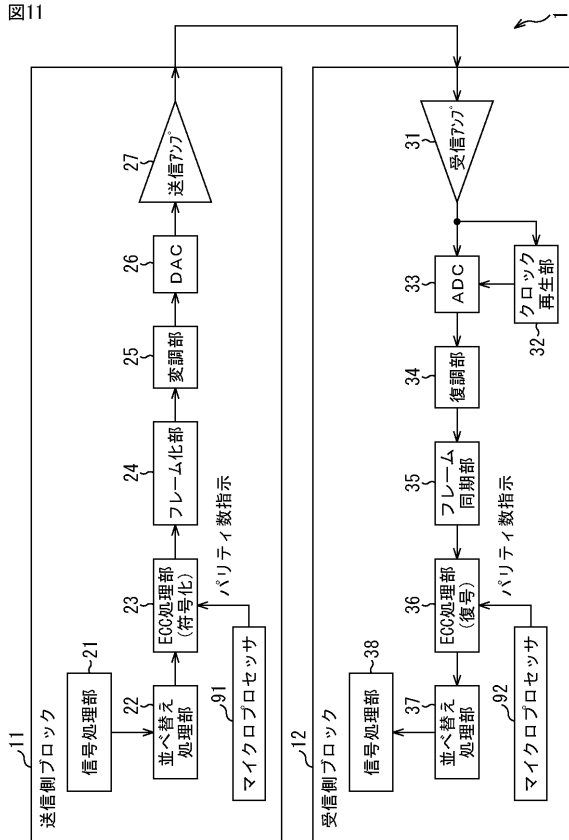


【図 10】

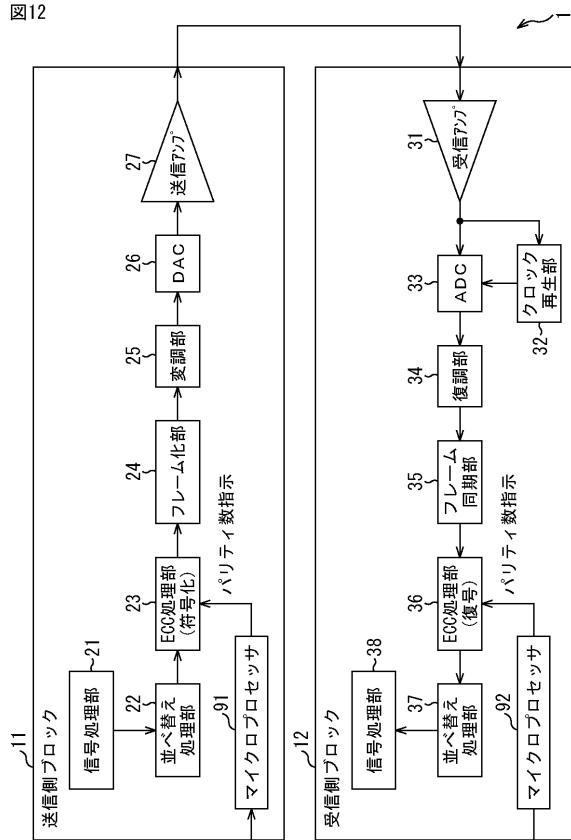
図10



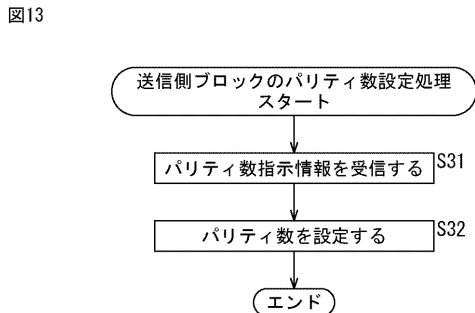
【図 1 1】



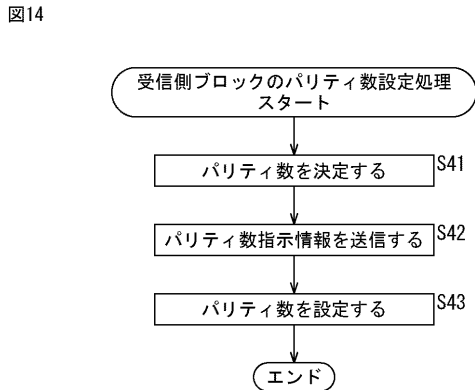
【図 1 2】



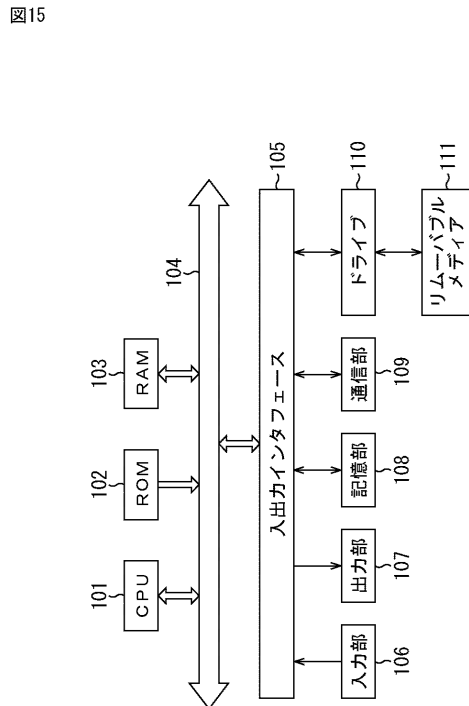
【図 1 3】



【図 1 4】



【図 1 5】



フロントページの続き

- (72)発明者 松本 英之
東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内
- (72)発明者 城下 寛司
東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内
- (72)発明者 丸子 健一
東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内
- (72)発明者 杉岡 達也
東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内
- (72)発明者 越坂 直弘
神奈川県横浜市保土ヶ谷区神戸町 1 3 4 番地 ソニー・エルエスアイ・デザイン株式会社内
- (72)発明者 佐々木 茂寿
神奈川県横浜市保土ヶ谷区神戸町 1 3 4 番地 ソニー・エルエスアイ・デザイン株式会社内
- (72)発明者 田森 正人
神奈川県横浜市保土ヶ谷区神戸町 1 3 4 番地 ソニー・エルエスアイ・デザイン株式会社内
- F ターム(参考) 5J065 AD03 AH01
5K014 BA05 FA13