

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2008-511994

(P2008-511994A)

(43) 公表日 平成20年4月17日 (2008.4.17)

(51) Int. Cl.	F I	テーマコード (参考)
H O 1 L 21/76 (2006.01)	H O 1 L 21/76 L	5 F O 3 2
H O 1 L 27/08 (2006.01)	H O 1 L 27/08 3 3 1 A	5 F O 4 8
H O 1 L 21/8238 (2006.01)	H O 1 L 27/08 3 2 1 B	5 F O 8 3
H O 1 L 27/092 (2006.01)	H O 1 L 27/10 4 3 4	
H O 1 L 21/8247 (2006.01)	H O 1 L 27/10 4 8 1	
審査請求 有 予備審査請求 未請求 (全 24 頁) 最終頁に続く		

(21) 出願番号 特願2007-530152 (P2007-530152)
 (86) (22) 出願日 平成17年8月25日 (2005.8.25)
 (85) 翻訳文提出日 平成19年4月27日 (2007.4.27)
 (86) 国際出願番号 PCT/US2005/030377
 (87) 国際公開番号 W02006/028731
 (87) 国際公開日 平成18年3月16日 (2006.3.16)
 (31) 優先権主張番号 10/931, 946
 (32) 優先日 平成16年9月1日 (2004.9.1)
 (33) 優先権主張国 米国 (US)

(71) 出願人 506152852
 マイクロン テクノロジー、インコーポレ
 イテッド
 アメリカ合衆国、アイダホ州 83716
 、ボイズ、サウス フェデラル ウェイ
 8000
 (74) 代理人 100077665
 弁理士 千葉 剛宏
 (74) 代理人 100116676
 弁理士 宮寺 利幸
 (74) 代理人 100142066
 弁理士 鹿島 直樹
 (74) 代理人 100126468
 弁理士 田久保 泰夫

最終頁に続く

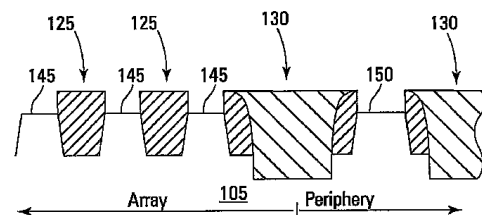
(54) 【発明の名称】 集積回路の製造における複数の深さを有する S T I トレンチ

(57) 【要約】

【課題】より好適なシャロー・トレンチ・アイソレーション (S T I) が可能な方法、メモリセルのアレイ、メモリデバイス、電子システム及び集積回路デバイスを提供する。

【解決手段】第1の深さのトレンチを異なる幅で基板に形成することにより、集積回路デバイスにおいて複数の深さのトレンチを形成する。誘電層の形成により、いくつかのトレンチを充填又は閉塞しつつ、より幅の広い他のトレンチを開口させたままとする。誘電層の一部を除去することにより、開口しているトレンチの底部を露出させ、残りのトレンチを充填したままとする。下部側の基板のうち露出された部分を除去することにより、その後、に充填されることになる開口しているトレンチを選択的に深くすることができる。このような方法を用いることで、その後のマスク処理の必要なしに異なる深さのトレンチを形成することができる。

【選択図】図1 G



【特許請求の範囲】**【請求項 1】**

集積回路デバイスの一部を加工する方法であって、

第 1 溝部及び前記第 1 溝部より幅の広い第 2 溝部のそれぞれを第 1 の深さで基板に形成するステップと、

前記第 2 溝部を充填することなしに前記第 1 溝部を充填する第 1 誘電層を形成するステップと、

前記第 1 誘電層の一部を除去し、前記基板のうち前記第 1 溝部の底部に位置する部分を露出させることなしに、前記基板のうち前記第 2 溝部の底部に位置する部分を露出させるステップと、

10

露出させた前記部分を除去し、前記第 2 溝部を第 2 の深さにするステップと、

前記第 2 溝部を充填する第 2 誘電層を形成するステップと、

を有する方法。

【請求項 2】

請求項 1 記載の方法において、

前記基板は、単結晶シリコン基板である

ことを特徴とする方法。

【請求項 3】

請求項 1 記載の方法において、

前記第 2 誘電層は、前記第 1 誘電層と異なる誘電材料からなる

20

ことを特徴とする方法。

【請求項 4】

請求項 1 記載の方法において、

前記第 1 誘電層の一部を除去する際、前記第 1 誘電層にエッチバック処理を施す

ことを特徴とする方法。

【請求項 5】

請求項 1 記載の方法において、さらに、

前記第 2 誘電層の一部を除去するステップを有する

ことを特徴とする方法。

【請求項 6】

30

請求項 5 記載の方法において、

前記第 2 誘電層の一部を除去する際、前記第 2 誘電層に化学機械平坦化処理を施す

ことを特徴とする方法。

【請求項 7】

請求項 1 記載の方法において、

前記第 2 溝部を充填する前記第 2 誘電層を形成するステップの前に、前記第 2 溝部の側壁から前記第 1 誘電層の一部を除去するステップをさらに有する

ことを特徴とする方法。

【請求項 8】

40

集積回路デバイス内で溝部を形成する方法であって、

所定の基準値より小さい幅である第 1 の分離用溝部と、前記基準値より大きい幅である第 2 の分離用溝部とを含む複数の溝部を第 1 の深さで基板に形成するステップと、

前記第 2 の分離用溝部を開口させたまま、前記第 1 の分離用溝部を充填する第 1 誘電層を前記基板上に形成するステップと、

前記第 1 誘電層の一部を除去し、前記第 1 の分離用溝部を充填させたまま、前記基板のうち前記第 2 の分離用溝部の底部に位置する部分を露出させるステップと、

露出させた前記部分を除去し、前記第 2 の分離用溝部を第 2 の深さにするステップと、

前記第 2 の分離用溝部を充填する第 2 誘電層を、前記基板上に形成するステップと、

を有する方法。

【請求項 9】

50

請求項 8 記載の方法において、
前記第 1 誘電層及び前記第 2 誘電層は、同一の誘電材料からなる
ことを特徴とする方法。

【請求項 10】

請求項 8 記載の方法において、
前記複数の溝部を第 1 の深さで基板に形成するステップは、
前記基板上に少なくとも 1 つの犠牲層を形成するステップと、
前記少なくとも 1 つの犠牲層の上にマスク層を形成し、前記少なくとも 1 つの犠牲層の
一部を露出させるステップと、
前記少なくとも 1 つの犠牲層のうち露出された部分と、前記基板のうち前記露出された
部分の下側に位置する部分を除去するステップと、
を有することを特徴とする方法。 10

【請求項 11】

請求項 10 記載の方法において、さらに、
前記第 2 誘電層の一部を除去し、前記少なくとも 1 つの犠牲層の残りの部分を露出させ
るステップと、
前記少なくとも 1 つの犠牲層の前記残りの部分を除去し、前記基板の活性領域を露出さ
せるステップと、
前記基板の前記活性領域に前記集積回路デバイスを形成するステップと、
を有することを特徴とする方法。 20

【請求項 12】

請求項 8 記載の方法において、
前記第 1 誘電層の一部を除去する際、前記第 1 誘電層の水平な部分を優先的に除去する
ことを特徴とする方法。

【請求項 13】

請求項 8 記載の方法において、さらに、
前記複数の溝部は、前記第 2 誘電層を形成した後も開口したままになる幅である第 3 溝
部を備える
ことを特徴とする方法。

【請求項 14】

集積回路デバイス内で溝部を形成する方法であって、
所定の基準値より小さい幅である第 1 の分離用溝部と、前記基準値より大きい幅である
第 2 の分離用溝部とを含む複数の溝部を第 1 の深さで基板に形成するステップと、
前記第 2 の分離用溝部を開口させたまま、前記第 1 の分離用溝部を充填する第 1 誘電層
を前記基板上に形成するステップと、
前記第 1 誘電層の一部を除去し、前記第 1 の分離用溝部を充填させたまま且つ前記第 2
の分離用溝部の側面を被覆させたまま、前記基板のうち前記第 2 の分離用溝部の底部に位
置する部分を露出させるステップと、
露出させた前記部分を除去し、前記第 2 の分離用溝部を第 2 の深さにするステップと、
前記第 1 誘電層のうち前記第 2 の分離用溝部の側壁を覆う部分を除去するステップと、
前記第 2 の分離用溝部を充填する第 2 誘電層を、前記基板上に形成するステップと、
を有する方法。 40

【請求項 15】

請求項 14 記載の方法において、
前記第 1 誘電層及び前記第 2 誘電層は、同一の誘電材料からなる
ことを特徴とする方法。

【請求項 16】

請求項 14 記載の方法において、
前記複数の溝部を第 1 の深さで基板に形成するステップは、
前記基板上に少なくとも 1 つの犠牲層を形成するステップと、 50

前記少なくとも１つの犠牲層の上にマスク層を形成し、前記少なくとも１つの犠牲層の一部を露出させるステップと、

前記少なくとも１つの犠牲層のうち露出された部分と、前記基板のうち前記露出された部分の下側に位置する部分を除去するステップと、
を有することを特徴とする方法。

【請求項１７】

請求項１６記載の方法において、さらに、

前記第２誘電層の一部を除去し、前記少なくとも１つの犠牲層の残りの部分を露出させるステップと、

前記少なくとも１つの犠牲層の前記残りの部分を除去し、前記基板の活性領域を露出させるステップと、

前記基板の前記活性領域に前記集積回路デバイスを形成するステップと、
を有することを特徴とする方法。

【請求項１８】

請求項１４記載の方法において、

前記第１誘電層の一部を除去し、前記基板のうち前記第２の分離用溝部の底部に位置する部分を露出させる際、前記第１誘電層の水平な部分を優先的に除去することを特徴とする方法。

【請求項１９】

請求項１４記載の方法において、

前記複数の溝部は、前記第２誘電層を形成した後も開口したままとなる幅である第３溝部をさらに備える
ことを特徴とする方法。

【請求項２０】

集積回路デバイス内で異なる深さの分離用溝部を形成する方法であって、

第１の幅の第１領域と、前記第１の幅よりも広い第２の幅の第２領域とを含む基板の領域を、その後に形成する溝部のために規定するステップと、

前記第１領域に第１溝部を、前記第２領域に第２溝部を形成するステップと、

前記第２溝部を開口させたまま、前記第１溝部を充填する第１誘電充填層を前記基板上に形成するステップと、

前記第１誘電充填層の一部を除去し、前記基板のうち前記第２溝部の底部に位置する部分を露出させるステップと、

露出させた前記部分に前記第２溝部を延ばすステップと、

前記第２溝部を充填する第２誘電充填層を前記基板上に形成するステップと、
を有する方法。

【請求項２１】

請求項２０記載の方法において、

前記基板の領域を、その後に形成する溝部のために規定するステップは、

前記基板上に少なくとも１つの犠牲層を形成するステップと、

前記少なくとも１つの犠牲層の上にマスク層を形成し、前記少なくとも１つの犠牲層の領域を露出させるステップと、
を有することを特徴とする方法。

【請求項２２】

請求項２１記載の方法において、

前記少なくとも１つの犠牲層を形成するステップでは、前記第１誘電充填層とは異なる材料からなる少なくとも１つの犠牲層を形成することを特徴とする方法。

【請求項２３】

請求項２１記載の方法において、

前記マスク層を形成する際、フォトリジスト層を形成及びパターン付けする

10

20

30

40

50

ことを特徴とする方法。

【請求項 24】

請求項 20 記載の方法において、

前記基板の第 1 領域における第 1 溝部の形成と、前記基板の第 2 領域における第 2 溝部の形成を同時に行う

ことを特徴とする方法。

【請求項 25】

請求項 24 記載の方法において、

前記第 1 溝部と前記第 2 溝部は、当初、略同一の深さに形成される

ことを特徴とする方法。

10

【請求項 26】

請求項 20 記載の方法において、

前記第 1 誘電充填層の一部を除去する際、前記第 1 誘電層の一部を異方性をもたせて除去する

ことを特徴とする方法。

【請求項 27】

請求項 20 記載の方法において、さらに、

前記第 2 の幅よりも広い第 3 の幅である第 3 領域を、その後に形成する溝部のために前記基板に規定するステップを有する

ことを特徴とする方法。

20

【請求項 28】

請求項 20 記載の方法において、さらに、

前記第 2 溝部を充填する第 2 誘電充填層を前記基板上に形成する前に、前記第 2 溝部の側壁から前記第 1 誘電充填層の第 2 の部分を除去するステップを有する

ことを特徴とする方法。

【請求項 29】

集積回路デバイス内で溝部を形成する方法であって、

第 1 の所定値よりも小さい幅の第 1 溝部と、前記第 1 の所定値よりも大きく、第 2 の所定値よりも小さい幅の第 2 溝部と、前記第 2 の所定値よりも大きい幅の第 3 溝部と、を含む複数の溝部を第 1 の深さで基板に形成するステップと、

30

前記第 2 溝部及び前記第 3 溝部を開口させたまま、前記第 1 溝部を充填する第 1 誘電層を前記基板上に形成するステップと、

前記第 1 誘電層の一部を除去し、前記第 1 溝部を充填させたまま、前記基板のうち前記第 2 溝部及び前記第 3 溝部の底部に位置する部分を露出させるステップと、

露出させた前記部分を除去し、前記第 2 溝部及び前記第 3 溝部を第 2 の深さにするステップと、

前記第 3 溝部を開口させたまま、前記第 2 溝部を充填する第 2 誘電層を前記基板上に形成するステップと、

前記第 2 誘電層の一部を除去し、前記第 1 溝部及び前記第 2 溝部を充填させたまま、前記基板のうち前記第 3 溝部の底部に位置する部分を露出させるステップと、

40

露出させた前記部分を除去し、前記第 3 溝部を第 3 の深さとするステップと、

前記第 3 溝部を充填する第 3 誘電層を前記基板上に形成するステップと、

を有する方法。

【請求項 30】

メモリセルのアレイであって、

行と列の形式で基板上に形成された複数のメモリセルと、

前記メモリセルの行の間又は列の間に介在された複数の第 1 溝部と、

前記メモリセルのアレイの周縁部に形成された少なくとも 1 本の第 2 溝部と、

を有し、

前記第 1 溝部及び前記第 2 溝部は、

50

所定の基準値より小さい幅の前記第 1 溝部と、前記基準値より大きい幅の前記第 2 溝部とを含む複数の溝部を第 1 の深さで基板に形成し、

前記第 2 溝部を開口させたまま、前記第 1 溝部を充填する第 1 誘電層を前記基板上に形成し、

前記誘電層の一部を除去し、前記第 1 溝部を充填させたまま、前記基板のうち前記第 2 溝部の底部に位置する部分を露出させ、

露出させた前記部分を除去し、前記第 2 溝部を第 2 の深さとし、

前記第 2 溝部を充填する第 2 誘電層を前記基板上に形成する

ことにより形成されることを特徴とするメモリセルのアレイ。

【請求項 3 1】

10

行と列の形式で構成されたメモリセルのアレイと、

前記メモリセルのアレイの制御若しくはアクセス又はその両方を行う回路と、

を有するメモリデバイスであって、

前記メモリデバイスは、前記メモリセルのアレイ内でフィールド・アイソレーションを行う少なくとも 1 本の第 1 溝部と、前記メモリセルのアレイ外でフィールド・アイソレーションを行う少なくとも 1 本の第 2 溝部と、を含み、

前記第 1 溝部及び前記第 2 溝部は、

所定の基準値よりも小さい幅の前記第 1 溝部と、前記基準値よりも大きい幅の前記第 2 溝部とを含む複数の溝部を第 1 の深さで基板に形成し、

前記第 2 溝部を開口させたまま、前記第 1 溝部を充填する誘電層を前記基板上に形成し

20

、
前記誘電層の一部を除去し、前記第 1 溝部を充填させたまま、前記基板のうち前記第 2 溝部の底部に位置する部分を露出させ、

露出させた前記部分を除去し、前記第 2 溝部を第 2 の深さとし、

前記第 2 溝部を充填する第 2 誘電層を前記基板上に形成する

ことにより形成されることを特徴とするメモリデバイス。

【請求項 3 2】

行と列の形式で構成された浮遊ゲート型メモリセルのアレイと、

前記浮遊ゲート型メモリセルのアレイの制御若しくはアクセス又はその両方を行う回路と、

30

を有するメモリデバイスであって、

前記メモリデバイスは、前記浮遊ゲート型メモリセルのアレイ内でフィールド・アイソレーションを行う少なくとも 1 本の第 1 溝部と、前記浮遊ゲート型メモリセルのアレイ外でフィールド・アイソレーションを行う少なくとも 1 本の第 2 溝部と、を含み、

前記第 1 溝部及び前記第 2 溝部は、

所定の基準値よりも小さい幅の前記第 1 溝部と、前記基準値よりも大きい幅の前記第 2 溝部とを含む複数の溝部を第 1 の深さで基板に形成し、

前記第 2 溝部を開口させたまま、前記第 1 溝部を充填する誘電層を前記基板上に形成し

、
前記誘電層の一部を除去し、前記第 1 溝部を充填させたまま、前記基板のうち前記第 2 溝部の底部に位置する部分を露出させ、

40

露出させた前記部分を除去し、前記第 2 溝部を第 2 の深さとし、

前記第 2 溝部を充填する第 2 誘電層を前記基板上に形成する

ことにより形成されることを特徴とするメモリデバイス。

【請求項 3 3】

プロセッサと、

前記プロセッサに接続されたメモリデバイスと、

を有する電子システムであって、

前記メモリデバイスは、

行と列の形式で構成された浮遊ゲート型メモリセルのアレイと、

50

前記浮遊ゲート型メモリセルのアレイの制御若しくはアクセス又はその両方を行う回路と、

を有し、

前記メモリデバイスは、前記浮遊ゲート型メモリセルのアレイ内でフィールド・アイソレーションを行う少なくとも 1 本の第 1 溝部と、前記浮遊ゲート型メモリセルのアレイ外でフィールド・アイソレーションを行う少なくとも 1 本の第 2 溝部と、を含み、

前記第 1 溝部及び前記第 2 溝部は、

前記メモリデバイスが形成される基板上に少なくとも 1 つの犠牲層を形成し、

所定の基準値よりも小さい幅である前記第 1 溝部を形成する領域と、前記基準値以上の幅である前記第 2 溝部を形成する領域とを規定することにより、前記少なくとも 1 つの犠牲層の一部を露出させ、

前記少なくとも 1 つの犠牲層のうち露出させた部分、及び前記基板のうち前記露出させた部分の下に位置する部分を除去し、前記第 1 溝部及び前記第 2 溝部を第 1 の深さとし、

前記第 2 溝部を開口させたまま、前記第 1 溝部を充填する第 1 誘電充填層を前記基板上に形成し、

前記第 1 誘電充填層の一部を除去し、前記基板のうち前記第 2 溝部の底部に位置する部分を露出させ、

前記基板のうち露出させた部分に前記第 2 溝部を延ばし、

前記第 2 溝部を充填する第 2 誘電充填層を前記基板上に形成する

ことにより形成されることを特徴とするメモリデバイス。

【請求項 3 4】

基板内に形成された第 1 の導電型の第 1 ウェル領域と、

前記基板内に形成された第 2 の導電型の第 2 ウェル領域と、

少なくとも 1 箇所の第 1 分離領域が内部に形成された前記第 1 ウェル領域内に形成された複数の第 1 コンポーネントデバイスと、

前記第 2 ウェル領域内に形成された複数の第 2 コンポーネントデバイスと、

を有する集積回路デバイスであって、

前記複数の第 1 コンポーネントデバイスの 1 つは、隣り合う前記第 1 コンポーネントデバイスの 1 つから、第 1 分離領域により分離され、

前記第 1 ウェル領域は、前記第 1 分離領域よりも深く形成された少なくとも 1 箇所の第 2 分離領域により、前記第 2 ウェル領域から分離されている

ことを特徴とする集積回路デバイス。

【請求項 3 5】

請求項 3 4 記載の集積回路デバイスにおいて、

前記基板は P 型基板であり、

前記第 1 ウェル領域は、n 型ウェルであり、

前記第 2 ウェル領域は、p 型ウェルであり、

前記第 1 コンポーネントデバイスは、p 型電界効果トランジスタであり、

前記第 2 コンポーネントデバイスは、n 型電界効果トランジスタである

ことを特徴とする集積回路デバイス。

【請求項 3 6】

請求項 3 5 記載の集積回路デバイスにおいて、

前記第 2 ウェル領域は、前記少なくとも 1 箇所の第 2 分離領域に囲まれた N + 領域により前記基板から分離されている

ことを特徴とする集積回路デバイス。

【請求項 3 7】

請求項 3 4 記載の集積回路デバイスにおいて、

前記第 2 ウェル領域内には、少なくとも 1 箇所の第 1 分離領域が形成されており、

前記複数の第 2 コンポーネントデバイスの 1 つは、隣り合う前記複数の第 2 コンポーネントデバイスの 1 つから、第 1 分離領域により分離されている

ことを特徴とする集積回路デバイス。

【請求項 38】

請求項 34 記載の集積回路デバイスにおいて、
前記第 1 分離領域のそれぞれは、実質的に同一の深さである
ことを特徴とする集積回路デバイス。

【請求項 39】

請求項 38 記載の集積回路デバイスにおいて、
前記第 1 分離領域の幅がそれぞれ異なる
ことを特徴とする集積回路デバイス。

【請求項 40】

請求項 39 記載の集積回路デバイスにおいて、
前記第 2 分離領域の幅は、前記第 1 分離領域の幅よりも広い
ことを特徴とする集積回路デバイス。

10

【請求項 41】

p 型ウェル内に形成された複数の n 型電界効果トランジスタと、
n 型ウェル内に形成された複数の p 型電界効果トランジスタと、
を有する集積回路デバイスであって、
前記 n 型電界効果トランジスタの少なくとも 1 つは、第 1 の深さの第 1 分離領域により
、隣り合う n 型電界効果トランジスタから分離されており、
前記 p 型電界効果トランジスタの少なくとも 1 つは、前記第 1 の深さの第 2 分離領域に
より、隣り合う p 型電界効果トランジスタから分離されており、
前記 p 型ウェル及び前記 n 型ウェルは、前記第 1 の深さよりも深い第 2 の深さである少
なくとも 1 箇所の第 3 分離領域により互いに分離されている
ことを特徴とする集積回路デバイス。

20

【請求項 42】

請求項 41 記載の集積回路デバイスにおいて、
前記 n 型ウェルは、P 型基板内に形成され、
前記 p 型ウェルは、前記 P 型基板内に形成され、N + 領域及び前記少なくとも 1 箇所の
第 3 分離領域により、前記 P 型基板から離間されている
ことを特徴とする集積回路デバイス。

30

【請求項 43】

請求項 41 記載の集積回路デバイスにおいて、
前記 n 型ウェル及び前記 p 型ウェルの少なくとも一方は、三重のウェル構造で形成され
る
ことを特徴とする集積回路デバイス。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は集積回路デバイス全般に関し、より詳細には、集積回路デバイスにおける複数の
の深さを有する S T I (shallow trench isolation) トレンチの形成に関する。

40

【背景技術】

【0002】

一般に、メモリデバイスは、コンピュータの内部記憶領域として設けられる。用語「メ
モリ」は、集積回路チップの形態で入手可能なデータストレージを示す。メモリデバイ
スは、データを記憶するメモリセルのアレイと、前記メモリセルのアレイに接続され、外部
アドレスに応じて、メモリセルのアレイにアクセスする行デコーダ回路及び列デコーダ回
路を有することが一般的である。

【0003】

メモリにはいくつもの種類がある。その 1 つに、D R A M (dynamic random access me
mory) がある。この D R A M は、コンピュータ環境において、メインメモリとして用いら

50

れることが通常である。D R A Mのメモリセルは、コンデンサに接続されたアクセストランジスタとして構成されることが一般的である。コンデンサに蓄積された電荷は、メモリセルのデータ値を示す。一般に、D R A Mは揮発性であり、データを保持するためには電力が規則的に供給されることを要する。電源が切れると、D R A Mにおけるデータは全て消失する。しかし、D R A Mは、高いメモリ密度及び短いアクセス時間を実現可能であるため、広く用いられている。

【 0 0 0 4 】

別の種類のメモリとして、フラッシュメモリとして知られる不揮発性メモリがある。フラッシュメモリは、消去処理及び再書き込み処理をブロック単位で実行可能なE E P R O M (electrically-erasable programmable read-only memory) の一種である。近年のパーソナルコンピュータ (P C s) の多くは、そのB I O Sをフラッシュメモリチップに記憶し、必要に応じてこのB I O Sを容易に更新できるようにしている。そのようなB I O Sは、ときにフラッシュB I O Sと呼ばれる。フラッシュメモリは、新たな通信プロトコルが標準的なものとなったとき、この新たな通信プロトコルをメーカーがサポート可能であるため、及び、デバイスの機能を遠隔的に更新することができるため、無線電子機器においても広く用いられている。

10

【 0 0 0 5 】

一般的なフラッシュメモリは、行及び列の形式で配列された数多くのメモリセルを備えるメモリアレイを有する。各メモリセルは、電荷を保持可能な浮遊ゲート型電界効果トランジスタを有する。セルは、ブロック単位でグループ化されることが通常である。1つのブロックにおける各セルは、浮遊ゲートに電荷を蓄積することによりランダムに電氣的な書き込み処理を行うことができる。電荷は、ブロック消去処理により浮遊ゲートから取り除くことができる。セルのデータは、浮遊ゲートにおける電荷の有無により判定される。

20

【 0 0 0 6 】

フラッシュメモリは、N O R型フラッシュ及びN A N D型フラッシュとして知られる2つの基本構造の一方を用いることが一般的である。これらの名称は、デバイスの読出しに用いるロジックに由来している。N O R型フラッシュ構造では、メモリセルの列は、ビット線に接続された各メモリセルに対して並列に接続される。N A N D型フラッシュ構造では、メモリセルは列方向に直列に接続され、列の1番目のメモリセルのみがビット線に接続される。

30

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 7 】

メモリデバイスの製造メーカーは、他の集積回路デバイスメーカーと同様に、デバイスのサイズ低減を日々探求している。デバイスが小さくなれば、生産性が向上し、電力消費が低減する。しかし、デバイスのサイズが小さくなると、デバイス内の分離 (絶縁) がより重要になる。フラッシュメモリの構造では、チップで高電圧が用いられるため、このことは、特に当てはまる。

【 0 0 0 8 】

シャロー・トレンチ・アイソレーション (S T I) は、フィールド・アイソレーション (field isolation) のため、半導体製造において広く用いられている。デバイスが小さくなり、トレンチ (溝部) が狭くなると、トレンチへの誘電体の充填は、極めて困難になる。その結果、トレンチの深さを浅くし、トレンチのアスペクト比を減少させることにより誘電体の充填を容易化することがしばしば行われる。しかし、周縁部における活性領域間のフィールド・アイソレーションのためには、トレンチに所定の深さを維持することが必要となることがしばしばである。

40

【 0 0 0 9 】

上記の理由により、及び、本明細書を読み、その内容を理解することで当業者に明らかになる後述する他の理由により、当該分野では、半導体デバイス内で分離を実現する別の方法に対する要望が存在する。

50

【 0 0 1 0 】

集積回路におけるフィールド・アイソレーションに関する上述の課題及び他の課題は、本発明により解決可能であり、以下の説明を読み、その内容を検討することにより理解されよう。

【課題を解決するための手段】

【 0 0 1 1 】

本発明に係る各種の実施形態によれば、集積回路デバイス内においてトレンチ（溝部）の深さを複数にすることが容易となる。幅は異なるが同じ第 1 の深さで複数のトレンチを形成することにより、誘電体を堆積させた際、いくつかのトレンチは充填又は閉塞され、より幅の広い他のトレンチは、開口したままとなる。誘電体の一部を除去することにより、開口しているトレンチの底部を露出させる一方で、残りのトレンチを、充填させたままとする。下側に位置する基板のうち露出させた部分を除去することにより、開口しているトレンチを選択的に深くすることができる。この深くされたトレンチは、その後に充填することができる。上記のような方法を用いると、その後のマスク処理の必要なしに、異なる深さのトレンチを形成することができる。

10

【 0 0 1 2 】

一実施形態において、本発明に係る方法は、集積回路デバイスの一部を加工するものである。この方法は、第 1 溝部及び前記第 1 溝部より幅の広い第 2 溝部のそれぞれを第 1 の深さで基板に形成するステップを有する。また、この方法は、前記第 2 溝部を充填することなしに前記第 1 溝部を充填する第 1 誘電層を形成するステップと、前記第 1 誘電層の一部を除去し、前記基板のうち前記第 1 溝部の底部に位置する部分を露出させることなしに、前記基板のうち前記第 2 溝部の底部に位置する部分を露出させるステップと、を有する。さらに、この方法は、露出させた前記部分を除去し、前記第 2 溝部を第 2 の深さにするステップと、前記第 2 溝部を充填する第 2 誘電層を形成するステップと、を有する。

20

【 0 0 1 3 】

別の実施形態において、本発明に係るメモリセルのアレイは、行と列の形式で基板上に形成された複数のメモリセルと、前記メモリセルの行の間又は列の間に介在された複数の第 1 溝部と、前記メモリセルのアレイの周縁部に形成された少なくとも 1 本の第 2 溝部と、を有する。前記第 1 溝部及び前記第 2 溝部は、所定の基準値より小さい幅の第 1 溝部と、前記基準値より大きい幅の第 2 溝部とを含む複数の溝部を第 1 の深さで基板に形成し、前記第 2 溝部を開口させたまま、前記第 1 溝部を充填する第 1 誘電層を前記基板上に形成し、前記誘電層の一部を除去し、前記第 1 溝部を充填させたまま、前記基板のうち前記第 2 溝部の底部に位置する部分を露出させ、露出させた前記部分を除去し、前記第 2 溝部を第 2 の深さとし、前記第 2 溝部を充填する第 2 誘電層を前記基板上に形成することにより形成される。

30

【 0 0 1 4 】

他の実施形態は、別途説明され、特許請求の範囲に記載される。

【発明を実施するための最良の形態】

【 0 0 1 5 】

以下、添付の図面を参照しつつ、本発明の好適な実施形態について詳述する。添付の図面は、本願開示の一部を構成するものであり、これらの図面に基づき、本発明に係る特定の実施形態が示される。各実施形態は、当業者が本発明を実施可能な程度に開示される。本発明の範囲から逸脱しない限り、他の実施形態も可能であり、また、方法や機械の変更も可能である。上述した及び以下で用いる語句「ウェハ」及び「基板」は、土台となるあらゆる半導体構造体を含む。両語句は、シリコン・オン・サファイア（SOS）技術、シリコン・オン・インシュレータ（SOI）技術、薄膜トランジスタ（TFT）技術、ドーパ及び非ドーパ半導体、土台となる半導体により支持されるシリコンのエピタキシャル層、並びに、当業者にとって周知の他の半導体構造体を含むものである。また、以下の説明においては、語句「ウェハ」又は「基板」に言及する場合、それより前の処理工程により、土台となる半導体構造体における領域／接合部が形成されていてもよい。従って、以

40

50

下の説明は限定的に解釈すべきではなく、本発明の範囲は、添付の特許請求の範囲及びその均等の範囲によってのみ決定される。

【0016】

図1A～図1Gは、本発明の一実施形態に係る集積回路の一部を形成する方法を概略的に示す。前記方法は、半導体メモリデバイスを用いて説明するが、ここで説明する方法は、様々な集積回路デバイスに適していることが理解されよう。図1Aは、幾つかの工程を経た後のメモリアレイの一部を示す。図1Aは、半導体デバイスの製造に用いる半導体基板105を概略的に示している。一実施形態において、半導体基板105は、P型単結晶シリコン基板である。半導体基板105上には、第1犠牲層110及び第2犠牲層115などの1つ以上の犠牲層が形成されている。これらの層は、トレンチ（溝部）を形成する間、下側の半導体基板105の一部を保護するのに用いられる。一実施形態において、第1犠牲層110は、シリコン酸化物（ SiO_2 ）であり、第2犠牲層115は、シリコンナイトライド（ Si_3N_4 ）である。本実施形態では、第1犠牲層110は、シリコン基板105を熱酸化処理することにより形成可能であり、第2犠牲層115は、シリコンナイトライド層を一面に堆積（blanket deposition）させることにより形成可能である。各犠牲層に用いる材料の選択に関する指針については、後の処理において述べる。

10

【0017】

第2犠牲層115上には、マスク層120が形成される。マスク層120は、トレンチを形成する領域、すなわち、第2犠牲層115のうち露出させる領域を規定する。一例として、マスク層120は、パターン付けされたフォトリソ層である。半導体製造におけるマスク処理は、周知であり、ここでは詳述しない。

20

【0018】

図1Bでは、第1分離トレンチ125及び第2分離トレンチ130を基板105に形成する。一実施形態において、第1分離トレンチ125及び第2分離トレンチ130は、プラズマエッチングを用いて形成される。しかし、異方性エッチングを用いて、第1犠牲層110及び第2犠牲層115のうち露出された部分及びその下側の基板105を除去してもよい。

【0019】

第1分離トレンチ125及び第2分離トレンチ130を同時に形成する際、両者は、実質的に同じ深さに形成される。しかし、第1分離トレンチ125は、第2分離トレンチ130よりも幅が狭い。使用に際し、第1分離トレンチ125は、狭い間隔が好まれ、フィールド・アイソレーション（field isolation）が比較的必要とされない場所に用いることができる。このような場所として、例えば、半導体メモリデバイスのアレイ部分を挙げることができる。また、使用に際し、第2分離トレンチ130は、フィールド・アイソレーションが比較的必要であり、間隔がそれほど重要でない場所に用いることができる。このような場所として、例えば、半導体メモリデバイスの周縁部を挙げることができる。

30

【0020】

図1Cでは、第1誘電充填層135を形成する。第1誘電充填層135には、任意の誘電材料を用いることができる。例えば、高密度プラズマ（HDP）処理又は化学気相堆積（CVD）処理を用いてシリコン酸化物（ SiO 又は SiO_2 ）を一面に堆積させ、第1誘電充填層135を形成することができる。第1誘電充填層135の材料は、最も上側の犠牲層上、即ち、本実施形態では第2犠牲層115上に形成された第1誘電充填層135の誘電材料に対してその後の除去処理を実行できるように選択される。換言すると、第1誘電充填層135の材料は、第2犠牲層115とは異なる誘電材料とし、第2犠牲層115に大きな影響を与えることなしに第1誘電充填層135を除去できるものが選択される。

40

【0021】

第1誘電充填層135は、第2分離トレンチ130を開口させたまま、より幅の狭い第1分離トレンチ125を閉塞させる程度に堆積される。第1分離トレンチ125は、必ずしも幅を均一とする必要はなく、第1誘電充填層135を形成する際に充填することが可

50

能な幅であればよい。同様に、第2分離トレンチ130は、必ずしも幅を均一とする必要はなく、第1誘電充填層135の形成後に開口したままとなる幅であればよい。従って、第1分離トレンチ125は、所定の基準値よりも小さい幅とし、第2分離トレンチ130は、前記基準値を越える幅とする。

【0022】

図1Dでは、第1誘電充填層135の一部を除去し、第2分離トレンチ130の底部に位置する基板105の一部を露出させる。エッチバック処理又は異方性除去処理を用いることにより、第1誘電充填層135の水平な部分(horizontal portions)を優先的に除去することができる。このため、第2分離トレンチ130の側壁は被覆されたままとなる。これにより、第1分離トレンチ125から誘電材料を実質的に除去することなしに基板105の一部を露出させることができる。

10

【0023】

図1Eでは、第2分離トレンチ130を深くする。これは、第2犠牲層115及び第1誘電充填層135と比して基板105に選択的に行う除去処理により実現することができる。例えば、異方性のシリコンエッチングを用いることで、第1誘電充填層135又は第2犠牲層115のうち露出している部分に実質的に影響を与えることなしに、シリコン基板105のうち露出している部分を除去することができる。第2分離トレンチ130を深くした後に、第1誘電充填層135のうち第2分離トレンチ130の側壁に位置する部分を、例えば、ウェットエッチングその他の除去処理により追加的に除去してもよい。

【0024】

20

図1Fでは、第2誘電充填層140を形成する。図1Fの構造を得るため、第2誘電充填層140の一部は、停止層(stopping layer)として第2犠牲層115を用いる化学機械平坦化(CMP)処理などにより除去されている。

【0025】

図1Gでは、第1犠牲層110及び第2犠牲層115を除去し、集積回路デバイスの製造工程は、半導体製造の分野で広く知られている活性領域145、150の形成に進む。例えば、集積回路デバイスのうち分離の必要性が高い部分は、隣り合う活性領域から第2分離トレンチ130により分離されている活性領域150に形成し、また、集積回路デバイスのうち分離の必要性が低い部分は、隣り合う活性領域から第1分離トレンチ125により分離されている活性領域145に形成することができる。具体的な例として、複数の第1分離トレンチ125の間の活性領域145にメモリセルを形成し、複数の第2分離トレンチ130の間、すなわち、第2分離トレンチ130によりメモリセルのアレイから分離されている活性領域150にアクセス制御回路を形成することができる。

30

【0026】

上述した実施形態では、分離トレンチに2つの深さを設定したが、本発明に係る方法では、3つ以上の深さを設定可能であることが理解されよう。例えば、第1誘電充填層135の形成により閉塞される第1の幅で第1分離トレンチ125を形成し、第2誘電充填層140の形成により閉塞される第2の幅で第2分離トレンチ130を形成し、第2誘電充填層140の形成後も開口したままとなる第3の幅で第3分離トレンチを形成する。図1E～図1Fで示したのと同様の処理を行うことにより、第3分離トレンチを第3の分離トレンチ用の深さに形成可能であることが明らかであろう。異なるトレンチ幅を用いることにより、任意の数のトレンチ深さを作り出すことができる。しかし、上記の方法で形成するときには、より深いトレンチは、それに応じて幅広になるであろう。

40

【0027】

図1Hは、本発明の一実施形態に係る複数の深さの分離トレンチの使用を示す集積回路の一部断面図である。図1Hに示すように、集積回路を基板105内に形成する。以下の例では、基板105は、P型基板とする。しかし、本発明は、特定の導電型に限定されない。本実施形態では、p型電界効果トランジスタ(pFETs)209a、209bなどの第1の種類のコンポーネントデバイスを、n型ウェル217内に形成する。pFETs 209a、209bは、p+の導電性を有するソース/ドレイン領域213を備える。p

50

F E T s 2 0 9 a、2 0 9 bは、1 箇所以上の第 1 分離領域 1 2 5 により相互に分離される。さらに本実施形態では、n 型電界効果トランジスタ (n F E T s) 2 1 1 a、2 1 1 b などの第 2 の導電型のコンポーネントデバイスが、分離された p 型ウェル 2 1 9 内に形成される。n F E T s 2 1 1 a、2 1 1 b は、n + の導電性を有するソース/ドレイン領域 2 1 5 を備える。n F E T s 2 1 1 a、2 1 1 b は、1 箇所以上の第 1 分離領域 1 2 5 により、p 型ウェル 2 1 9 において隣り合う n F E T s から相互に分離される。p 型ウェル 2 1 9 は、ディープ N + 領域 2 2 1 及び 1 箇所以上の第 2 分離領域 1 3 0 を用いて、P 型の基板 1 0 5 から分離されている。同様に、p 型ウェル 2 1 9 は、1 箇所以上の第 2 分離領域 1 3 0 により、n 型ウェル 2 1 7 などの隣り合う n 型ウェルから分離されている。図 1 A ~ 図 1 G を参照して上述したように、第 2 分離領域 1 3 0 は、第 1 分離領域 1 2 5 よりも深い。

10

【 0 0 2 8 】

第 1 分離領域 1 2 5 及び第 2 分離領域 1 3 0 は、開いたトレンチ (2 つ以上の端部を有するトレンチ)、閉じたトレンチ (閉ループを構成する規則的な又は不規則な形状を形成するトレンチ) 又はこれら 2 つの組合せとして形成することができることに留意されたい。例えば、図 1 H の第 2 分離領域 1 3 0 は、閉じた多角形であり、N + 領域 2 2 1 を完全に囲んでいる。その一方、分離領域 1 2 5 は、F E T s 2 0 9、2 1 1 の行の間に直線をつくる。複数のトレンチ深さは、様々な方法で用いることが可能であり、上述した実施形態は、そのうちの 1 つの構成を示すに過ぎないことは明らかであろう。同様に、ここで述べている分離技術は、他のウェル構造、例えば、当該分野において周知の三重のウェル構造 (triple well structures) と組み合わせて用いることができる。本発明の実施形態に係る分離トレンチを形成することにより、ウェル間に大きな間隔を設ける一般的な設計ルール (typical large inter-well design rule spacing) による不利益を生じさせることなしに、性能、例えば、応答性、ノイズ防止、低電圧特性などを向上することができる。

20

【 0 0 2 9 】

図 2 A は、本発明の一実施形態に係るメモリデバイスの一部としてのメモリアレイ 2 0 0 A の一部及びその周辺回路 2 0 7 のブロック図である。メモリアレイ 2 0 0 A は、揮発性又は不揮発性のメモリアレイとすることが可能であり、一般的な集積回路デバイスにおいて複数の深さの分離トレンチを用いる方法を概略的に示すために提示されている。メモリアレイ 2 0 0 A は、行及び列の形式で配列されたメモリセル 2 0 1 を有する。上述のように、フィールド・アイソレーションの必要性は、集積回路デバイス内でも様々である。このメモリアレイ 2 0 0 A の例では、底浅のトレンチ 2 0 3 を用いて隣り合う行や列のメモリセル 2 0 1 を分離することができると共に、より底深のトレンチ 2 0 5 を用いて、メモリセル 2 0 1 のアレイをアクセス制御回路 2 0 7 から分離することができる。

30

【 0 0 3 0 】

図 2 B は、本発明の一実施形態に係るメモリデバイスの一部としての不揮発性メモリアレイ 2 0 0 B の一部を概略的に示す図である。メモリアレイ 2 0 0 B の詳細は、本発明の様々な実施形態をより理解するために説明される。メモリアレイ 2 0 0 B は、本発明の一実施形態に係るものとして形成された少なくとも 2 種類の分離トレンチを含む。例えば、第 1 の種類の分離トレンチは、隣り合う行又は列のメモリセルを分離するものであり、第 2 の種類の分離トレンチは、アレイの周縁部に配置されて、アレイを周辺回路から分離させることができる。メモリアレイは、複数の深さの分離トレンチの使用の一例を示すに過ぎない。

40

【 0 0 3 1 】

図 2 B の配置は、N O R 型フラッシュ構造の一例に対応する。しかし、別の種類のメモリアレイでも本発明の実施形態から効果を得ることができる。一例として、N A N D 型フラッシュ構造において、ワード線、ドレイン端子、及びソース接続端子を、本発明に従って形成することもできる。なお、N A N D 型フラッシュ構造では、1 つのセル列ごとに 1 つのドレイン端子を要し、1 つのブロックごとに 1 つのソース接続端子を要する点で N O R 型フラッシュ構造と異なる。従って、本発明は、図 2 B に示す特定の配置に限定されな

50

い。

【 0 0 3 2 】

図 2 B に示すように、メモリブロック 2 0 0 B は、ワード線 2 0 2 とこれに交差するローカルビット線 2 0 4 を有する。デジタル環境におけるアドレス付けを容易化するために、ワード線 2 0 2 の数及びビット線 2 0 4 の数は、2 の累乗であり、例えば、2 5 6 本のワード線 2 0 2 と 4 0 9 6 本のビット線 2 0 4 とする。ローカルビット線 2 0 4 は、センスアンプ（図 2 B では図示せず）に接続するグローバルビット線（図示せず）に選択的に接続可能である。

【 0 0 3 3 】

ワード線 2 0 2 及びローカルビット線 2 0 4 の各交点には、浮遊ゲート型トランジスタ 2 0 6 が配置される。浮遊ゲート型トランジスタ 2 0 6 は、データを記憶する不揮発性メモリセルを意味する。そのような浮遊ゲート型トランジスタ 2 0 6 の一般的な構成は、不純物濃度の低い P 型半導体基板内に形成された不純物濃度の高い n + 型材料からなるソース 2 0 8 及びドレイン 2 1 0 と、ソース及びドレインの間に形成されたチャンネル領域と、浮遊ゲート 2 1 2 と、制御ゲート 2 1 4 と、を備える。浮遊ゲート 2 1 2 は、トンネル誘電体（tunneling dielectric）によりチャンネル領域から分離されており、ゲート間誘電体により制御ゲート 2 1 4 から分離されている。ワード線 2 0 2 に接続された制御ゲート 2 1 4 を有する浮遊ゲート型トランジスタ 2 0 6 は、アレイソース接続線 2 1 6 として描かれている共通ソース 2 0 8 を共有することが一般的である。図 2 B に示すように、隣り合う 2 本のワード線 2 0 2 に接続された浮遊ゲート型トランジスタ 2 0 6 は、同じアレイソース接続線 2 1 6 を共有している。浮遊ゲート型トランジスタ 2 0 6 は、ローカルビット線 2 0 4 に接続されたドレインを有する。浮遊ゲート型トランジスタ 2 0 6 の列は、所定のローカルビット線 2 0 4 に共通に接続されている。浮遊ゲート型トランジスタ 2 0 6 の行は、所定のワード線 2 0 2 に共通に接続されている。

【 0 0 3 4 】

アレイソース接続線 2 1 6 は、金属線又は高導電率を有する線に接続して、グラウンド電位のノードに共通の通路を形成することもできる。アレイグラウンド 2 1 8 は、この共有される通路として機能する。一実施形態として、アレイソース接続線 2 1 6 とアレイグラウンド 2 1 8 の間の接点は、メモリセル 2 0 6 のアレイの行ごとに 1 箇所のみとすることもできる。一般的なメモリデバイスは、1 6 の列ごとにアレイソース接続線とアレイグラウンドの接点を要する。

【 0 0 3 5 】

図 3 は、本発明の一実施形態に係るコントローラ又はプロセッサ 3 5 0 に接続されたメモリデバイス 3 0 0 のブロック図である。メモリデバイス 3 0 0 におけるメモリの種類は、本発明により限定されるものではなく、様々な揮発性メモリ又は不揮発性メモリの種類とすることができる。メモリデバイス 3 0 0 は、行及び列の形式で配列された複数のメモリセルを有するメモリアレイ 3 0 2 を備える。メモリデバイス 3 0 0 は、メモリアレイ 3 0 2 内に設けられた底浅の分離トレンチなどの第 1 分離トレンチと、メモリアレイ 3 0 2 の周縁部に設けられたより底深の分離トレンチなどの第 2 分離トレンチと、を有する。これらのトレンチは、本発明の一実施形態により形成されるものである。

【 0 0 3 6 】

メモリアレイ 3 0 2 は、アドレス信号線 3 3 0 を介してアドレスレジスタ 3 1 2 により受信された外部ロケーションアドレスを用いてアクセス可能である。アドレス信号はデコードされ、デコードされたアドレス信号に応じて、デコード・選択回路を含むアクセス回路 3 1 4 を用いて、1 つ以上の目標とされたメモリセルが選択される。

【 0 0 3 7 】

データの入出力は、データ線 3 3 2 を経由し、I / O 回路 3 2 2 を介して行われる。I / O 回路 3 2 2 は、データ出力レジスタ、出力ドライバ、及び出力バッファを有する。制御信号線 3 2 8 を介して受信された制御信号に応じてメモリデバイス 3 0 0 の基本的な動作を制御するために、コマンド実行ロジック 3 2 4 が設けられる。また、メモリアレイ 3

10

20

30

40

50

02及びメモリセルで実行される特定の処理を制御するために、ステートマシン326も設けられる。コマンド実行ロジック324及び/又はステートマシン326は、読出し処理、書込み処理、消去処理その他のメモリの処理を制御する制御回路327と総称される。一般に、データ線332は、双方向通信に用いられる。電子システムの一部としての処理のために、メモリを外部プロセッサ350に接続することもできる。プロセッサ350としては、例えば、パーソナルコンピュータのメモリコントローラを挙げることができる。

【0038】

当業者であれば、別の回路や制御信号を利用可能であり、また、図3のメモリデバイスは、本発明に焦点を当てるために簡略化されていることが理解されよう。また、上述のメモリデバイスの説明は、メモリの一般的な理解を意図したものであり、一般的なメモリデバイスの全ての構成要素及び特徴を完全に説明したものではないことも理解されよう。

【0039】

結び

第1の深さのトレンチを異なる幅で基板に形成することにより、集積回路デバイスにおいて複数の深さのトレンチ（溝部）を形成することが可能な方法及び装置を説明してきた。誘電層の形成により、いくつかのトレンチを充填又は閉塞しつつ、より幅の広い他のトレンチを開口させたままとすることができ、誘電層の一部を除去することにより、開口しているトレンチの底部を露出させ、残りのトレンチを充填したままとすることができ、下部側の基板のうち露出された部分を除去することにより、その後充填されることとなる開口しているトレンチを選択的に深くすることができる。上述の方法を用いることで、その後のマスク処理の必要なしに異なる深さのトレンチを形成することができる。

【0040】

ここでは、具体的な実施形態について説明してきたが、当該分野の当業者にとって、上記の実施形態に代えて、同一の目的を達成することのできるあらゆる構成が利用可能である。当業者にとっては、本願に関する多くの改変が明らかであろう。このため、本願は、本発明に関するあらゆる応用及び改変を包含することを意図している。従って、本発明が添付の特許請求の範囲及びその均等の範囲によってのみ限定されることを明確に意図している。

【図面の簡単な説明】

【0041】

【図1A】図1Aは、本発明の一実施形態に係る加工方法の一段階における集積回路の一部断面図である。

【図1B】図1Bは、前記実施形態に係る加工方法の別の一段階における集積回路の一部断面図である。

【図1C】図1Cは、前記実施形態に係る加工方法のさらに別の一段階における集積回路の一部断面図である。

【図1D】図1Dは、前記実施形態に係る加工方法のさらに別の一段階における集積回路の一部断面図である。

【図1E】図1Eは、前記実施形態に係る加工方法のさらに別の一段階における集積回路の一部断面図である。

【図1F】図1Fは、前記実施形態に係る加工方法のさらに別の一段階における集積回路の一部断面図である。

【図1G】図1Gは、前記実施形態に係る加工方法のさらに別の一段階における集積回路の一部断面図である。

【図1H】図1Hは、本発明の一実施形態に係る深さが異なる複数の分離トレンチの使用を示す集積回路の一部断面図である。

【図2A】図2Aは、本発明の一実施形態に係るメモリアレイの一部及び周辺回路の概略ブロック図である。

【図2B】図2Bは、本発明の別の実施形態に係る不揮発性メモリアレイの一部概略図で

10

20

30

40

50

ある。

【図 3】図 3 は、本発明の一実施形態に係る基本的なメモリデバイスがプロセッサに接続されている機能ブロック図である。

【図 1 A】

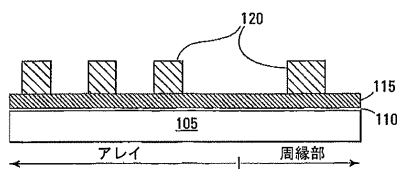


FIG. 1A

【図 1 B】

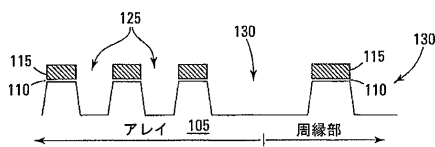


FIG. 1B

【図 1 C】

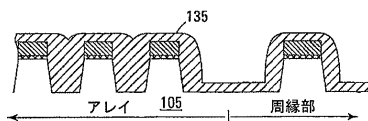


FIG. 1C

【図 1 D】

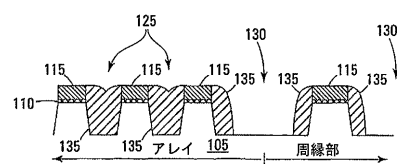


FIG. 1D

【図 1 E】

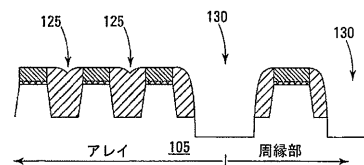


FIG. 1E

【図 1 F】

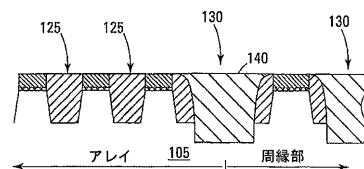


FIG. 1F

【図 1 G】

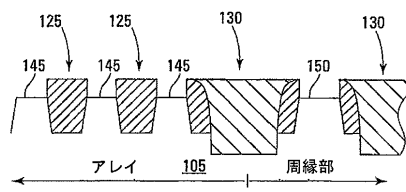


FIG. 1G

【図 1 H】

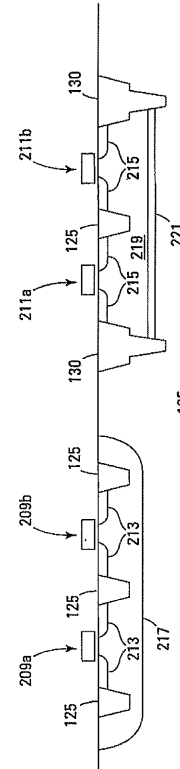


FIG. 1H

【図 2 A】

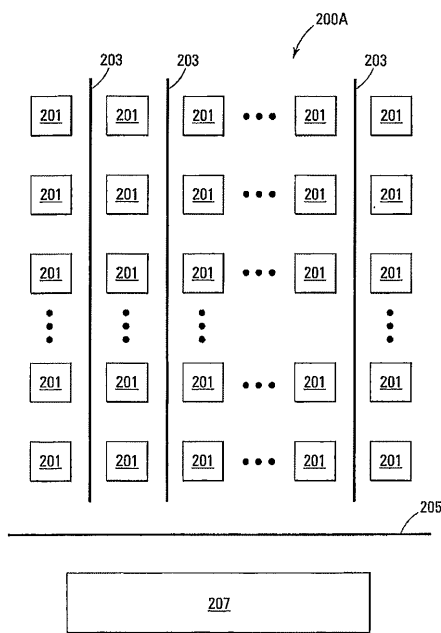


FIG. 2A

【図 2 B】

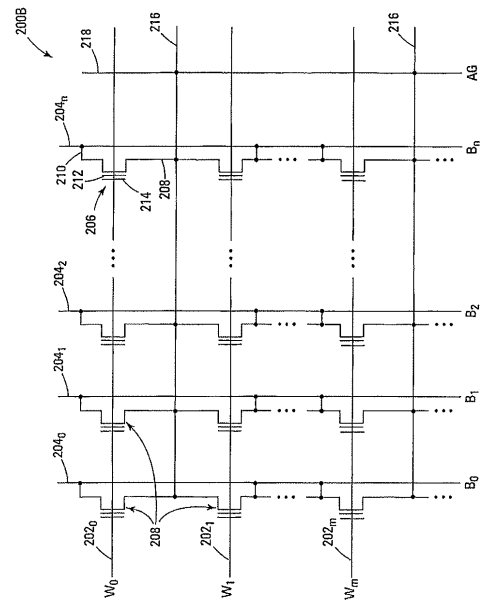


FIG. 2B

【図 3】

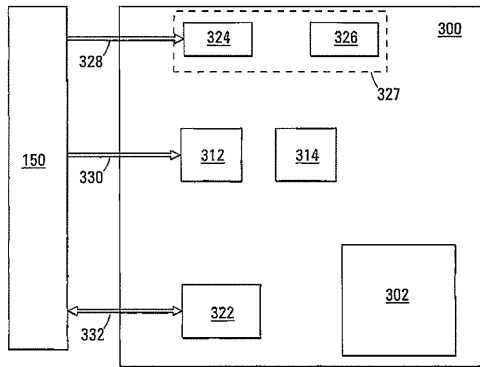


FIG. 3

【手続補正書】

【提出日】平成19年5月29日(2007.5.29)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

集積回路デバイスの製造方法であって、

第 1 溝部 (1 2 5) 及び前記第 1 溝部より幅の広い第 2 溝部 (1 3 0) のそれぞれを第 1 の深さで基板 (1 0 5) に形成するステップと、

前記第 2 溝部 (1 3 0) を充填することなしに前記第 1 溝部 (1 2 5) を充填する第 1 誘電層 (1 3 5) を形成するステップと、

前記第 1 誘電層 (1 3 5) の一部を除去し、前記基板 (1 0 5) のうち前記第 1 溝部 (1 2 5) の底部に位置する部分を露出させることなしに、前記基板 (1 0 5) のうち前記第 2 溝部 (1 3 0) の底部に位置する部分を露出させるステップと、

露出させた前記部分を除去し、前記第 2 溝部 (1 3 0) を第 2 の深さにするステップと

、

前記第 2 溝部 (1 3 0) を第 2 の深さにした後に、前記第 2 溝部 (1 3 0) の側壁から前記第 1 誘電層 (1 3 5) の一部を除去するステップと、

前記第 2 溝部 (1 3 0) の側壁から前記第 1 誘電層 (1 3 5) の一部を除去した後、前記第 2 溝部 (1 3 0) を充填する第 2 誘電層 (1 4 0) を形成するステップと、

を有する製造方法。

【請求項 2】

請求項 1 記載の製造方法において、
前記基板 (1 0 5) は、単結晶シリコン基板である
ことを特徴とする製造方法。

【請求項 3】

請求項 1 又は 2 記載の製造方法において、
前記第 1 誘電層 (1 3 5) 及び前記第 2 誘電層 (1 4 0) は、同一の誘電材料からなる
ことを特徴とする製造方法。

【請求項 4】

請求項 1 ~ 3 いずれか 1 項に記載の製造方法において、
前記第 2 溝部 (1 3 0) の側壁から前記第 1 誘電層 (1 3 5) の一部を除去する際、前
記第 1 誘電層 (1 3 5) にエッチバック処理を施す
ことを特徴とする製造方法。

【請求項 5】

請求項 1 ~ 4 いずれか 1 項に記載の製造方法において、さらに、
前記第 2 誘電層 (1 4 0) の一部を除去するステップを有する
ことを特徴とする製造方法。

【請求項 6】

請求項 5 記載の製造方法において、
前記第 2 誘電層 (1 4 0) の一部を除去する際、前記第 2 誘電層 (1 4 0) に化学機械
平坦化処理を施す
ことを特徴とする製造方法。

【請求項 7】

請求項 1 ~ 4 いずれか 1 項に記載の製造方法において、さらに、
少なくとも 1 本の前記第 1 溝部 (1 2 5) を囲む少なくとも 1 本の前記第 2 溝部 (1 3
0) を形成する
ことを特徴とする製造方法。

【請求項 8】

請求項 1 ~ 7 いずれか 1 項に記載の製造方法において、
前記第 1 溝部 (1 2 5) 及び前記第 2 溝部 (1 3 0) を第 1 の深さで基板 (1 0 5) に
形成するステップは、
前記基板 (1 0 5) 上に少なくとも 1 つの犠牲層 (1 1 0、1 1 5) を形成するステッ
プと、
前記少なくとも 1 つの犠牲層 (1 1 0、1 1 5) の上にマスク層 (1 2 0) を形成し、
前記少なくとも 1 つの犠牲層 (1 1 0、1 1 5) の一部を露出させるステップと、
前記少なくとも 1 つの犠牲層 (1 1 0、1 1 5) のうち露出された部分と、前記基板 (1
0 5) のうち前記露出された部分の下側に位置する部分を除去するステップと、
を有することを特徴とする製造方法。

【請求項 9】

請求項 8 記載の製造方法において、さらに、
前記第 2 誘電層 (1 4 0) の一部を除去し、前記少なくとも 1 つの犠牲層 (1 1 0、1
1 5) の残りの部分を露出させるステップと、
前記少なくとも 1 つの犠牲層 (1 1 0、1 1 5) の前記残りの部分を除去し、前記基板
(1 0 5) の活性領域 (1 4 5、1 5 0) を露出させるステップと、
前記基板 (1 0 5) の前記活性領域 (1 4 5、1 5 0) に前記集積回路デバイスを形成
するステップと、
を有することを特徴とする製造方法。

【請求項 10】

請求項 8 記載の製造方法において、
前記マスク層 (1 2 0) を形成する際、フォトリソスト層を形成及びパターン付けする
ことを特徴とする製造方法。

【請求項 1 1】

請求項 1 ~ 7 いずれか 1 項に記載の製造方法において、
前記第 1 誘電層 (1 3 5) の一部を除去する際、前記第 1 誘電層 (1 3 5) の水平な部分を優先的に除去すること
を特徴とする製造方法。

【請求項 1 2】

請求項 1 ~ 7 いずれか 1 項に記載の製造方法において、さらに、
前記第 1 溝部 (1 2 5) 及び前記第 2 溝部 (1 3 0) を形成するのに加えて、前記第 2 溝部 (1 3 0) より幅が広い第 3 溝部を前記基板 (1 0 5) に形成するステップを有すること
を特徴とする製造方法。

【請求項 1 3】

行と列の形式で構成されたメモリセル (2 0 6) のアレイ (3 0 2) と、
前記メモリセル (2 0 6) のアレイ (3 0 2) の制御若しくはアクセス又はその両方を行う回路 (3 2 7) と、
を有するメモリデバイスであって、
前記メモリデバイスは、前記メモリセル (2 0 6) のアレイ (3 0 2) 内でフィールド・アイソレーションを行う少なくとも 1 本の第 1 溝部 (1 2 5) と、前記メモリセル (2 0 6) のアレイ (3 0 2) 外でフィールド・アイソレーションを行う少なくとも 1 本の第 2 溝部 (1 3 0) と、を含み、
前記少なくとも 1 本の第 2 溝部 (1 3 0) は、前記少なくとも 1 本の第 1 溝部 (1 2 5) を囲むように形成され、
前記第 1 溝部 (1 2 5) 及び前記第 2 溝部 (1 3 0) は、
所定の基準値よりも小さい幅の前記第 1 溝部 (1 2 5) と、前記基準値よりも大きい幅の前記第 2 溝部 (1 3 0) とを含む複数の溝部 (1 2 5 、 1 3 0) を第 1 の深さで基板 (1 0 5) に形成し、
前記第 2 溝部 (1 3 0) を開口させたまま、前記第 1 溝部 (1 2 5) を充填する誘電層 (1 3 5) を前記基板 (1 0 5) 上に形成し、
前記誘電層 (1 3 5) の一部を除去し、前記第 1 溝部 (1 2 5) を充填させたまま、前記基板 (1 0 5) のうち前記第 2 溝部 (1 3 0) の底部に位置する部分を露出させ、
露出させた前記部分を除去し、前記第 2 溝部 (1 3 0) を第 2 の深さとし、
前記第 2 溝部 (1 3 0) を充填する第 2 誘電層 (1 4 0) を前記基板 (1 0 5) 上に形成する
ことにより形成されることを特徴とするメモリデバイス。

【請求項 1 4】

請求項 1 3 記載のメモリデバイスにおいて、
前記基板 (1 0 5) は、単結晶シリコン基板である
ことを特徴とするメモリデバイス。

【請求項 1 5】

請求項 1 3 又は 1 4 記載のメモリデバイスにおいて、
前記第 1 誘電層 (1 3 5) 及び前記第 2 誘電層 (1 4 0) は、同一の誘電材料からなる
ことを特徴とするメモリデバイス。

【請求項 1 6】

請求項 1 3 ~ 1 5 いずれか 1 項に記載のメモリデバイスにおいて、
前記第 2 溝部 (1 3 0) の側壁から前記第 1 誘電層 (1 3 5) の一部を除去する際、前記第 1 誘電層 (1 3 5) にエッチバック処理を施すことにより得られる
ことを特徴とするメモリデバイス。

【請求項 1 7】

請求項 1 3 ~ 1 6 いずれか 1 項に記載のメモリデバイスにおいて、さらに、
前記第 2 誘電層 (1 4 0) の一部を除去することにより得られる
ことを特徴とするメモリデバイス。

【請求項 18】

請求項 17 記載のメモリデバイスにおいて、
前記第 2 誘電層 (140) の一部を除去する際、前記第 2 誘電層 (140) に化学機械平坦化処理を施すことにより得られる
ことを特徴とするメモリデバイス。

【請求項 19】

請求項 13 ~ 17 いずれか 1 項に記載のメモリデバイスにおいて、さらに、
少なくとも 1 本の前記第 1 溝部 (125) を囲むように少なくとも 1 本の前記第 2 溝部 (130) を形成することにより得られる
ことを特徴とするメモリデバイス。

【請求項 20】

請求項 13 ~ 19 いずれか 1 項に記載のメモリデバイスにおいて、
前記第 1 溝部 (125) 及び前記第 2 溝部 (130) を第 1 の深さで基板 (105) に形成する際、
前記基板 (105) 上に少なくとも 1 つの犠牲層 (110、115) を形成し、
前記少なくとも 1 つの犠牲層 (110、115) の上にマスク層 (120) を形成し、
前記少なくとも 1 つの犠牲層 (110、115) の一部を露出させ、
前記少なくとも 1 つの犠牲層 (110、115) のうち露出された部分と、前記基板 (105) のうち前記露出された部分の下側に位置する部分を除去することにより得られる
ことを特徴とするメモリデバイス。

【請求項 21】

請求項 20 記載のメモリデバイスにおいて、さらに、
前記第 2 誘電層 (140) の一部を除去し、前記少なくとも 1 つの犠牲層 (110、115) の残りの部分を露出させ、
前記少なくとも 1 つの犠牲層 (110、115) の前記残りの部分を除去し、前記基板 (105) の活性領域 (145、150) を露出させ、
前記基板 (105) の前記活性領域 (145、150) に前記集積回路デバイスを形成することにより得られる
ことを特徴とするメモリデバイス。

【請求項 22】

請求項 20 記載のメモリデバイスにおいて、
前記マスク層 (120) を形成する際、フォトリジスト層を形成及びパターン付けすることにより得られる
ことを特徴とするメモリデバイス。

【請求項 23】

請求項 13 ~ 19 いずれか 1 項に記載のメモリデバイスにおいて、
前記第 1 誘電層 (135) の一部を除去する際、前記第 1 誘電層 (135) の水平な部分を優先的に除去することにより得られる
ことを特徴とするメモリデバイス。

【請求項 24】

請求項 13 ~ 19 いずれか 1 項に記載のメモリデバイスにおいて、さらに、
前記第 1 溝部 (125) 及び前記第 2 溝部 (130) を形成するのに加えて、前記第 2 溝部 (130) より幅が広い第 3 溝部を前記基板 (105) に形成することにより得られる
ことを特徴とするメモリデバイス。

【請求項 25】

基板 (105) 内に形成された第 1 の導電型の第 1 ウェル領域 (217) と、
前記基板 (105) 内に形成された第 2 の導電型の第 2 ウェル領域 (219) と、
少なくとも 1 箇所の第 1 分離領域 (125) が内部に形成された前記第 1 ウェル領域 (217) 内に形成された複数の第 1 コンポーネントデバイスと、

前記第 2 ウェル領域 (2 1 9) 内に形成された複数の第 2 コンポーネントデバイスと、
を有する集積回路デバイスであって、

前記複数の第 1 コンポーネントデバイスの 1 つは、隣り合う前記第 1 コンポーネントデバイスの 1 つから、第 1 分離領域 (1 2 5) により分離され、

前記第 1 ウェル領域 (2 1 7) は、前記第 1 分離領域 (1 2 5) よりも深く形成された少なくとも 1 箇所の第 2 分離領域 (1 3 0) により、前記第 2 ウェル領域 (2 1 9) から分離されている

ことを特徴とする集積回路デバイス。

【請求項 2 6】

請求項 2 5 記載の集積回路デバイスにおいて、

前記基板 (1 0 5) は P 型基板であり、

前記第 1 ウェル領域 (2 1 7) は、n 型ウェルであり、

前記第 2 ウェル領域 (2 1 9) は、p 型ウェルであり、

前記第 1 コンポーネントデバイスは、p 型電界効果トランジスタ (2 0 9 a、2 0 9 b) であり、

前記第 2 コンポーネントデバイスは、n 型電界効果トランジスタ (2 1 1 a、2 1 1 b) である

ことを特徴とする集積回路デバイス。

【請求項 2 7】

請求項 2 5 又は 2 6 記載の集積回路デバイスにおいて、

前記第 2 ウェル領域 (2 1 9) は、前記少なくとも 1 箇所の第 2 分離領域 (1 3 0) に囲まれた N⁺領域 (2 2 1) により前記基板 (1 0 5) から分離されている

ことを特徴とする集積回路デバイス。

【請求項 2 8】

請求項 2 5 ~ 2 7 いずれか 1 項に記載の集積回路デバイスにおいて、

前記第 2 ウェル領域 (2 1 9) 内には、少なくとも 1 箇所の第 1 分離領域 (1 2 5) が形成されており、

前記複数の第 2 コンポーネントデバイスの 1 つは、隣り合う前記複数の第 2 コンポーネントデバイスの 1 つから、第 1 分離領域 (1 2 5) により分離されている

ことを特徴とする集積回路デバイス。

【請求項 2 9】

請求項 2 5 ~ 2 8 いずれか 1 項に記載の集積回路デバイスにおいて、

前記第 1 分離領域 (1 2 5) のそれぞれは、実質的に同一の深さである

ことを特徴とする集積回路デバイス。

【請求項 3 0】

請求項 2 9 記載の集積回路デバイスにおいて、

前記第 1 分離領域 (1 2 5) の幅がそれぞれ異なる

ことを特徴とする集積回路デバイス。

【請求項 3 1】

請求項 2 9 又は 3 0 記載の集積回路デバイスにおいて、

前記第 2 分離領域 (1 3 0) の幅は、前記第 1 分離領域 (1 2 5) の幅よりも広い

ことを特徴とする集積回路デバイス。

【請求項 3 2】

請求項 2 5 ~ 3 1 いずれか 1 項に記載の集積回路デバイスにおいて、

前記 n 型ウェル (2 1 7) 及び前記 p 型ウェル (2 1 9) の少なくとも一方は、三重のウェル構造で形成される

ことを特徴とする集積回路デバイス。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 5

【補正方法】変更

【補正の内容】

【0035】

図3は、本発明の一実施形態に係るコントローラ又はプロセッサ150に接続されたメモリデバイス300のブロック図である。メモリデバイス300におけるメモリの種類は、本発明により限定されるものではなく、様々な揮発性メモリ又は不揮発性メモリの種類とすることができる。メモリデバイス300は、行及び列の形式で配列された複数のメモリセルを有するメモリアレイ302を備える。メモリデバイス300は、メモリアレイ302内に設けられた底浅の分離トレンチなどの第1分離トレンチと、メモリアレイ302の周縁部に設けられたより底深の分離トレンチなどの第2分離トレンチと、を有する。これらのトレンチは、本発明の一実施形態により形成されるものである。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0037

【補正方法】変更

【補正の内容】

【0037】

データの入出力は、データ線332を経由し、I/O回路322を介して行われる。I/O回路322は、データ出力レジスタ、出力ドライバ、及び出力バッファを有する。制御信号線328を介して受信された制御信号に応じてメモリデバイス300の基本的な動作を制御するために、コマンド実行ロジック324が設けられる。また、メモリアレイ302及びメモリセルで実行される特定の処理を制御するために、ステートマシン326も設けられる。コマンド実行ロジック324及び/又はステートマシン326は、読出し処理、書込み処理、消去処理その他のメモリの処理を制御する制御回路327と総称される。一般に、データ線332は、双方向通信に用いられる。電子システムの一部としての処理のために、メモリを外部プロセッサ150に接続することもできる。プロセッサ150としては、例えば、パーソナルコンピュータのメモリコントローラを挙げることができる。

フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 27/115 (2006.01)
H 0 1 L 27/10 (2006.01)

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(72)発明者 バトラ、シュープニーシ
 アメリカ合衆国、アイダホ州 8 3 7 0 9、ボイシ、ウェスト キーツ ドライブ 1 2 1 6 6

(72)発明者 カーシュ、ハワード、シー .
 アメリカ合衆国、アイダホ州 8 3 6 1 6、イーグル、ウェスト ボガス ビュー ドライブ 4 7 9

(72)発明者 サンド、グルテジ
 アメリカ合衆国、アイダホ州 8 3 7 0 6、ボイシ、イースト パークリバー ドライブ 2 9 6 4

(72)発明者 ザオ、ジャンフェン
 アメリカ合衆国、アイダホ州 8 3 6 4 2、メリディアン、イースト マッケイ ドライブ 2 9 1 9

(72)発明者 チョウ、チ - チェン
 アメリカ合衆国、ミシシッピ州 3 9 7 5 9、スタークビル、パインブルック ロード 2 0 0

Fターム(参考) 5F032 AA33 AA35 AA44 AA45 AA67 AA70 AA76 AA77 AA78 BA02
 BA03 BA06 BB06 CA17 DA04 DA24 DA25 DA78
 5F048 AA01 AA04 AA05 AB01 AC01 AC03 BA01 BA16 BE02 BE03
 BE05 BG13
 5F083 EP00 EP76 EP77 GA27 LA12 LA16 LA20 LA25 NA01 NA06
 PR03 PR40 ZA03