

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-200574

(P2013-200574A)

(43) 公開日 平成25年10月3日(2013.10.3)

(51) Int.Cl.

G02F 1/1368 (2006.01)

F 1

G02F 1/1368

テーマコード (参考)

2H192

審査請求 有 請求項の数 1 O L (全 21 頁)

(21) 出願番号 特願2013-118657 (P2013-118657)
 (22) 出願日 平成25年6月5日(2013.6.5)
 (62) 分割の表示 特願2012-244153 (P2012-244153)
 の分割
 原出願日 平成13年9月26日(2001.9.26)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 荒尾 達也
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 Fターム(参考) 2H192 AA24 BA02 BC33 CB02 CB05
 CB08 CB33 CB53 CB54 CC73
 DA23 DA43 DA62 EA04 EA13
 EA15 EA67 EA74 EA76

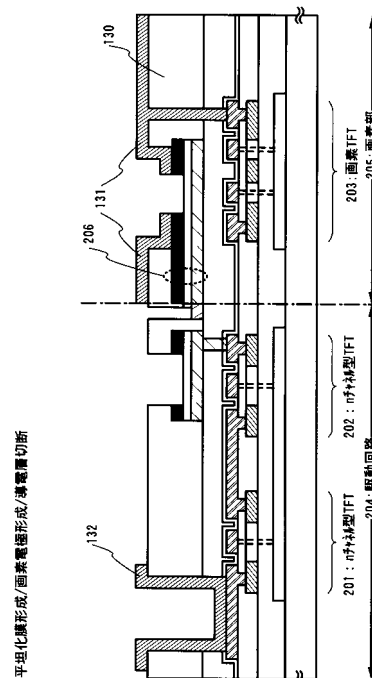
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 液晶の配向不良を抑制するために画素電極を平坦化し、開口率を下げずに十分な容量を得られる容量素子を有する半導体装置を実現することを課題とする。

【解決手段】 薄膜トランジスタ上の遮光膜、前記遮光膜上の容量絶縁膜、前記容量絶縁膜上に導電層、前記導電層と電気的に接続するように画素電極を有する半導体装置であり、前記遮光膜、前記容量絶縁膜および前記導電層から保持容量素子を形成することにより、容量素子として機能する領域の面積を増やすことができる。

【選択図】 図6



【特許請求の範囲】

【請求項 1】

半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、絶縁体上に形成されたトランジスタ、特に電界効果型トランジスタ、代表的にはMOS (Metal Oxide Semiconductor) トランジスタや薄膜トランジスタ (Thin Film Transistor: 以下、TFTとする) といった半導体装置を画素部のスイッチング素子に用いた液晶表示装置、また前記半導体装置により作製された回路を駆動回路を含む液晶表示装置、該液晶表示装置を表示部に用いた電気器具に関する。

10

【背景技術】

【0002】

一对の基板間に液晶を挟持して、一对の基板間に電界をかけ液晶の配向により表示を行う液晶表示装置が、パーソナルコンピュータのモニターや、テレビジョンの表示装置として盛んに用いられるようになってきた。

【0003】

さらに、半導体膜の結晶化技術の向上により、一枚の基板上に駆動回路を内蔵した液晶表示装置も実現されるようになってきている。

【0004】

20

ところで、駆動回路のTFTには、高い電界効果移動度が求められるが、画素部のひとつひとつの画素におけるスイッチング素子として用いられるTFTには、低リーク電流という特性が求められる。電荷(信号)を保持することが重要であり、TFTをオフさせている保持時間にわずかでも生じるリーク電流が、画質の低下やコントラストの低下を招いてしまう。

【0005】

しかし、TFTには、半導体層に光が照射されると光励起がおこり、光リーク電流が発生してしまうという問題があった。そこで、TFTを覆う遮光膜を形成し、十分な遮光をすることで半導体層に光が照射されないようにすること、リーク電流が発生してしまったとしても、1フレーム期間信号を保持できるだけの保持容量を確保することが重要であった。

30

【0006】

そこで特許第2924506号公報では、保持容量を形成し、さらに光もれを遮断できる構造として、ソース電極およびドレイン電極の形成後、層間膜を形成し、該層間膜上にアルミニウムからなる遮光膜を形成し、遮光膜を陽極酸化して遮光膜の上面および側面に Al_2O_3 からなる陽極酸化膜を形成し、その上に透明画素電極を形成して、遮光膜/ Al_2O_3 膜/透明画素電極からなる保持容量を有する画素構造を開示している。

【0007】

保持容量素子の静電容量(以下、容量という)は、容量絶縁膜(本明細書では、一对の導電体からなる電極に挟まれた誘電膜のことをいう)の厚さに反比例、容量絶縁膜の誘電定数および電極の表面積に比例する。したがって、上記した特許第2924506号の構造は、遮光膜と透明画素電極との間の容量絶縁膜が陽極酸化膜からなりほぼ一定であるため、遮光膜と透明画素電極とが重なる領域は、ほとんど保持容量素子として機能しうる。

40

【0008】

しかし、液晶表示装置には、液晶の配向不良により表示不良を招くという問題がある。液晶の配向不良は、画素電極表面の段差や凹凸が配向膜表面に影響してしまい、この段差や凹凸が原因で配向膜のラビングムラを招き、最終的には液晶の配向不良、画像品質低下を引き起こしてしまう。上記した特許第2924506号公報の構造では、図1(A)に示すように画素電極の段差が遮光膜によって遮光された領域より外側(光が透過する領域)にあり、液晶の配向不良が生じて、光ぬけが起こる等の問題があった。

50

【 0 0 0 9 】

しかし、多数の層の積層からなる表示装置においては、画素電極表面にどうしても段差や凹凸が生じてしまい、配向膜表面にもその段差や凹凸が影響し、光ぬけ等によりコントラスト低下が起こってしまう。そこで、画素電極、特に光が透過して画素の表示に寄与する領域における画素電極の段差や凹凸を平坦化させる方法が考えられてきた。

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 1 0 】

そこで、素子基板側に遮光膜を形成し、形成することで生じた段差を平坦化させて、画素電極を形成する方法が考えられた。しかし、この方法では、遮光膜と画素電極との間で保持容量素子を形成しようとする場合、図1(B)に示したように遮光膜と画素電極との層間距離が離れてしまい、容量素子として機能する領域が狭くなってしまい、保持容量が十分に確保できないという問題があった。

10

【 0 0 1 1 】

TFTをオフさせている間に流れるわずかなオフリーク電流が、コントラストの低下やパネルとしての画質の不均一をもたらしてしまうため、これを補うためには、どうしても保持容量素子を形成しなければならない。しかし、別の領域で保持容量素子を形成しようとする、例えば、図1(C)に示すようにTFTの活性層を延長して、半導体層、ゲート絶縁膜およびゲート絶縁膜上の導電層からなる保持容量素子を形成すると、画素の開口率が小さくなってしまい、明るさの面において、表示能が落ちてしまう。

20

【 0 0 1 2 】

以上のような問題を鑑みて、液晶の配向不良を抑制するために画素電極を平坦化し、開口率を下げずに十分な保持容量を得られる容量素子を有する半導体装置を実現することを課題とする。

【 課題を解決するための手段 】

【 0 0 1 3 】

本発明は、薄膜トランジスタおよび保持容量素子を有する半導体装置であって、薄膜トランジスタ上の遮光膜、前記遮光膜上の容量絶縁膜、前記容量絶縁膜上の導電層および前記導電層上の絶縁膜、前記絶縁膜上の画素電極を有する半導体装置であって、前記導電層と前記画素電極とは電氣的に接続されており、前記保持容量素子は、前記遮光膜、前記容量絶縁膜および前記導電層からなることを特徴としている。

30

【 0 0 1 4 】

また本発明は、薄膜トランジスタ上の遮光膜、前記遮光膜上の容量絶縁膜、前記容量絶縁膜上の導電層、前記導電層上の絶縁膜および前記絶縁膜上の画素電極を有し、前記保持容量素子は、前記遮光膜、前記容量絶縁膜および前記導電層からなり、前記絶縁膜に設けられた開孔部を介して前記導電層と前記画素電極とが接しており、前記開孔部は、前記遮光膜の上に形成されていることを特徴としている。

【 0 0 1 5 】

また本発明は、薄膜トランジスタおよび保持容量素子を有する半導体装置であって、前記薄膜トランジスタ上の遮光膜、前記遮光膜上の容量絶縁膜、前記容量絶縁膜上の導電層、前記導電層上の絶縁膜および前記絶縁膜上の画素電極を有し、前記保持容量素子は、前記遮光膜、前記容量絶縁膜および前記導電層からなり、前記絶縁膜に設けられた開孔部を介して前記導電層と前記画素電極とが接しており、前記絶縁膜は、前記容量絶縁膜および前記導電層による前記画素電極の段差を平坦化しており、前記開孔部の内壁および前記段差は、前記遮光膜上にあることを特徴としている。

40

【 0 0 1 6 】

また本発明は、薄膜トランジスタおよび保持容量素子を有する半導体装置であって、前記薄膜トランジスタ上の遮光膜、前記遮光膜上の容量絶縁膜、前記容量絶縁膜上の導電層、前記導電層上の絶縁膜、前記絶縁膜上の画素電極を有し、前記保持容量素子は、前記遮光膜、前記容量絶縁膜および前記導電層からなり、前記絶縁膜に設けられた開孔部で前記

50

導電層と前記画素電極とは接しており、ある画素電極と、その画素電極に隣接している画素電極との間の段差が絶縁膜で平坦化されていることを特徴としている。

【0017】

また本発明は、薄膜トランジスタおよび保持容量素子を有する半導体装置であって、前記薄膜トランジスタ上の遮光膜、前記遮光膜上の容量絶縁膜、前記容量絶縁膜上の導電層、前記導電層上の絶縁膜および前記絶縁膜上の画素電極を有し、前記保持容量素子は、前記遮光膜、前記容量絶縁膜および前記導電層からなり、前記絶縁膜に設けられた開孔部で前記導電層と前記画素電極とは接しており、前記導電層と前記画素電極とは、隣接する画素と画素との間において、端面が揃っていることを特徴としている。

【0018】

また本発明は、薄膜トランジスタおよび保持容量素子を有する半導体装置であって、前記薄膜トランジスタ上の遮光膜、前記遮光膜上の容量絶縁膜、前記容量絶縁膜上の導電層、前記導電層上の絶縁膜および前記絶縁膜上の画素電極を有し、前記保持容量素子は、前記遮光膜、前記容量絶縁膜および前記導電層からなり、前記絶縁膜に設けられた開孔部で前記導電層と前記画素電極とは接しており、前記容量絶縁膜、前記導電層および前記画素電極は、各画素において独立して形成されており、隣接した画素との間での端面が揃っていることを特徴としている。

【0019】

容量絶縁膜上に形成された導電層は、画素電極と同電位になるように電氣的に接続されており、遮光膜、前記遮光膜上の容量絶縁膜、前記容量絶縁膜上の導電層とからなる保持容量素子を適応することにより、開口率を低減することなく十分な保持容量を得ることができる。

【0020】

また、導電層上には、光が透過する領域（表示に寄与する領域）の画素電極表面の段差や凹凸による液晶の配向不良を防ぐために、絶縁膜からなる平坦化膜が形成されている。この平坦膜を形成することにより、前記画素電極の段差が前記遮光膜上に形成されるので、万が一配向膜のラビング処理にムラが生じて配向不良が起こっても、表示には影響しないようになっている。

【0021】

なお、本発明は、一对の基板で液晶を挟み込み、各画素のスイッチング素子として薄膜トランジスタを用いておりFPCやTAB等のコネクタを接続して駆動回路と接続された液晶表示装置、同一基板上に画素部および駆動回路が一体形成された液晶表示装置（以下、一体形成型液晶表示装置という）、一体形成型液晶表示装置に駆動回路を駆動し画素部に画像を表示させるための機能を有するコントローラが接続された液晶表示装置およびコントローラを制御するマイコンを有する液晶表示装置すべてに適応することができる。また、本明細書では、これらすべての液晶表示装置を半導体装置ともいう。

【発明の効果】

【0022】

本発明で開示したように、遮光膜上の容量絶縁膜、前記容量絶縁膜上の導電層、前記導電層と画素電極とを電氣的に接続して同電位になるように形成することにより、遮光膜と画素電極とが重なった領域をすべて保持容量素子として有効に用いることができる。また本発明を用いることにより、画素の開口率を落とすことなく十分な容量を有する保持容量素子を形成することができる。

【0023】

なお、本発明は、TFTの形状によらず、TFTを遮光するための導電性を有する材料からなる遮光膜上に容量配線、容量配線上に導電層を形成し、画素電極から導電層に電位を与えることにより、保持容量素子として機能させることができるため有効である。

【図面の簡単な説明】

【0024】

【図1】従来の保持容量素子を説明する図。

10

20

30

40

50

【図 2】本発明の保持容量素子として機能する領域を説明する図。

【図 3】従来 of 保持容量素子として機能する領域を説明する図。

【図 4】本発明の実施の一例を示す図。

【図 5】本発明の実施の一例を示す図。

【図 6】本発明の実施の一例を示す図。

【図 7】本発明の実施の一例を示す図。

【図 8】本発明の実施の一例を示す図。

【図 9】本発明の実施の一例を示す図。

【図 10】本発明の実施の一例を示す図。

【図 11】電気器具の一例を示す図。

10

【図 12】電気器具の一例を示す図。

【図 13】電気器具の一例を示す図。

【発明を実施するための形態】

【0025】

本実施形態では、本発明の半導体装置の画素部の構造について説明する。

【0026】

本発明の半導体装置の構成を図 2 (A) に示す。基板 10 上に T F T 11 が形成されている。T F T は、少なくともチャネル形成領域およびソース領域またはドレイン領域を有する半導体層 12、半導体層 12 上に形成されたゲート絶縁膜 13、ゲート絶縁膜 13 上に形成されたゲート電極 14 を含み、さらに各 T F T を電氣的に接続するためのソース配線およびドレイン配線 15 a、15 b が形成されている。

20

【0027】

ソース配線 15 a およびドレイン配線 15 b は半導体層 12 の高濃度に不純物元素が添加された領域 (ソース領域またはドレイン領域) にそれぞれ接続されている。

【0028】

また、ゲート電極 14、ソース配線 15 a およびドレイン配線 15 b 上には層間絶縁膜 16 が形成されており、前記層間絶縁膜 16 上に T F T (特にチャネル形成領域) の遮光膜 17 が形成されている。

【0029】

遮光膜 17 上には容量絶縁膜 18 が形成されている。容量絶縁膜 18 上には、導電層 19 が形成される。導電層 19 を形成した後、絶縁材料からなる平坦化膜 20 を形成し、続いて画素電極 21 を形成する。導電層 19 と画素電極 21 とは、平坦化膜 20 に形成されたコンタクトホールを介して接しており、同電位となるように形成されている。以上のようにして、遮光膜 17 を絶縁膜で覆うことにより生じる段差 (遮光膜 17 の端部) 22 が、光が透過する領域ではなく遮光膜 17 上になるような構造である。本発明で開示する画素構造は、遮光膜 17 上の容量絶縁膜 18、容量絶縁膜 18 上の導電層 19 により保持容量が形成されていることを特徴としている。

30

【0030】

また、光が透過する領域における段差による液晶の配向乱れを抑制していることを特徴としている。

40

【0031】

なお、遮光膜 17 は、A l、T i、W、C r から選ばれた元素または前記元素を主成分とする合金材料を用いて、単層または積層して形成すればよい。

【0032】

また、容量絶縁膜 18 は、C V D 法やスパッタ法などで成膜した酸化シリコン膜や、窒化シリコン膜、窒化酸化シリコン膜、酸化窒化シリコン膜等の無機絶縁膜により形成すればよい。ただし、高い誘電率かつ低いリーク電流という特性を有する有機絶縁膜があれば、有機絶縁膜を用いてもかまわない。

【0033】

また、導電層 19 は、A l、T i、W から選ばれた元素、前記元素を主成分とする合金

50

材料またはITOを用いて形成すればよい。なお、TFTへの遮光性を重視する場合には、遮光性の高いAl、Ti、Wから選ばれた元素または前記元素を主成分とする合金材料を用いて形成すればよい。

【0034】

さらに、ドレイン配線15b上の層間絶縁膜16、層間絶縁膜16上の遮光膜17により保持容量を形成することも可能である。

【0035】

また、絶縁膜からなる平坦化膜20は、酸化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、窒化シリコン膜またはSOG（スピンオンガラス）と呼ばれる溶液塗布系材料等の無機絶縁膜を用いて形成すればよい。またはアクリル、ポリイミド等の有機絶縁膜から選ばれた一種または複数種の材料を用いて形成すればよい。

10

【0036】

本発明のように導電層19を設けて、画素電極と導電層とを同電位とすることにより、上部遮光膜と画素電極が重なる領域を無駄なく保持容量素子として機能できる領域とすることができるため、図1(B)に示した従来構造と比較して保持容量を大きくすることができる。

【0037】

実際のマスク図を図2(B)に、本発明の一例として示す（なお、 $14\mu\text{m} \times 14\mu\text{m}$ で設計された1画素に、簡単のために遮光膜と画素電極（ITO）を示している）。ここで上部遮光膜、容量絶縁膜および導電層（画素電極と同電位）からなる保持容量素子として機能する面積を計算してみると、 $63.645\mu\text{m}^2$ となる。図1(B)で示した導電層のない従来構造は、上部遮光膜と画素電極とが重なっていても実際に保持容量素子として機能する面積は、本発明と比較するとずいぶん狭くなってしまふ。図3(B)に、図2(B)と同様に $14\mu\text{m} \times 14\mu\text{m}$ で設計された1画素の簡単のために遮光膜と画素電極（ITO）とで保持容量素子として機能する領域を破線で示した。従来構造で保持容量素子として機能する面積は、 $34.905\mu\text{m}^2$ となり、本発明と比較すると、本発明は、開口率を下げることなく保持容量素子として機能する面積を1.82倍にすることができる。

20

【0038】

以上のように、工程数を増やすことなく画素電極の光透過領域における段差をなくすることができる。これにより、画素電極の段差や凹凸により配向膜のラビング処理が十分にできないということもなくなるため、液晶の配向乱れによる光もれの現象を抑制することができる。さらに、導電層19を形成することにより、導電層を形成していない従来構造と比較して、開口率を下げることなく約2倍の容量を確保することができるため、本発明は有効である。

30

【0039】

なお、本発明は本実施例で示したTFTに限定されることなく適応することができる。

【実施例1】

【0040】

本実施例ではアクティブマトリクス基板の作製方法について図4～図6を用いて説明する。なお、本明細書において、駆動回路、画素部のスイッチング素子（画素TFT）および保持容量素子とが同一基板上に形成された基板を、便宜上アクティブマトリクス基板と呼ぶ。

40

【0041】

コーニング社の7059ガラスや1737ガラスなどに代表されるバリウムホウケイ酸ガラス、アルミノホウケイ酸ガラスなどのガラスからなる基板、または、石英基板や単結晶シリコン基板、金属基板またはステンレス基板の表面に絶縁膜を形成したものを基板として用いればよい。また、本実施例の処理温度に耐えうる耐熱性が有するプラスチック基板を用いてもよい。なお、本実施例では石英ガラス基板を用いる。

【0042】

50

次いで、石英基板 100 上に下部遮光膜 101 を形成する。本実施例の処理温度に耐え得る Ta、W、Cr、Mo 等の導電性材料およびその積層構造により 300 nm 程度の膜厚で下部遮光膜 101 を形成する。なお、下部遮光膜 101 はゲート配線としての機能も有するため、以下ではゲート線とも称する。本実施例では膜厚 75 nm の結晶質珪素膜を形成し、続いて膜厚 150 nm の WSi_x ($x = 2.0 \sim 2.8$) を成膜した後、不要な部分をエッチングして下部遮光膜 (ゲート線) 101 を形成する。なお、下部遮光膜 101 は、単層構造でも、上記したような導電性材料から 2 層以上に積層させた構造を用いても良い。また、基板からの汚染物質の拡散を防ぐために、下地遮光膜 101 を形成する前に、絶縁膜を形成してもよい。

【0043】

そして基板 100 および下部遮光膜 (ゲート線) 101 上に酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜または LPCVD 法を用いて 800 程度の高温で成膜される酸化シリコン膜などの絶縁膜から成る膜厚 10 ~ 650 nm (好ましくは 50 ~ 600 nm) の下地絶縁膜 102 を形成する。本実施例では下地絶縁膜 102 として単層構造を用いるが、汚染防止のために絶縁膜を 2 層以上積層させた構造を用いても良い。プラズマ CVD 法を用い、 SiH_4 、 NH_3 、及び N_2O を反応ガスとして成膜される酸化窒化シリコン膜 (組成比 $Si = 32\%$ 、 $O = 27\%$ 、 $N = 24\%$ 、 $H = 17\%$) を 400 にて膜厚 580 nm に形成してもよい。

【0044】

次いで、下地絶縁膜 102 上に非晶質半導体膜 103 を形成する (図 4 (A))。非晶質半導体膜 103 は、非晶質構造を有する半導体膜を公知の手段 (スパッタ法、LPCVD 法、またはプラズマ CVD 法等) により、25 ~ 80 nm (好ましくは 30 ~ 60 nm) の厚さで形成する。半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム ($SiGe$) 合金などで形成すると良い。

【0045】

そして、ニッケルなどの触媒を用いた熱結晶化法を行って、半導体膜を結晶化する。また、ニッケルなどの触媒元素を用いた熱結晶化法他に、公知の結晶化処理 (レーザ結晶化法、熱結晶化法等) を組み合わせて行ってもよい。本実施例では、酢酸ニッケル溶液 (重量換算濃度 10 ppm、体積 5 ml) をスピンコートにより膜上全面に塗布して触媒元素含有層を形成し、温度 600 の窒素雰囲気中に 12 時間さらして加熱処理を行う。

【0046】

また、触媒元素を添加する熱結晶化法にレーザ結晶化法を併せて結晶化を行ってもよい。レーザ結晶化法も適用する場合には、パルス発振型または連続発振型の気体レーザまたは固体レーザを用いればよい。気体レーザとしては、エキシマレーザ、Ar レーザ、Kr レーザ等があり、固体レーザとしては、YAG レーザ、 YVO_4 レーザ、YLF レーザ、 $YAlO_3$ レーザ、ガラスレーザ、ルビーレーザ、アレキサンドライドレーザ、Ti:サファイアレーザなどが挙げられる。これらのレーザを用いる場合には、レーザ発振器から放射されたレーザ光を光学系で線状、矩形状もしくは楕円形状に集光し半導体膜に照射すればよい。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザを用いる場合はパルス発振周波数 300 Hz とし、レーザーエネルギー密度を 100 ~ 800 mJ/cm² (代表的には 200 ~ 700 mJ/cm²) とする。また、YAG レーザを用いる場合にはその第 2 高調波を用いパルス発振周波数 1 ~ 300 Hz とし、レーザーエネルギー密度を 300 ~ 1000 mJ/cm² (代表的には 350 ~ 800 mJ/cm²) とすると良い。そして幅 100 ~ 1000 μm、例えば 400 μm で線状に集光したレーザ光を基板全面に渡って照射すればよい。また、 YVO_4 レーザを用いる場合、出力 10 W の連続発振の YVO_4 レーザから射出されたレーザ光を非線形光学素子により高調波に変換して、共振器の中に YVO_4 結晶と非線形光学素子を入れて、高調波を射出してもよい。このとき光学系により矩形状または楕円形状にして照射すればよく、エネルギー密度は、0.01 ~ 100 MW/cm² 程度 (好ましくは、0.1 ~ 10 MW/cm²) が必要である。そして、0.5 ~ 2000 cm/s 程度の速度でレーザ光に対して相対的に半導体膜を移動させて照射すればよい。

10

20

30

40

50

【0047】

半導体膜の結晶化工程に触媒元素を用いた場合は、続いて、活性領域となる半導体層から、結晶化を助長するために用いた触媒元素を移動させてその濃度を低減させるためのゲッタリング処理を行う。ゲッタリングについては特開平10-270363号公報に開示している方法や、結晶質半導体膜上にオゾン水で処理することによりケミカルオキサイド膜を形成し、該ケミカルオキサイド膜上に希ガス元素を含むゲッタリングサイトを形成して加熱処理をすることにより触媒元素をゲッタリングサイトに移動させる方法のいずれかを適用すればよい。本実施例では、マスクとして、膜厚50nmの酸化珪素膜を形成し、パターンングを行って、所望の形状のマスク104a~104cを得る。そして、半導体膜に選択的に15族に属する元素(代表的にはP(リン))を導入して不純物領域105a~105dを形成する。なお、不純物元素の導入の方法は、プラズマドーピング法、イオン注入法、イオンシャワードーピング法から選ばれた一種または複数種の方法により導入すればよい。そして、第1の加熱処理を行うことで、活性領域となる半導体層から不純物領域105a~105dへ触媒元素を移動させ、半導体特性に影響しない程度にまで低減することができる。このようにして作製した活性領域を有するTFTはオフ電流値が下がり、結晶性が良いことから高い電界効果移動度が得られ、良好な特性を達成することができる(図4(B))。

10

【0048】

そして、結晶質半導体膜にエッチングを行って、半導体層を形成する。ここで、絶縁膜を形成して半導体膜の結晶性を向上させるために加熱処理を行って、半導体層の上部を熱酸化させるのが望ましい。例えば、減圧CVD装置で20nmの酸化珪素膜を成膜した後、ファーネスアニール炉で加熱処理を行う。この処理により、半導体層の上部は酸化される。そして、酸化珪素膜および半導体層の酸化した部分をエッチングして除去し、結晶性の向上した半導体層106~108を得ることができる。

20

【0049】

また、半導体層106~108を形成した後、TFTのしきい値を制御するために微量な不純物元素(ボロンまたはリン)を導入してもよい。

【0050】

そして、レジストからなるマスク109a~109cを形成し、第2の不純物元素の導入を行って、半導体層にn型を付与する不純物元素を導入する。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いる。このとき、マスク109a~109cが形成されているため、半導体層の選択された領域に不純物が添加されて、高濃度不純物領域110~112が形成される。高濃度不純物領域110~112には $1 \times 10^{18} \sim 1 \times 10^{20} / \text{cm}^3$ の濃度範囲でn型を付与する不純物元素(以下、n型不純物元素という)が添加される(図4(C))。

30

【0051】

次いで、半導体層106~108を覆ってゲート絶縁膜113を形成する。ゲート絶縁膜113はプラズマCVD法またはスパッタ法を用い、厚さを20~150nmとして珪素を含む絶縁膜で形成する。本実施例では、プラズマCVD法により35nmの厚さで酸化窒化珪素膜(組成比Si=32%、O=59%、N=7%、H=2%)で形成した。もちろん、ゲート絶縁膜は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を用いても良い。

40

【0052】

また、酸化珪素膜を用いる場合には、プラズマCVD法でTEOS(Tetraethyl Ortho Silicate)とO₂とを混合し、反応圧力40Pa、基板温度300~400とし、高周波(13.56MHz)電力密度0.5~0.8W/cm²で放電させて形成することができる。このようにして作製される酸化珪素膜は、その後400~500の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0053】

50

なお、ゲート絶縁膜 113 を形成してから、不純物元素の導入を行って、不純物領域を形成してもよい。

【0054】

そして、各 T F T を電氣的に接続するための配線を半導体層に接続するコンタクトホールおよびゲート電極とゲート線 101 とを接続するコンタクトホールを形成した後、膜厚 100 ~ 500 nm の耐熱性を有する導電膜を形成する。本実施例では、W のターゲットを用いたスパッタ法で膜厚 400 nm の W 膜を形成する。その他に 6 フッ化タンゲステン (W F₆) を用いる熱 C V D 法で形成することもできる。

【0055】

なお、導電膜は特に W に限定されるわけではなく、T a、W、T i、M o、C u、C r、N d から選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素を導入した結晶質珪素膜に代表される半導体膜を用いてもよい。また、A g P d C u 合金を用いてもよい。また、本実施例では単層構造としたが、導電膜を 2 層以上積層して形成してもよい。また、A l 等の耐熱性の低い導電膜を耐熱性の高い導電膜で挟んだ 3 層構造としてもよい。

10

【0056】

次に、フォトリソグラフィ法を用いてレジストからなるマスク (図示せず) を形成し、電極及び配線を形成するためのエッチング処理を行う。本実施例ではエッチング条件として、I C P (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用い、エッチング用ガスに C F₄ と C l₂ と O₂ とを用い、それぞれのガス流量比を 25 : 25 : 10 (sccm) とし、1 P a の圧力でコイル型の電極に 500 W の R F (13.56MHz) 電力を投入してプラズマを生成してエッチングを行った。基板側 (試料ステージ) にも 150 W の R F (13.56MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。こうしてゲート電極 114 ~ 116、配線 117 ~ 121 を形成する (図 5 (A))。

20

【0057】

次いで、電極 114 ~ 116 および配線 117 ~ 121 を覆う第 1 の層間絶縁膜 122 を形成する。この第 1 の層間絶縁膜 122 としては、プラズマ C V D 法またはスパッタ法を用い、厚さを 100 ~ 200 nm として珪素を含む絶縁膜で形成する。本実施例では、プラズマ C V D 法により膜厚 150 nm の酸化窒化珪素膜を形成する。もちろん、第 1 の層間絶縁膜 122 は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

30

【0058】

なお、必要に応じて、マスクを用いて半導体層に低濃度に不純物元素を含む半導体領域を形成してもよい。例えば、レジストからなるマスクで半導体層の選択された領域を露出し、ドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14} / \text{cm}^2$ とし、加速電圧を 5 ~ 80 k e V とし、n 型を付与する不純物元素として 15 族に属する元素、典型的にはリン (P) または砒素 (A s) を添加する。これにより、半導体層の選択的領域に低濃度不純物領域を形成することができる。低濃度不純物領域には $1 \times 10^{18} \sim 1 \times 10^{20} / \text{cm}^3$ の濃度範囲で n 型を付与する不純物元素を添加する。

【0059】

次いで、加熱処理を行って、半導体層の結晶性の回復、それぞれの半導体層に添加された不純物元素の活性化を行う。この加熱処理は炉を用いる熱アニール法で行う。熱アニール法としては、酸素濃度が 1 p p m 以下、好ましくは 0 . 1 p p m 以下の窒素雰囲気中で 400 ~ 1000 で行えばよく、本実施例では 950、4 時間の加熱処理で活性化処理を行った。なお、熱アニール法の他に、Y A G レーザ等を用いたレーザアニール法、またはラピッドサーマルアニール法 (R T A 法) を適用することができる。なお、この加熱処理は、第 1 の層間絶縁膜を形成する前に加熱処理を行っても良い。ただし、用いた配線材料が熱に弱い場合には、本実施例のように配線等を保護するため第 1 の層間絶縁膜を形成した後で加熱処理を行うことが好ましい。

40

【0060】

50

さらに、加熱処理（300～550 で1～12時間の加熱処理）を行って、水素化処理を行う。この工程は第1の層間絶縁膜122に含まれる水素により半導体層のダングリングボンドを終端する工程である。もちろん、第1の層間絶縁膜の存在に関係なく半導体層を水素化することもできる。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）や、3～100%の水素を含む雰囲気中で300～450で1～12時間の加熱処理を行っても良い。

【0061】

次いで、第1の層間絶縁膜122上に無機絶縁膜材料または有機絶縁物材料から成る第2の層間絶縁膜123を形成する。前記第2の層間絶縁膜123は表面が平坦化する膜を用いるのが望ましい。また、表面の平坦性を向上させる公知の技術、例えばCMP（ケミカルメカニカルポリッシング）と呼ばれる研磨工程を用いてもよい。第2の層間絶縁膜123として膜厚1μmのアクリル樹脂膜を形成し、エッチングを行って、ゲート電極、ソース配線およびドレイン配線上に形成されている前記第1の層間絶縁膜の一部を露呈させ、前記第1の層間絶縁膜および前記第2の層間絶縁膜とにより表面を平坦化してもよい。なお、本実施例では、第1の層間絶縁膜および第2の層間絶縁膜を形成しているが、もちろん、単層構造としてもよい。この場合においても、表面が平坦化する膜を用いるのが望ましい。

10

【0062】

なお、ドレイン配線121と後に形成する遮光膜との間でも保持容量素子として機能させたい場合は、CMP等を用いて層間絶縁膜の膜厚を薄くし、遮光膜とドレイン配線との距離を縮めればよい。

20

【0063】

そして、第2の層間絶縁膜123上にAl、Ti、W、Crから選ばれた元素または前記元素を主成分とする合金材料を所望の形状にパターンニングして上部遮光膜124を形成する。この上部遮光膜124は画素の開口部以外を遮光するように網目状に配置する。また、駆動回路にも遮光膜125を形成した。

【0064】

続いて、上部遮光膜上に窒化酸化シリコン膜または酸化窒化シリコン膜からなる絶縁膜（以下、容量絶縁膜という）を膜厚50～100nm程度に形成する。容量絶縁膜は、窒素の割合が高いと誘電率が高くなるが同時にリーク電流も大きくなってしまいうため、窒素と酸素と含有比率を1：8～2：1程度とすることで、膜厚50～100nmの容量絶縁膜を形成する。

30

【0065】

続いて、容量絶縁膜上に導電層を膜厚100～150nm程度で形成する。導電層は、Al、Ti、Wから選ばれた元素、前記元素を主成分とする合金材料またはITOを用いて形成すればよい。この後、公知の方法を用いて所定の形状にエッチングして、上部遮光膜124、125、容量絶縁膜126、127および導電層128、129を形成すればよい。

（図5（B））。

【0066】

続いて、酸化シリコン膜、ポリイミドまたはアクリルなどの絶縁膜を用いて、光が透過する領域の画素電極が平坦化するよう膜（以下、平坦化膜という）130を形成する。そして、平坦化膜に画素電極と導電層とを接続させるための開孔部を形成し、さらに、画素電極とドレイン電極とを接続させるためのコンタクトホールを平坦化膜130および層間絶縁膜122、123に形成する。続いて、画素電極131を形成する。画素電極131は、透明導電膜（ITO）を用いて100nm厚で形成すればよい。これにより画素電極131と導電層128とは同じ電位となる。また、画素電極形成工程において、駆動回路における取り出し電極132を形成する。

40

【0067】

以上のようにして、上部遮光膜124、容量絶縁膜126および導電層128（画素電

50

極 1 3 1 と同電位) からなる保持容量素子が形成される (図 6) 。

【 0 0 6 8 】

本発明のように、容量絶縁膜 1 2 6 上に導電層 1 2 6 を形成することにより、保持容量素子として電荷の蓄積が可能な領域の面積を従来の約 2 倍にすることができる。

【 0 0 6 9 】

続いて、導電層 1 2 6 を画素電極 1 3 1 をマスクにしてエッチングして、隣接した画素との連続を断ち、画素毎に独立させる。

【 0 0 7 0 】

以上の様にして、nチャネル型 T F T 2 0 1、2 0 2 の N M O S 回路からなる駆動回路 2 0 4 と、画素 T F T 2 0 3 を有する画素部 2 0 5 が同一基板上に形成されたアクティブマトリクス基板が完成する。

10

【 0 0 7 1 】

なお、画素部には、画素 T F T 2 0 3 を遮光するための上部遮光膜 1 2 4、容量絶縁膜 1 2 6、導電層 1 2 8 (画素電極 1 3 1 と同電位) からなる保持容量 2 0 6 が形成されている。

【 0 0 7 2 】

このようにして形成されたアクティブマトリクス基板はゲート電極、ソース配線およびドレイン配線が同一工程で形成されているため、従来よりも工程数を削減することを可能としている。そのため、歩留まりが向上し、コストの低減も実現できる。また、上部遮光膜と半導体膜との物理的な距離が短縮されるため、光漏れや光の回折などによるリーク電流の発生を防ぐことが可能となる。さらに、ソース配線が直接半導体膜と接続することでコンタクトホール数を最小限に留め、液晶表示装置を作製したときの開口率を向上させることが可能となる。

20

【 実施例 2 】

【 0 0 7 3 】

本実施例では、実施例 1 と異なる構造の半導体装置を作製する工程について、図 7 を用いて説明する。

【 0 0 7 4 】

実施例 1 にしたがって、平坦化膜 1 3 0 上に導電層 1 2 8 と電気的に接続する画素電極 1 3 1 を形成する。続いて、図 7 に示すように第 2 の層間絶縁膜 1 2 3 上に形成された遮光膜 1 2 4、容量絶縁膜 1 2 6、導電層 1 2 8 および画素電極 1 3 1 により発生する隣接する画素と画素との間に形成される大きな段差 (5 0 n m 以上) をアクリル、ポリイミド等からなる絶縁膜 4 0 1 により平坦化する。

30

次いで、配向膜 4 0 2 を形成するが、絶縁膜 4 0 1 で、隣接する画素と画素との間の段差を埋めて平坦化しているため、配向膜 4 0 2 表面に、凹凸が生じにくい。この後、ラビング処理を行い、シール材 (封止材) を用いて T F T が形成された基板と対向基板とを貼り合わせる。そして、その間に液晶を保持させてアクティブマトリクス型液晶表示装置を作製する。なお、このセル組み工程は公知の手段を用いれば良いので詳細な説明は省略する。

【 0 0 7 5 】

40

以上のように凹部に絶縁膜を形成することで、基板上に種々の材料を積層して形成されアクティブマトリクス基板表面の凹凸の差を小さくすることができる。

これにより、配向膜を形成した後に行われるラビング処理の際に、ラビングムラを最小限に抑えることができ、液晶の配向不良を発生しにくくすることができる。

【 実施例 3 】

【 0 0 7 6 】

本実施例では、実施例 1 と異なる構造の半導体装置を作製する工程について、図 8 を用いて説明する。

【 0 0 7 7 】

実施例 1 にしたがって、遮光膜 3 0 1、容量絶縁膜 3 0 2、導電層 3 0 3 を形成する。

50

その後、導電層 303 が図 8 (A) の矢印で示すように、遮光膜 301 および容量絶縁膜 302 より若干内側に入るようにエッチングする。マスクを用いたエッチング、もしくはオーバーエッチングすればよい。これにより、遮光膜 301 と導電層 303 が接してリーク電流が発生してしまうことを防ぐことができる。

【0078】

またさらに、図 8 (B) に示すように遮光膜 311、容量絶縁膜 312、導電層 313 の順に段が付くようにオーバーエッチングする、またはマスクを用いてエッチングすることにより、積層をなだらかにすることができ、平坦化膜 314 を形成した後に形成する画素電極 315 の段差や凹凸をさらに低減することができる。なお、315a は、隣接する画素の画素電極である。

10

【0079】

以上のようにすることで、十分な保持容量を有し、良好な表示が行える液晶表示装置を実現することができる。

【実施例 4】

【0080】

本発明で開示する遮光膜、容量絶縁膜および画素電極と同電位になるように形成された導電層からなる保持容量素子は、実施例 1 で示したような TFT 以外を遮光する遮光膜上に形成しても構わない。本実施例では、図 9、10 を用いて、一例を示す。

【0081】

基板 50 上に、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜等の絶縁膜を形成し (図示せず)、ゲート電極を形成するために導電膜を形成し、所望の形状にパターニングしてゲート電極 51a ~ 51c を得る。導電膜には、Ta、Ti、W、Mo、Cr または Al から選ばれた元素またはいずれかの元素を主成分とする導電膜を用いればよい。基板には、バリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスからなる基板、石英基板、単結晶シリコン基板、金属基板、ステンレス基板の表面に絶縁膜を形成したもの、また、本実施例の処理温度に耐えうる耐熱性が有するプラスチック基板のいずれかを用いればよい。

20

【0082】

次いで、ゲート絶縁膜 52a、52b を形成する。ゲート絶縁膜は、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜の単層、もしくはいずれかの膜の積層構造にしてもよい。

30

【0083】

次いで、非晶質半導体膜としてアモルファスシリコン膜 53 を熱 CVD 法、プラズマ CVD 法、減圧 CVD 法、蒸着法またはスパッタリング法により 10 ~ 1150 nm 厚に形成する。なお、ゲート絶縁膜 52 とアモルファスシリコン膜 53 とは、同じ成膜法で形成することが可能であるため、両者を連続形成してもよい。連続形成することで、一旦大気に曝すことがなくなり、表面の汚染を防ぐことができ、作製する TFT の特性バラツキやしきい値電圧の変動を低減することができる (図 9 (A))。

【0084】

次いで、アモルファスシリコン膜 53 を結晶化するために結晶化を促進する触媒元素を塗布 (触媒元素含有層 54 を形成) する。この後、加熱処理を行い、結晶質シリコン膜を形成する (図 9 (B))。

40

【0085】

なお、半導体膜の結晶化は、触媒元素を用いた加熱処理以外にも、連続発振またはパルス発振の気体レーザもしくは固体レーザを用いた結晶化方法を用いてもよい。そのような気体レーザとしては、エキシマレーザ、Ar レーザ、Kr レーザなどがあり、固体レーザとしては、YAG レーザ、YVO₄ レーザ、YLF レーザ、YAlO₃ レーザ、ガラスレーザ、ルビーレーザ、アレキサンドライドレーザ、Ti : サファイアレーザなどが挙げられる。非晶質半導体膜の結晶化に際して、大粒径の結晶を得るためには、連続発振が可能な固体レーザを用いて、基本波の第 2 高調波 ~ 第 4 高調波を適応するのが好ましい。代表的

50

には、Nd : YVO₄レーザ（基本波1064nm）の第2高調波（波長532nm）や第3高調波（波長355nm）を用いればよい。

【0086】

結晶化工程が終わったら、後の不純物添加工程において結晶質シリコン膜（チャネル形成領域）を保護する絶縁膜55を100～400nm厚で形成する。この絶縁膜は、不純物元素を添加する時に結晶質シリコン膜が直接プラズマに曝されないようにするためと、さらに、微妙な濃度制御を可能にするために形成される。

【0087】

次いで、レジストからなるマスクを用いて、後のnチャネル型TFTの活性層となる結晶質シリコン膜にn型を付与する不純物元素を添加して高濃度にn型不純物元素を含んだ領域（後のソース領域またはドレイン領域）56、57を形成する。続いて、後のpチャネル型TFTの活性層となる結晶質シリコン膜にp型不純物元素を添加して、p型不純物元素を高濃度に含んだ領域（後のソース領域またはドレイン領域）58を形成する。なお、nチャネル型TFTおよびpチャネル型TFTにおいて、不純物元素を低濃度に含む領域（LDD領域）を形成してもよい（図9（C））。

10

【0088】

次いで、結晶質シリコン膜に添加された不純物元素を活性化する工程を行う。活性化と同時に、結晶化工程でシリコン膜に塗布した触媒元素の捕獲（ゲッタリング）も行う。加熱処理条件として、酸素濃度が5ppmの雰囲気、450～950℃で処理を行えばよい。

20

【0089】

次いで、結晶質シリコン膜上の絶縁膜を除去し、結晶質シリコン膜を所望の形状にパターニングしてエッチングし、半導体層59～61を得る。続いて、層間絶縁膜62を形成する。層間絶縁膜62は、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜等の絶縁膜から500～1500nm厚で形成する（図9（D））。

【0090】

その後、それぞれのTFTのソース領域またはドレイン領域に達するコンタクトホールを形成して、各TFTを電氣的に接続するための配線63～67を形成する。続いて、配線63～67を覆う層間絶縁膜68を形成する（図10（A））。

30

【0091】

次いで、TFTに光が照射されないように遮光するための遮光膜69を形成する。なお、遮光膜69は、Al、Ti、W、Crから選ばれた元素、前記元素を主成分とする合金材料、または黒色樹脂等の高い遮光性を持つ膜を100～200nm程度の膜厚で成膜すればよい。

【0092】

その後、遮光膜69上に容量絶縁膜70を形成する。容量絶縁膜70としては、酸化窒化シリコン膜、窒化酸化シリコン膜のいずれかを用いればよく、その膜厚は、50～100nmとすればよい。

【0093】

続いて、容量絶縁膜70上に導電層71を形成する。導電層71は、Al、Ti、Wから選ばれた元素、または前記元素を主成分とする合金材料を用いればよい。また、透明導電性膜（例えば、ITO）を用いてもよい。

40

【0094】

次いで、画素電極の光が透過する領域を平坦化するための膜（平坦化膜）72を絶縁膜を用いて形成する。平坦化膜72は、酸化シリコン膜を膜厚100～200nm程度に形成して、CMP（Chemical Mechanical Polishing: 化学的機械研磨）を用いて平坦化する。またその他、ポリイミド、アクリルといった熱硬化する樹脂を用いて平坦化してもよい。平坦化膜72形成後、導電層71と画素電極とを接続させるためのコンタクトホールを平坦化膜72に、画素電極とドレイン電極となる配線67とを電氣的に接続するためのコン

50

タクトホールを平坦化膜 72 と層間絶縁膜 68 とに形成し、画素電極 73 を形成する。なお、画素電極 73 形成後、導電層 71 をパターンニングしてエッチングし、隣接する画素に形成された導電層 71 との連続性を断つ (図 10 (B))。

【0095】

このようにして、遮光膜 69、容量絶縁膜 70 および画素電極 73 と同電位となる導電層 71 とからなる保持容量素子が形成される。導電層 71 を形成することにより、遮光膜 69 と画素電極 73 とが重なる領域を無駄なく保持容量素子として機能させることができる。

【0096】

また、本発明のように平坦化膜 72 を形成することにより、画素電極 73 の段差が遮光膜 69 上に形成されるため、画素電極 73 の段差や凹凸が原因となる配向乱れや光もれを防ぐことができる。

10

【0097】

以上のように、本発明は T F T の形状に依存することなく適応させることができる。

【実施例 5】

【0098】

本実施例では、薄膜トランジスタおよび保持容量素子を有する実施例 1 に示した構造の半導体装置において、薄膜トランジスタのチャネル形成領域、ソース領域およびドレイン領域を含む半導体層を高温で加熱処理して得られた半導体 (代表的にはシリコン) 膜 (以下、高温ポリシリコン膜という) を用いて作製する例について説明する。

20

【0099】

耐熱性の高い石英基板基板上に実施例 1 にしたがって、ゲート線としても機能する下部遮光膜および下地絶縁膜を形成する。続いて、下地絶縁膜上に L P C V D 法、P C V D 法またはスパッタ法など公知の方法を用いて非晶質半導体膜を形成する。

【0100】

次いで、炉を用いて 600 で 24 時間の加熱処理を行い、結晶質半導体膜を形成する。なお、この結晶化処理において半導体膜表面に酸化シリコン膜が形成されるが、エッチング等で除去できなく薄い膜であるため問題はない。

【0101】

次いで、結晶質半導体膜の表面に形成された酸化膜を除去した後、ゲート絶縁膜を形成するための加熱処理を行う。結晶質半導体膜を 900 ~ 1050 にて加熱処理し、結晶質半導体膜の表面に酸化膜を形成する。この酸化シリコン膜をゲート絶縁膜に用いる。最終的に結晶質半導体膜の膜厚が 30 ~ 50 nm になるように結晶質半導体膜を加熱処理することによりその表面に酸化シリコン膜を形成すればよい。

30

【0102】

このようにして高温加熱処理により得られた結晶質半導体膜は、結晶性が高く、さらに高い電界効果移動度が得られる半導体膜をチャネル形成領域、ソース領域およびドレイン領域を含む半導体層に用いることにより、優れた特性をもつ T F T を実現でき、さらにこの T F T を回路に用いることで高い信頼性を有する半導体装置を実現することができる。本実施例は、実施例 1 ~ 4 と組み合わせて用いることが可能である。

40

【実施例 6】

【0103】

本実施例では、薄膜トランジスタおよび保持容量素子を有する実施例 1 に示した構造の半導体装置において、薄膜トランジスタのチャネル形成領域、ソース領域およびドレイン領域を含む半導体層を、レーザ光を照射することにより得られた結晶質半導体膜を用いて作製する例について説明する。

【0104】

基板上に実施例 1 にしたがって、ゲート線としても機能する下部遮光膜および下地絶縁膜を形成する。続いて、下地絶縁膜上に L P C V D 法、P C V D 法またはスパッタ法など公知の方法で非晶質半導体膜を形成する。なお、基板はコーニング社の 7059 ガラスや

50

1737 ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスからなる基板を用いる。

また、石英基板や単結晶シリコン基板、金属基板またはステンレス基板の表面に絶縁膜を形成したものをを用いても良い。また、高い耐熱性を有するプラスチック基板を用いてもよい。

【0105】

続いて、非晶質半導体膜にレーザ光を照射する。使用するレーザとしては、連続発振またはパルス発振の気体レーザもしくは固体レーザを用いる。気体レーザとして、エキシマレーザ、Arレーザ、Krレーザなどがあり、固体レーザとして、YAGレーザ、YVO₄レーザ、YLFレーザ、YAlO₃レーザ、ガラスレーザ、ルビーレーザ、アレキサンドライドレーザ、Ti：サファイアレーザなどが挙げられる。

10

【0106】

なお、固体レーザとしては、Cr、Nd、Er、Ho、Ce、Co、Ti又はTmがドーピングされたYAG、YVO₄、YLF、YAlO₃などの結晶を使ったレーザが適用される。当該レーザの基本波はドーピングする材料によって異なり、1μm前後の基本波を有するレーザ光が得られる。基本波に対する高調波は、非線形光学素子を用いることで得ることができる。

【0107】

非晶質半導体膜の結晶化に際し、大粒径に結晶を得るためには、連続発振が可能な固体レーザを用い、基本波の第2高調波～第4高調波を適用するのが好ましい。代表的には、Nd：YVO₄レーザー（基本波1064nm）の第2高調波（532nm）や第3高調波（355nm）を適用する。

20

【0108】

ここで、一例として、YVO₄レーザを用いて結晶化を行う方法について説明する。出力10Wの連続発振のYVO₄レーザから射出されたレーザ光を非線形光学素子により高調波に変換する。また、共振器の中にYVO₄結晶と非線形光学素子を入れて、高調波を射出するしてもよい。そして、好ましくは光学系により照射面に矩形または楕円形状のレーザ光に成形して、被処理体に照射する。このときのエネルギー密度は0.01～100MW/cm²程度（好ましくは0.1～10MW/cm²）が必要である。そして、0.5～2000cm/s程度の速度でレーザ光に対して相対的に半導体膜を移動させて照射する。

30

【0109】

このようにしてレーザ光を照射することにより得られた結晶質半導体膜は、結晶性が高く、さらに高い電界効果移動度が得られる半導体膜をチャンネル形成領域、ソース領域およびドレイン領域を含む半導体層に用いることにより、優れた特性をもつTFTを実現でき、さらにこのTFTを回路に用いることで高い信頼性を有する半導体装置を実現することができる。本実施例は、実施例1～4と組み合わせることで用いることが可能である。

【実施例7】

【0110】

本発明を用いて、アクティブマトリクス型液晶表示装置（液晶ディスプレイ）を表示部にんだ組み込んだ様々な電気器具を完成させることができる。

40

【0111】

その様な電気器具としては、プロジェクター（リア型またはフロント型）、ビデオカメラ、デジタルカメラ、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図11、図12及び図13に示す。

【0112】

図11(A)はフロント型プロジェクターであり、投射装置2601、スクリーン2602等を含む。

【0113】

50

図 1 1 (B) はリア型プロジェクターであり、本体 2 7 0 1、投射装置 2 7 0 2、ミラー 2 7 0 3、スクリーン 2 7 0 4 等を含む。

【 0 1 1 4 】

なお、図 1 1 (C) は、図 1 1 (A) 及び図 1 1 (B) 中における投射装置 2 6 0 1、2 7 0 2 の構造の一例を示した図である。投射装置 2 6 0 1、2 7 0 2 は、光源光学系 2 8 0 1、ミラー 2 8 0 2、2 8 0 4 ~ 2 8 0 6、ダイクロイックミラー 2 8 0 3、プリズム 2 8 0 7、液晶表示装置 2 8 0 8、位相差板 2 8 0 9、投射光学系 2 8 1 0 で構成される。投射光学系 2 8 1 0 は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図 1 1 (C) 中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、I R フィルム等の光学系を設けてもよい。

10

【 0 1 1 5 】

また、図 1 1 (D) は、図 1 1 (C) 中における光源光学系 2 8 0 1 の構造の一例を示した図である。本実施例では、光源光学系 2 8 0 1 は、リフレクター 2 8 1 1、光源 2 8 1 2、レンズアレイ 2 8 1 3、2 8 1 4、偏光変換素子 2 8 1 5、集光レンズ 2 8 1 6 で構成される。なお、図 1 1 (D) に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、I R フィルム等の光学系を設けてもよい。

【 0 1 1 6 】

本発明を用いれば、遮光膜により薄膜トランジスタに照射される光を遮光することができるため、プロジェクターに用いられる強力な光によっても光リーク電流の発生を抑えることができ、十分な保持容量を有する容量素子が形成されているため、信号を保持することができる。表示ムラが起らず、精細で良好な表示を行うことができる。またさらに、開口率を低下させずに十分な容量素子を形成できるため、輝度も十分で、光源の低消費電力化もはかることができる。

20

【 0 1 1 7 】

図 1 2 (A) はパーソナルコンピュータであり、本体 2 0 0 1、画像入力部 2 0 0 2、表示部 2 0 0 3、キーボード 2 0 0 4 等を含む。本発明の液晶表示装置を表示部 2 0 0 3 に適用して、パーソナルコンピュータを完成させることができる。また、図 1 2 (B) はモバイルコンピュータ(モビルコンピュータ)であり、本体 2 1 0 1、カメラ部 2 1 0 2、受像部 2 1 0 3、操作スイッチ 2 1 0 4、表示部 2 1 0 5 等を含む。本発明の液晶表示装置を表示部 2 1 0 5 に適用して、モバイルコンピュータを完成させることができる。図 1 2 (C) はプログラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレーヤーであり、本体 2 2 0 1、表示部 2 2 0 2、スピーカ部 2 2 0 3、記録媒体 2 2 0 4、操作スイッチ 2 2 0 5 等を含む。なお、このプレーヤーは記録媒体として DVD (Digital Versatile Disc)、CD 等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明の液晶表示装置を表示部 2 4 0 2 に適用して記録媒体を用いるプレーヤーを閉せさせることができる。

30

これらの電気器具は、本発明により、画素電極の光透過領域における段差や凹凸による液晶の配向不良を無くすことができ、さらに十分な保持容量を得られる容量素子を形成することができるため、リーク電流が生じても表示信号を保持することができ、表示ムラのない精細な表示を実現することができる。またさらに、容量素子を形成しても高い開口率を維持することができるため、高輝度化が可能で、表示のために用いる光源の消費電力を低減することができる。これは、電気器具全体としての低消費電力化につながる。

40

【 0 1 1 8 】

図 1 2 (D) はビデオカメラであり、本体 2 3 0 1、表示部 2 3 0 2、音声入力部 2 3 0 3、操作スイッチ 2 3 0 4、バッテリー 2 3 0 5、受像部 2 3 0 6 等を含む。本発明の液晶表示装置を表示部 2 3 0 2 に適用して、ビデオカメラを完成させることができる。図 1 2 (E) はデジタルカメラであり、本体 2 4 0 1、表示部 2 4 0 2、接眼部 2 4 0 3、操作スイッチ 2 4 0 4、受像部(図示しない)等を含む。本発明の液晶表示装置を表示部

50

2402に適用することができる。

図12(D)はゴーグル型ディスプレイであり、本体2501、表示部2502、アーム部2503等を含む。本発明の液晶表示装置を表示部2502に適用することができる。図13(A)は携帯電話であり、3001は表示用パネル、3002は操作パネルである。表示用パネル3001と操作パネル3002とは接続部3003において接続されている。接続部3003における、表示用パネル3001の表示部3004が設けられている面と操作パネル3002の操作キー3006が設けられている面との角度は、任意に変えることができる。

さらに、音声出力部3005、操作キー3006、電源スイッチ3007、音声入力部3008を有している。本発明の液晶表示装置を表示部3004に適用して携帯電話を完成させることができる。図13(B)は携帯書籍(電子書籍)であり、本体3101、表示部3102、3103、記憶媒体3104、操作スイッチ3105、アンテナ3106等を含む。本発明の液晶表示装置を表示部3102に適用して携帯書籍を完成させることができる。このように本発明により、液晶の配向不良を低減できるため、表示ムラのない精細な表示を実現できる。さらに、高い開口率を維持して容量素子を形成することができるため、高輝度化が可能で、表示のために用いる光源の消費電力を低減することができる。これは、電気器具全体としての低消費電力化が実現できるため、バッテリーの重量も小型なものを採用すればよくなるため、電気器具全体を軽量化することもできる。

10

【0119】

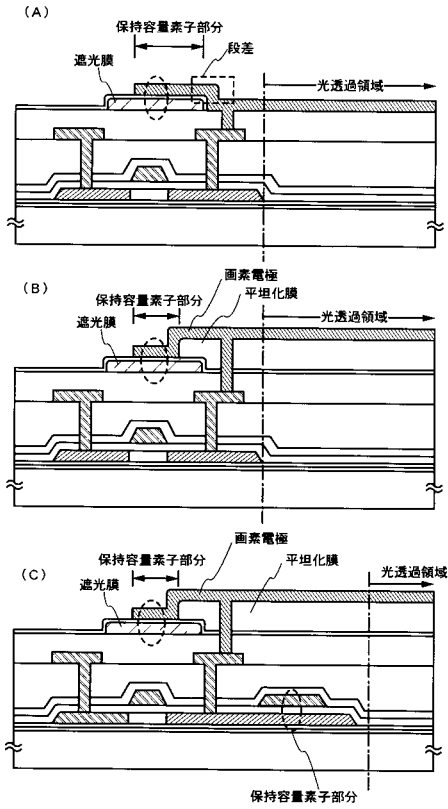
図13(C)はディスプレイであり、本体3201、支持台3202、表示部3203等を含む。本発明の液晶表示装置を表示部3203に適用してディスプレイを完成させることができる。本発明により、画素電極の光透過領域(表示に寄与する領域)を平坦化し、段差を遮光膜上にすることができるため、液晶の配向不良をなくし、表示ムラをなくすることができる。また、開口率を下げずに保持容量素子を形成することができるため、高輝度、高精細な表示を実現することができる。

20

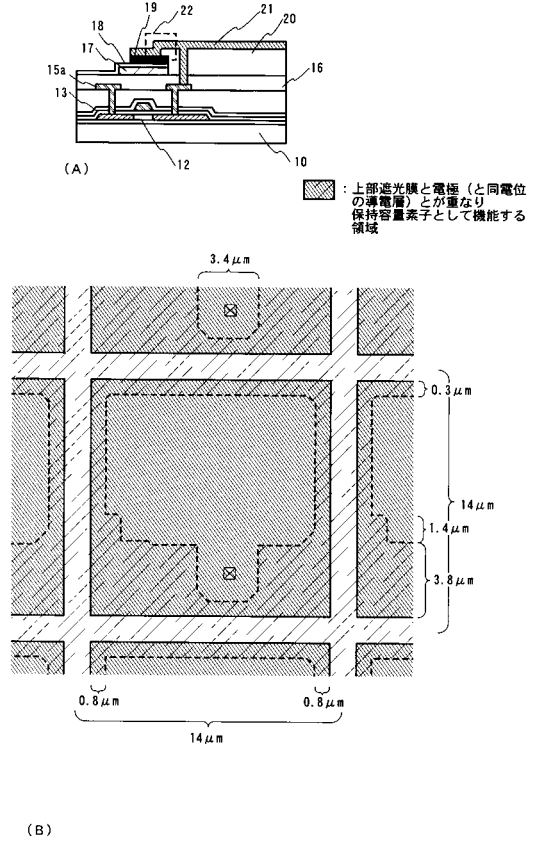
【0120】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電気器具を完成させるために本発明を適用することができる。また、本実施例の電気器具は実施例1~6を組み合わせ合わせて作製された液晶表示装置のいずれを用いても実現することができる。

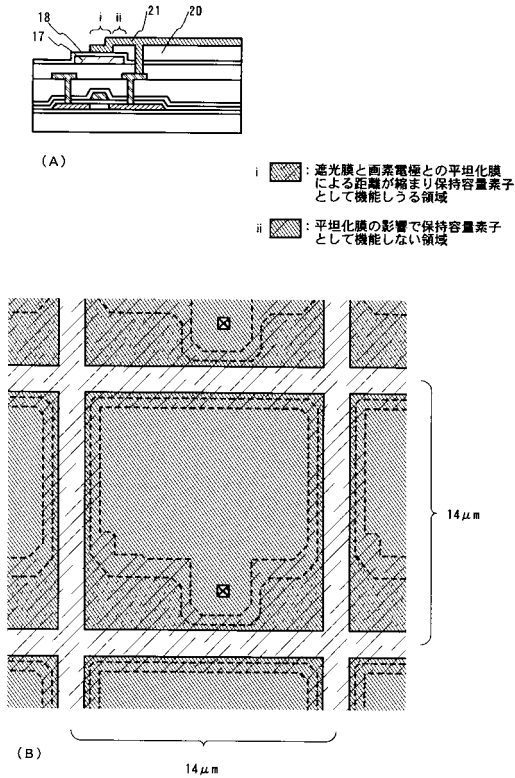
【図 1】



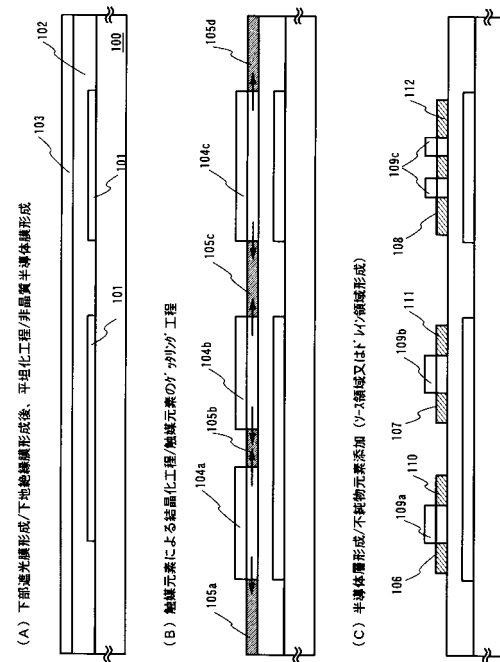
【図 2】



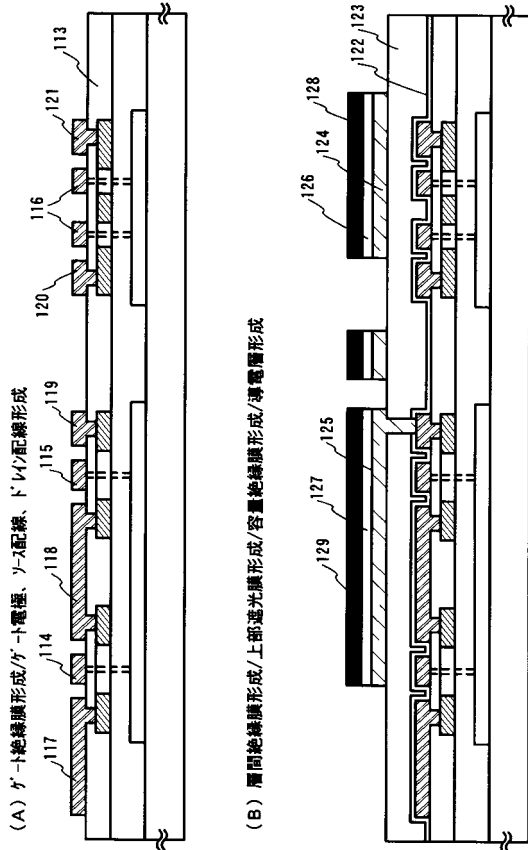
【図 3】



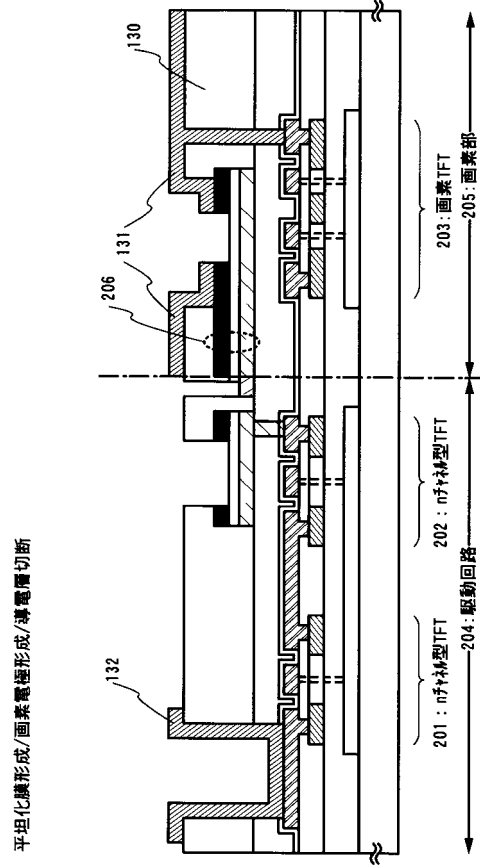
【図 4】



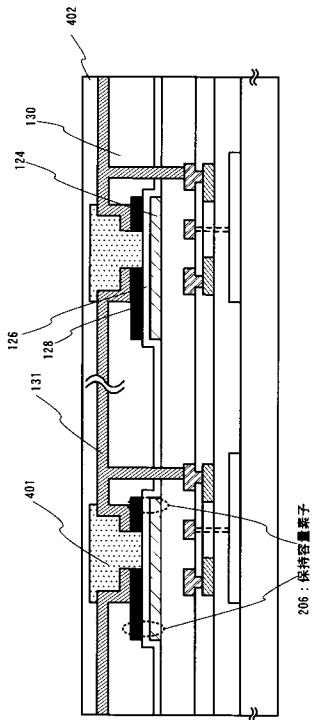
【図5】



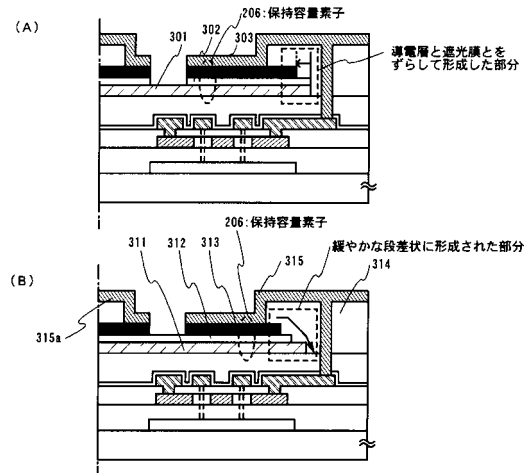
【図6】



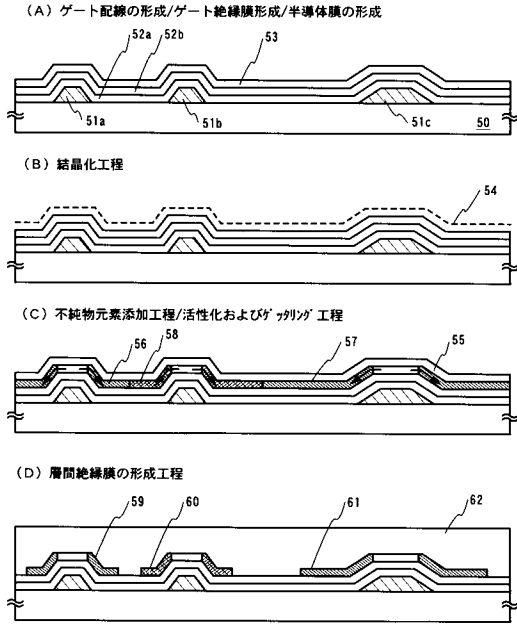
【図7】



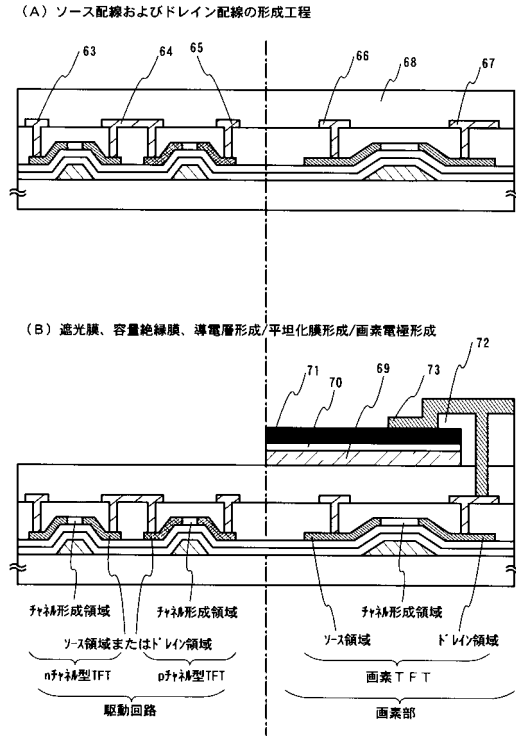
【図8】



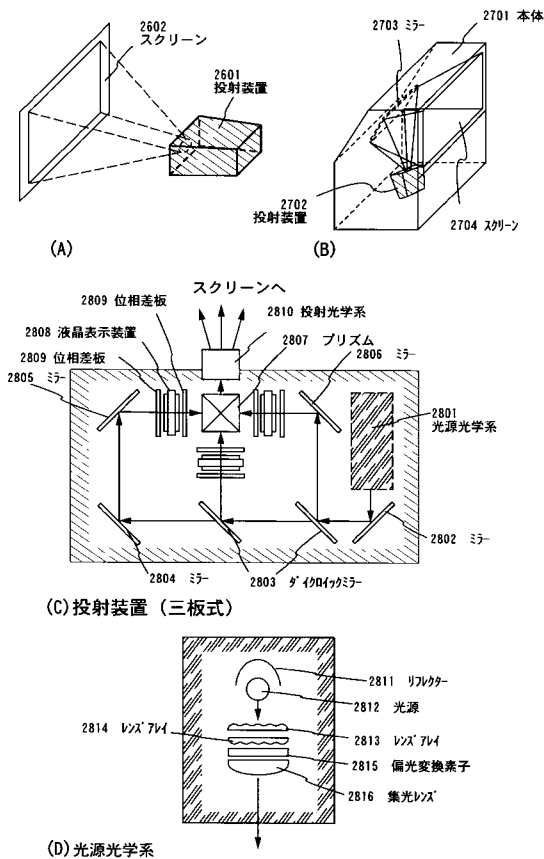
【図 9】



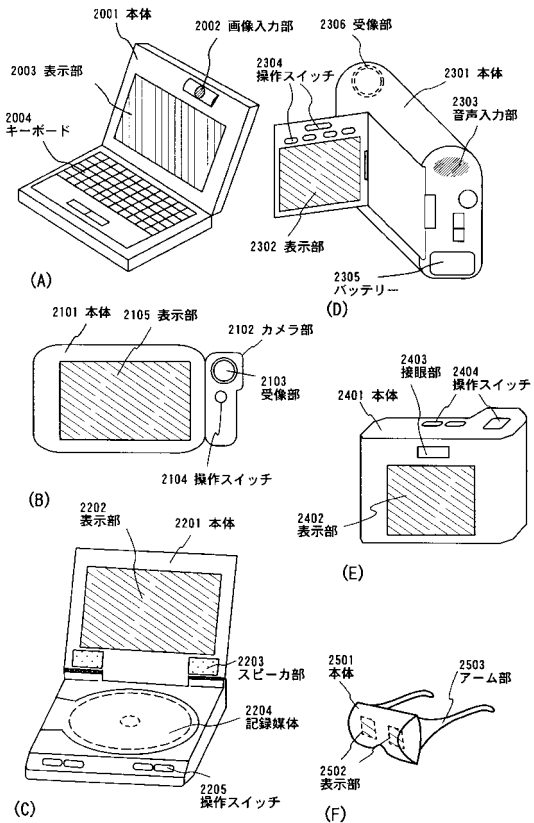
【図 10】



【図 11】



【図 12】



【 図 1 3 】

