



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년06월10일
(11) 등록번호 10-0961738
(24) 등록일자 2010년05월28일

(51) Int. Cl.

H01L 29/737 (2006.01)

(21) 출원번호 10-2007-7006268

(22) 출원일자(국제출원일자) 2005년09월20일

심사청구일자 2008년03월28일

(85) 번역문제출일자 2007년03월19일

(65) 공개번호 10-2007-0053280

(43) 공개일자 2007년05월23일

(86) 국제출원번호 PCT/US2005/033851

(87) 국제공개번호 WO 2006/034355

국제공개일자 2006년03월30일

(30) 우선권주장

10/711,479 2004년09월21일 미국(US)

(56) 선행기술조사문현

US06586818 B1*

US20050250289 A1

US19945319239 A1

*는 심사관에 의하여 인용된 문현

(73) 특허권자

인터넷내셔널 비지네스 머신즈 코포레이션

미국 10504 뉴욕주 아몬크 뉴오차드 로드

(72) 발명자

케이스 피터 제이

미국 베몬트주 05489 언더힐 포커 힐 로드 601

그레이 피터 비

미국 베몬트주 05452 애섹스 정션 잭슨 하이츠 17

(뒷면에 계속)

(74) 대리인

송승필, 신정건

전체 청구항 수 : 총 9 항

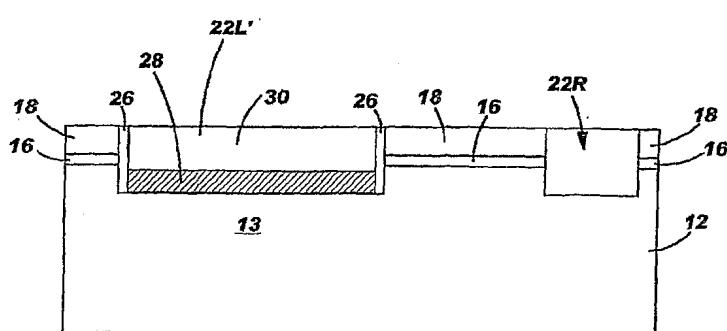
심사관 : 정두한

(54) BiCMOS 기술에서 콜렉터 형성 방법

(57) 요약

고속 BiCMOS 애플리케이션을 위한 헤테로바이폴라 트랜지스터(HBT)가 제공된다. 여기서, 디바이스의 서브콜렉터 상의 STI(Shallow Trench Isolation) 영역 아래에 매립된 내화 금속 규화물층을 제공함으로써 콜렉터 저항, R_c 가 저하된다. 구체적으로, 본 발명의 HBT는, 적어도 서브콜렉터(13)를 포함하는 기판(12); 상기 서브콜렉터 상에 위치한 매립된 내화 금속 규화물층(28); 및 상기 매립된 내화 금속 규화물층의 표면 상에 위치한 STI 영역(30)을 포함한다. 본 발명은 또한 이와 같은 HBT를 제조하는 방법을 제공한다. 이 방법은 디바이스의 서브콜렉터 상의 STI 영역 아래에 매립된 내화 금속 규화물층을 형성하는 단계는 포함한다.

대 표 도 - 도1f



(72) 발명자
조셉 알빈 제이
미국 버몬트주 05495 월리스턴 코요테 레인 109

류 쿠지
미국 버몬트주 05452 에섹스 정션 넘버 3 샌드힐
로드 124

특허청구의 범위

청구항 1

헤테로바이폴라 트랜지스터(HBT)에 있어서,
적어도 서브콜렉터(subcollector)를 포함하는 기판;
상기 서브콜렉터 상에 위치한 매립된 내화 금속 규화물층(buried refractory metal silicide layer); 및
상기 매립된 내화 금속 규화물층의 표면 상에 위치한 STI(shallow trench isolation) 영역을 포함하고,
상기 매립된 내화 금속 규화물층은, 상기 매립된 내화 금속 규화물층의 일부가 언더컷 영역에 존재하도록 상기 STI 영역의 가장자리를 지나 연장되는 것인, 헤테로바이폴라 트랜지스터.

청구항 2

제1항에 있어서, 상기 기판은, Si, SiGe, SiC, SiGeC, GaAs, InAs, InP, 실리콘-온-인슐레이터, 실리콘 게르마늄-온-인슐레이터, 및 기타의 III/V 또는 II/VI 화합물 반도체로 구성된 그룹중에서 선택된 반도체 기판을 포함하는 것인, 헤테로바이폴라 트랜지스터.

청구항 3

제1항에 있어서, 상기 서브콜렉터는 C로 도핑되는 것인, 헤테로바이폴라 트랜지스터.

청구항 4

제1항에 있어서, 상기 STI 영역 및 상기 매립된 내화 금속 규화물층은, 질화물 또는 산질화물 스페이서를 포함하는 개구에 위치하는 것인, 헤테로바이폴라 트랜지스터.

청구항 5

제1항에 있어서, 상기 내화 금속 규화물층은, Ti, Co, W, Ta, Ni, 또는 그 합금의 규화물을 포함하는 것인, 헤테로바이폴라 트랜지스터.

청구항 6

제1항에 있어서, 상기 STI 영역은 트렌치 유전체 재료를 포함하는 것인, 헤테로바이폴라 트랜지스터.

청구항 7

삭제

청구항 8

제1항에 있어서, 상기 서브콜렉터를 포함하는 상기 기판 상에 위치한 SiGe 베이스 및 polySi 에미터를 더 포함하는 헤테로바이폴라 트랜지스터.

청구항 9

헤테로바이폴라 트랜지스터(HBT)를 제조하는 방법에 있어서,

서브콜렉터를 포함하는 기판에서 제1 트렌치 유전체 재료를 포함하는 적어도 하나의 STI 영역을 형성하는 단계;
상기 적어도 하나의 STI 영역으로부터 상기 제1 트렌치 유전체 재료를 제거하여 상기 서브콜렉터를 포함하는 상기 기판의 일부를 노출시키는 개구를 형성하는 단계;
상기 기판의 상기 노출된 부분 상의 상기 개구의 일부에 내화 금속 규화물층을 형성하는 단계로서, 상기 내화 금속 규화물층은 상기 개구 위로 연장되지 않는 것인, 상기 내화 금속 규화물층을 형성하는 단계;
상기 개구의 상기 내화 금속 규화물층 상에 제2 트렌치 유전체를 형성하는 단계로서, 상기 제2 트렌치 유전체는 상기 개구 위로 연장되지 않는 것인, 상기 제2 트렌치 유전체를 형성하는 단계

를 포함하는, 헤테로바이폴라 트랜지스터를 제조하는 방법.

청구항 10

제9항에 있어서, 상기 적어도 하나의 STI는 리소그래피, 에칭 및 트렌치 채움에 의해 형성되는 것인, 헤�테로바이폴라 트랜지스터를 제조하는 방법.

명세서

기술 분야

[0001] 본 발명은 BiCMOS(Bipolar and Complementary Metal Oxide Semiconductor) 기술에 관한 것으로, 더 구체적으로는, 디바이스의 서브콜렉터(subcollector) 상의 STI(shallow trench isolation) 영역 아래에 매립된 내화 금속 규화물(buried refractory metal silicide layer)을 포함하는 바이폴라 트랜지스터에 관한 것이다. 본 발명의 바이폴라 트랜지스터는 감소된 콜렉터 저항, R_c 를 보인다. 따라서, 고속 응용에서의 사용에 적용가능하다. 본 발명은 또한 디바이스의 서브콜렉터 상의 STI 영역 아래에 매립된 내화 금속 규화물을 포함하는 본 발명의 바이폴라 트랜지스터를 제조하기 위한 방법에 관한 것이다.

배경기술

[0002] 바이폴라 트랜지스터들은 서로 근접한 2개의 p-n 접합을 갖는 전자 디바이스이다. 전형적인 바이폴라 트랜지스터는 3개 영역, 즉, 에미터, 콜렉터, 및 에미터와 콜렉터 사이에 배치된 베이스를 가진다. 이상적으로, 2개의 p-n 접합들, 즉 에미터-베이스, 및 콜렉터-베이스 접합은 특정한 거리만큼 분리된 반도체 재료로 된 단일층 내에 있다. 하나의 p-n 접합 내의 전류 흐름을 그 부근 접합의 바이어스를 변경함으로써 변조시키는 것은 "바이폴라-트랜지스터 동작"이라 불린다.

[0003] 만일 에미터 및 콜렉터가 n-타입 도핑되고 베이스가 p-타입 도핑되면, 그 디바이스는 "NPN" 트랜지스터이다. 대안으로서, 만일 이와 반대의 도핑 구성이 사용된다면, 그 디바이스는 "PNP" 트랜지스터라 불린다. NPN 트랜지스터의 베이스 영역의 소수 캐리어, 즉, 전자의 이동도는 PNP 트랜지스터의 베이스의 홀(hole)의 이동도보다 높기 때문에, 고주파 동작 및 고속 성능은 NPN 트랜지스터로 얻어질 수 있다. 따라서, NPN 트랜지스터는 집적 회로를 구축하기 위해 사용되는 다수의 바이폴라 트랜지스터를 포함한다.

[0004] 바이폴라 트랜지스터의 수직 크기가 더욱 스케일됨에 따라, 심각한 디바이스 동작상의 한계에 직면한다. 이를 한계들을 극복하기 위해 활동적으로 연구되고 있는 한 접근법은 베이스에서 사용되는 재료의 밴드갭보다 큰 밴드갭의 에미터 재료로 트랜지스터를 만드는 것이다. 이와 같은 구조들은 "이종접합(heterojunction" 트랜지스터라 불린다.

[0005] 이종접합을 포함하는 트랜지스터는 다수 캐리어 및 소수 캐리어 디바이스 양자 모두에 대해 사용된다. 다수 캐리어 디바이스들 중에서, 에미터가 Si로 형성되고 베이스가 SiGe로 형성된 이종접합 바이폴라 트랜지스터(HBT)가 최근 개발되었다. SiGe 합금(종종 간단히 실리콘-게르마늄이라 표현됨)은 실리콘보다 밴드갭이 좁다.

[0006] 진보된 실리콘-게르마늄 BiCMOS 기술은 이종접합 바이폴라 트랜지스터에서 SiGe 베이스를 사용한다. (수 Ghz 정도의) 고주파수 영역에서, GaAs 및 InP와 같은 종래의 화합물 반도체가 현재로서는 고속 유무선 통신 시장을 지배하고 있다. SiGe BiCMOS는 전력 증폭기와 같은 디바이스들에서 GaAs에 필적하는 성능뿐만 아니라, 이른바 "시스템-온-칩"이라 불리는 이종접합 바이폴라 트랜지스터와 표준 CMOS와의 통합에 기인한 상당한 비용 감소를 약속하고 있다.

[0007] 고성능 NPN HBT 제조를 위해, 낮은 콜렉터 저항, R_c 가 필요하다. 현재, R_c 는, 주로 고농도 n-도핑된 Si로서의 서브콜렉터로부터 기인하며, 8 ohm/square이다. n+ 서브콜렉터는, 낮은 저항을 위해 거의 가장 높은 제조가능-도핑된 Si이다. R_c 를 낮추기 위해 사용될 수 있는 이종 콜렉터 레이아웃 설계가 알려져 있다. 낮은 R_c 에도 불구하고, 이종 콜렉터 레이아웃 설계는 콜렉터-베이스 커페시턴스, C_{cb} 를 증가시키고, NPN 영역을 낮춘다. 따라서, 이종 콜렉터 레이아웃 설계는 NPN 성능을 향상시키는데 있어서 그 한계를 가진다.

[0008] 상기 종래 기술의 HBT에서 언급된 결점들에 비추어, 종래 기술의 이종 콜렉터 레이아웃 설계에서와 같이 C_{cb} 와 NPN 영역의 맞교환없이 낮은 콜렉터 저항을 갖는 HBT를 제공할 필요가 있다. 추가로, 통상의 BiCMOS 프로세스 흐름에 대한 교란을 최소화하면서 이와 같은 HBT를 제공할 필요성이 있다.

발명의 상세한 설명

- [0009] 본 발명은 디바이스의 서브콜렉터 상의 STI 영역 아래에 매립된 내화 금속 규화물을 제공함으로써, 종래의 HBT 보다 낮은 R_c 를 갖는 이종접합 트랜지스터(HBT)를 제공한다. 예를 들어, 텅스텐 규화물과 같은 내화 금속 규화물들은 CMOS 및 바이폴라 모듈에서 후속하는 고온의 열적 싸이클에서 생존할 수 있으면서, 또한 낮은 저항의 서브콜렉터를 제공하며, BiCMOS 프로세스 흐름을 최소한으로 교란시킨다.
- [0010] 넓은 의미에서, 본 발명은,
- [0011] 적어도 서브콜렉터를 포함하는 기판;
- [0012] 상기 기판 상에 위치한 매립된 내화 금속 규화물층; 및
- [0013] 상기 매립된 내화 금속 규화물층의 표면 상에 위치한 STI(Shallow Trench Isolation) 영역
- [0014] 을 포함하는 이종접합 트랜지스터(HBT)를 제공한다.
- [0015] 본 발명의 HBT는 NPN 또는 PNP HBT 중 어느 하나일 수 있으나, NPN HBT가 훨씬 선호된다. 본 발명의 HBT 구조는, STI 영역에 인접해 있고 상기 기판의 표면 상에 위치한 SiGe 베이스와, 상기 베이스 상에 위치한 polySi를 포함하는 에미터를 더 포함한다.
- [0016] 상기 언급한 구조에 추가하여, 본 발명은 또한, 이와 같은 HBT를 제조하기 위한 방법을 제공한다. 구체적으로, 본 발명의 HBT는,
- [0017] 제1 유전체 트렌치 유전체 재료를 포함하는 적어도 하나의 STI 영역을, 서브콜렉터를 포함하는 기판에 형성하는 단계;
- [0018] 상기 적어도 하나의 STI 영역으로부터 상기 제1 트렌치 유전체 재료를 제거하여 상기 서브콜렉터를 포함하는 상기 기판의 일부를 노출시키는 개구부(opening)를 형성하는 단계;
- [0019] 상기 기판의 노출된 부분 상의 상기 개구부에 내화 금속 규화물층을 형성하는 단계로서, 상기 내화 금속 규화물은 상기 개구부 위로 연장되지 않는 것인, 상기 내화 금속 규화물층을 형성하는 단계; 및
- [0020] 상기 개구부의 상기 내화 금속 규화물층 상에 제2 트렌치 유전체를 형성하는 단계로서, 상기 제2 트렌치 유전체는 상기 개구부 위를 연장하지 않는 것인, 상기 제2 트렌치 유전체를 형성하는 단계
- [0021] 를 포함하는 프로세스 단계들을 이용하여 제조된다.

실시 예

- [0024] 디바이스의 서브콜렉터 상의 STI 영역 아래에 매립된 내화 금속 규화물층을 갖는 HBT를 제공하는 본 발명이, 첨부된 도면들을 참조하여 이하에서 더욱 상세히 기술될 것이다. 이 도면들은 일정한 비율로 그려진 것은 아니고 예시적 목적만을 위해 제공하는 것이다. 게다가, 본 출원에서 제공되는 도면들은 HBT 디바이스의 베이스와 에미터를 형성하기 이전에 서브콜렉터 상의 STI 영역 아래에 매립된 내화 금속 규화물층을 포함하는 기판을 도시하고 있다.
- [0025] 본 출원의 도면들은 또한, HBT 디바이스 영역만을 도시하고 있는 점을 주목할 가치가 있다. 명확성을 위해, 전형적인 BiCMOS 구조 뿐만 아니라 CMOS 디바이스 영역도 도시되지 않는다. 추가로, 비록 하나의 HBT 디바이스 영역이 도시되어 있지만, 본 발명은 하나의 기판의 상부에 복수의 HBT들을 형성하는데 사용될 수 있다.
- [0026] 먼저 본 발명의 제1 실시예를 도시하는 도 1a-1f를 참조한다. 본 발명의 제1 실시예는, 예를 들어 도 1a에 도시된 바와 같은 초기 구조(10)를 제공하는 것에서부터 시작한다. 본 발명의 구조(10)는, 그 상부에 패드 스택(14) 및 하드 마스크(20)를 갖는 기판(12)을 포함한다. 도시된 바와 같이, 패드 스택(14)은 기판(12)의 표면 상에 위치해 있으며, 하드 마스크(20)는 패드 스택(14)의 위쪽 노출된 표면 상에 위치해 있다.
- [0027] 본 발명에서 채용된 기판(12)은, 예를 들어, Si, SiGe, SiGeC, GaAs, InAs, InP, 및 기타의 III/V 또는 II/VI 화합물 반도체를 포함하는 임의의 반도체 기판을 포함한다. 기판(12)은, 미리형성된 실리콘-온-인슐레이터(SOI) 또는 실리콘 게르마늄-온-인슐레이터(SGOI) 기판을 포함할 수도 있다. 본 발명의 양호한 실시예에서, 기판(12)은, Si, SiGe, SiGeC, SiC, SOI 및 SGOI와 같은 Si-함유 기판이다. 대안으로서, 기판(12)은, 반도체 기판 상부에 epi-Si 또는 아몰퍼스 Si와 같은 Si층이 스택 구조를 포함할 수도 있다. 기판(12)은 또한 본 발명의

도면들에 도시된 기판의 일부인 서브콜렉터(13)를 포함한다. 도 1b는 서브콜렉터(13)를 명료하게 정의하고 있다. 당업자에게 공지된 바와 같이, 서브콜렉터(13)는 HBT 디바이스를 인접한 콜렉터 영역에 접속한다. 서브콜렉터(13)는 당업자에게 공지된 기술들을 이용하여 형성된다. 예를 들어, 이온 주입 및 후속하는 어닐링이 서브콜렉터(13)를 제조하는데 이용될 수 있다.

[0028] 패드 스택(14)은 절연 재료로 된 단일 층을 포함할 수도 있고, 도 1a에 도시된 바와 같이, 절연 재료로 된 다중 층 스택을 포함할 수도 있다. 패드 스택(14)으로서 채용될 수 있는 절연 재료의 예로서는, 산화물, 질화물, 산질화규소(oxynitride), 및 이들의 다중층이 있다.

[0029] 패드 스택(14)은, 예를 들어, 열적 성장(즉, 산화, 질화 또는 산질화), 화학적 증착(CVD), 플라즈마-강화된 화학적 증착(PECVD), CSD(Chemical Solution Deposition), 원자층 피착(ALD), 증발(evaporation) 및 기타의 피착 수단을 포함한 동일하거나 상이한 피착 기술에 의해 형성될 수 있다.

[0030] 구체적으로, 도 1a에 도시된 패드 스택(14)은, 기판(12)의 표면 상에 위치한 패드 산화물(16) 및 패드 산화물(16) 상에 위치한 패드 질화물(18)을 포함한다. 패드 산화물(16)은 전형적으로 열적 산화에 의해 형성되는 반면, 패드 질화물(18)은 전형적으로 화학적 증착에 의해 형성된다.

[0031] 패드 스택(14)의 두께는, 스택 내에 존재하는 재료층들의 개수에 따라 달라질 것이다. 도면에 도시된 예에서는, 패드 산화물(16)은 패드 질화물(18)보다 더 얇다. 전형적으로, 패드 산화물(16)은 약 3 내지 50 nm의 두께를 가지며, 보다 전형적으로는 5 내지 50 nm의 두께를 가진다. 반면, 패드 질화물(18)은 전형적으로 50 내지 300 nm의 두께를 가지며, 보다 전형적으로는, 100 내지 200 nm의 두께를 가진다.

[0032] 하드 마스크(20)는 패드 스택(14)의 최상부 노출된 표면 상에 형성된다. 도시된 실시예에서, 하드 마스크(20)는 패드 질화물(18)의 표면 상부에 형성된다. 하드 마스크(20)는 당업자에게 공지된 피착 기술을 이용하여 TEOS(tetraethylsilicate)로부터 피착된 산화물과 같은 절연 재료로 구성된다. 하드 마스크(20)는, 후속하는 STI 영역을 형성하는데 있어서 페터닝된 마스크로서 이용된다. 하드 마스크(20)의 두께는 사용되는 절연 재료 및 피착 공정에 따라 달라질 수 있다. 전형적으로, 하드 마스크(20)는 약 50 내지 300 nm의 두께를 가지며, 보다 전형적으로는, 100 내지 200 nm의 두께를 가진다.

[0033] 그 다음, 도 1b에 도시된 바와 같이, 적어도 하나의 STI 영역이 형성된다. 도면에서, 2개의 STI 영역(22L 및 22R)이 형성된다. 용어 "STI(Shallow Trench Isolation)"는, 기판(12)의 상부 표면으로부터 트렌치 개구부의 하부 표면까지의 측정된, 약 0.5 미크론 이하의 깊이를 갖는 절연 영역을 나타낸다. 하드 마스크(20)는 전형적으로, 트렌치 절연 영역이 에칭된 후에 구조로부터 제거된다.

[0034] 적어도 하나의 STI 영역(22L, 22R)이, 예를 들어, 리소그래피(예를 들어, 포토레지스트 재료를 인가하고, 이 포토레지스트를 복사선에 노광하고, 노광된 포토레지스트를 종래의 레지스트 현상기를 이용하여 현상함), 에칭(예를 들어, 습식 에칭, 건식 에칭, 또는 이들의 조합), 및 트렌치 충전(trench fill)과 같은, 당업자에게 공지된 종래의 처리를 이용하여 형성된다. 선택적으로, 트렌치는 트렌치 충전 이전에 산화물, 질화물, 또는 산질화물과 같은 트렌치 라이너 재료로 라이닝된다(lined). 트렌치 충전은 고밀도 산화물 또는 종래 기술에 의해 피착된 TEOS와 같은 제1 트렌치 유전 재료를 포함한다. 치밀화(densification) 단계(예를 들어, 어닐링) 및/또는 평탄화(예를 들어, 화학적 기계적 연마)가, 트렌치 충전 처리에 이어 선택적으로 사용될 수 있다. 제1 트렌치 유전 재료로 트렌치를 충전하기 이전에, 전형적으로, 당업자에게 공지된 C 주입 처리를 이용하여 기판(12)의 콜렉터(미도시) 및 서브콜렉터(13) 내에 C가 주입된다.

[0035] 그 다음, 블력 마스크(미도시)가 도 1b에 제공된 구조의 상부에 형성되어, 서브콜렉터(13) 위에 있는 적어도 하나의 STI 영역(22L)이 노광되고, 그 영역(22L) 내의 제1 트렌치 유전체가 제거되어 개구(24)가 형성된다. 개구(24)는 서브콜렉터(13)를 포함하는 기판(12)의 표면을 노출시킨다. 블력 마스크는, 예를 들어, 리소그래피를 포함한 당업자에게 공지된 종래기술을 이용하여 형성된다.

[0036] STI 영역(22)으로부터 제1 트렌치 유전 재료를 제거하는 제거 단계는, 제1 트렌치 유전 재료를 선택적으로 제거하는 예칭 공정을 포함한다. STI 영역(22L)으로부터 제1 트렌치 유전 재료를 선택적으로 제거하는 예칭 공정의 예는, HF dip이다. 블력 마스크의 존재는, 다른 STI 영역(22R)로부터의 제1 트렌치 유전 재료의 제거를 방지한다.

[0037] 구조로부터 블력 마스크를 제거한 후에, 질화물 또는 산질화물 스페이서(26)는 개구(24)에 의해 제공된 노출된 측벽 상에 형성된다. 스페이서(26)는 반응성 이온 에칭과 같은 피착 및 에칭에 의해 형성된다. 상기 단계들이 수행된 이후에 형성된 결과적 구조는, 예를 들어, 도 1c에 도시되어 있다. 도 1c에 도시된 구조는 본 발명의

가장 단순한 실시예를 나타냄에 유의해야 한다.

[0038] 그 다음, 도 1d에 도시된 바와 같이, 내화 금속 규화물층(28)은, 기판(12)의 노출된 부분 위, 즉 서브콜렉터(13) 상의 개구(24)에 형성된다. 내화 금속 규화물층(28)은, 먼저 기판(12)의 노출된 부분 상에 내화 금속층을 피착함으로써 형성된다. 만일 기판(12)이 실리콘을 포함하지 않는다면, 내화 금속층의 피착 이전에 기판(12)의 노출된 부분 상에 실리콘 층을 형성할 수 있다. 선택적 피착 공정이 채택될 때, 내화 금속층은 완전히 개구(24) 내에 형성된다. 비선택적 피착 공정이 사용될 때, 내화 금속층은 개구(24) 외부에 형성된다.

[0039] 선택적 피착 공정의 예로는 화학적 증착이 있으나, 이에 한정되는 것은 아니며, 비선택적 피착법의 예로는 CVD(Chemical Vapor Deposition), 플라즈마 강화된 화학적 증착법(PECVD) 및 스퍼터링이 있으나, 이에 한정되는 것은 아니다.

[0040] 본 발명에서 용어 "내화 금속"은, 부식하거나 퓨즈되기 어려운 금속-합금 재료(즉, 원소 금속 또는 금속 합금)를 가리키기 위해 사용되지만, 고온에서 실리콘과 반응할 때 규화물을 형성할 수 있다. 본 발명에서 채용될 수 있는 내화 금속의 예에는 Ti, Co, W, Ta, Ni 및 합금이 포함되지만, 이에 한정되는 것은 아니다. 본 명세서에서 사용되는 용어 "합금"은, 예를 들어 Si와 같은 합금 첨가물을 포함하는 원소 내화 금속 뿐만 아니라 원소 내화 금속의 혼합물도 가리킨다. 고도로 선호되는 내화 금속으로는 Co₆₀, Ta, 및 W가 있고, 특히 W는 최고로 선호되는데, 이는 그 규화물이 BiCMOS 디바이스의 형성에 사용되는 고온 가열 싸이클을 견딜 수 있기 때문이다.

[0041] 내화 규화물층(28)을 형성하는데 사용되는 내화 금속층의 두께는, 사용되는 피착 기술 및 내화 금속에 따라 달라질 수 있다. 전형적으로, 내화 금속층은 약 5 내지 150 nm의 두께를 가지며, 보다 전형적으로는, 10 내지 100 nm의 두께를 가진다. 그 다음, 내화 금속층을 포함하는 구조는 어닐링되어, 기판(12)의 노출된 부분, 즉 서브콜렉터(13) 상부의 개구(24)에 내화 금속층(28)을 형성한다. 어닐링은, 형성된 규화물이 그 최저 저항 페이스(phase)에 있을 때까지 수행된다. Ni와 같은 일부 내화 금속의 경우, 내화 금속층을 저저항 규화물층으로 변환시키기 위해 하나의 어닐링 단계가 필요하다. 반면, Ti 및 W와 같은 다른 내화 금속의 경우, 내화 금속을 고저항의 금속 규화물로 변환하기 위해 제1 어닐링 단계가 이용되고, 고저항 금속 규화물을 가장 낮은 저항 페이스로 변환하기 위해 제2 어닐링이 이용된다.

[0042] 제1 어닐링 단계는 전형적으로 약 1/2분 내지 약 30분간 약 700°C의 온도에서 수행된다. 제1 어닐링은 전형적으로 He, Ar, Ne, Xe, Kr, N₂ 또는 그 혼합물과 같은 불활성 가스에서 실행된다. 본 발명에서 침액(soaking)과 더불어 또는 침액없이, 단일 램프-업 레이트가 채용될 수도 있고, 침액과 더불어 또는 침액없이 다중 램프-업 레이트가 채용될 수도 있다.

[0043] 제1 어닐링 동안에, 내화 금속은 상호작용 또는 실리콘과 반응하여 내화 금속 규화물을 형성한다. 상호작용 및 후속하는 반응 동안에, 대부분의 내화 금속 및 실리콘의 일부가 소비된다.

[0044] 제1 어닐링에 이어서, 반응하지 않은 금속은 무기산(inorganic acid)과 같은 화학적 예칭제를 이용하여 구조로부터 제거된다. 비선택적 피착 공정이 사용될 때, 이 예칭 단계는, 개구(24) 내의 반응하지 않은 금속 뿐만 아니라 개구(24) 외부에 형성된 내화 금속들도 제거한다.

[0045] 만일 필요하다면, 이전에 형성된 규화물을 저저항 규화물로 변환하기 위해 제2 어닐링이 수행될 것이다. 제2 어닐링 단계는 전형적으로 제1 어닐링 단계보다 높은 온도에서 수행된다. 예를 들어, 제2 어닐링 단계는 전형적으로 약 10초 내지 약 5분간 약 700°C 내지 1100°C의 온도에서 수행된다. 제2 어닐링 단계는 또한 전형적으로 제1 어닐링 단계와 연계하여 상기 언급한 바와 같은 불활성 환경에서 실행된다. 침액과 더불어 또는 침액없는 단일 램프-업 레이트, 또는 침액과 더불어 또는 침액없는 다중 램프-업 레이트가 채용될 수도 있다.

[0046] 상기 단계들, 즉 제1 어닐링, 반응하지 않은 금속을 제거하는 단계, 및 선택사항으로서의 제2 어닐링은 본 분야에서 규화 단계(silicidation step)라 알려져 있다. 상기 언급한 바와 같이, 내화 금속 규화물(28)이 형성된 이후의 결과적인 구조가 도 1d에 도시되어 있다. 내화 금속 규화물(28)이 개구(24) 내에 포함된다는 사실, 즉 개구(24) 위로 연장되지 않는다는 사실에 주목해야 한다.

[0047] 규화물 형성 이후에, 제2 트렌치 유전체(30)가 형성되어 도 1e에 도시된 구조를 제공한다. 제2 트렌치 유전체(30)는 전형적으로 TEOS 또는 고밀도 산화물과 같은 산화물이다. 제2 트렌치 유전체(30)는 CVD 또는 플라즈마-강화된 CVD와 같은 종래의 피착 공정에 의해 형성된다. 제2 트렌치 유전체(30)는 전형적으로 피착 이후에, 약 200 내지 600 nm의 두께를 가진다.

[0048] 그 다음, 제2 트렌치 유전체(30)를 포함하는 구조는, 화학적 기계적 연마 또는 그라인딩과 같은 평탄화 공정에

놓인 다음, 도 1f에 도시된 실질적으로 평탄화된 구조를 제공한다. 구체적으로, 도시된 바와 같이, 제2 유전체 층(30)은 패드 스택(14)의 위쪽 표면, 즉 패드 질화물(18)에 대해 평탄화되어, 제2 트렌치 유전체(30)를 포함하는 새로운 STI 영역(22L')을 제공한다.

[0049] 평탄화 공정 이후에, 당업자에게 공지된 종래의 BiCMOS 공정을 이용하여 HBT 및 기타의 디바이스들이 형성될 수 있다. 예를 들어, HBT 디바이스 영역에서, SiGe 베이스 영역 및 polySi 에미터를 포함한 에미터 영역은 종래의 베이스-애프터 에미터(base-after emitter) 또는 베이스-비포 에미터(base-before emitter) 공정 단계들에 의해 형성될 수 있다.

[0050] 도 1f에 도시된 구조를 포함한 본 발명의 HBT 구조는, 기판(12)의 서브콜렉터(13) 상의 STI 영역(22L') 아래에 내화 금속 규화물(28)의 존재로 인해, R_c 를 저하시킨다. 내화 금속 규화물(28)은, 베이스 콘택(미도시) 뿐만 아니라 콜렉터 콘택(미도시) 아래로 연장된다.

[0051] 도 1a-1f는 본 발명의 한 실시예를 도시한다. 도 2a-2e는, 선택적이긴 하지만 선호되는 언더컷 영역을 포함하는 개구에 내화 금속 규화물이 형성되는 본 발명의 제2 실시예이다. 본 발명의 제2 실시예는 본 발명의 도 1b에 도시된 구조를 먼저 제공하는 것에서부터 시작한다.

[0052] 그 다음, 실리콘 질화물 또는 실리콘 산질화물과 같은 질화물-함유층(32)이, 하드 마스크(20) 및 STI 영역(22R 및 22L)을 포함하는 전체 구조 상에 형성된다. 질화물-함유층(32)은 CVD, PECVD, 화학 용액 피착법 등과 같은 종래의 피착 공정에 의해 형성된다. 질화물-함유층(32)은 전형적으로 약 5 내지 200 nm의 두께를 가지며, 더욱 전형적으로는, 약 10 내지 100 nm의 두께를 가진다.

[0053] 그 다음, 패터닝된 포토레지스트(34)는 질화물-함유층(32)을 포함하는 구조 상부에 형성되어, 도 2a에 도시된 구조를 제공한다. 패터닝된 포토레지스트(34)는 STI 영역(22L) 위에 위치한 개구(35)를 포함한다. 개구(35)를 포함하는 패터닝된 포토레지스트(34)는 리소그래피에 의해 형성된다.

[0054] 도 2a에 도시된 구조를 제공한 후에, 개구(35)는, 질화물-함유층(35) 및 STI 영역(22L)의 일부를 통해 에칭함으로써, STI 영역(22L) 새로 연장된다. 패터닝된 포토레지스트(34)는, 패터닝된 포토레지스트(34)는 STI 영역(22L)의 일부를 보호하도록, STI 영역(22L)의 측벽을 넘어 연장되는 측벽을 가진다.

[0055] 개구(35)를 연장시키는데 사용되는 에칭 단계는, 산화물상의 질화물 스토팽(stopping)을 선택적으로 제거하는 제1 에칭 단계와, 산화물을 선택적으로 제거하는 제2 에칭 단계를 포함한다. 일부 실시예들에서, 개구(35)를 연장하기 위해 이용되는 제1 및 제2 에칭 단계는, 패터닝된 포토레지스트(34)에 의해 보호되지 않는 질화물층(32)의 노출된 부분이 먼저 제거되고 STI 영역(22L)의 하부에 놓인 제1 유전체 재료의 일부가 제거되는 하나의 에칭 단계로 결합될 수 있다. 패터닝된 포토레지스트(34)는 종래의 스트리핑 공정을 이용하여 에칭한 이후에 제거된다.

[0056] 개구(35)를 연장시키는 이러한 에칭 이후에, 질화물 또는 산질화물층(26)이 연장된 개구(35)의 노출된 측벽 상에 형성된다. 연장된 개구(35) 및 스페이서(26)를 포함하는 결과적 구조가 도 2b에 도시되어 있다. 스페이서(26)는 본 발명의 제1 실시예에서 상기 기술한 바와 같이 형성된다.

[0057] 그 다음 STI 영역(22L)의 나머지 제1 트렌치 유전체가, 제1 트렌치 유전체, 즉, 기판(12)의 표면 상의 산화물 스토팽을 선택적으로 제거하는 습식 에칭 공정을 이용하여 제거된다. 이제는 연장된 개구(35)에서 언더컷 영역(36)을 제공하는 측방향 에칭이 선택적으로 수행될 수 있다. 측방향 언더컷(36)은, 규화물이 에미터 영역에 더욱 근접하도록 하기 때문에 선호된다. 측방향 언더컷은 HF-함유제와 같은 습식 화학제에 의해 수행될 수도 있다.

[0058] 그 다음, 내화 금속층이 상술한 바와 같이 형성된다. 도 2d는 비선택적 피착 공정에 의해 내화 금속층(참조번호 27)이 형성되는 실시예를 도시한다. 도면은 비선택적 피착 방법에 의해 내화 금속층(27)의 형성을 도시하고 있지만, 제2 실시예는 또한 앞서 기술된 선택적 피착 방법도 역시 고려하고 있다.

[0059] 도시된 예에서, 그 다음, 개구(35)의 외부에 있는 내화 금속층(27)이 제거되어, 도 2e에 도시된 구조를 제공한다. 상술한 공정 단계들, 즉, 규화물 형성, 제2 트렌치 유전체 재료(30) 형성, 및 평탄화가 수행되어, 규화물로 충전된 언더컷 영역의 존재를 제외하고는, 도 1f에 도시된 구조와 유사한 실질적으로 평탄화된 구조를 제공한다. 그 다음, CMOS 공정 및 바이폴라 트랜지스터 형성이 내화 금속 규화물로 충전된 언더컷 영역을 포함하는 실질적으로 평탄화된 구조 상에서 수행될 수 있다.

[0060] 본 발명이 그 양호한 실시예에 관하여 특정하게 도시되고 설명되었지만, 당업자라면 본 발명의 사상과 범위를

벗어나지 않고 그 형태나 세부사항에 있어서 전술한 변경들이나 기타의 변경을 가할 수 있다는 것을 이해할 것이다. 따라서, 본 발명은 딱히 도시되고 설명된 형태 및 세부사항만으로 제한되는 것은 아니고, 첨부된 특허청 구범위에 의해 제한된다.

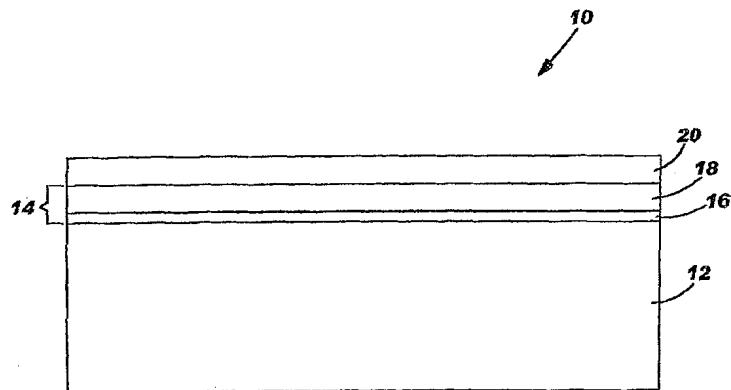
도면의 간단한 설명

[0022] 도 1a-1f는 콜렉터의 규소 화합물화를 위해 본 발명에서 채용되는 기본적인 처리 단계들을 예시하는 (단면을 통한) 도면.

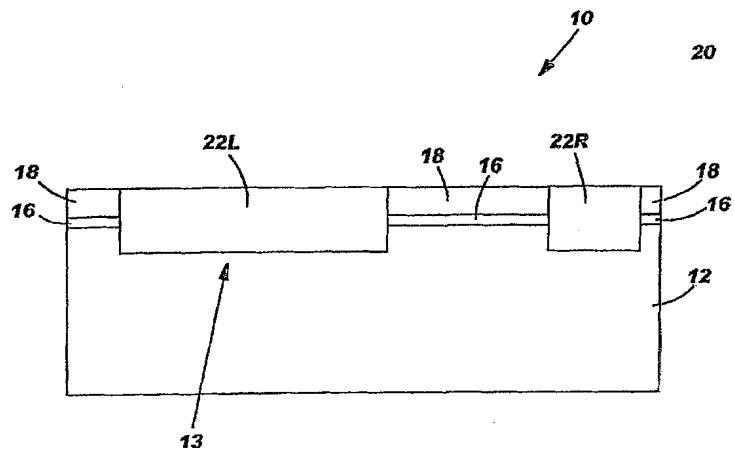
[0023] 도 2a-2e는 본 발명의 대안적 실시예를 예시하는 (단면을 통한) 도면.

도면

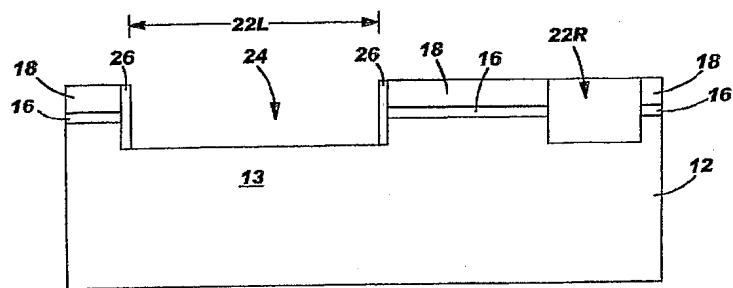
도면1a



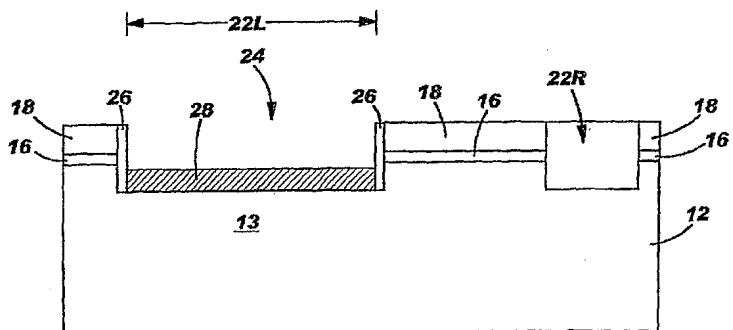
도면1b



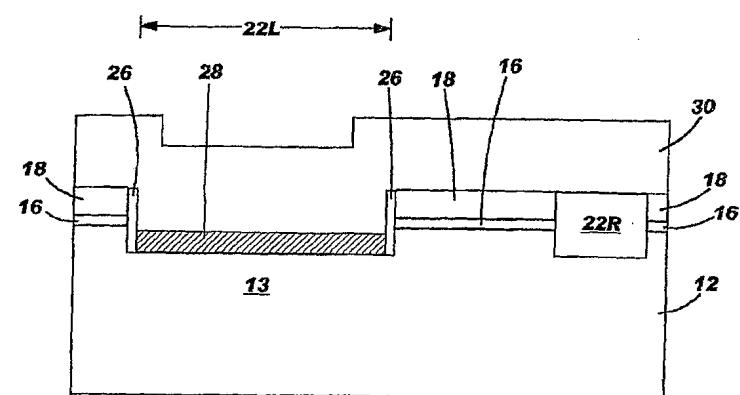
도면1c



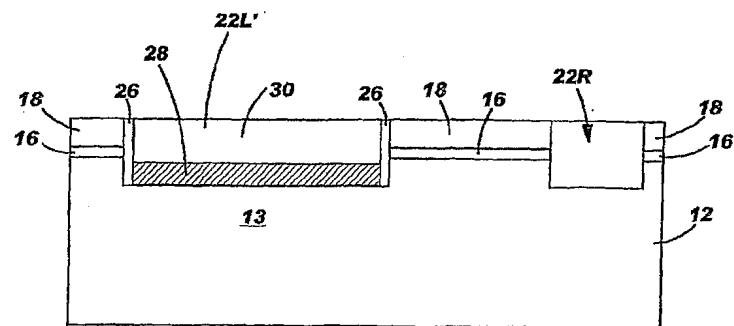
도면1d



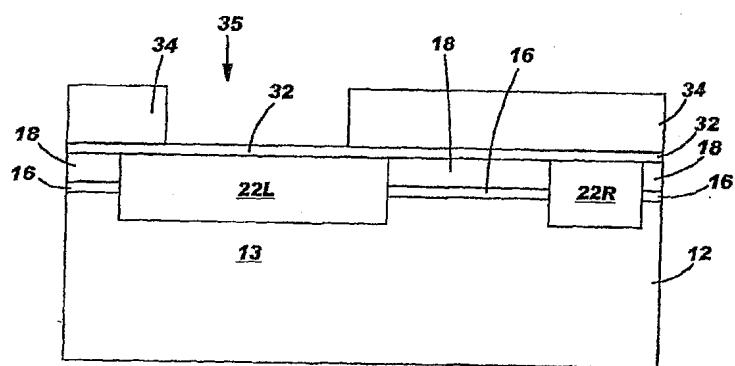
도면1e



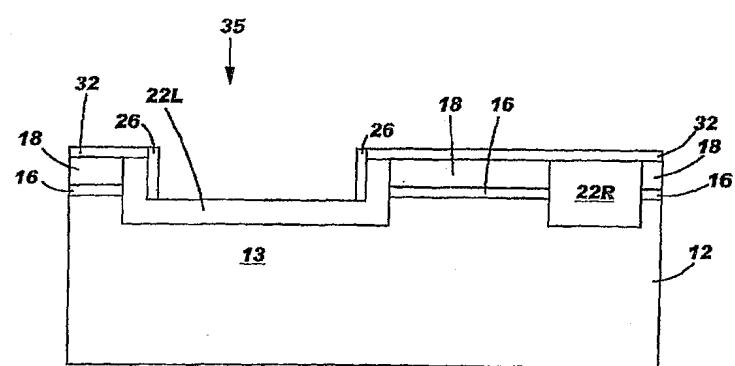
도면1f



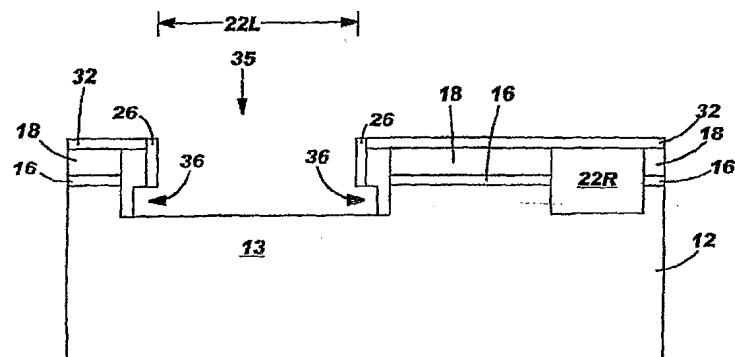
도면2a



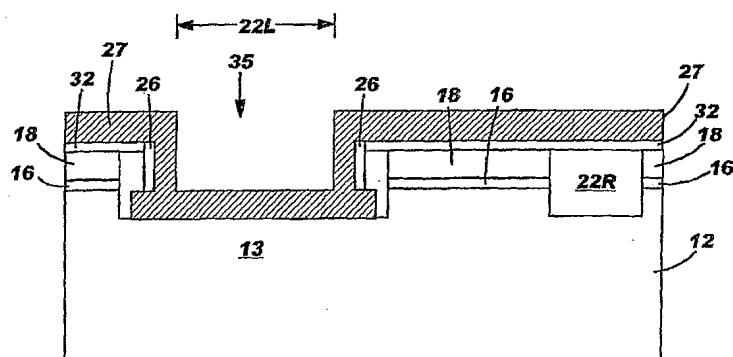
도면2b



도면2c



도면2d



도면2e

