(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4159779号
(P4159779)

(45)発行日　平成20年10月1日(2008.10.1)　(24)登録日　平成20年7月25日(2008.7.25)

(51)Int.Cl.			F I		
H01L	21/02	(2006.01)	H01L	21/02	A
G02F	1/1368	(2006.01)	G02F	1/1368	
G09F	9/00	(2006.01)	G09F	9/00	352
G09F	9/30	(2006.01)	G09F	9/30	338
G09F	9/35	(2006.01)	G09F	9/35	

請求項の数 15　(全 35 頁)　最終頁に続く

(21)出願番号　特願2001-402039(P2001-402039)
(22)出願日　平成13年12月28日(2001.12.28)
(65)公開番号　特開2003-203832(P2003-203832A)
(43)公開日　平成15年7月18日(2003.7.18)
審査請求日　平成16年11月17日(2004.11.17)

(73)特許権者　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷３９８番地
(72)発明者　加藤　清
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　山崎　舜平
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内

審査官　大嶋　洋一

(56)参考文献　国際公開第０２／０５０９１０（WO, A１）
特開平１１－１４５２３７（ＪＰ，Ａ）
最終頁に続く

(54)【発明の名称】半導体装置、電子機器

(57)【特許請求の範囲】

【請求項１】

複数の第１の回路を含む第２の回路を有し、

前記複数の第１の回路の各々は、同じ基板上に設けられた複数のトランジスタを有し、

前記複数の第１の回路の各々は、前記複数のトランジスタの各々の活性層のグレインパタンに対応した第１の数値を示す第１の信号を生成し、

前記第２の回路は、前記複数の第１の回路の各々から出力される前記第１の信号を用いて、前記基板に固有の第２の数値を示す第２の信号を生成することを特徴とする半導体装置。

【請求項２】

複数の第１の回路を含む第２の回路と、第３の回路を有し、

前記複数の第１の回路の各々は、同じ基板上に設けられた複数のトランジスタを有し、

前記複数の第１の回路の各々は、前記複数のトランジスタの特性に対応した第１の数値を示す第１の信号を生成し、

前記第２の回路は、前記複数の第１の回路の各々から出力される前記第１の信号を用いて、前記基板に固有の第２の数値を示す第２の信号を生成し、

前記第３の回路は、前記第２の回路から出力される前記第２の信号と、外部から入力される第３の数値を示す第３の信号とを比較することを特徴とする半導体装置。

【請求項３】

複数の第１の回路を含む第２の回路と、第３の回路を有し、

前記複数の第１の回路の各々は、同じ基板上に設けられた複数のトランジスタを有し、
前記複数の第１の回路の各々は、前記複数のトランジスタのしきい値電圧に対応した第１の数値を示す第１の信号を生成し、
前記第２の回路は、前記複数の第１の回路の各々から出力される前記第１の信号を用いて、前記基板に固有の第２の数値を示す第２の信号を生成し、
前記第３の回路は、前記第２の回路から出力される前記第２の信号と、外部から入力される第３の数値を示す第３の信号とを比較することを特徴とする半導体装置。

【請求項４】

複数の第１の回路を含む第２の回路と、第３の回路を有し、
前記複数の第１の回路の各々は、同じ基板上に設けられた複数のトランジスタを有し、
前記複数の第１の回路の各々は、前記複数のトランジスタの各々の活性層のグレインパタンに対応した第１の数値を示す第１の信号を生成し、
前記第２の回路は、前記複数の第１の回路の各々から出力される前記第１の信号を用いて、前記基板に固有の第２の数値を示す第２の信号を生成し、
前記第３の回路は、前記第２の回路から出力される前記第２の信号と、外部から入力される第３の数値を示す第３の信号とを比較することを特徴とする半導体装置。

【請求項５】

請求項１乃至請求項４のいずれか１項において、
前記複数の第１の回路の各々は、差動増幅回路を有することを特徴とする半導体装置。

【請求項６】

請求項１乃至請求項４のいずれか１項において、
前記複数の第１の回路の各々は、１つ又は複数のインバータ回路を有することを特徴とする半導体装置。

【請求項７】

請求項１乃至請求項６のいずれか１項において、
前記第１の数値は、１ビットの乱数であることを特徴とする半導体装置。

【請求項８】

請求項１乃至請求項７のいずれか１項において、
前記基板上に設けられたロジック回路を有することを特徴とする半導体装置。

【請求項９】

請求項１乃至請求項７のいずれか１項において、
前記基板上に設けられた画素を有し、
前記画素は液晶素子を有することを特徴とする半導体装置。

【請求項１０】

請求項１乃至請求項７のいずれか１項において、
前記基板上に設けられた画素及び駆動回路を有し、
前記画素は液晶素子を有することを特徴とする半導体装置。

【請求項１１】

請求項１乃至請求項７のいずれか１項において、
前記基板上に設けられた画素、駆動回路及びロジック回路を有し、
前記画素は液晶素子を有することを特徴とする半導体装置。

【請求項１２】

請求項１乃至請求項７のいずれか１項において、
前記基板上に設けられた画素を有し、
前記画素は発光素子を有することを特徴とする半導体装置。

【請求項１３】

請求項１乃至請求項７のいずれか１項において、
前記基板上に設けられた画素及び駆動回路を有し、
前記画素は発光素子を有することを特徴とする半導体装置。

【請求項１４】

請求項１乃至請求項７のいずれか１項において、
前記基板上に設けられた画素、駆動回路及びロジック回路を有し、
前記画素は発光素子を有することを特徴とする半導体装置。
【請求項１５】
請求項１乃至請求項１４のいずれか一項に記載の前記半導体装置が用いられた電子機器。
【発明の詳細な説明】
【０００１】
【発明が属する技術分野】
本発明は、薄膜トランジスタを絶縁表面を有する基板上に形成してなる半導体装置に関する。
【０００２】
【従来の技術】
近年の半導体装置、特に半導体表示部を有する電子機器の発展はめざましく、その応用例は、ゲーム機、ノートパソコン、携帯電話を始めとする携帯機器、液晶テレビ、液晶ディスプレイ、ＥＬディスプレイ等、様々である。半導体表示部は、従来のＣＲＴと比較して軽量薄型化が可能であり、消費電力が小さいことを特徴とする。
【０００３】
半導体表示部は、パッシブマトリクス型とアクティブマトリクス型に分類されるが、近年は特に、ガラス基板上にＴＦＴを形成する技術が進歩し、アクティブマトリクス型半導体表示部の応用開発が進められている。
【０００４】
特に、多結晶シリコン膜を用いたＴＦＴは、非晶質シリコン膜を用いたＴＦＴよりも電界効果移動度（モビリティともいう）が高く、従来、基板外の駆動回路で行っていた画素の制御を、画素と同一の基板上に形成した駆動回路で行うことが可能となっている。
【０００５】
今後更に電界効果移動度の高いＴＦＴが開発されれば、画素部の駆動回路だけではなく、従来は基板外にＩＣチップとして実装されている演算処理回路、メモリといった様々なロジック回路を画素部を形成するガラス基板上に形成された、システムオングラスが実現して行くことが期待される。
【０００６】
【発明が解決しようとする課題】
このように、画素部や様々なロジック回路を構成するＴＦＴが形成された基板が組み込まれた半導体装置が広く普及するようになると、基板を識別することが重要な問題となってくる。
【０００７】
なお、絶縁表面を有する基板上にＴＦＴが形成された基板のことをＴＦＴ基板と呼ぶ。従って、上述した画素部や様々なロジック回路を構成するＴＦＴが形成された基板もＴＦＴ基板である。
【０００８】
それぞれのＴＦＴ基板に固有な数値を割り当てることができると、ＴＦＴ基板に固有な数値を識別番号として、工場あるいは製造メーカはＴＦＴ基板の管理を行うことができる。また、ＴＦＴ基板に対して選択的に、保証あるいはサービスといった権利の付与を行う場合にも、ＴＦＴ基板に固有な数値を識別番号として用いることができる。
【０００９】
本発明はこのような問題点を鑑見てなされたものである。本発明は、絶縁表面を有する基板上に画素部、画素部の駆動回路、あるいはロジック回路が形成されたＴＦＴ基板に、固有な数値を割り当てる回路を提供することを課題とする。特に、ＴＦＴ基板の管理や、ＴＦＴ基板対して選択的に保証あるいはサービスといった権利の付与を行う用途に適した、固有な数値を割り当てる回路を提供することを課題とする。また、そのような回路によっ

て固有な数値が割り当てられたＴＦＴ基板を内蔵する半導体装置を提供することを課題とする。

【００１０】

【課題を解決するための手段】

上述したように、絶縁表面を有する基板上に、画素部や様々なロジック回路と共に、基板識別回路を形成することが重要な課題となっている。

【００１１】

特に、ＴＦＴ基板の管理や、ＴＦＴ基板対して選択的に保証あるいはサービスといった権利の付与を行う用途を考えた場合には、識別番号には次のような特徴があることが重要である。

【００１２】

まず、ＴＦＴ基板とは別の部品で識別番号を付与することはコストや手間がかかるため好ましくない。言い替えると、識別番号は、ＴＦＴ基板上に形成されていることが好ましい。特に、画素部や様々なロジック回路を形成すると同時に識別番号を付与することが好ましい。

【００１３】

また、ＴＦＴ基板上に画素部や様々なロジック回路と同時に形成する場合には、識別番号によらず同じマスクを用いることができることが好ましい。例えば、識別番号を数字で書き込む場合であっても、マスクＲＯＭで電気的に生成する場合であっても、識別番号によってマスクが異なる場合には、コスト的に好ましくない。

【００１４】

また、識別番号は、電気信号として取り扱えることが好ましい。つまり、ガラス基板上に形成された電気回路によって識別番号を発生あるいは判定することが好ましい。ＴＦＴ基板の識別番号を電気的に処理できる方式とすることで、ＴＦＴ基板の識別番号を、例えばＴＦＴ基板に形成されている画素部や画素部の駆動回路、あるいはロジック回路の動作を許可するパスワードとして用いることができる。また、インターネット等の情報通信における選択的なサービスの付与に応用することも可能である。

【００１５】

さらに重要なことは、基板の識別番号をパスワードとして用いる場合の安全性である。例えば、基板の識別番号がＴＦＴ基板において容易に書き換えられては、ＴＦＴ基板に対して選択的に権利を付与することは困難である。従って、基板の識別番号をＥＥＰＲＯＭのような書き換え可能な不揮発性メモリで構成することは好ましくない。このように、基板の識別番号は、ＴＦＴ基板に固有であるだけでなく、複製、書き換えが困難であることが重要となる。

【００１６】

本発明は、上述したような、識別番号を電気的に扱えること、低コスト、かつ、安全性の高い基板の識別番号の付与の方式を提供することを課題とする。

【００１７】

まず、本発明では、ＴＦＴによって構成された回路でもって識別番号の付与または判定を行う。こうすることにより、画素部や様々なロジック回路を形成すると同時に識別番号を付与すること、および、識別番号を電気的に扱うことが可能となる。なお、本発明では、このような基板の識別番号の付与または判定を行う回路を基板識別回路と呼ぶ。基板識別回路は、基板に固有な番号を発生する回路、あるいは、基板に固有な番号を発生し基板の識別を行う回路と言うこともできる。

【００１８】

本発明の特徴は、絶縁表面を有する基板上に形成されたＴＦＴの特性ばらつきに着目し、基板識別回路をこのＴＦＴの特性ばらつきを利用して作製することにある。本発明では、ＴＦＴの特性ばらつきを用いて０／１を生成するので、マスクＲＯＭのように基板ごとにマスクを変更する必要がなく、低コストでの基板識別回路の作製が実現される。同時に、基板識別番号を書き換えたり複製することが困難であり、安全性の高い基板識別回路を実

現することが可能となる。

【００１９】

ＴＦＴ特性のばらつきを利用した基板識別回路の基本概念について、図２（Ａ）を用いて説明する。図２（Ａ）に示した回路２０１は、ｋ個（ｋは１以上の整数）のＴＦＴ２０２（１）～２０２（ｋ）からなる回路であり、ｋ個のＴＦＴ２０２（１）～２０２（ｋ）のソースまたはドレインの一方を電源ＶＤＤに接続し、ゲート電極に電位ＶＧを印加したものである。ｋ個のＴＦＴ２０２（１）～２０２（ｋ）のソースまたはドレインの残る一方は、Ｖ（１）～Ｖ（ｋ）として出力される。

【００２０】

回路２０１において、ｋ個のＴＦＴ２０２（１）～２０２（ｋ）は同サイズのＴＦＴであるとし、ｋ個のＴＦＴのしきい値Ｖｔｈ（１）～Ｖｔｈ（ｋ）はＶ０を中心としてδＶのばらつきを有するとする。

【００２１】

なお、しきい値ばらつきは、しきい値の分布を正規分布で近似した場合の標準偏差によって表される。

【００２２】

例えば、ｋ個のＴＦＴ２０２（１）～２０２（ｋ）はＮチャネル型であるとし、電源ＶＤＤと電圧ＶＧは、ｋ個のＴＦＴのしきい値Ｖｔｈ（ｉ）（ｉ＝１、２、・・、ｋ）対して、ＶＤＤ＞ＶＧ－Ｖｔｈ（ｉ）がそれぞれ成り立っているとすると、回路２０１の出力Ｖ（１）～Ｖ（ｋ）は、図２（Ｂ）に表すような、ＶＧ－Ｖ０を中心とするばらつきδＶの分布を示す。

【００２３】

つまり、図２（Ａ）に示した回路２０１は、ｋ個のＴＦＴ２０２（１）～２０２（ｋ）のしきい値ばらつきを出力Ｖ（１）～Ｖ（ｋ）に反映させる回路である。回路２０１を用いて、例えば、ＶＧ－Ｖ０より高い出力電位に１を、ＶＧ－Ｖ０より低い出力電位に０を、割り当てることによって、ＴＦＴ２０２（１）～２０２（ｋ）の特性ばらつきを反映した、回路２０１を形成した基板に固有な番号を生成することが可能となる。

【００２４】

基板識別回路は、この固有な番号を基板の識別番号とすることによって作製することができる。例えば、回路２０１が生成した固有な番号と、外部からの入力された識別番号のデータとを比較し判定する構成としてもよいし、単に、回路２０１が生成した固有な番号を識別番号として出力する構成であっても良い。

【００２５】

しかしながら、実際には、絶縁基板上に作製したＴＦＴは全て特性ばらつきを有するため、上述した基板識別回路の方式をそのまま実現する場合には次の問題点がある。

【００２６】

つまり、上述した基板識別回路は、ＴＦＴ２０２（１）～２０２（ｋ）それぞれの特性ばらつきに基づいて１ビットの乱数を割り当てる方式となるが、実際には、個々のＴＦＴの特性ばらつきを抽出することは難しい。例えば、図２（Ｂ）のような連続的な分布を有する電位に０または１を割り当てる場合には、差動増幅回路が必要となるが、差動増幅回路もまた、ＴＦＴの特性ばらつきの影響を受けるためである。

【００２７】

本発明の基板識別回路は、この問題を解決するために、個々のＴＦＴの特性ばらつきを抽出して１ビットの乱数を割り当てる方式ではなく、複数のＴＦＴからなる回路全体に１ビットの乱数を割り当てる方式を採用する。本発明では、この複数のＴＦＴからなる回路を固有ビット生成回路と呼ぶ。固有ビット生成回路は、構成要素である複数のＴＦＴの特性ばらつき全体に基づいて１ビットの乱数（固有ビットと呼ぶ）を出力することを特徴とする。また、図２（Ｂ）に示すようなアナログの出力ではなく、１ビットのデジタル信号を出力することを特徴とする。

【００２８】

基板に固有な番号は、固有ビット生成回路から出力される固有ビットを組み合わせることで生成される。本発明では、複数の固有ビットを組み合わせた基板に固有な番号を固有ワードと呼び、固有ワードを出力する回路を固有ワード生成回路と呼ぶ。

【００２９】

本発明の基板識別回路の構成要素である固有ワード生成回路を簡単なブロック図で書くと、図３のように表される。図３において、固有ワード生成回路１０１はｋ個（ｋは自然数）の固有ビット生成回路１０２（１）～１０２（ｋ）によって構成される。個々の固有ビット生成回路１０２（１）～１０２（ｋ）は、固有ビットＤｉｄ（１）～Ｄｉｄ（ｋ）をそれぞれ出力し、固有ワード生成回路１０１は、ｋビットの固有ワード（Ｄｉｄ（１）、・・、Ｄｉｄ（ｋ））を出力する。

【００３０】

なお、固有ワード生成回路１０１には、電源ＶＤＤ、ＧＮＤが入力される。また調整用の入力電位Ｖｉｎが必要に応じて入力される。図１には調整用の入力電位Ｖｉｎが一つである場合を示しているが、Ｖｉｎ（１）、Ｖｉｎ（２）、・・と複数あっても構わない。

【００３１】

本発明の基板識別回路は、固有ワード生成回路を構成要素として含み、基板に固有な番号である固有ワードを基板の識別番号とすることを特徴とする。基板識別回路は、固有ワードと、外部からの入力された識別番号のデータとを比較し判定する構成としてもよいし、単に、固有ワードを識別番号として出力する構成であっても良い。

【００３２】

以上のように構成された本発明の基板識別回路は、ＴＦＴの特性ばらつきに基づいて基板に固有な番号を生成するので、マスクＲＯＭのように基板ごとにマスクを変更する必要がなく、また、書き換えや複製を行うことは困難である。

【００３３】

なお、１ビットの信号（Ｈｉ／Ｌｏの電位、または、０／１の電位）は、正確に電源ＶＤＤまたはＧＮＤに一致する必要はない。インバータやＮＡＮＤ回路、ＮＯＲ回路といった論理回路が、これを構成するＴＦＴの特性ばらつきを考慮しても、ＨｉまたはＬｏと判定することが可能である範囲の電位であればよい。

【００３４】

また、ＴＦＴの特性ばらつきは、不純物に起因するもの、装置に起因するもの、のいずれであっても構わない。特に、ＴＦＴの活性層として多結晶半導体を用いた場合には、活性領域のグレインパタンに起因する特性ばらつきも重要である。グレインパタンに起因する特性ばらつきは、核発生やグレインの成長に依存し、実質的にランダムな特性ばらつきを得ることができるため、基板に固有な番号に用いる場合、好ましい。

【００３５】

グレインパタンに起因する特性ばらつきは、ＴＦＴサイズと典型的なグレインサイズの関係によって、ばらつきの程度をある程度制御することができる。ＴＦＴサイズが典型的なグレインサイズよりもずっと大きい場合には、ＴＦＴのチャネル領域に多数のグレインが存在するため、グレインに起因するばらつきは平均化され、ばらつきは小さくなる。一方、ＴＦＴサイズと典型的なグレインサイズが同程度である場合には、ＴＦＴのチャネル領域は少数のグレインによって構成されるため大きな特性ばらつきとなる。また、ＴＦＴサイズが典型的なグレインサイズよりもずっと小さい場合には、殆どのＴＦＴは一つのグレインによって形成されることになるが、一部のＴＦＴでは、チャネル領域にグレインの境界が存在し、特性が大きく変化し、偏った特性ばらつきとなる。従って、固有ビット生成回路を形成するＴＦＴのサイズは、典型的なグレインサイズは同程度の大きさとすることが好ましい。

【００３６】

なお、グレインが一方向に延在するような場合には、短軸方向の幅とＴＦＴサイズを同程度とすればよい。

【００３７】

本発明では、基板の識別番号はＴＦＴばらつきによってランダムに生成されるため、基板の識別番号のビット数が少ないと、多数の基板を識別することが困難になってしまう。実際には、以下の議論によって、１００ビット程度で、十分な数の基板を識別することが可能であることがわかる。

【００３８】

基板の識別番号のビット数をｎとすると、2^n通りの識別番号のうちの一つが生成される。識別したい基板の数を10^{10}個（＞全世界の人口）とし、識別番号はランダムに形成されるため重なる可能性を考慮して、さらに10^8倍の十分な余裕を取るとしても、ビット数にして、６０ビット（～$\log_2(10^{18})$ビット）程度の識別番号で十分であることがわかる。

【００３９】

なお、本発明における基板識別回路は、ＴＦＴ特性を利用することを特徴とするため、識別番号は温度や他の環境に多少依存する。つまり、環境変化に対し出力の値（０／１）が変化する固有ビット生成回路も存在する。これは、環境変化に対し変化しない固有ビットを、基板の識別が十分できる数だけ確保できるように設計し、環境変化に対し変化しない固有ビットで、基板の識別を行う構成とすれば問題はない。

【００４０】

なお、固有ビット生成回路を、サイズや極性の等しいＴＦＴ間のばらつきを反映させる構成とすることで、温度等の環境変化にあまり依存しない固有ビットを生成することができる。これは、サイズや極性の等しいＴＦＴは、温度等の環境変化に対し、同じ特性変化を示すためである。

【００４１】

なお、半導体装置とは、半導体特性を利用することで機能する装置全般を指し、例えば、液晶表示装置や発光装置に代表される半導体表示装置や、半導体表示部を有する電子機器をその範疇に含む。なお、半導体表示部とは、絶縁表面を有する基板上に電極あるいは薄膜トランジスタを形成してなる表示部を言い、例えば、液晶表示部や発光表示部、あるいは、パッシブマトリクス型表示部やアクティブマトリクス型表示部をその範疇に含む。なお、自明な場合には、半導体表示部を単に表示部とも表す。

【００４２】

また、薄膜トランジスタ（ＴＦＴ）とは、ＳＯＩ技術を用いて形成されるトランジスタの全体を指す。

【００４３】

以下に本願発明の構成を示す。

【００４４】

絶縁表面を有する基板上に形成された基板識別回路であって、
前記基板識別回路は、複数の第１回路を有し、
前記第１回路は、複数のＴＦＴによって構成されており、
前記第１回路は、前記複数のＴＦＴの特性ばらつきに基づいて１ビット乱数を出力し、
複数の前記１ビット乱数を用いて前記基板に固有な数値を発生することを特徴とする基板識別回路が提供される。

【００４５】

絶縁表面を有する基板上に形成された基板識別回路であって、
前記基板識別回路は、複数の第１回路を有し、
前記第１回路は、複数のＴＦＴによって構成されており、
前記第１回路は、前記複数のＴＦＴの特性ばらつきに基づいて１ビット乱数を出力し、
複数の前記１ビット乱数を用いて前記基板に固有な数値を発生し、
外部から入力する数値と、前記基板に固有な数値と、の比較を行う第２回路を有することを特徴とする基板識別回路が提供される。

【００４６】

絶縁表面を有する基板上に形成された基板識別回路であって、

前記基板識別回路は、複数の第１回路を有し、
前記第１回路は、複数のＴＦＴによって構成されており、
前記第１回路は、前記複数のＴＦＴのしきい値ばらつきに基づいて１ビット乱数を出力し、
複数の前記１ビット乱数を用いて前記基板に固有な数値を発生することを特徴とする基板識別回路が提供される。
【００４７】
絶縁表面を有する基板上に形成された基板識別回路であって、
前記基板識別回路は、複数の第１回路を有し、
前記第１回路は、複数のＴＦＴによって構成されており、
前記第１回路は、前記複数のＴＦＴのしきい値ばらつきに基づいて１ビット乱数を出力し、
複数の前記１ビット乱数を用いて前記基板に固有な数値を発生し、
外部から入力する数値と、前記基板に固有な数値と、の比較を行う第２回路を有することを特徴とする基板識別回路が提供される。
【００４８】
絶縁表面を有する基板上に形成された基板識別回路であって、
前記基板識別回路は、複数の第１回路を有し、
前記第１回路は、複数のＴＦＴによって構成されており、
前記複数のＴＦＴは、多結晶半導体膜でなる活性層を有し、
前記第１回路は、前記複数のＴＦＴの活性層のグレインパタンに基づいて１ビット乱数を出力し、
複数の前記１ビット乱数を用いて前記基板に固有な数値を発生することを特徴とする基板識別回路が提供される。
【００４９】
絶縁表面を有する基板上に形成された基板識別回路であって、
前記基板識別回路は、複数の第１回路を有し、
前記第１回路は、複数のＴＦＴによって構成されており、
前記複数のＴＦＴは、多結晶半導体膜でなる活性層を有し、
前記第１回路は、前記複数のＴＦＴの活性層のグレインパタンに基づいて１ビット乱数を出力し、
複数の前記１ビット乱数を用いて前記基板に固有な数値を発生し、
外部から入力する数値と、前記基板に固有な数値と、の比較を行う第２回路を有することを特徴とする基板識別回路が提供される。
【００５０】
前記第１回路は差動増幅回路を構成要素として含んでいても良い。
【００５１】
前記第１回路はインバータを構成要素として含んでいても良い。
【００５２】
前記基板識別回路と、画素部と、が前記基板上に一体形成されていることを特徴とする半導体装置が提供される。
【００５３】
前記基板識別回路と、画素部と、画素部を駆動する駆動回路と、が前記基板上に一体形成されていることを特徴とする半導体装置が提供される。
【００５４】
前記半導体装置は液晶表示装置であってもよい。
【００５５】
前記半導体装置は発光装置であってもよい。
【００５６】
前記基板識別回路と、演算処理回路とが前記基板上に一体形成されていることを特徴とす

る半導体装置が提供される。
【００５７】
前記基板識別回路と、メモリとが前記基板上に一体形成されていることを特徴とする半導体装置が提供される。
【００５８】
前記半導体装置として、ゲーム機、ビデオカメラ、頭部取り付け型のディスプレイ、ＤＶＤプレーヤー、パーソナルコンピュータ、携帯電話、カーオーディオが提供される。
【００５９】
【発明の実施の形態】
本実施の形態では、ｋビット（ｋは１以上の整数）の識別番号を有する基板識別回路の代表的な回路構成と動作について述べる。説明には、図１、図４、図５を用いる。
【００６０】
図１に示すのは、本発明の基板識別回路のブロック図である。ここでは、基板識別回路の代表的な構成として、識別番号と判定基準に関する信号と調整用の信号とを入力信号とし、識別番号が固有ワードと一致したかどうかを表す判定結果が出力される構成の基板識別回路を考える。
【００６１】
図１において、基板識別回路３０４は、固有ワード生成回路３０１と判定回路３０３によって構成されている。また、基板識別回路３０４には、電源ＶＤＤ、ＧＮＤ、調整用の電位Ｖｉｎ、および入力データとして識別番号と判定基準を定める信号が入力され、判定結果としてＶｏｕｔが出力される。
【００６２】
固有ワード生成回路３０１はｋ個の固有ビット生成回路３０２（１）～３０２（ｋ）によって構成される。そして、固有ワード生成回路３０１は、複数のＴＦＴの特性ばらつきを反映して、ｋビットの固有ワード（Ｄｉｄ（１）、・・、Ｄｉｄ（ｋ））を出力する。また、固有ワード生成回路３０１には、電源ＶＤＤ、ＧＮＤおよび調整用の電位Ｖｉｎが入力される。
【００６３】
判定回路３０３は、固有ワード生成回路３０１の出力である固有ワード（Ｄｉｄ（１）、・・、Ｄｉｄ（ｋ））と外部から入力される識別番号とを比較し、判定する回路である。外部からは、判定基準を定める信号も入力される。そして、判定結果を、Ｖｏｕｔとして出力する。
【００６４】
次に、基板識別回路３０４を構成する固有ビット生成回路３０２、および判定回路３０３の回路構成について説明する。
【００６５】
図４（Ａ）および（Ｂ）に示すのは、固有ビット生成回路の代表的な回路構成である。
【００６６】
図４（Ａ）に示すのは、差動増幅回路４０１の２つの入力に共通の電位Ｖｉｎを接続した回路である。差動増幅回路４０１は、２つの入力の大小関係に従って、ＨｉまたはＬｏを出力する回路である。従って、差動増幅回路４０１を２つの入力を共通とし、かつ、差動増幅回路４０１を構成するＴＦＴのばらつきを無視すれば、中間電位が出力されることになる。しかしながら、実際には、差動増幅回路４０１を構成するＴＦＴは特性ばらつきを有するため、中間電位が出力されることはなく、差動増幅回路４０１を構成するＴＦＴのばらつきに従って、ＨｉまたはＬｏの信号が出力される。
【００６７】
つまり、図４（Ａ）に示した固有ビット生成回路は、差動増幅回路４０１を構成するＴＦＴの特性ばらつきに基づいてＨｉまたはＬｏの信号（固有ビット）を出力する。
【００６８】
なお、差動増幅回路４０１は、公知のどのような回路であっても構わない。また、図４（

Ａ）では差動増幅回路４０１の２つの入力を共通としているが、２つの入力を別々としても構わない。

【００６９】

図４（Ｂ）は、インバータ４０２、４０３を直列に接続した回路であり、初段のインバータ４０２には電位Ｖｉｎが入力されている。インバータは入力電位（ＨｉまたはＬｏ）を反転して出力する回路であるから、Ｖｉｎとして中間電位を入力した場合、インバータを構成するＴＦＴの特性ばらつきを無視すれば、出力は中間電位となる。しかしながら、実際には、インバータを構成するＴＦＴは特性ばらつきを有するため、中間電位が出力されることはなく、インバータ４０２、４０３を構成するＴＦＴのばらつきに従って、ＨｉまたはＬｏの信号が出力される。

【００７０】

つまり、図４（Ｂ）に示した固有ビット生成回路は、インバータ４０２、４０３を構成するＴＦＴの特性ばらつきに基づいてＨｉまたはＬｏの信号（固有ビット）を出力する。

【００７１】

なお、図４（Ｂ）では、インバータの段数が２段の場合を示したが、この段数に限られるわけではなく、１段以上であれば何段でも構わない。また、インバータの代わりに、バッファ回路を直列に接続した回路を用いても構わない。インバータ回路およびバッファ回路は公知のどのような回路を用いても構わない。

【００７２】

ただし、インバータまたはバッファ回路の段数が少ない場合には、出力電位が十分Ｈｉ側またはＬｏ側にならずに、中間電位となる可能性がある。出力電位が中間電位となるかどうかは、ＴＦＴ特性のばらつきとインバータまたはバッファ回路の特性との兼ね合いで決まるが、インバータまたはバッファ回路の段数は、出力がデジタル信号となる段数であることが好ましい。

【００７３】

次に、判定回路の回路構成について述べる。図５には、判定回路の一例が示されている。

【００７４】

図５において、判定回路５０４には、ｋビットの固有ワード（Ｄｉｄ（１）、Ｄｉｄ（２）、・・、Ｄｉｄ（ｋ））と、ｋビットの識別番号（Ｄｉｎ（１）、Ｄｉｎ（２）、・・、Ｄｉｎ（ｋ））と、判定基準を定める信号Ｖｊｕｄｇｅとが入力され、Ｖｏｕｔが出力される。判定回路５０４は、ｋ個のＥＸＮＯＲ回路５０１（１）～５０１（ｋ）と、等しい容量を有するｋ個の容量素子５０２（１）～５０２（ｋ）と、差動増幅回路５０３によって構成されている。

【００７５】

判定回路５０４に入力された固有ワードと識別番号の各ビットは（ここでは第ｉビットとし、ｉは１以上ｋ以下の整数とする）、ＥＸＮＯＲ回路５０１（ｉ）に入力され、その出力は容量素子５０２（ｉ）の一方の端子に接続されている。容量素子５０２（１）～５０２（ｋ）の残る一方の端子は互いに接続され、かつ、差動増幅回路５０３に入力される。このノードをノードＥ、電位をＶＥとする。差動増幅回路５０３の残る一方の入力には、判定基準を定める信号Ｖｊｕｄｇｅが入力され、差動増幅回路５０３の出力としてＶｏｕｔが出力される。

【００７６】

ＥＸＮＯＲ回路は、２つの入力が等しい場合にＨｉを、２つの入力が異なる場合にＬｏを出力する。従って、例えば、ｋビットの固有ワードとｋビットの識別番号をビット毎に比較して、ｋビットのうちのｈビット（ｈは１以上ｋ以下の整数とする）が一致する場合、ＥＸＮＯＲ回路５０１（１）～５０１（ｋ）の出力のうちのｈ本にはＨｉが、残る（ｋ－ｈ）本にはＬｏが出力される。

【００７７】

差動増幅回路の入力容量は容量素子５０２（１）～５０２（ｋ）と比較して十分小さいとすると、ノードＥの電位ＶＥは、容量素子５０２（１）～５０２（ｋ）によって決まる。

例えば、ＥＸＮＯＲ回路５０１（１）～５０１（ｋ）の出力のうちのｈ本はＨｉ、残る（ｋ－ｈ）本はＬｏが出力されたとし、Ｈｉの電位をＶＤＤとし、Ｌｏの電位を０Ｖとすると、ノードＥの電位ＶＥは、ＶＥ＝ｈ／ｋ×ＶＤＤとなる。

【００７８】

差動増幅回路には、ＶＥとＶｊｕｄｇｅが入力され、ＶＥ＞Ｖｊｕｄｇｅである場合にはＶｏｕｔにＨｉが出力され、ＶＥ＜Ｖｊｕｄｇｅである場合にはＶｏｕｔにＬｏが出力される。つまりＶｊｕｄｇｅが判定基準となり、ＶｏｕｔがＨｉの場合には固有ワードと識別番号とが一致、ＶｏｕｔがＬｏの場合には固有ワードと識別番号とが不一致、と判断することができる。

【００７９】

例えば、Ｖｊｕｄｇｅ＝３／４×ＶＤＤとした場合、判定基準は、固有ワードと識別番号とが７５％以上のビットで一致すること、であり、固有ワードと識別番号とをビット毎に比較して７５％以上一致した場合にはＶｏｕｔがＨｉ、７５％以下しか一致しない場合にはＶｏｕｔがＬｏ、となる。

【００８０】

なお、判定回路を構成するｋ個の容量素子の容量を等しいとしたが、ｋ個の容量素子の容量が異なる場合であっても構わない。ｋ個の容量素子の容量を異ならせることによって、ビット毎の判定基準の重みを変えることができる。また、簡単のため、差動増幅回路の入力容量や特性ばらつきを無視したが、これらを含めて考えてもよい。差動増幅回路の入力容量や特性ばらつきの影響は、Ｖｊｕｄｇｅの値を変化させることによって補正する事が可能であるため、この影響を考慮して判定基準を設定すればよい。

【００８１】

以上のようにして、本発明の基板識別回路は構成される。そして上述した基板識別回路を、画素部、画素部の駆動回路、あるいは他のロジック回路と絶縁表面を有する基板上に一体形成することで、そのＴＦＴ基板に固有の番号を割り当てることが可能となる。

【００８２】

調整用の電位Ｖｉｎや判定基準を定める電位Ｖｊｕｄｇｅの設定の方針について述べる。固有ワードはＶｉｎや、温度等の環境に多少依存する。これは、ＴＦＴ特性が環境変化に依存するためである。調整用の電位Ｖｉｎや判定基準を定める電位Ｖｊｕｄｇｅはこれらのマージンを考慮して決めるとよい。例えば、Ｖｉｎが２．０±０．５Ｖの範囲、温度が－３０℃から１００℃の範囲、において固有ワードを構成するビットのうちの６０％は変化しないとすれば、Ｖｉｎを２Ｖとし、かつ、６０％以上一致することを判定基準とするＶｊｕｄｇｅを用いることによって、基板の識別を行うことができる。

【００８３】

この場合には、固有ワードを構成する６０％のビット数で、十分な数の基板を識別する事が可能である必要がある。

【００８４】

なお、基板の管理だけを目的とする場合には、基板識別回路として固有ワード生成回路のみを用いることも可能である。出力される固有ワードを識別番号として管理することができる。また、基板の識別番号を、特定のＴＦＴ基板に対して選択的に権利を付与する場合などに用いる場合には、本実施の形態で説明した基板識別回路を、ＴＦＴ基板のシステムの一部として組み込めばよい。例えば、識別番号を入力することにより、判定結果である出力をＴＦＴ基板内の他のロジック回路のイネーブル信号として用いることができる。また、半導体装置内の他のＩＣチップや異なる半導体装置への出力信号として用いることも可能である。

【００８５】

以下に本発明の実施例を示す。

【００８６】

（実施例１）

本実施例では、実施の形態で説明した固有ビット生成回路の具体的な回路構成について説

明する。説明には図６を用いる。

【００８７】

図６に示す固有ビット生成回路は、電位Ｖｉｎ１とＶｉｎ２を入力とし、固有ビットＤｉｄを出力とする。図６において、Ｎチャネル型ＴＦＴ６０２のドレイン領域とＰチャネル型ＴＦＴ６０４のドレイン領域とがノードＡにおいて接続されており、Ｎチャネル型ＴＦＴ６０３のドレイン領域とＰチャネル型ＴＦＴ６０５のドレイン領域とがノードＢにおいて接続されている。Ｎチャネル型ＴＦＴ６０２のソース領域とＮチャネル型ＴＦＴ６０３のソース領域とは互いに接続されており、定電流源に接続されている。Ｐチャネル型ＴＦＴ６０４のソース領域とＰチャネル型ＴＦＴ６０５のソース領域とは互いに接続されており、電源ＶＤＤに接続されている。また、Ｐチャネル型ＴＦＴ６０４、６０５のゲート電極は互いに接続されており、ノードＡに接続されている。入力電位Ｖｉｎ１、Ｖｉｎ２は、Ｎチャネル型ＴＦＴ６０２、６０３のゲート電極にそれぞれ接続されており、出力電位である固有ビットＤｉｄは、ノードＢに接続されている。

【００８８】

なお、図６では、Ｎチャネル型ＴＦＴ６０２と６０３、およびＰチャネル型ＴＦＴ６０４と６０５はそれぞれ同じサイズである。

【００８９】

図６に示した固有ビット生成回路は、入力Ｖｉｎ１とＶｉｎ２に共通の電位を入力すれば、以下のように、回路を構成するＴＦＴのばらつきを反映して固有ビットを出力する。

【００９０】

例えば、Ｎチャネル型ＴＦＴ６０２、６０３のしきい値電圧をＶｔｈＮ１、ＶｔｈＮ２とし、Ｐチャネル型ＴＦＴ６０４、６０５のしきい値電圧をＶｔｈＰ１、ＶｔｈＰ２とし、定電流源を理想的なものと仮定する。この時、Ｖｉｎ１＝Ｖｉｎ２とし、４つのしきい値の関係がＴＦＴのばらつきによって、ＶｔｈＮ１＞ＶｔｈＮ２、ＶｔｈＰ１＝ＶｔｈＰ２であれば、出力はＬｏとなり、ＶｔｈＮ１＜ＶｔｈＮ２、ＶｔｈＰ１＝ＶｔｈＰ２であれば、出力はＨｉとなり、ＶｔｈＮ１＝ＶｔｈＮ２、ＶｔｈＰ１＞ＶｔｈＰ２であれば、出力はＬｏとなり、ＶｔｈＮ１＝ＶｔｈＮ２、ＶｔｈＰ１＜ＶｔｈＰ２であれば、出力はＨｉとなる。実際には、これらの組合せ、および定電流源のばらつき等も含めて出力が決まることになる。

【００９１】

図６に示した固有ビット生成回路は、Ｖｉｎ１＝Ｖｉｎ２である場合に、同じサイズと極性を有するＴＦＴ間の特性の違い、つまり、Ｎチャネル型ＴＦＴ６０２と６０３の特性の違い、およびＰチャネル型ＴＦＴ６０４と６０５の特性の違い、のみを反映して固有ビットを生成するために、環境やＶｉｎ１（＝Ｖｉｎ２）の変化に対する固有ビットの依存性は小さい。

【００９２】

なお、調整用に入力をＶｉｎ１、Ｖｉｎ２と別々に入力する構成としたが、Ｖｉｎ１とＶｉｎ２を同電位として入力を一つにまとめてもよい。

【００９３】

また、出力端子にインバータ、あるいは複数のインバータを直列に接続した回路を接続しても良い。

【００９４】

（実施例２）

本実施例では、固有ビット生成回路の具体的な回路構成として、実施例１とは異なる例を説明する。説明には図７を用いる。

【００９５】

図７に示す固有ビット生成回路は、電位Ｖｉｎ１とＶｉｎ２を入力とし、固有ビットＤｉｄを出力とする。図７において、Ｎチャネル型ＴＦＴ７０１のドレイン領域とＰチャネル型ＴＦＴ７０２のドレイン領域とがノードＣにおいて接続されている。ノードＣはインバータ７０３入力端子に接続され、インバータ７０３と７０４は直列に接続されている。固

有ビット生成回路への入力Ｖｉｎ１、Ｖｉｎ２は、Ｐチャネル型ＴＦＴ７０２のゲート電極、Ｎチャネル型ＴＦＴ７０１のゲート電極にそれぞれ接続され、固有ビット生成回路の出力である固有ビットＤｉｄは、インバータ７０４の出力端子に接続されている。

【００９６】

図７に示した固有ビット生成回路は、入力Ｖｉｎ１とＶｉｎ２に適切な電位を入力すれば、以下のように、回路を構成するＴＦＴのばらつきを反映して固有ビットを出力する。

【００９７】

入力Ｖｉｎ１とＶｉｎ２に入力する電位としては、Ｎチャネル型ＴＦＴ７０１とＰチャネル型ＴＦＴ７０２が平均的な特性である場合に、ノードＣに中間電位が現れるような電位を入力する。

【００９８】

例えば、Ｎチャネル型ＴＦＴ７０１のしきい値をＶｔｈＮ、Ｐチャネル型ＴＦＴ７０２のしきい値をＶｔｈＰとし、インバータ７０３、７０４が理想的なインバータであると仮定する。また、Ｎチャネル型ＴＦＴのしきい値の平均をＶｔｈＮ０、Ｐチャネル型ＴＦＴのしきい値の平均をＶｔｈＰ０とする。

【００９９】

この時、２つのしきい値の関係がＴＦＴのばらつきによって、ＶｔｈＮ＞ＶｔｈＮ０かつＶｔｈＰ＝ＶｔｈＰ０であれば、出力はＨｉとなり、ＶｔｈＮ＜ＶｔｈＮ０かつＶｔｈＰ＝ＶｔｈＰ０であれば、出力はＬｏとなり、ＶｔｈＮ＝ＶｔｈＮ０かつＶｔｈＰ＞ＶｔｈＰ０であれば、出力はＨｉとなり、ＶｔｈＮ＝ＶｔｈＮ０かつＶｔｈＰ＜ＶｔｈＰ０であれば、出力はＬｏとなる。実際には、これらの組合せ、およびインバータ７０３、７０４のばらつきを含めて出力が決まることになる。

【０１００】

なお、調整用に入力をＶｉｎ１、Ｖｉｎ２と別々に入力する構成としたが、Ｖｉｎ１とＶｉｎ２を同電位として入力を一つにまとめてもよい。

【０１０１】

なお、インバータの段数は２段に限られず、何段であっても構わない。

【０１０２】

（実施例３）

本実施例では、固有ワード生成回路の具体的な回路構成として、実施の形態とは異なる例を説明する。説明には図８を用いる。

【０１０３】

図８に示すのは、電位Ｖｉｎ１とＶｉｎ２が入力され、ｋビット（ｋは１以上の整数）の固有ワード（Ｄｉｄ（１）、・・、Ｄｉｄ（ｋ））が出力される固有ワード生成回路である。図８に示した固有ワード生成回路は、参照電圧発生回路８０２と、ｋ個の固有ビット生成回路８０１（１）～８０１（ｋ）によって構成される。ｋ個の固有ビット生成回路８０１（１）～８０１（ｋ）は、それぞれＮチャネル型ＴＦＴとＰチャネル型ＴＦＴの組（８０５（１）、８０６（１））～（８０５（ｋ）、８０６（ｋ））からなり、その回路構成は、図７においてインバータ７０３、７０４を除いた構成と一致する。また、その動作は実施例２で説明したのと同様であるので省略する。

【０１０４】

本実施例では、固有ビット生成回路への入力の一方に、参照電圧発生回路８０２の出力を用いることが特徴である。参照電圧発生回路８０２は、Ｎチャネル型ＴＦＴ８０３のドレイン領域とＰチャネル型ＴＦＴ８０４のドレイン領域とがノードＤにおいて接続されている。Ｎチャネル型ＴＦＴ８０３のソース領域はＧＮＤに、Ｐチャネル型ＴＦＴ８０４のソース領域はＶＤＤに接続されている。また、Ｎチャネル型ＴＦＴ８０３のゲート電極には入力電位Ｖｉｎ１が接続され、Ｐチャネル型ＴＦＴ８０４のゲート電極は、ノードＤと接続されており、参照電位Ｖｒｅｆとして出力される。

【０１０５】

なお、図８において、Ｎチャネル型ＴＦＴ８０３と、Ｎチャネル型ＴＦＴ８０５（１）～

８０５（ｋ）とは、同じサイズであり、Ｐチャネル型ＴＦＴ８０４と、Ｎチャネル型ＴＦＴ８０６（１）～８０６（ｋ）とは、同じサイズであるとする。

【０１０６】

図８に示した固有ワード生成回路は、入力Ｖｉｎ１とＶｉｎ２に共通の電位を入力すれば、回路を構成するＴＦＴのばらつきを反映して固有ワードを出力する。

【０１０７】

ここでは、固有ワードの第１ビット目であるＤｉｄ（１）だけを考える。例えば、Ｎチャネル型ＴＦＴ８０３、８０５（１）のしきい値電圧をＶｔｈＮ１、ＶｔｈＮ２とし、Ｐチャネル型ＴＦＴ８０４、８０６（１）のしきい値電圧をＶｔｈＰ１、ＶｔｈＰ２とすると、４つのしきい値の関係がＴＦＴのばらつきによって、ＶｔｈＮ１＞ＶｔｈＮ２、ＶｔｈＰ１＝ＶｔｈＰ２であれば、出力はＬｏとなり、ＶｔｈＮ１＜ＶｔｈＮ２、ＶｔｈＰ１＝ＶｔｈＰ２であれば、出力はＨｉとなり、ＶｔｈＮ１＝ＶｔｈＮ２、ＶｔｈＰ１＞ＶｔｈＰ２であれば、出力はＬｏとなり、ＶｔｈＮ１＝ＶｔｈＮ２、ＶｔｈＰ１＜ＶｔｈＰ２であれば、出力はＨｉとなる。実際には、これらの組合せによって出力が決まることになる。

【０１０８】

また、固有ワードの第ｉビット目Ｄｉｄ（ｉ）についても同様である。

【０１０９】

なお、図８において、参照電圧発生回路８０２をなくして、参照電圧ＶｒｅｆとＶｉｎ２とを入力とする固有ワード生成回路を構成することもできる。この場合には、異なる極性を有するＴＦＴ８０５（ｉ）とＴＦＴ８０６（ｉ）間の特性の違いを反映して固有ワードを生成する。

【０１１０】

図８に示した固有ワード生成回路は、Ｖｉｎ１＝Ｖｉｎ２である場合に、同じサイズと極性を有するＴＦＴ間の特性の違い、つまり、Ｎチャネル型ＴＦＴ８０３と８０５(ｉ)の特性の違い、およびＰチャネル型ＴＦＴ８０４と８０６（ｉ）の特性の違い、のみを反映して固有ビットを生成するために、参照電圧発生回路８０２を設けない場合と比較して、環境やＶｉｎ１（＝Ｖｉｎ２）の変化に対する固有ビットの依存性を小さくすることができる。

【０１１１】

なお、調整用に入力をＶｉｎ１、Ｖｉｎ２と別々に入力する構成としたが、Ｖｉｎ１とＶｉｎ２を同電位として入力を一つにまとめてもよい。

【０１１２】

また、出力端子にインバータ、あるいは複数のインバータを直列に接続した回路を接続しても良い。

【０１１３】

（実施例４）

本実施例では、実施の形態で説明した判定回路とは異なる回路構成について説明する。説明には図９を用いる。

【０１１４】

実施の形態では、判定基準としてアナログ信号Ｖｊｕｄｇｅを入力し、固有ワードと入力した識別番号との一致の判定をアナログ回路である差動増幅回路を用いて行っていたが、本実施の形態では、判定基準としてデジタル信号を入力し判定も全てデジタル回路で行なう例について説明する。

【０１１５】

図９に示す判定回路は、ｋビットの固有ワード（Ｄｉｄ（１）、Ｄｉｄ（２）、・・、Ｄｉｄ（ｋ））と、ｋビットの識別番号（Ｄｉｎ（１）、Ｄｉｎ（２）、・・、Ｄｉｎ（ｋ））と、判定基準を定めるデジタル信号（Ｍｉｎ（１）、Ｍｉｎ（２）、・・、Ｍｉｎ（ｋ））ｅとが入力され、Ｖｏｕｔが出力される。判定回路は、ｋ個のＥＸＮＯＲ回路９０１（１）～９０１（ｋ）と、ｋ個のＮＡＮＤ回路９０２（１）～９０２（ｋ）と、ｋ本の

入力を有するＮＡＮＤ回路９０３によって構成されている。

【０１１６】

判定回路に入力された固有ワードと識別番号の各ビットは（ここでは第ｉビットとし、ｉは１以上ｋ以下の整数とする）、ＥＸＮＯＲ回路９０１（ｉ）に入力され、その出力はＮＡＮＤ回路９０２（ｉ）の一方の端子に接続されている。ＮＡＮＤ回路９０２（ｉ）の残る一方の端子には、判定基準を定めるデジタル信号Ｍｉｎ（ｉ）が入力される。ＮＡＮＤ回路９０２（ｉ）の出力はＮＡＮＤ回路９０３に入力され、ＮＡＮＤ回路９０３の出力は、Ｖｏｕｔとして判定回路から出力される。

【０１１７】

ＥＸＮＯＲ回路は、２つの入力が等しい場合にＨｉを、２つの入力が異なる場合にＬｏを出力する。従って、例えば、ｋビットの固有ワードとｋビットの識別番号をビット毎に比較して、ｋビットのうちのｈビット（ｈは１以上ｋ以下の整数とする）が一致する場合、ＥＸＮＯＲ回路９０１（１）～９０１（ｋ）の出力のうちのｈ本にはＨｉが、残る（ｋ－ｈ）本にはＬｏが出力される。

【０１１８】

判定基準を定めるデジタル信号Ｍｉｎ（ｉ）にはそれぞれ０または１が入力されるが、Ｍｉｎ（ｉ）に０が入力された場合には、ＮＡＮＤ回路９０２（ｉ）の出力は、ＥＸＮＯＲ回路９０１（ｉ）の出力によらず１となる。また、Ｍｉｎ（ｉ）に１が入力された場合には、ＮＡＮＤ回路９０２（ｉ）の出力は、ＥＸＮＯＲ回路９０１（ｉ）の出力の反転信号となる。

【０１１９】

そして、判定回路の出力Ｖｏｕｔは、ＮＡＮＤ回路９０２（ｉ）の出力が全て１である場合にのみ０が出力される。つまり、信号Ｍｉｎ（ｉ）が１であるビットにおいて、Ｄｉｄ（ｉ）とＤｉｎ（ｉ）が一致である場合にのみ０が出力される。

【０１２０】

言い替えると、デジタル信号（Ｍｉｎ（１）、Ｍｉｎ（２）、・・、Ｍｉｎ（ｋ））には、固有ワードと入力する識別番号とをビット毎に比較して、一致する必要のないビットには０を、一致すべきる必要のないビットには１を入力することによって、判定基準を定めることができる。

【０１２１】

そして、Ｖｏｕｔが０の場合には固有ワードと識別番号とが一致、Ｖｏｕｔが１の場合には固有ワードと識別番号とが不一致、と判断することができる。

【０１２２】

例えば、デジタル信号（Ｍｉｎ（１）、Ｍｉｎ（２）、・・、Ｍｉｎ（ｋ））において、３番目のビットＭｉｎ（３）にだけ１を、他のビットには０を入力した場合、判定基準は、固有ワードと識別番号とが３番目のビットを除いて全て一致した場合にＶｏｕｔが０、それ例外はＶｏｕｔが１となる。

【０１２３】

このように構成した判定回路は全てデジタル回路であるから、ＴＦＴの特性ばらつきの影響はない。

【０１２４】

判定基準を定めるデジタル信号（Ｍｉｎ（１）、Ｍｉｎ（２）、・・、Ｍｉｎ（ｋ））の設定方針としては、例えば、固有ワードの調整用の電位Ｖｉｎや、温度等の環境に対する依存性を考慮して決めれば良い。例えば、温度がー３０℃から１００℃の範囲、において固有ワードが変化するビットに関しては、デジタル信号Ｍｉｎ（ｉ）を０とし、固有ワードが変化しないビットに関しては、デジタル信号Ｍｉｎ（ｉ）を１とするとよい。その場合、温度がー３０℃から１００℃の範囲において固有ワードが変化しないビットのみが全て一致することで、基板の識別を行うことができる。

【０１２５】

なお、本実施例は、実施例１～３と自由に組み合わせることが可能である。

【０１２６】
（実施例５）
本実施例では、実施の形態で説明した基板識別回路とは異なる回路構成について説明する。説明には図１０を用いる。
【０１２７】
実施の形態では、基板識別回路の形態として、ｋビットの固有ワードを一度に比較し判定する構成を示したが、本実施例では、固有ビット生成回路をマトリクス状に配置して、列ごとに固有ワード比較する構成を説明する。
【０１２８】
図１０において、基板識別回路は、ｎ行ｍ列のマトリクス状に配置された固有ビット生成回路１００４（ｉ，ｊ）（１≦ｉ≦ｎ、１≦ｊ≦ｍ、ｉ，ｊは整数）と、判定回路１００３と、セレクタ１１２と、デコーダ１００１によって構成される。
【０１２９】
固有ビット生成回路１００４には、調整用の電位Ｖｉｎがと外部入力Ｖｓｅｌが入力され、固有ビットが出力される。固有ビット生成回路は、Ｖｓｅｌが入力されると固有ビットを出力し、Ｖｓｅｌが入力されないと固有ビットを出力しない構成となっている。判定回路はｎビットの固有ワードと、入力データ（識別番号と判定基準を定める信号）を入力し、判定結果Ｖｏｕｔを出力する。また、デコーダにはアドレス信号が入力される。
【０１３０】
なお、固有ビット生成回路および判定回路としては、実施の形態や実施例１～４で説明した回路を応用することができる。
【０１３１】
デコーダ１００１にアドレス信号が入力されると、ｍ本の出力のうちの１本が選択され、固有ビット生成回路を活性化する選択信号Ｖｓｅｌが１列の固有ビット生成回路に入力される。その結果、選択された固有ビット生成回路から固有ビットが出力され、判定回路１００３にはｎビットの固有ワードが入力される。
【０１３２】
固有ワードと識別番号と判定は、判定回路によってｍ回に分けて行えばよい。ｍ回の判定を全てビット毎に記憶しておくことで、どのような判定を行う事も可能である。また、実施例３で説明した判定回路を応用する場合には、ｍ回の判定において、判定結果のみを記憶すれば十分である。
【０１３３】
なお、本実施例は、実施例１～４と自由に組み合わせることが可能である。
【０１３４】
（実施例６）
本実施例では、本発明の基板識別回路を、アクティブマトリクス型液晶表示部を構成するＴＦＴ基板に形成した例について述べる。説明には図１１を用いる。
【０１３５】
図１１（Ａ）はアクティブマトリクス型液晶表示部のブロック図である。図１１（Ａ）において、ＴＦＴ基板には、画素１１０４がマトリクス状に配置された画素部１１０１と、データ線駆動回路１１０２と、走査線駆動回路１１０３と、基板識別回路１１０８とが設けられている。
【０１３６】
基板識別回路１１０８には、識別番号が入力され、判定結果としてイネーブル信号が出力される。データ線駆動回路１１０２には、画像データおよびイネーブル信号が入力され、データ線１１０５が接続されている。また、走査線駆動回路１１０３には、走査線１１０６が接続されている。容量線１１０７にはコモン電位Ｖｃｏｍが与えられている。
【０１３７】
図１１（Ｂ）は、画素部１１０１を構成する画素１１０４の回路図の一例を示したものである。画素１１０４は、スイッチングＴＦＴ１１１１、液晶素子１１１２およびコンデン

サ１１１３を有し、スイッチングＴＦＴ１１１１のゲート電極は走査線１１０６に、ソース・ドレイン電極の一方がデータ線１１０５に接続されている。スイッチングＴＦＴ１１１１のソース・ドレイン電極の残る一方は、液晶素子１１１２およびコンデンサ１１１３に接続されている。また、液晶素子１１１２の残る一方の電極は対向電極１１１４に接続され、コンデンサ１１１３の残る一方の電極は容量線１１０７に接続されている。

【０１３８】

このように、基板識別回路１１０８をアクティブマトリクス型液晶表示部を構成するＴＦＴ基板に形成することによって、基板識別回路１１０８内で生成される固有ワードを識別番号として電気的に処理することが可能となる。

【０１３９】

例えば、図１１（Ａ）では、基板識別回路１１０８の出力がイネーブル信号としてデータ線駆動回路１１０２に入力されており、データ線駆動回路は１１０２、イネーブル信号がアクティブの場合のみ動作可能とする構成とすることによって、このアクティブマトリクス型液晶表示部の動作を、基板の識別番号でもって選択的に行うことが可能となる。

【０１４０】

この他、基板識別回路１１０８の出力を走査線駆動回路１１０３に入力する構成としてもよいし、基板の外に出力しても良い。

【０１４１】

なお、データ線駆動回路１１０２と走査線駆動回路１１０３の一方あるいは両方は、画素部１１０１を形成する基板上に形成されていても良いし、画素部１２０１を形成する基板とは異なる基板上に形成されていても良い。

【０１４２】

本実施例は、実施例１～５のいずれの構成を組み合わせても良い。

【０１４３】

（実施例７）

本実施例では、本発明の基板識別回路を、アクティブマトリクス型ＥＬ表示部を構成するＴＦＴ基板に形成した例について述べる。説明には図１２を用いる。

【０１４４】

図１２（Ａ）はアクティブマトリクス型ＥＬ表示部のブロック図である。図１２（Ａ）において、ＴＦＴ基板には、画素１２０４がマトリクス状に配置された画素部１２０１と、データ線駆動回路１２０２と、走査線駆動回路１２０３と、基板識別回路１２０８とが設けられている。

【０１４５】

基板識別回路１２０８には、識別番号が入力され、判定結果としてイネーブル信号が出力される。データ線駆動回路１２０２には、画像データおよびイネーブル信号が入力され、データ線１２０５が接続されている。また、走査線駆動回路１２０３には、走査線１２０６が接続されている。電源供給線１２０８には所定の電位が与えられている。

【０１４６】

図１２（Ｂ）は、画素部１２０１を構成する画素１２０４の回路図の一例を示したものである。画素１２０４は、スイッチングＴＦＴ１２１１、ＥＬ駆動用ＴＦＴ１２１２、ＥＬ素子１２１３を有し、スイッチングＴＦＴ１２１１のゲート電極は走査線１２０６に、ソース・ドレイン電極の一方がデータ線１２０５に接続されている。スイッチングＴＦＴ１２１１のソース・ドレイン電極の残る一方は、ＥＬ駆動用ＴＦＴ１２１２のゲート電極に接続されている。また、ＥＬ駆動用ＴＦＴ１２１２のソース電極が電源供給線１２０７に、ドレイン電極がＥＬ素子１２１３に接続されている。ＥＬ素子１２１３のもう一方の電極は対向電極１２１４に接続されている。

【０１４７】

このように、基板識別回路１２０８をアクティブマトリクス型ＥＬ表示部を構成するＴＦＴ基板に形成することによって、基板識別回路１２０８内で生成される固有ワードを識別番号として電気的に処理することが可能となる。

【０１４８】
例えば、図１２（Ａ）では、基板識別回路１２０８の出力がイネーブル信号としてデータ線駆動回路１２０２に入力されており、データ線駆動回路１２０２は、イネーブル信号がアクティブの場合のみ動作可能とする構成とすることによって、このアクティブマトリクス型ＥＬ表示部の動作を、基板の識別番号でもって選択的に行うことが可能となる。
【０１４９】
この他、基板識別回路１２０８の出力を走査線駆動回路１２０３に入力する構成としてもよいし、基板の外に出力しても良い。
【０１５０】
なお、データ線駆動回路１２０２と走査線駆動回路１２０３の一方あるいは両方は、画素部１２０１を形成する基板上に形成されていても良いし、画素部１２０１を形成する基板とは異なる基板上に形成されていても良い。
【０１５１】
本実施例は、実施例１～５のいずれの構成を組み合わせても良い。
【０１５２】
（実施例８）
本実施例では、本発明の基板識別回路を、様々なロジック回路を形成したＴＦＴ基板に内蔵した例について述べる。説明には図１３を用いる。
【０１５３】
図１３は本実施例のＴＦＴ基板のブロック図であり、例えば、画像データの基を取り込み、または作成して、画像データの加工とフォーマット変換を行い、画像データを出力する装置を構成することができる。これに液晶表示部やＯＬＥＤ表示部と組み合わせる事で、例えば、ゲーム機、ビデオカメラ、カーナビゲーション、パーソナルコンピュータ等を考える事ができる。
【０１５４】
特に、本実施例のＴＦＴ基板を、液晶表示部やＯＬＥＤ表示部の対向基板として応用する事も可能である。その場合には、各ブロックは、表示に影響しない部分（駆動回路部の対向部分など）に形成する必要がある。画素部を形成する基板側のみ光を透過する場合には、対向基板全面に形成しても良い。
【０１５５】
図１３に示したＴＦＴ基板１３０８には、第１の制御回路３０２、第２の制御回路１３０３、ＣＰＵ１３０４、第１のメモリ１３０５、第２のメモリ１３０６、および基板識別回路１３０７が設けられている。これらのロジック回路はＴＦＴによって構成され、ＴＦＴ作製工程によって一体形成される。
【０１５６】
以下に、本実施例のＴＦＴ基板の動作について述べる。
【０１５７】
基板識別回路１３０８は、バスを介してＣＰＵ１３０４に制御され、必要に応じて基板の識別が行なわれる。つまり、基板識別回路１３０８には識別番号が入力され、ＣＰＵは、基板識別回路１３０８の判定結果を判断して、ＴＦＴ基板の回路動作の実行の可否を決定する。
【０１５８】
あるいは、基板識別回路を入力側の第１の制御回路へのイネーブル信号として専用に用いる構成としてもよい。
【０１５９】
図１３において、入力端子１３０１からは、それぞれの電子機器に応じて、画像データの基となるデータが入力される。例えば、放送受信機ではアンテナからの入力データであり、ビデオカメラではＣＣＤからの入力データである。ＤＶテープやメモリーカードからの入力データであってもよい。入力端子１３０１から入力されたデータは、第１の制御回路１３０２によって画像信号に変換される。第１の制御回路１３０２では、ＭＰＥＧ規格や

テープフォーマット等に従って圧縮符号化された画像データの復号処理、画像の補間やリサイズといった画像信号処理が行われる。第１の制御回路１３０２から出力された画像信号や、ＣＰＵ１３０４が作成または加工した画像信号は、第２の制御回路３０３に入力され、半導体表示部３０２に適したフォーマット（例えば走査フォーマット等）に変換される。第２の制御回路１３０３からは、フォーマット変換された画像信号と制御信号が出力される。

【０１６０】

ＣＰＵ１３０４は、第１の制御回路１３０２、第２の制御回路１３０３および他のインターフェイス回路における信号処理を効率良く制御する。また、画像データを作成したり、加工したりする。第１のメモリ１３０５は、第１の制御回路３１２から出力される画像データや第２の制御回路１３０３から出力される画像データを格納するメモリ領域、ＣＰＵによる制御を行う際のワークメモリ領域、ＣＰＵによって画像データを作成する際のワークメモリ領域、等として用いられる。第１のメモリ１３０５としては、ＤＲＡＭやＳＲＡＭが用いられる。第２のメモリ１３０６は、ＣＰＵ３１４によって画像データを作成または加工する場合に必要となる、色データや文字データを格納するメモリ領域であり、マスクＲＯＭやＥＰＲＯＭによって構成される。

【０１６１】

本実施例は、実施例１～５のいずれの構成を組み合わせても良い。

【０１６２】

（実施例９）

本実施例では、本発明の基板識別回路を、画素部、画素部の駆動回路、他のロジック回路を一体形成したＴＦＴ基板に内蔵した例について述べる。説明には図１４を用いる。

【０１６３】

図１４は本実施例のＴＦＴ基板のブロック図であり、例えば、画像データの基を取り込み、または作成して、画像データの加工とフォーマット変換を行い、画像を表示する装置を構成することができる。例えば、ゲーム機、ビデオカメラ、カーナビゲーション、パーソナルコンピュータ等を考えることができる。

【０１６４】

図１４に示したＴＦＴ基板１４１１には、第１の制御回路１４０２、第２の制御回路１４０３、ＣＰＵ１４０４、第１のメモリ１４０５、第２のメモリ１４０６、基板識別回路１４１０、および半導体表示部１４１２が設けられている。半導体表示部１４１２は、走査線駆動回路１４０８、信号線駆動回路１４０７、画素部１４０９によって構成される。

【０１６５】

基板識別回路１４１０は、バスを介してＣＰＵ１４０４に制御され、必要に応じて基板の識別が行なわれる。つまり、基板識別回路１４１０には識別番号が入力され、ＣＰＵは、基板識別回路１４１０の判定結果を判断して、ＴＦＴ基板の回路動作の実行の可否を決定する。

【０１６６】

あるいは、基板識別回路を入力側の第１の制御回路へのイネーブル信号として専用に用いる構成としてもよい。

【０１６７】

図１４に示したブロック構成は図１３に示したブロック図と半導体表示部を組み合わせた構成となっており、動作および機能に関しては実施例８を参考にすることができる。

【０１６８】

本実施例は、実施例１～５のいずれの構成を組み合わせても良い。

（実施例１０）

本実施例では、本発明の基板識別回路を内蔵したアクティブマトリクス型液晶表示部を構成するＴＦＴ基板の作製方法について説明する。説明には、画素部を代表して書き込み用ＴＦＴおよび保持容量を、画素部の駆動回路、基板識別回路、および他のロジック回路（ＣＰＵ、ＳＲＡＭ等）を代表して、Ｎチャネル型ＴＦＴおよびＰチャネル型ＴＦＴを用い

る。なお、本実施例では、画素部の駆動回路、基板識別回路、および他のロジック回路を合わせてロジック回路部と呼ぶ。
本実施例の作製方法により、絶縁表面を有する基板上に画素部、画素部の駆動回路、基板識別回路および他のロジック回路を一体形成することが可能となる。
【０１６９】
基板３００１は、ガラス基板、石英基板、シリコン基板、金属基板又はステンレス基板の表面に絶縁膜を形成したものを用いる。また本作製工程の処理温度に耐えうる耐熱性を有するプラスチック基板を用いても良い。本実施例ではバリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス等のガラスからなる基板３００１を用いた。
【０１７０】
次いで、基板３００１上に酸化珪素膜、窒化珪素膜又は窒化酸化珪素膜などの絶縁膜から成る下地膜３００２を公知の手段により形成する。本実施例の下地膜３００２は２層構造で形成したが、前記絶縁膜の単層構造又は前記絶縁膜を２層以上積層させた構造であっても良い。
【０１７１】
本実施例では、下地膜３００２の１層目として、プラズマＣＶＤ法を用いて、SiH_4、NH_3、及びN_2Oを反応ガスとして成膜される窒化酸化珪素膜５００１ａを１０～２００[nm](好ましくは５０～１００[nm])の厚さに形成する。本実施例では、窒化酸化珪素膜３００２ａを５０[nm]の厚さに形成した。次いで下地膜３００２の２層目として、プラズマＣＶＤ法を用いて、SiH_4及びN_2Oを反応ガスとして成膜される窒化酸化珪素膜３００２ｂを５０～２００[nm](好ましくは１００～１５０[nm])の厚さに形成する。本実施例では、窒化酸化珪素膜３００２ｂを１００[nm]の厚さに形成した。
【０１７２】
次いで、下地膜上に半導体膜を形成する。半導体膜は公知の手段（スパッタ法、ＬＰＣＶＤ法、またはプラズマＣＶＤ法等）により２５～２００ｎｍ（好ましくは３０～１５０ｎｍ）の厚さで半導体膜を成膜し、レーザ結晶化法や公知の熱結晶化法を用いて結晶化させる。
【０１７３】
レーザ結晶化法で結晶質半導体膜を作製するには、連続発振またはパルス発振の固体レーザまたは気体レーザまたは金属レーザを用いる。なお、前記固体レーザとしては連続発振またはパルス発振のＹＡＧレーザ、YVO_4レーザ、ＹＬＦレーザ、$YAlO_3$レーザ、ガラスレーザ、ルビーレーザ、アレキサンドライドレーザ、Ｔｉ：サファイアレーザ等があり、前記気体レーザとしては連続発振またはパルス発振のエキシマレーザ、Ａｒレーザ、Ｋｒレーザ、CO_2レーザ等があり、前記金属レーザとしてはヘリウムカドミウムレーザ、銅蒸気レーザ、金蒸気レーザが挙げられる。もちろん、レーザ結晶化法だけでなく、他の公知の結晶化法（ＲＴＡやファーネスアニール炉を用いた熱結晶化法、結晶化を助長する金属元素を用いた熱結晶化法等）と組み合わせて行ってもよい。前記半導体膜としては、非晶質半導体膜や微結晶半導体膜、結晶性半導体膜などがあり、非晶質珪素ゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。
【０１７４】
本実施例では、プラズマＣＶＤ法を用い、５０ｎｍの非晶質珪素膜を成膜し、この非晶質珪素膜に結晶化を助長する金属元素を用いた熱結晶化法およびレーザ結晶化法を行う。金属元素としてニッケルを用い、溶液塗布法により非晶質珪素膜上に導入した後、５５０℃で５時間の熱処理を行って第１の結晶性珪素膜を得る。そして、出力１０Ｗの連続発振のYVO_4レーザから射出されたレーザ光を非線形光学素子により第２高調波に変換したのち、実施例３乃至６のいずれか一に示す光学系により線状ビームを形成して照射して第２の結晶性珪素膜を得る。前記第１の結晶性珪素膜にレーザ光を照射して第２の結晶性珪素膜とすることで、結晶性が向上する。このときのエネルギー密度は０．０１～１００MW／cm^2程度（好ましくは０．１～１０MW／cm^2）が必要である。そして、０．５～２０００ｃｍ／ｓ程度の速度でレーザ光に対して相対的にステージを動かして照射し、結晶

性珪素膜を形成する。また、パルス発振のエキシマレーザを用いる場合には、周波数３００Ｈｚとし、レーザーエネルギー密度を１００～１０００mJ/cm^2(代表的には２００～８００mJ/cm^2)とするのが望ましい。このとき、レーザ光を５０～９８％オーバーラップさせても良い。

【０１７５】

もちろん、第１の結晶性珪素膜を用いてＴＦＴを作製することもできるが、第２の結晶性珪素膜は結晶性が向上しているため、ＴＦＴの電気的特性が向上するので望ましい。

【０１７６】

このようにして得られた結晶性半導体膜をフォトリソグラフィ法を用いたパターニング処理により、島状半導体層３００３～３００６を形成する。

【０１７７】

なお半導体層３００３～３００６を形成した後、ＴＦＴのしきい値を制御するために微量な不純物元素(ボロンまたはリン)のドーピングを行ってもよい。

【０１７８】

次いで、島状半導体層３００３～３００６を覆うゲート絶縁膜３００７を形成する。ゲート絶縁膜３００７はプラズマＣＶＤ法またはスパッタ法を用い、厚さを４０～１５０[nm]としてシリコンを含む絶縁膜で形成する。本実施例では、１２０[nm]の厚さの酸化窒化シリコン膜を形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。

【０１７９】

そして、ゲート絶縁膜３００７上にゲート電極を形成するための第１の導電膜３００８と第２の導電膜３００９とを形成する。本実施例では、第１の導電膜３００８をＴａで５０～１００[nm]の厚さに形成し、第２の導電膜３００９をWで１００～３００[nm]の厚さに形成する。

【０１８０】

Ｔａ膜はスパッタ法で、ＴａのターゲットをＡｒでスパッタすることにより形成する。

【０１８１】

W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に６フッ化タングステン（WF_6）を用いる熱ＣＶＤ法で形成することもできる。

【０１８２】

なお、本実施例では、第１の導電膜３００８をＴａ、第２の導電膜３００９をWとしたが、特に限定されず、いずれもＴａ、W、Ｔｉ、Ｍｏ、Ａｌ、Ｃｕなどから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成しても良い。また、リン等の不純物元素をドープした多結晶シリコン膜に代表される半導体膜を用いても良い。

【０１８３】

なお、ＬＤＤを小さくして済むような場合は、W単層などの構成にしても良いし、構成は同じでも、テーパー角を立てることによって、ＬＤＤの長さを小さくすることができる。

【０１８４】

次に、レジストによるマスク３０１０～３０１５を形成し、電極及び配線を形成するための第１のエッチング処理を行う。本実施例ではＩＣＰ（Inductively Coupled Plasma：誘導結合型プラズマ）によるエッチングを行う。エッチング用ガスにCF_4とCl_2を混合した場合にはW膜及びＴａ膜とも同程度にエッチングされる。

【０１８５】

上記エッチング条件では、レジストによるマスクの形状と、基板側に印加するバイアス電圧の効果により第１の導電層及び第２の導電層の端部がテーパー形状となる。テーパー部の角度は１５～４５°となる。こうして、第１のエッチング処理により第１の導電層と第２の導電層から成る第１の形状の導電層３０１７～３０２２（第１の導電層３０１７ａ～３０２２ａと第２の導電層３０１７ｂ～３０２２ｂ）を形成する。このとき、ゲート絶縁膜３００７においては、第１の形状の導電層３０１７～３０２２で覆われない領域は２０～５０[nm]程度エッチングされ薄くなった領域３０１６が形成される。（図１５（Ｂ））

【０１８６】
続いて、図１５（Ｃ）に示すように、レジストマスク３０１０～３０１５は除去しないまま、第２のエッチング処理を行う。エッチングガスにCF_4とCl_2とO_2とを用い、Ｗ膜を選択的にエッチングする。この時、第２のエッチング処理により第２の形状の導電層３０２４～３０２９（第１の導電層３０２４ａ～３０２９ａと第２の導電層３０２４ｂ～３０２９ｂ）を形成する。このとき、ゲート絶縁膜３００７においては、第２の形状の導電層３０２４～３０２９で覆われない領域はさらに２０～５０[nm]程度エッチングされ薄くなった領域３０２３が形成される。
【０１８７】
そして、第１のドーピング処理を行いｎ型を付与する不純物元素を添加する。ドーピングの方法はイオンドープ法もしくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を1×10^{13}～5×10^{14}[atoms/cm^2]とし、加速電圧を６０～１００[keV]として行う。ｎ型を付与する不純物元素として１５族に属する元素、典型的にはリン（Ｐ）または砒素（Ａｓ）を用いるが、ここではリン（Ｐ）を用いる。この場合、導電層３０２４～３０２９がｎ型を付与する不純物元素に対するマスクとなり、自己整合的に第１の不純物領域３０３０～３０３３が形成される。第１の不純物領域３０３０～３０３３には1×10^{20}～1×10^{21}[atoms/cm^3]の濃度範囲でｎ型を付与する不純物元素を添加する。（図１５（Ｃ））
【０１８８】
そして、図１６（Ａ）に示すようにｐ型ＴＦＴと書き込み用ＴＦＴになる部分をレジストマスク３０３４、３０３５で覆った上での第２のドーピング処理を行う。このとき、画素部ＴＦＴは全てレジストマスクで覆わずに外側を開けてドーピングを行う。第２のドーピング処理は、第１のドーピング処理よりもドーズ量を下げて高い加速電圧の条件としてｎ型を付与する不純物元素をドーピングする。例えば、加速電圧を７０～１２０[keV]とし、1×10^{13}[atoms/cm^2]のドーズ量で行い、図１５（Ｂ）で島状半導体層に形成された第１の不純物領域３０３０～３０３３内に新たな不純物領域３０３６～３０３８を形成する。ドーピングは、第２の形状の導電層３０２４、３０２８を不純物元素に対するマスクとして用い、レジストマスクで覆われていないところの第１の導電層３０２４ａ、３０２８ａの下側の領域の半導体層にも不純物元素が添加されるようにドーピングする。こうして、第３の不純物領域３０３９、３０４０が形成される。この第３の不純物領域３０３９、３０４０に添加されたリン（Ｐ）の濃度は、第１の導電層３０２４ａ、３０２８ａのテーパー部の膜厚に従って緩やかな濃度勾配を有している。
【０１８９】
そして、図１６（Ｂ）に示すように、ｐチャネル型ＴＦＴを形成する島状半導体層３００４と保持容量を形成する島状半導体層３００６に、第１の導電型とは逆の導電型の第４の不純物領域３０４３、３０４４を形成する。第２の形状の導電層３０２５ｂ、３０２８ｂを不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、ｎチャネル型ＴＦＴを形成する島状半導体層３００３、および画素部ＴＦＴ３００５はレジストマスク３０４１、３０４２で全面を被覆しておく。ドーピングは、第２の形状の導電層３０２５、３０２８を不純物元素に対するマスクとして用い、レジストマスクで覆われていないところの第１の導電層３０２５ａ、３０２８ａの下側の領域の半導体層にも不純物元素が添加されるようにドーピングする。こうして、第５の不純物領域３０４５、３０４６が形成される。不純物領域３０４３と３０４４にはそれぞれ異なる濃度でリンが添加されているが、ジボラン（B_2H_6）を用いたイオンドープ法で形成し、そのいずれの領域においても不純物濃度が2×10^{20}～2×10^{21}[atoms/cm^3]となるようにする。
【０１９０】
以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる第３の形状の導電層３０２４～３０２７がゲート電極として機能する。また、３０２９は島状のソース信号線として機能する。３０２８は容量配線として機能する。
【０１９１】

レジストマスク３０４１、３０４２を除去した後、島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーネスアニール炉を用いる熱アニール法で行う。その他に、レーザアニール法、またはラピッドサーマルアニール法（ＲＴＡ法）を適用することができる。熱アニール法は酸素濃度が１[ppm]以下、好ましくは０．１[ppm]以下の窒素雰囲気中で４００～７００[℃]、代表的には５００～６００[℃]で行う。本実施例では５００[℃]で４時間の熱処理を行う。

【０１９２】

さらに、３～１００[％]の水素を含む雰囲気中で、３００～４５０[℃]で１～１２時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【０１９３】

次いで、第１の層間絶縁膜３０４７として酸化窒化シリコン膜ｊを１００～２００[nm]の厚さで形成する。その上にアクリルなどの有機絶縁物材料から成る第２の層間絶縁膜３０４８を形成する。また、第２の層間絶縁膜３０４８として有機絶縁物材料の代わりに無機材料を用いることもできる。無機材料としては無機SiO_2やプラズマＣＶＤ法で作製したSiO_2（ＰＣＶＤ‐SiO_2）、ＳＯＧ（Spin on Glass；塗布珪素酸化膜）等が用いられる。２つの層間絶縁膜を形成した後にコンタクトホールを形成するためのエッチング工程を行う。

【０１９４】

そして、ロジック回路部において島状半導体層のソース領域とコンタクトを形成するソース配線３０４９、３０５０ドレイン領域とコンタクトを形成するドレイン配線３０５１、を形成する。また、画素部においては、接続電極３０５２、画素電極３０５３、３０５４を形成する（図１７（Ａ））。

【０１９５】

なお、本実施例では、書き込み用ＴＦＴは、ダブルゲート構造で示したが、シングルゲート構造でもよいし、複数のゲートを有するマルチゲート構造でも構わない。

【０１９６】

以上のようにして、ｎチャネル型ＴＦＴ、ｐチャネル型ＴＦＴを有するロジック回路部と、書き込み用ＴＦＴ、保持容量を有する画素部とを同一の基板上に形成することができる。このようにＴＦＴが形成された基板をＴＦＴ基板と呼ぶ。

【０１９７】

本実施例では、画素電極の端部をソース信号線や書き込み用ゲート信号線と重なるように配置されている。こうすることによって、ブラックマトリクスを用いることなく、画素電極間の隙間を遮光することができる。

【０１９８】

また、本実施例で示す工程に従えば、ＴＦＴ基板の作製に必要なフォトマスクの数を５枚（島状半導体層パターン、第１配線パターン（ソース信号線、容量配線）、ｐチャネル領域のマスクパターン、コンタクトホールパターン、第２配線パターン（画素電極、接続電極含む））とすることができる。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することができる。

【０１９９】

続いて、図１７（Ａ）の状態のＴＦＴ基板を得た後、ＴＦＴ基板上に配向膜３０５５を形成しラビング処理を行う。

【０２００】

一方、対向基板３０５６を用意する。対向基板３０５６にはカラーフィルタ層３０５７～３０５９、オーバーコート層３０６０を形成する。カラーフィルタ層はＴＦＴの上方で赤色のカラーフィルタ層３０５７と青色のカラーフィルタ層３０５８とを重ねて形成し遮光膜を兼ねる構成とする。少なくともＴＦＴと、接続電極と画素電極との間を遮光する必要があるため、それらの位置を遮光するように赤色のカラーフィルタと青色のカラーフィル

タを重ねて配置することが好ましい。
【０２０１】
また、接続電極３０５２に合わせて赤色のカラーフィルタ層３０５７、青色のカラーフィルタ層３０５８、緑色のカラーフィルタ層３０５９とを重ね合わせてスペーサ３０６４を形成する。各色のカラーフィルタはアクリル樹脂に顔料を混合したもので１～３[μｍ]の厚さで形成する。これは感光性材料を用い、マスクを用いて所定のパターンに形成することができる。スペーサ３０６４の高さはオーバーコート層３０６０の厚さ１～４[μｍ]を考慮することにより２～７[μｍ]、好ましくは４～６[μｍ]とすることができ、この高さによりアクティブマトリクス基板と対向基板とを貼り合わせた時のギャップを形成する。オーバーコート層３０６０は光硬化型または熱硬化型の有機樹脂材料で形成し、例えば、ポリイミドやアクリル樹脂などを用いる。
【０２０２】
オーバーコート層３０６０を形成した後、対向電極３０６１をパターニング形成し、配向膜３０６２を形成した後ラビング処理を行う。
【０２０３】
そして、画素部とロジック回路部が形成されたＴＦＴ基板と対向基板とをシール剤３０６５で貼り合わせる。シール剤３０６５にはフィラーが混入され、このフィラーとスペーサによって均一な間隔を持って２枚の基板が貼り合わせられる。その後、両基板の間に液晶材料３０６３を注入し、封止剤（図示せず）によって完全に封止する。液晶材料３０６３には公知の液晶材料を用いれば良い。このようにして図１７（Ｂ）に示すアクティブマトリクス型液晶表示装置が完成する。
【０２０４】
以上のようにして、ｎチャネル型ＴＦＴ、ｐチャネル型ＴＦＴを有するロジック回路部と、書き込み用ＴＦＴ、保持容量を有する画素部とを同一の基板上に形成したアクティブマトリクス型液晶表示装置を作製することができる。
【０２０５】
なお、上記の行程により作成されるアクティブマトリクス型液晶表示装置におけるＴＦＴはトップゲート構造をとっているが、その他に、活性層の下側にゲート電極を形成したボトムゲート型ＴＦＴ、あるいは活性層を挟み込むように、上下にゲート電極を有するデュアルゲート型ＴＦＴを作製することも可能である。
【０２０６】
本実施例は、実施形態及び実施例１～７および９と自由に組み合わせて実施することが可能である。
【０２０７】
（実施例１１）
本発明の基板識別回路は、アクティブマトリクス型発光表示部を構成するＴＦＴ基板に形成することも可能である。本実施例では、実施例１０に示した工程に従い、図１２（Ａ）に示すように、第１および第２の層間絶縁膜まで形成したＴＦＴ基板から発光素子を形成する工程および発光素子が形成された基板の断面構造について説明する。
【０２０８】
図１８（Ａ）～（Ｂ）は、複数の色に対応する有機発光層を作製したアクティブマトリクス型発光部を構成する基板の断面構造である。本実施例では、特にＲ（赤）、Ｇ（緑）、Ｂ（青）の各色に対応した３つの副画素を有する画素の断面構造について、図１８（Ａ）～（Ｂ）を用いて説明する。
【０２０９】
図１８（Ａ）において、５２０１～５２０３は、Ｒ（赤）、Ｇ（緑）、Ｂ（青）の各色に対応した有機発光素子を駆動するＮチャネル型ＴＦＴである。
【０２１０】
まず実施例１０に示した工程に従い、図１２（Ａ）に示すように、第１および第２の層間絶縁膜まで形成する。

【０２１１】
５２０４～５２０６はドレイン配線であり、Ｎチャネル型ＴＦＴ５２０１～５２０３のドレイン領域と電気的に接続されている。５２０７～５２０９はソース配線であり、Ｎチャネル型ＴＦＴ５２０１～５２０３のソース領域と電気的に接続されている。
【０２１２】
本実施例では、ドレイン配線５２０４～５２０６とソース配線５２０７～５２０９は、膜厚１００ｎｍのＴｉ膜と、膜厚３５０ｎｍのＡｌ膜と、膜厚１００ｎｍのＴｉ膜との積層膜をスパッタ法で連続形成して、所望の形状にパターニングして形成した。なおドレイン配線５２０４～５２０６とソース配線５２０７～５２０９は、前述した構成に限定されず、単層構造、２層構造又は４層以上の積層構造にしてもよい。さらに、配線の材料は、ＡｌとＴｉに限定されず、他の材料を用いて形成してもよい。
【０２１３】
そして、ドレイン配線５２０４～５２０６と、ソース配線５２０７～５２０９とを覆うように第３の層間絶縁膜５２１０を形成した。第３の層間絶縁膜５２１０としては、プラズマＣＶＤ法を用いて、窒化酸化珪素膜、酸化窒化珪素膜、窒化珪素膜、酸化珪素膜等を１０～３００nm（好ましくは５０～２００nm）の厚さに形成するとよい。本実施例では、第３の層間絶縁膜５２１０として、窒化酸化珪素膜を１５０nmの厚さに形成した。
【０２１４】
次いで、第３の層間絶縁膜５２１０に、ドレイン配線５２０４～５２０６に達するコンタクトホールを形成し、前記コンタクトホール上に陰極５２１１～５２１３を形成した。陰極５２１１～５２１３は、マグネシウムと銀との合金膜（ＭｇＡｇ膜）を３０～３００ｎｍの厚さに成膜して、所望の形状にパターニングして形成した。陰極５２１１～５２１３の材料は、周期表の１族、２族に属する元素からなる導電膜、又はそれらから構成される元素を添加した導電膜を用いてもよい。
【０２１５】
そして、陰極５２１１～５２１３を完全に覆うように、第４の層間絶縁膜を形成した。本実施例では、陰極５２１１～５２１３を覆うように、１００ｎｍの厚さに窒化珪素膜を成膜して、次いで所望の形状にパターニングして、第４の層間絶縁膜５２１４～５２１６を形成した。第４の層間絶縁膜５２１４～５２１６は、窒化酸化珪素膜、酸化窒化珪素膜、窒化珪素膜、酸化珪素膜等を用いて、１０～３００nm（好ましくは５０～２００nm）の厚さに成膜して、所望の形状にパターニングして形成するとよい。
【０２１６】
次いで、第４の層間絶縁膜５２１４～５２１６が形成されていない領域（開口部）であって、且つ露出している領域の陰極５２１１～５２１３上に、有機発光層５２１７～５２１９を形成した。有機発光層５２１７～５２１９は、Ｒ（赤）、Ｇ（緑）、Ｂ（青）の各色に対応した材料を用いて形成した。
【０２１７】
このとき、有機発光層５２１７～５２１９を構成する材料が異なるため、一度に成膜することが難しい。そのため本実施例では、メタルマスクを用いて、最初にＲ用の有機発光層５２１７を形成し、次いでＧ用の有機発光層５２１８を形成し、最後にＢ用の有機発光層５２１９を形成した。有機発光層５２１７～５２１９を構成する材料としては、公知の材料を用いて形成すればよい。また、有機発光層５２１７～５２１９の構造は、公知の構造を用いればよく、単層構造と積層構造のどちらの構造を採用してもよい。
【０２１８】
そして最後に、有機発光層５２１７～５２１９を覆うように陽極５２２０を形成した。本実施例では、陽極５２２０として、酸化インジウムと酸化スズの化合物（ＩＴＯ）を１１０ｎｍの厚さで成膜して形成した。陽極５２２０は、透明導電膜を用いて形成され、前記透明導電膜にガリウムを添加した材料を用いてもよい。
【０２１９】
陽極５２２０が形成されると、発光素子が完成する。発光素子は、陰極５２１１～５２１

３と、有機発光層５２１７～５２１９と、陽極５２２１とで形成されたダイオードに相当する。図１８（Ａ）において、陰極５２１１と有機発光層５２１７と陽極５２２１とが重なっている部分がＲ用の発光素子５２２１に相当する。また、陰極５２１２と有機発光層５２１８と陽極５２２１とが重なっている部分がＧ用の発光素子５２２２に相当し、陰極５２１３と有機発光層５２１９と陽極５２２１とが重なっている部分がＢ用の発光素子５２２３に相当する。そして発光素子５２２１～５２２３から発せられる光は、陽極５２２０の方向へ出射する。

【０２２０】

従来では、多くの場合において、ＲＧＢの各色に対応した有機発光層を塗り分けるときには、各色に対応した土手を形成していた。しかし、図１８（Ａ）に示す断面構造においては、土手は形成されていない。そしてその代わりに、第４の層間絶縁膜５２１４～５２１６を形成した。本実施例では、このような構造を採用することによって、画素の開口部を大きくすることが出来る。言い換えると、画素の開口率を向上させることが出来る。

【０２２１】

なお、第４の層間絶縁膜５２１４～５２１６が形成されている領域上には、異なる色に対応した有機発光層が形成されている。例えば、層間絶縁膜５２１４上には、Ｒ用の有機発光層５２１７とＢ用の有機発光層５２１９が形成されている。つまり、陰極５２１１上に層間絶縁膜５２１４が形成され、前記層間絶縁膜５２１４上に、２つの色に対応した有機発光層５２１７、５２１９とが形成されている。そして、前記有機発光層５２１７、５２１９上には陽極５２２０が形成されている。つまり、第４の層間絶縁膜５２１４～５２１６が形成されている領域は、ダイオードが形成されていないため、有機発光層５２１４～５２１６からは光は発せられない。

【０２２２】

次いで、図１８（Ａ）とは異なる構成の画素の断面構造について、図１８（Ｂ）を用いて説明する。なお、画素を構成する材料等は、図１８（Ａ）を用いた上述の説明に準ずるので、ここでは構成のみを説明する。

【０２２３】

図１８（Ｂ）において、５３０１～５３０３は、Ｒ（赤）、Ｇ（緑）、Ｂ（青）の各色に対応した有機発光素子を駆動するＮチャネル型ＴＦＴである。

【０２２４】

５３０４～５３０６はドレイン配線であり、Ｎチャネル型ＴＦＴ５３０１～５３０３のドレイン領域と電気的に接続されている。５３０７～５３０９はソース配線であり、Ｎチャネル型ＴＦＴ５３０１～５３０３のソース領域と電気的に接続されている。

【０２２５】

そして、ドレイン配線５３０４～５３０６と、ソース配線５３０７～５３０９とを覆うように第３の層間絶縁膜５３１０を形成した。本実施例では、第３の層間絶縁膜５３１０として、窒化酸化珪素膜を１５０nmの厚さに形成した。

【０２２６】

次いで、第３の層間絶縁膜５３１０に、ドレイン配線５３０４～５３０６に達するコンタクトホールを形成し、前記コンタクトホール上に陰極５３１１～５３１３を形成した。

【０２２７】

そして、陰極５３１１～５３１３を完全に覆うように、層間絶縁膜５３２４～５３２６を形成した。前記層間絶縁膜５３２４～５３２６はバンクとして機能する。そのため、開口部を形成するときには、該開口部の側壁が十分になだらかでないと、段差に起因する有機発光層の劣化が顕著な問題となってしまうため、注意が必要である。

【０２２８】

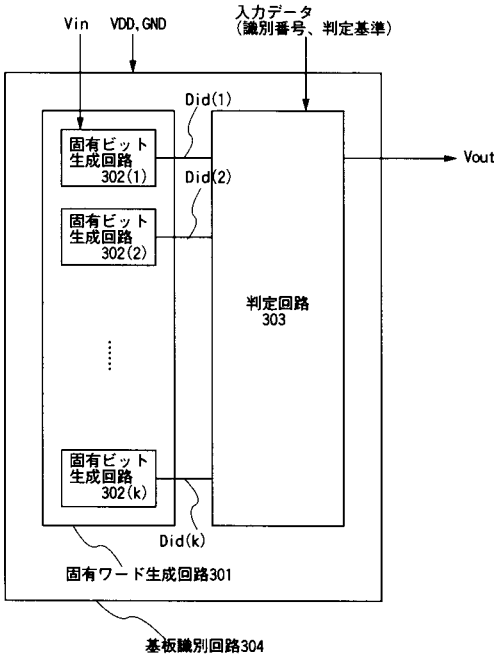
次いでバンク５３２４～５３２６上に、第４の層間絶縁膜５３１４～５３１６を形成した。そして、第４の層間絶縁膜５３１４～５３１６が形成されていない領域であって、且つ露出している領域（開口部）の陰極５３１１～５３１３上に、有機発光層５３１７～５３１９を形成した。有機発光層５３１７～５３１９は、Ｒ（赤）、Ｇ（緑）、Ｂ（青）の各

色に対応した材料を用いて形成した。
【０２２９】
このとき、有機発光層５３１７～５３１９を構成する材料が異なるため、一度に成膜することが難しい。そのため本実施例では、メタルマスクを用いて、最初にＲ用の有機発光層５３１７を形成し、次いでＧ用の有機発光層５３１８を形成し、最後にＢ用の有機発光層５３１９を形成した。
【０２３０】
そして最後に、有機発光層５３１７～５３１９を覆うように陽極５３２０を形成した。本実施例では、陽極５３２０として、酸化インジウムと酸化スズの化合物（ＩＴＯ）を１１０ｎｍの厚さで成膜して形成した。
【０２３１】
陽極５３２０が形成されると、発光素子が完成する。発光素子は、陰極５３１１～５３１３と、有機発光層５３１７～５３１９と、陽極５３２１とで形成されたダイオードに相当する。図１８（Ｂ）において、陰極５３１１と有機発光層５３１７と陽極５３２１とが重なっている部分がＲ用の発光素子５３２１に相当する。また、陰極５３１２と有機発光層５３１８と陽極５３２１とが重なっている部分がＧ用の発光素子５３２２に相当し、陰極５３１３と有機発光層５３１９と陽極５３２１とが重なっている部分がＢ用の発光素子５３２３に相当する。
【０２３２】
図１８（Ｂ）に示す断面構造においては、ＲＧＢの各色に対応した有機発光層を塗り分けるために、各色に対応した土手５３２４～５３２６を形成している。
つまり、土手５３２４～５３２６が形成されている領域は、ダイオードが形成されていないため、有機発光層５３１４～５３１６からは光は発せられない。
【０２３３】
本実施例は、実施形態及び実施例１～７および９と自由に組み合わせて実施することが可能である。
【０２３４】
（実施例１２）
【０２３５】
本発明の基板識別回路は、さまざまな電子機器に用いられている表示部を構成する基板に内蔵して応用することができる。このような電子機器には、携帯情報端末（電子手帳、モバイルコンピュータ、携帯電話など）、ビデオカメラ、デジタルカメラ、パーソナルコンピュータ、テレビなどが挙げられる。それらの一例を図１９に示す。
【０２３６】
図１９（Ａ）は液晶ディスプレイもしくはＯＬＥＤディスプレイであり、筐体１４０１、支持台１４０２、表示部１４０３などによって構成されている。本発明の基板識別回路は、表示部１４０３を構成する基板に内蔵して応用することができる。
【０２３７】
図１９（Ｂ）はビデオカメラであり、本体１４１１、表示部１４１２、音声入力１４１３、操作スイッチ１４１４、操作スイッチ１４１５、バッテリー１４１６、受像部１４１７などによって構成されている。本発明の基板識別回路は、表示部１４１７を構成する基板に内蔵して応用することができる。
【０２３８】
図１９（Ｃ）はノート型のパーソナルコンピュータであり、本体１４２１、筐体１４２２、表示部１４２３、キーボード１４２４などによって構成されている。本発明の基板識別回路は表示部１４２３を構成する基板に内蔵して応用することができる。
【０２３９】
図１９（Ｄ）は携帯情報端末であり、本体１４３１、表示部１４３２、操作ボタン１４３３、外部インターフェイス１４３４などによって構成されている。本発明の基板識別回路は表示部１４３２を構成する基板に内蔵して応用することができる。

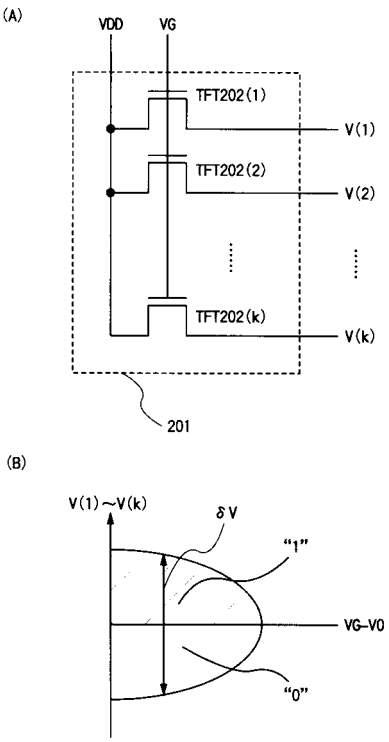
【０２４０】
図１９（Ｅ）は音響再生装置、具体的には車載用のオーディオ装置であり、本体１４４１、表示部１４４２、操作スイッチ１４４３、１４４４などによって構成されている。本発明の基板識別回路は表示部１４４２を有する表示装置を構成する基板に内蔵して応用することができる。また、ここでは車載用オーディオ装置を例に上げたが、携帯型もしくは家庭用オーディオ装置に用いてもよい。
【０２４１】
図１９（Ｆ）はデジタルカメラであり、本体１４５１、表示部（Ａ）１４５２、接眼部１４５３、操作スイッチ１４５４、表示部（Ｂ）１４５５、バッテリー１４５６などによって構成されている。本発明の基板識別回路は表示部（Ａ）１４５２および表示部（Ｂ）１４５５を構成する基板に内蔵して応用することができる。
【０２４２】
図１９（Ｇ）は携帯電話であり、本体１４６１、音声出力部１４６２、音声入力部１４６３、表示部１４６４、操作スイッチ１４６５、アンテナ１４６６などによって構成されている。本発明の基板識別回路は表示部１４６４を構成する基板に内蔵して応用することができる。
【０２４３】
このように、本発明の基板識別回路を電子機器に用いられている表示部を構成する基板に内蔵することで、電子機器（あるいはそれを構成する基板）を識別する番号を、低コストで安全に、かつ電気的に割り当てることができる。その結果、電子機器（あるいはそれを構成する基板）の管理だけでなく、様々な権利の選択的な付与といった用途に用いることが可能となる。
【０２４４】
なお、これらの電子機器に使われる表示装置はガラス基板だけでなく耐熱性のプラスチック基板を用いることもできる。それによってよりいっそうの軽量化を図ることができる。
【０２４５】
また、本実施例に示した例はごく一例であり、これらの用途に限定するものではないことを付記する。
【０２４６】
本実施例は、実施形態及び実施例１～１１と自由に組み合わせて実施することが可能である。
【０２４７】
【発明の効果】
本発明の基板識別回路によって、低コストで、基板識別番号を書き換えたり複製することが困難で、かつ電気信号として扱うことができる、ＴＦＴ基板に固有な数値を割り当てることが可能となる。
【０２４８】
本発明によって、そのような基板識別回路を有するＴＦＴ基板、あるいは半導体装置を提供することが可能となる。
【０２４９】
その結果、ＴＦＴ基板あるいは、ＴＦＴ基板を内蔵した半導体装置の管理や、保証あるいはサービスといった権利の選択的な付与、を低コストかつ安全に行うことが可能となる。
【図面の簡単な説明】
【図１】　本発明の基板識別回路のブロック図。
【図２】　ＴＦＴのばらつきを反映してアナログ電位を出力する回路の回路図。
【図３】　本発明の基板識別回路を構成する固有ワード生成回路のブロック図。
【図４】　本発明の基板識別回路を構成する固有ビット生成回路の回路図。
【図５】　本発明の基板識別回路を構成する判定回路の回路図。
【図６】　本発明の基板識別回路を構成する固有ビット生成回路の回路図。
【図７】　本発明の基板識別回路を構成する固有ビット生成回路の回路図。

【図８】　本発明の基板識別回路を構成する固有ワード生成回路の回路図。
【図９】　本発明の基板識別回路を構成する判定回路の回路図。
【図１０】　本発明の基板識別回路のブロック図。
【図１１】　本発明の半導体装置を構成するアクティブマトリクス型液晶表示部のブロック図。
【図１２】　本発明の半導体装置を構成するアクティブマトリクス型発光表示部のブロック図。
【図１３】　本発明の半導体装置のブロック図。
【図１４】　本発明の半導体装置のブロック図。
【図１５】　本発明の半導体装置の作製工程を示す図。
【図１６】　本発明の半導体装置の作製工程を示す図。
【図１７】　本発明の半導体装置の作製工程を示す図。
【図１８】　アクティブマトリクス型発光表示部の断面図。
【図１９】　本発明を応用した電子機器の一例を示す図。
【符号の説明】
３０１　固有ワード生成回路
３０２（１）～３０２（ｋ）　固有ビット生成回路
３０３　判定回路
３０４　基板識別回路
３０５　第２の制御回路

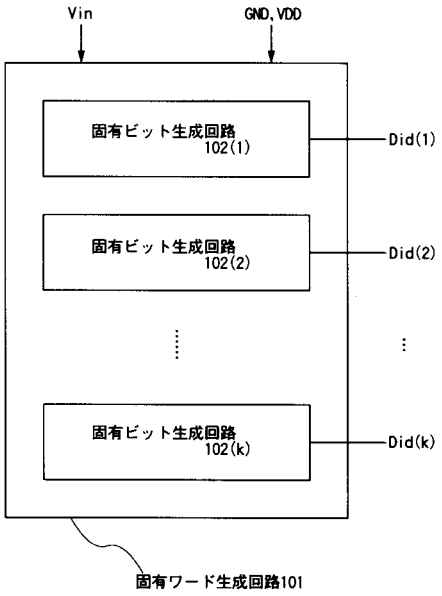
【図１】



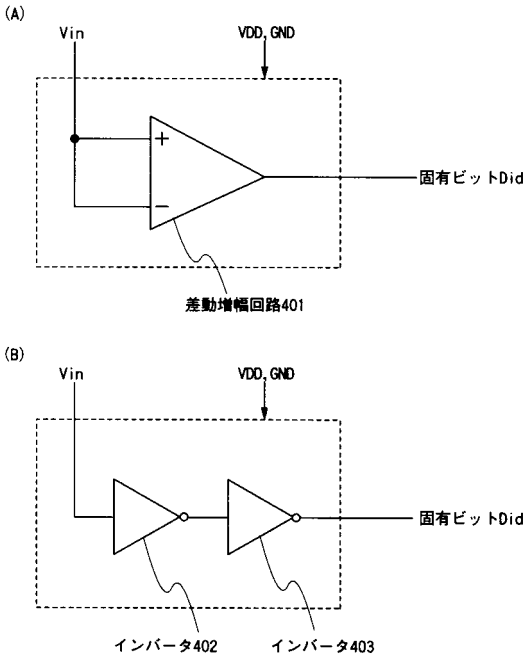
【図２】



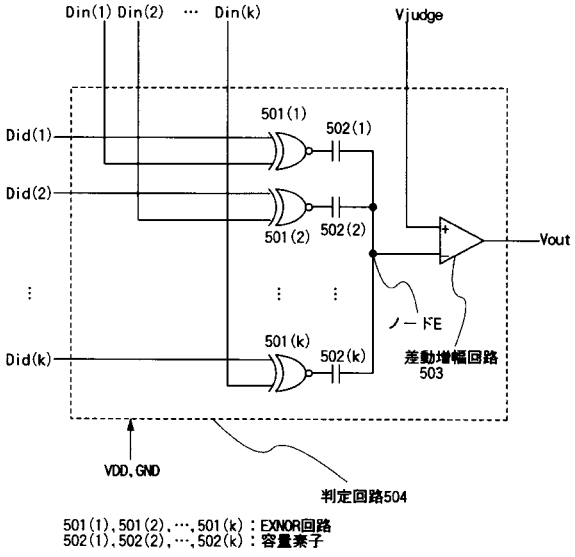
【図３】


Vin
GND, VDD
固有ビット生成回路
102(1)
Did(1)
固有ビット生成回路
102(2)
Did(2)
固有ビット生成回路
102(k)
Did(k)
固有ワード生成回路101

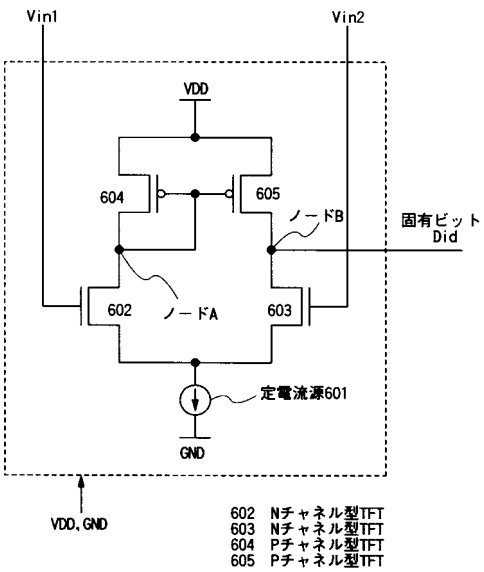
【図４】


(A)
Vin
VDD, GND
固有ビットDid
差動増幅回路401
(B)
Vin
VDD, GND
固有ビットDid
インバータ402
インバータ403

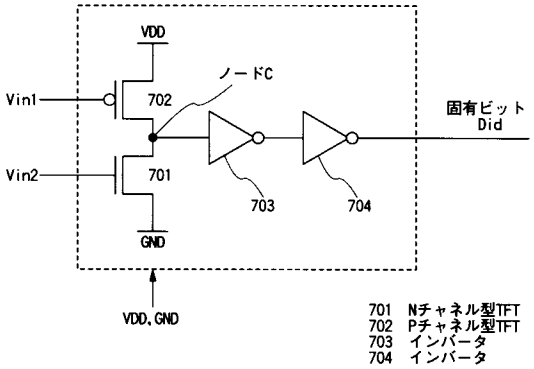
【図５】


Din(1) Din(2) … Din(k)
Vjudge
Did(1)
Did(2)
Did(k)
501(1)
502(1)
501(2)
502(2)
501(k)
502(k)
Vout
ノードE
差動増幅回路
503
VDD, GND
判定回路504
501(1), 501(2), …, 501(k) : EXNOR回路
502(1), 502(2), …, 502(k) : 容量素子

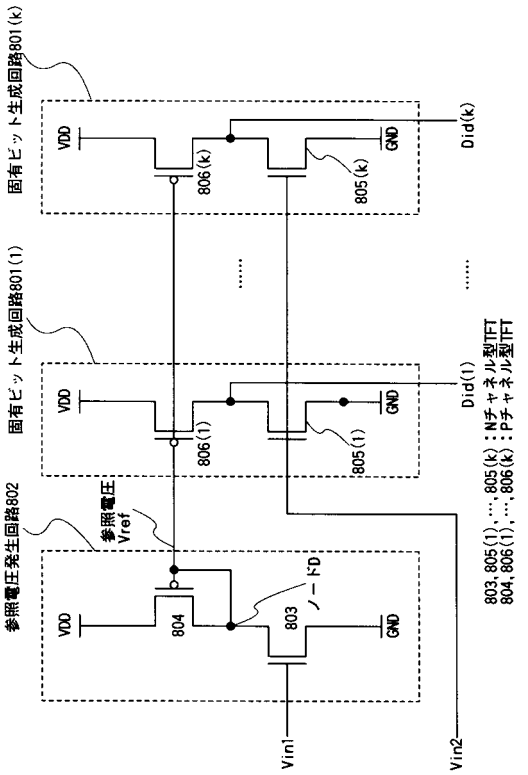
【図６】


Vin1
Vin2
VDD
604
605
ノードB
固有ビット
Did
602
ノードA
603
定電流源601
GND
VDD, GND
602 Nチャネル型TFT
603 Nチャネル型TFT
604 Pチャネル型TFT
605 Pチャネル型TFT

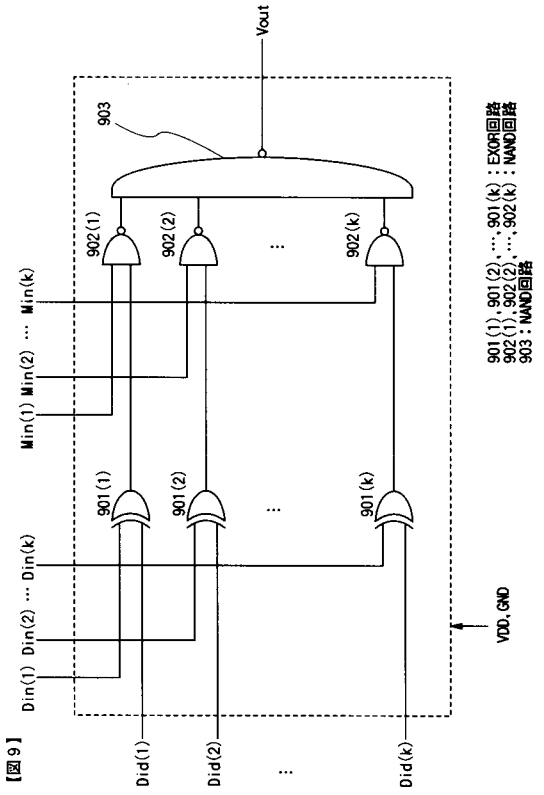
【図７】



【図８】

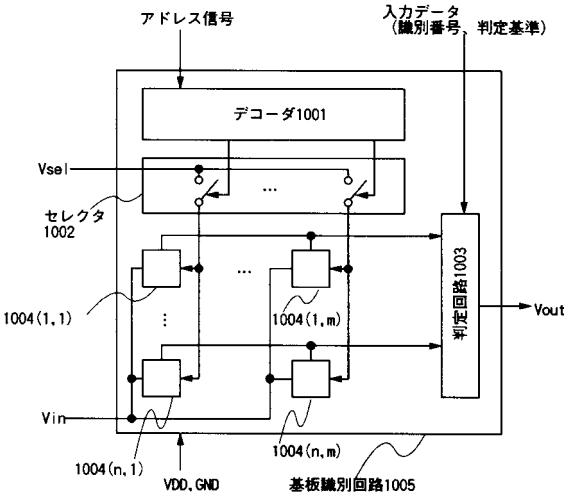


【図９】



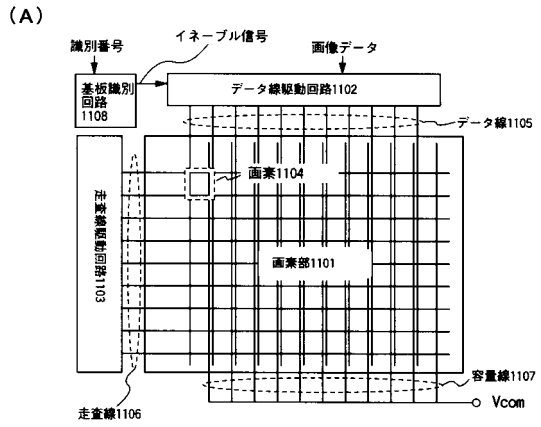
【図９】

【図１０】



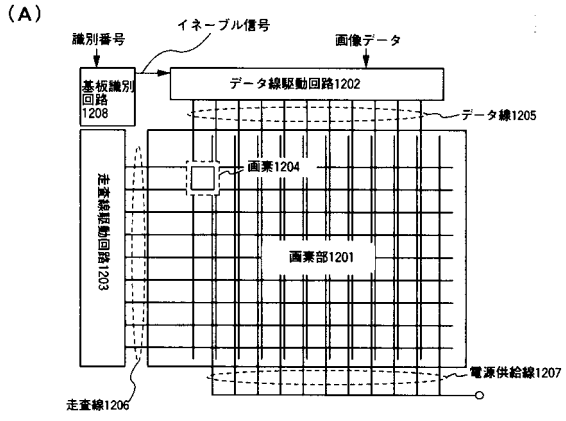
1004(1,1), 1004(1,m), 1004(n,1), 1004(n,m) : 固有ビット生成回路

【図１１】



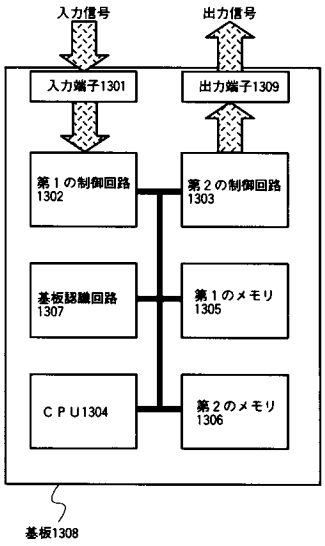
1104：画素　1111：書き込み用ＴＦＴ
1105：データ線　1112：液晶素子
1106：走査線　1113：コンデンサ
1107：容量線　1114：対向電極

【図１２】

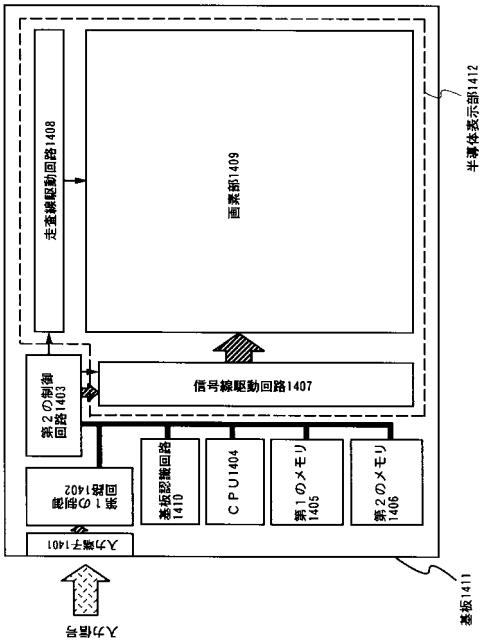


1204：画素　1211：スイッチングＴＦＴ
1205：データ線　1212：ＥＬ駆動用ＴＦＴ
1206：走査線　1213：ＥＬ素子
1207：電源供給線　1214：対向電極

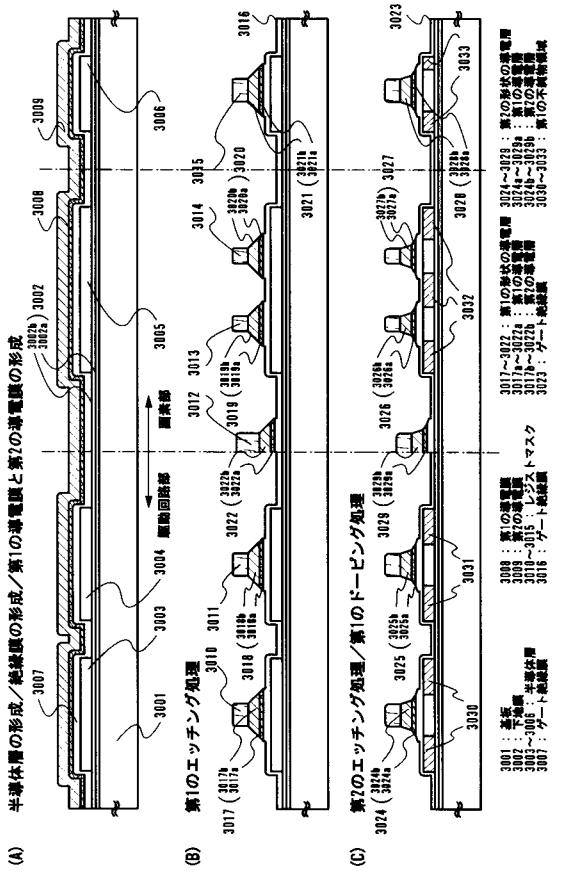
【図１３】



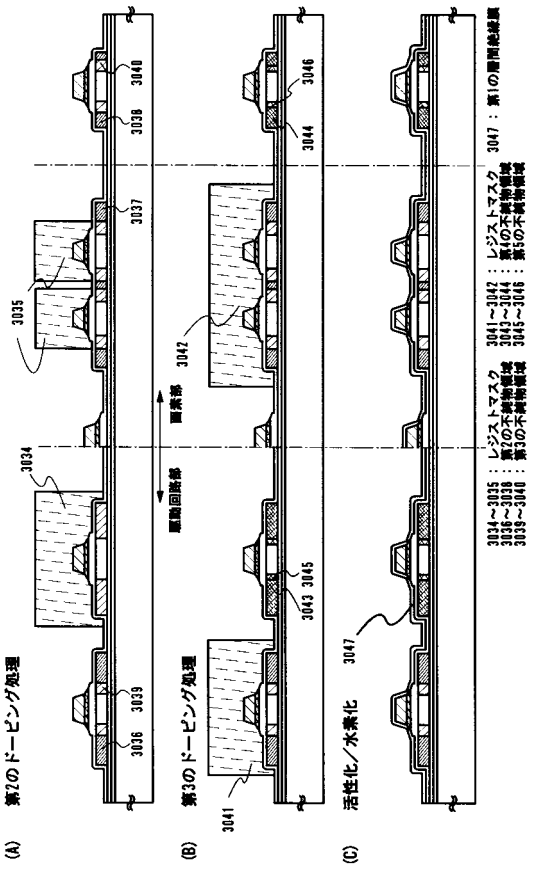
【図１４】



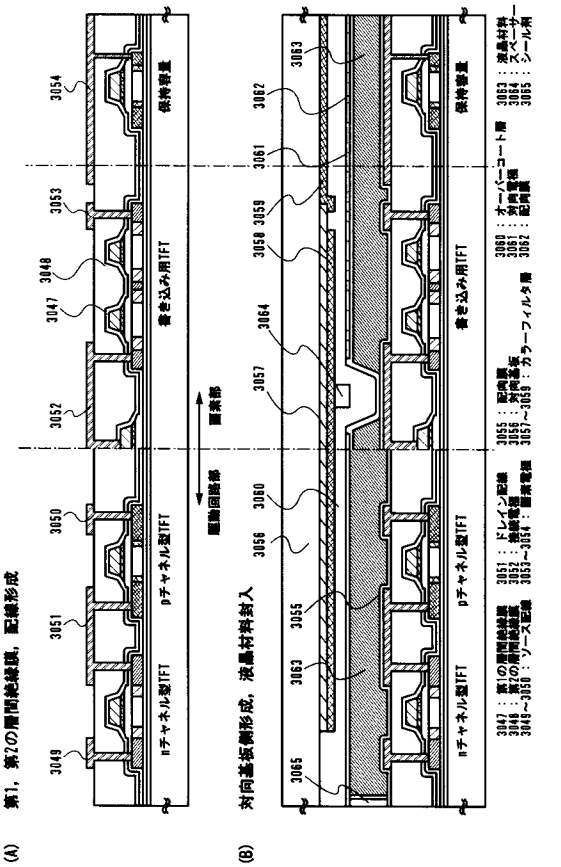
【図１５】



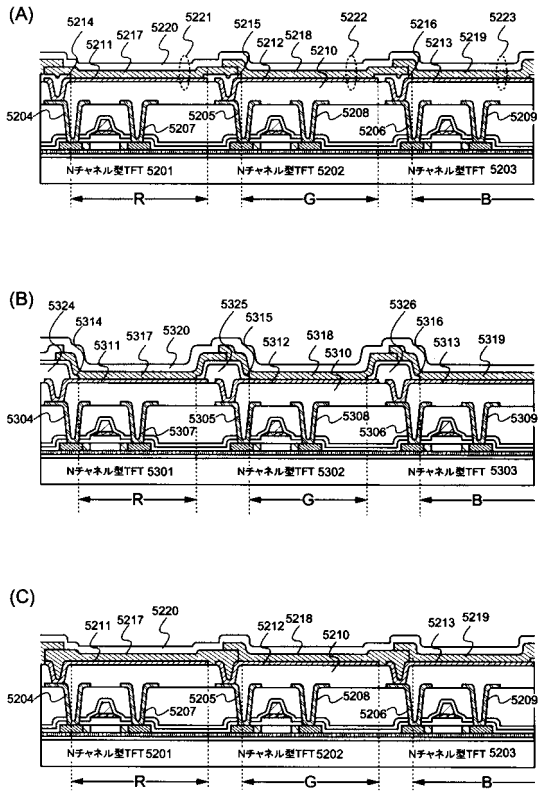
【図１６】



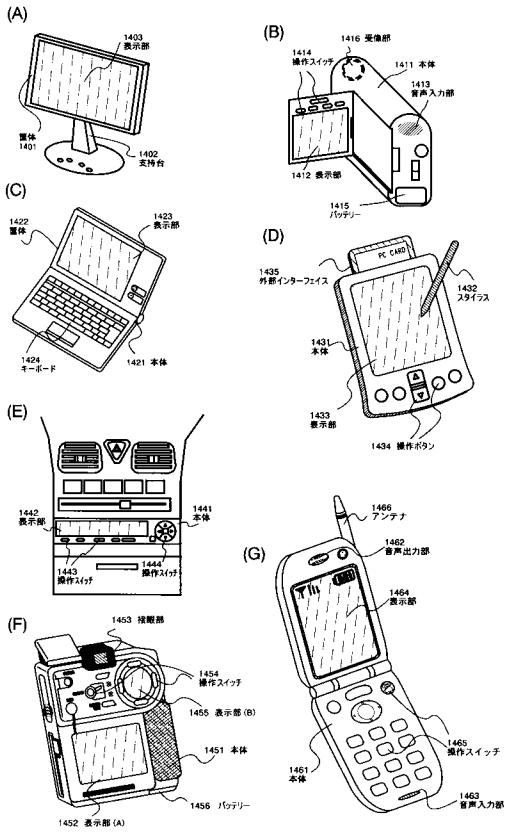
【図１７】



【図１８】



【図１９】


(A)
1403 表示部
筐体 1401
1402 支持台
(B)
1416 受像部
1414 操作スイッチ
1411 本体
1413 音声入力部
1412 表示部
1415 バッテリー
(C)
1422 筐体
1423 表示部
1424 キーボード
1421 本体
(D)
PC CARD
1435 外部インターフェイス
1432 スタイラス
1431 本体
1433 表示部
1434 操作ボタン
(E)
1442 表示部
1441 本体
1443 操作スイッチ
1444 操作スイッチ
(F)
1453 撮像部
1454 操作スイッチ
1455 表示部 (B)
1451 本体
1456 バッテリー
1452 表示部 (A)
(G)
1466 アンテナ
1462 音声出力部
1464 表示部
1465 操作スイッチ
1461 本体
1463 音声入力部

フロントページの続き

(51)Int.Cl.		F I		
H01L 29/786	***(2006.01)***	H01L	29/78	614
		H01L	29/78	612B

(58)調査した分野(Int.Cl., DB名)

H01L 21/02
G02F 1/1368
G09F 9/00
G09F 9/30
G09F 9/35
H01L 29/786