

(19)日本国特許庁(JP)

## (12)特許公報(B2)

(11)特許番号

特許第7123522号

(P7123522)

(45)発行日 令和4年8月23日(2022.8.23)

(24)登録日 令和4年8月15日(2022.8.15)

(51)国際特許分類

F I

G 0 9 G 3/20 (2006.01)

G 0 9 G 3/20 6 2 3 B

G 0 2 F 1/133(2006.01)

G 0 9 G 3/20 6 2 3 C

G 0 9 F 9/30 (2006.01)

G 0 9 G 3/20 6 2 3 F

G 0 9 F 9/46 (2006.01)

G 0 9 G 3/20 6 2 3 G

G 0 9 G 3/30 (2006.01)

G 0 9 G 3/20 6 2 3 H

請求項の数 8 (全43頁) 最終頁に続く

(21)出願番号 特願2016-184931(P2016-184931)

(22)出願日 平成28年9月22日(2016.9.22)

(65)公開番号 特開2017-62474(P2017-62474A)

(43)公開日 平成29年3月30日(2017.3.30)

審査請求日 令和1年9月20日(2019.9.20)

審判番号 不服2021-11048(P2021-11048/J  
1)

審判請求日 令和3年8月19日(2021.8.19)

(31)優先権主張番号 特願2015-188757(P2015-188757)

(32)優先日 平成27年9月25日(2015.9.25)

(33)優先権主張国・地域又は機関  
日本国(JP)

(73)特許権者 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72)発明者 小林 英智

神奈川県厚木市長谷398番地 株式会

社半導体エネルギー研究所内

(72)発明者 高橋 圭

神奈川県厚木市長谷398番地 株式会

社半導体エネルギー研究所内

合議体

審判長 中塚 直樹

審判官 濱本 禎広

審判官 居島 一仁

最終頁に続く

(54)【発明の名称】 ドライバIC、および電子機器

(57)【特許請求の範囲】

【請求項1】

第1出力端子および第2出力端子が設けられており、

外部からデジタル信号が入力され、

前記デジタル信号のデータには少なくとも第1乃至第3データがあり、

外部から入力される画像信号から第1アナログ信号を生成する機能と、

前記画像信号から第2アナログ信号を生成する機能と、

前記デジタル信号のデータが前記第1データである場合、前記第1アナログ信号を交流電圧信号として前記第1出力端子から出力し、かつ前記第2アナログ信号を直流電圧信号として前記第2出力端子から出力する機能と、

前記デジタル信号のデータが前記第2データである場合、前記第1アナログ信号を交流電圧信号として前記第1出力端子から出力し、かつ前記第2アナログ信号を交流電圧信号として前記第2出力端子から出力する機能と、

前記デジタル信号のデータが前記第3データである場合、前記第1アナログ信号を直流電圧信号として前記第1出力端子から出力し、かつ前記第2アナログ信号を直流電圧信号として前記第2出力端子から出力する機能と、を備えるドライバIC。

【請求項2】

請求項1において、

前記画像信号および前記デジタル信号は、それぞれ差動信号であるドライバIC。

【請求項3】

表示パネル、およびドライバを有する電子機器であって、  
前記ドライバは、前記表示パネルに電氣的に接続され、  
前記ドライバは、請求項 1 又は 2 に記載のドライバ IC を 1 または複数有する電子機器。

【請求項 4】

表示パネル、ドライバ、照度センサ、および画像プロセッサを有する電子機器であって、  
前記ドライバは、前記表示パネルに電氣的に接続され、請求項 1 乃至 3 の何れか 1 項に  
記載のドライバ IC を 1 または複数有し、  
前記画像プロセッサは、  
前記画像信号を生成する機能と、  
前記照度センサの検知信号に応じて、前記画像信号の階調データを決定する機能と、を  
備える電子機器。

10

【請求項 5】

請求項 3 又は 4 に記載の表示パネルは、複数のサブ画素を有し、  
前記複数のサブ画素は、それぞれ、交流駆動される第 1 表示素子、および直流駆動され  
る第 2 表示素子を有する電子機器。

【請求項 6】

請求項 3 又は 4 に記載の表示パネルは、複数のサブ画素を有し、  
前記複数のサブ画素は、それぞれ、交流駆動される第 1 表示素子、直流駆動される第 2  
表示素子、第 1 トランジスタ、および第 2 トランジスタを有し、  
前記第 1 トランジスタは前記第 1 表示素子と電氣的に接続され、  
前記第 2 トランジスタは前記第 2 表示素子と電氣的に接続され、  
前記第 1 トランジスタおよび前記第 2 トランジスタは同じ絶縁表面上に設けられている  
電子機器。

20

【請求項 7】

請求項 6 において、  
前記第 1 トランジスタのチャネル形成領域は、金属酸化物を有し、  
前記第 2 トランジスタのチャネル形成領域は、金属酸化物を有する電子機器。

【請求項 8】

請求項 5 乃至 7 の何れか 1 項において、  
前記第 1 表示素子は液晶素子であり、  
前記第 2 表示素子はエレクトロルミネセンス素子である電子機器。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一形態は、表示装置の技術の分野に属しており、例えば、表示装置の駆動回路、  
駆動方法などに関する。なお、ここで記載する技術分野は例示であり、本発明の一形態が  
適用可能な技術分野は、これに限定されるものではない。

【背景技術】

【0002】

アクティブマトリクス型表示装置の多階調化、及び高精細化等に対応するため、アクティ  
ブマトリクス型表示装置のドライバ回路、特に、映像信号からデータ信号を生成するた  
めのソースドライバには専用の IC (ドライバ IC) が採用されている。例えば、特許文献  
1 には液晶表示装置用のドライバ IC が開示され、特許文献 2 には EL (エレクトロルミ  
ネセンス) 表示装置用のドライバ IC が開示されている。

40

【0003】

1 のサブ画素に液晶素子と発光素子が設けられているハイブリッド (複合型) 表示装置が  
提案されている (例えば、特許文献 3 - 5)。

【先行技術文献】

【特許文献】

【0004】

50

【文献】特開 2 0 0 7 - 2 8 6 5 2 5 号公報

特開 2 0 0 9 - 2 2 3 0 7 0 号公報

特開 2 0 0 3 - 1 5 7 0 2 6 号公報

国際公開第 2 0 0 4 / 0 5 3 8 1 9 号

国際公開第 2 0 0 7 / 0 4 1 1 5 0 号

【発明の概要】

【発明が解決しようとする課題】

【0005】

反射型液晶表示装置は、バックライトを必要としないため低消費電力であるが、明るい外光が得られる場所（明るい屋外、照明された屋内など）でないと、良好な表示を行えない。ＥＬ素子が自発光素子であるため、ＥＬ表示装置は暗い場所で良好な表示ができる一方、明るい場所では、視認性が低下してしまう。特許文献 3 - 5 で開示されるハイブリッド表示装置は、反射型液晶表示装置とＥＬ表示装置の特長が生かされており、使用場所の明るさによらず使用することができる。

10

【0006】

特許文献 3 等に記載されているように、液晶表示装置とＥＬ表示装置とでは駆動方法が異なる。液晶表示装置では、液晶の焼き付きを防止するために液晶（ＬＣ）素子を交流駆動させる必要がある。ＥＬ表示装置では、ＥＬ素子を直流駆動しており、ＥＬ素子のアノード電極とカソード電極間の電流の大きさを調節することで、ＥＬ素子の輝度を制御している。

20

【0007】

よって、ハイブリッド表示装置では、同じ階調データから、ＬＣ素子用とＥＬ素子用とで個別にデータ信号を生成することが求められる。この課題の単純な解決方法は、液晶表示装置用ソースドライバＩＣと、ＥＬ表示装置用ソースドライバＩＣとを用いることである。この方法だと、ハイブリッド表示装置の小型化、軽量化、および薄型化の妨げになる。また、２種類のソースドライバＩＣを用いることは、コストの増加につながる。

【0008】

そこで、本発明の一形態の課題は、表示装置を駆動するための新規な回路を提供すること、または、新規な表示装置を提供すること、または表示装置の新規な駆動方法を提供することである。または、本発明の一形態の課題は、汎用性の高いドライバを提供すること、もしくは、表示装置のサイズ、重量、厚さ、またはコストの増加を抑えることである。

30

【0009】

なお、複数の課題の記載は、互いの課題の存在を妨げるものではない。なお、本発明の一形態は、これらの課題の全て解決する必要はない。列記した以外の課題が、明細書、図面、請求項（以下、「本明細書等」と呼ぶ。）の記載から、自ずと明らかとなるものであり、これらの課題も、本発明の一形態の課題となり得る。

【課題を解決するための手段】

【0010】

（１）本発明の一形態は、ソース線を駆動する機能を有するドライバＩＣであって、出力ピンを有し、外部から入力される画像信号から、アナログデータ信号を生成する機能と、前記アナログデータ信号を前記出力ピンから出力する機能と、外部から入力されるデジタル信号のデータに応じて、前記出力ピンから出力させるアナログデータ信号を交流電圧信号として出力するか、直流電圧信号として出力するかを設定する機能を備えるドライバＩＣである。

40

【0011】

（２）本発明の一形態は、第１出力ピンおよび第２出力ピンが設けられており、外部からデジタル信号が入力され、前記デジタル信号のデータには少なくとも第１乃至第３データがあり、外部から入力される画像信号から第１アナログデータ信号を生成する機能と、前記画像信号から第２アナログデータ信号を生成する機能と、前記デジタル信号のデータが前記第１データである場合、前記第１アナログデータ信号を交流電圧信号として、前記第

50

1 出力ピンから出力し、かつ前記第 2 アナログデータ信号を直流電圧信号として前記第 2 出力ピンから出力する機能と、前記デジタル信号のデータが前記第 2 データである場合、前記第 1 アナログデータ信号を交流電圧信号として、前記第 1 出力ピンから出力し、かつ前記第 2 アナログデータ信号を交流電圧信号として前記第 2 出力ピンから出力する機能と、前記デジタル信号のデータが前記第 3 データである場合、前記第 1 アナログデータ信号を直流電圧信号として、前記第 1 出力ピンから出力し、かつ前記第 2 アナログデータ信号を直流電圧信号として前記第 2 出力ピンから出力する機能とを備えるドライバ IC である。

【0012】

(3) 本発明の一形態は、第 1 出力ピン、第 2 出力ピン、ロジック回路、シフトレジスタ、ラッチ回路、デジタルーアナログ変換回路、マルチプレクサ、および増幅回路を有するドライバ IC であって、ロジック回路は、第 1 乃至第 3 制御信号を生成する機能と、外部から入力される画像信号から第 1 デジタルデータ信号および第 2 デジタルデータ信号を生成する機能と、を備え、ラッチ回路は、シフトレジスタの出力信号に従い、第 1 デジタルデータ信号および第 2 デジタルデータ信号をラッチする機能と、第 1 制御信号に従い、第 1 デジタルデータ信号、および第 2 デジタルデータ信号を出力する機能と、を備え、デジタルーアナログ変換回路は、第 1 デジタル信号のデータに基づき、極性が正の信号と負の信号とでなる第 1 アナログデータ信号対を生成する機能と、第 2 デジタル信号のデータに基づき、極性が正の信号と負の信号とでなる第 2 アナログデータ信号対を生成する機能とを備え、マルチプレクサは、第 2 制御信号のデータに基づき、第 1 アナログデータ信号対の一方を増幅回路に出力する機能と、第 3 制御信号のデータに基づき、第 2 アナログデータ信号対の一方を増幅回路に出力する機能とを備え、増幅回路は、マルチプレクサから出力された第 1 アナログデータ信号を増幅して、第 1 出力ピンに出力する機能と、マルチプレクサから出力された第 2 アナログデータ信号を増幅して、第 2 出力ピンに出力する機能とを備えるドライバ IC である。

【0013】

(4) 本発明の一形態は、表示パネル、およびソースドライバを有する電子機器であって、ソースドライバは表示パネルに電氣的に接続され、ソースドライバは上掲形態(1) - (3)の何れか1のドライバ IC を1または複数有する。

【0014】

本明細書等において、半導体装置とは、半導体特性を利用した装置であり、半導体素子(トランジスタ、ダイオード、フォトダイオード等)を含む回路、同回路を有する装置等をいう。また、半導体特性を利用することで機能しうる装置全般をいう。例えば、集積回路、集積回路を備えたチップや、パッケージにチップを収納した電子部品は半導体装置の一例である。また、記憶装置、表示装置、発光装置、照明装置及び電子機器等は、それ自体が半導体装置であり、半導体装置を有している場合がある。

【0015】

本明細書等において、XとYとが接続されていると記載されている場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とが、本明細書等を開示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章に記載されているものとする。X、Yは、対象物(例えば、装置、素子、回路、配線、電極、端子、導電膜、層など)であるとする。

【0016】

トランジスタは、ゲート、ソース、およびドレインと呼ばれる3つの端子を有する。ゲートは、トランジスタの導通状態を制御する制御ノードである。ソースまたはドレインとして機能する2つの入出力ノードは、トランジスタの型及び各端子に与えられる電位の高低によって、一方がソースとなり他方がドレインとなる。このため、本明細書等においては、ソースとドレインの用語は、入れ替えて用いることができるものとする。また、本明細書等では、ゲート以外の2つの端子を第1端子、第2端子と呼ぶ場合や、第3端子、第4端子と呼ぶ場合などがある。

## 【 0 0 1 7 】

ノードは、回路構成やデバイス構造等に応じて、端子、配線、電極、導電層、導電体、不純物領域等と言い換えることが可能である。また、端子、配線等をノードと言い換えることが可能である。

## 【 0 0 1 8 】

電圧は、ある電位と、基準の電位（例えば接地電位、ソース電位）との電位差のことを示す場合が多い。よって、電圧を電位と言い換えることが可能である。なお、電位とは相対的なものである。よって、GNDと記載されていても、必ずしも0Vを意味しない場合がある。

## 【 0 0 1 9 】

本明細書等において、「第1」、「第2」、「第3」などの序数詞は、順序を表すために使用される場合がある。または、構成要素の混同を避けるために使用する場合があり、この場合、序数詞の使用は構成要素の個数を限定するものではなく、順序を限定するものでもない。また、例えば、「第1」を「第2」または「第3」に置き換えて、本発明の一形態を説明することができる。

## 【発明の効果】

## 【 0 0 2 0 】

本発明の一形態は、表示装置を駆動するための新規な回路を提供すること、または、新規な表示装置を提供すること、または、表示装置の新規な駆動方法を提供することを可能にする。または、本発明の一形態は、汎用性の高いドライバを提供することを可能にする。または、本発明の一形態は、表示装置のサイズ、重量、厚さ、またはコストの増加を抑えることができる。

## 【 0 0 2 1 】

複数の効果の記載は、他の効果の存在を妨げるものではない。また、本発明の一形態は、必ずしも、例示した効果の全てを有する必要はない。また、本発明の一形態について、上記以外の課題、効果、および新規な特徴については、本明細書の記載および図面から自ずと明らかになるものである。

## 【図面の簡単な説明】

## 【 0 0 2 2 】

【図1】表示装置の構成例を示す図。

【図2】表示装置の構成例を示す分解斜視図。

【図3】表示モジュールの構成例を示す模式図。

【図4】A、B：表示モジュール（タッチパネルモジュール）の構成例を示す模式図。

【図5】A - D：画素部の構成例を示す回路図。

【図6】画素部および周辺回路の構成例を示す図。

【図7】ソースドライバICの構成例を示すブロック図。

【図8】ソースドライバICの動作の概要を説明する図。

【図9】ソースドライバICの構成例を示すブロック図。

【図10】電圧生成回路の構成例を示す回路図。

【図11】A、B：パストランジスタロジック回路のマルチプレクサの構成例を示す回路図。

【図12】A、B：パストランジスタロジック回路のマルチプレクサの構成例を示す回路図。

【図13】ピンの極性制御の例を説明する図。

【図14】ピンの極性制御の例を説明する図。

【図15】ピンの極性制御の例を説明する図。

【図16】ピンと画素部の接続構造の一例を説明する図。

【図17】A - C：ドライバICの構成例を示すブロック図。

【図18】A、B：表示装置の動作例を説明する図。

【図19】A - F：電子機器の構成例を示す図。

10

20

30

40

50

【図 2 0】A - D：電子機器の構成例を示す図。

【図 2 1】A、B：電子機器の構成例を示す図。

【図 2 2】A、B：表示モジュールの構成例を示す平面図。

【図 2 3】A：サブ画素の構成例を示す回路図。B、C：サブ画素の構成例を示すレイアウト図。

【図 2 4】表示モジュール（サブ画素）の構成例を示す断面図。

【図 2 5】表示モジュール（ゲートドライバ、コモンコンタクト部、端子部）の構成例を示す断面図。

【図 2 6】A、B：OSトランジスタの構成例を示す平面図。C、D：OSトランジスタの構成例を示す断面図。

10

【図 2 7】トランジスタの構成例を示す断面図。

【発明を実施するための形態】

【0023】

なお、本明細書において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている場合がある。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

【0024】

本明細書等において、「膜」という言葉と「層」という言葉とは、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を「導電膜」という用語に変更することが可能な場合がある。例えば、「絶縁膜」という用語を「絶縁層」という用語に変更することが可能な場合がある。

20

【0025】

図面において、同一の要素または同様な機能を有する要素、同一の材質の要素、あるいは同時に形成される要素等には同一の符号を付す場合があり、その繰り返しの説明は省略する場合がある。

【0026】

以下に、本発明の実施の形態例を説明する。ただし、本発明の一形態は、以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明の一形態は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

30

【0027】

また、以下に示される複数の実施の形態は適宜組み合わせることが可能である。また1の実施の形態の中に、複数の構成例（作製方法例、動作方法例等も含む。）が示される場合は、互い構成例を適宜組み合わせること、および他の実施の形態に記載された1または複数の構成例と適宜組み合わせることも可能である。

【0028】

〔実施の形態1〕

ここでは、1つのサブ画素に液晶素子と発光素子とが設けられているハイブリッド型表示装置について説明する。

40

【0029】

<<表示装置>>

図1は表示装置の構成例を示すブロック図である。表示装置100は、画素部110、周辺回路112、プロセッサ130、制御回路131、画像プロセッサ132、記憶装置133、電源回路134、センサ135を有する。

【0030】

プロセッサ130は、命令を実行し、表示装置100を統括的に制御するための回路である。プロセッサ130には、CPU、MPUなどの各種プロセッサを適用できる。また、表示装置100が、表示部を構成する電子部品として電子機器に組み込まれている場合、プロセッサ130は、電子機器（ホスト装置）のプロセッサであってもよい。

50

## 【 0 0 3 1 】

プロセッサ 1 3 0 が実行する命令は、外部から入力される命令、および内部メモリに格納された命令である。プロセッサ 1 3 0 は、制御回路 1 3 1、画像プロセッサ 1 3 2 を制御する信号を生成する。プロセッサ 1 3 0 の制御信号、センサ 1 3 5 の検知信号等に基づき、制御回路 1 3 1 は、表示装置 1 0 0 の動作を制御する。制御回路 1 3 1 は、プロセッサ 1 3 0 が決定した処理が実行されるように、周辺回路 1 1 2、画像プロセッサ 1 3 2、電源回路 1 3 4、および記憶装置 1 3 3 を制御する。制御回路 1 3 1 には、例えば、画面の書き換えのタイミングを決定する各種の同期信号が入力される。同期信号としては、例えば水平同期信号、垂直同期信号、および基準クロック信号等があり、制御回路 1 3 1 は、これらの信号から周辺回路 1 1 2 の制御信号を生成する。

10

## 【 0 0 3 2 】

表示装置 1 0 0 は、使用環境の明るさに応じて、画面の明るさの調節、及び表示モード（EL 素子による表示、LC 素子による表示）の変更等が可能となっている。センサ 1 3 5 はこのために設けられている。センサ 1 3 5 は外光 5 を検知して検知信号を生成する光センサを有する。制御回路 1 3 1 は検知信号に基づいて、周辺回路 1 1 2 および画像プロセッサ 1 3 2 の制御信号を生成する。例えば、センサ 1 3 5 は照度を検出する照度センサとすることができる。画像プロセッサ 1 3 2 はセンサ 1 3 5 の検知信号に応じた、信号処理が可能であるので、例えば、画像プロセッサ 1 3 2 は、照度に応じて、画像信号の階調データを設定することができる。なお、センサ 1 3 5 の検知信号をプロセッサ 1 3 0 に入力するようにしてもよいし、画像プロセッサ 1 3 2 に入力してもよい。

20

## 【 0 0 3 3 】

電源回路 1 3 4 は、画素部 1 1 0、周辺回路 1 1 2 に電源電圧を供給する機能を有する。

## 【 0 0 3 4 】

画素部 1 1 0 は、複数のサブ画素 1 0、複数の配線 GL 1、SL 1、GL 2、SL 2 を有する。複数のサブ画素 1 0 はアレイ状に配列されている。複数の配線 GL 1、SL 1、GL 2、SL 2 は、複数のサブ画素 1 0 の配列に応じて設けられている。各サブ画素 1 0 は、LC 素子および EL 素子を有しており、対応する行の配線 GL 1、GL 2 と電氣的に接続され、対応する列の配線 SL 1、SL 2 と電氣的に接続されている。配線 GL 1、SL 1 は LC 素子を駆動するための配線であり、配線 GL 2、SL 2 は EL 素子を駆動するための配線である。配線 GL 1、GL 2 をゲート線、走査線、または選択信号線等と呼ぶことができる。また、配線 SL 1、SL 2 をソース線、データ線、またはデータ信号線等と呼ぶことができる。

30

## 【 0 0 3 5 】

周辺回路 1 1 2 は、画素部 1 1 0 を駆動するドライバとして機能する。周辺回路 1 1 2 は、ゲートドライバ 1 2 1、1 2 2、およびソースドライバ 1 2 3 を有する。ゲートドライバ 1 2 1 は配線 GL 1 を駆動するための回路であり、配線 GL 1 に供給する信号を生成する機能を有する。ゲートドライバ 1 2 2 は配線 GL 2 を駆動するための回路であり、配線 GL 2 に供給する信号を生成する機能を有する。ソースドライバ 1 2 3 は配線 SL 1、SL 2 を駆動するため回路であり、配線 SL 1、SL 2 に供給する信号を生成する機能を有する。

40

## 【 0 0 3 6 】

画像プロセッサ 1 3 2 は、外部から入力される映像信号を処理して、ソースドライバ 1 2 3 が処理する画像信号を生成する機能を有する。画像信号は階調データをもつデジタル信号である。画像プロセッサ 1 3 2 は、画像信号を補正する機能を有する。ソースドライバ 1 2 3 は、画像信号を処理して、配線 SL 1、SL 2 に供給するデータ信号を生成する機能を有する。

## 【 0 0 3 7 】

記憶装置 1 3 3 は、画像プロセッサ 1 3 2 が処理を行うために必要なデータを格納するために設けられている。記憶装置 1 3 3 には、例えば、画像信号、外部から入力される映像信号等が格納される。

50

## 【 0 0 3 8 】

図 2 は、表示装置 1 0 0 の構成例を示す分解斜視図である。表示装置 1 0 0 は、上部カバー 1 8 1 と下部カバー 1 8 2 との間に、各種の部品を有する。図 2 の例では、表示装置 1 0 0 は、表示モジュール 1 5 0、フレーム 1 8 3、プリント基板 1 8 4、およびバッテリー 1 8 5 を有する。フレーム 1 8 3、バッテリー 1 8 5 等は設けられていない場合もある。表示装置 1 0 0 に、表示パネル 1 6 0 を照明する照明装置（例えば、フロントライトユニット）を設けてもよい。

## 【 0 0 3 9 】

プリント基板 1 8 4 には、画素部 1 1 0 および周辺回路 1 1 2 以外の回路を設けることができる。例えば、プリント基板 1 8 4 には、プロセッサ 1 3 0、制御回路 1 3 1、画像プロセッサ 1 3 2、記憶装置 1 3 3、電源回路 1 3 4 を設けることができる。電源回路 1 3 4 に電力を供給する電源としては、外部の商用電源であっても良いし、バッテリー 1 8 5 であってもよい。

10

## 【 0 0 4 0 】

フレーム 1 8 3 は、表示パネル 1 6 0 の保護機能の他、プリント基板 1 8 4 で発生する電磁波を遮断するための電磁シールドとしての機能を有する。またフレーム 1 8 3 は、放熱板の機能を有していてもよい。表示パネル 1 6 0 のサイズに合わせて、上部カバー 1 8 1 の形状、寸法を適宜変更することができる。下部カバー 1 8 2 およびフレーム 1 8 3 も同様である。

## 【 0 0 4 1 】

20

（表示モジュール）

表示モジュール 1 5 0 は、ソースドライバ I C 2 0 0、F P C ( F l e x i b l e P r i n t e d C i r c u i t ) 1 5 3、1 5 4、および表示パネル 1 6 0 を有する。表示パネル 1 6 0 は基板 1 6 1、1 6 2 を有する。基板 1 6 1 と基板 1 6 2 間に、画素部 1 1 0、ゲートドライバ 1 2 1、1 2 2 が設けられている。ソースドライバ I C 2 0 0 に組み込まれている。F P C 1 5 3 は、表示パネル 1 6 0 の端子部に電氣的に接続され、F P C 1 5 4 は他の端子部に電氣的に接続されている。F P C 1 5 3 には、ソースドライバ I C 2 0 0 が電氣的に接続されている。F P C 1 5 3 によって、ソースドライバ I C 2 0 0 は外部回路（例えば、制御回路 1 3 1、画像プロセッサ 1 3 2、電源回路 1 3 4）と電氣的に接続される。F P C 1 5 4 によって、画素部 1 1 0、ゲートドライバ 1 2 1、1 2 2 は外部回路（例えば、制御回路 1 3 1、電源回路 1 3 4）と電氣的に接続される。

30

## 【 0 0 4 2 】

図 3 は、表示モジュール 1 5 0 の構成の概要を説明するための断面図である。表示モジュール 1 5 0 は、基板 1 6 1 と基板 1 6 2 の間に、トランジスタ層 1 6 3、L C 層 1 6 4、E L 素子層 1 6 5 を有する。L C 層 1 6 4 は、基板 1 6 2 とトランジスタ層 1 6 3 との間に封止材 1 7 0 によって設けられた隙間に存在する。

## 【 0 0 4 3 】

トランジスタ層 1 6 3 は、画素部 1 1 0、およびゲートドライバ 1 2 1、1 2 2 を構成する各種の素子が設けられる層である。素子としては、トランジスタ、容量素子、整流素子、抵抗素子等がある。トランジスタ層 1 6 3 には、画素電極 1 7 1、画素電極 1 7 2、および端子部 1 7 3、1 7 4 が設けられている。画素電極 1 7 1 は L C 用画素電極であり、反射電極である。そのため、E L 素子の光を取り出すために画素電極 1 7 1 は開口 1 7 1 a を有する。画素電極 1 7 2 は E L 用画素電極であり、光を透過する透過電極である。

40

## 【 0 0 4 4 】

基板 1 6 2 にはコモン電極 1 7 5、カラーフィルタ 1 7 8 等が設けられている。E L 素子層 1 6 5 には、E L 層、コモン電極 1 7 6 等が設けられている。コモン電極 1 7 5 は L C 用コモン電極であり、透過電極である。コモン電極 1 7 6 は E L 用コモン電極であり、反射電極である。

## 【 0 0 4 5 】

50



表示モジュール 150 は、外光を利用した反射型 LC 表示モジュールと、EL 素子の発光を利用した EL 表示モジュール（自発光型表示モジュール）双方の機能を備えるハイブリッド表示モジュールである。外光 140 は基板 162 から入射し、カラーフィルタ 178、コモン電極 175 および LC 層 164 を経て画素電極 171 で反射される。画素電極 171 で反射された光 141 は LC 層 164、コモン電極 175、カラーフィルタ 178 を通り、基板 162 から射出する。光 141 の輝度は画素電極 171 とコモン電極 175 間の電位差によって決まる。光 142 は EL 素子層 165 で生じた光である。光 142 の輝度は、EL 素子層 165 を流れる電流によって決まる。光 142 は、コモン電極 176 で反射され、画素電極 171 の開口 171a を通り、LC 層 164、コモン電極 175、カラーフィルタ 178 を経て、基板 162 から取り出される。

10

【0046】

基板 162 の外光 140 が入射する表面に、光学フィルム（例えば、偏光フィルム、位相差フィルム、プリズムシート、反射防止フィルム）などを設けてもよい。

【0047】

表示モジュール 150 にタッチセンサを設けてもよい。そのような例を図 4A、図 4B に示す。図 4A に示す表示モジュール 151 は、表示モジュール 150 にオンセル型タッチパネルを設けた電子部品であり、図 4B に示す表示モジュール 152 はインセル型タッチパネルを設けた電子部品である。表示モジュール 151、152 は、タッチパネルモジュールと呼ぶことができる。

【0048】

表示モジュール 151 は、タッチセンサ 166、FPC 167、タッチセンサドライバ IC 168 を有する。タッチセンサ 166 は基板 162 の外側の面（光 141、142 が取り出される面）に設けられている。

20

【0049】

タッチセンサ 166 には、抵抗膜方式タッチセンサ、静電容量方式タッチセンサ等を用いることができる。タッチセンサドライバ IC 168 は、タッチセンサ 166 を駆動する機能を有する。タッチセンサドライバ IC 168 は FPC 167 に電氣的に接続され、FPC 167 はタッチセンサ 166 の端子部に電氣的に接続されている。

【0050】

表示モジュール 152 は、FPC 167、タッチセンサドライバ IC 168、タッチセンサ 166、端子 177 を有する。タッチセンサ 166 は、基板 162 とコモン電極 175 の間に設けられている。端子 177 は、タッチセンサ 166 の作製工程において、基板 162 に形成される。タッチセンサ 166 は、端子 177、FPC 167 を介してタッチセンサドライバ IC 168 と電氣的に接続される。

30

【0051】

図 3、図 4 において、ソースドライバ IC 200 の実装方式は COF (Chip on Flexible) 方式であるが、実装方式に特段の制約はなく、COG (Chip on Glass) 方式、TAB (Tape Automated Bonding) 方式でもよい。タッチセンサドライバ IC 168 についても同様である。

【0052】

基板 161 はトランジスタ層 163、EL 素子層 165 を作製するために使用した支持基板（ガラス基板や石英基板など）と異なる基板である。トランジスタ層 163、および EL 素子層 165 を作製した後、または作製工程途中に、支持基板を剥離し、接着層により基板 161 を EL 素子層 165 に取り付けている。支持基板を剥離することで、FPC 153 と接続される端子、および FPC 154 と接続される端子を露出させることができる。

40

【0053】

基板 161、162 を可撓性基板とすることで、可撓性の表示パネル 160 を得ることができる。表示部に可撓性の表示パネル 160 を用いることで、画面を曲げて使用できる電子機器を提供することが可能である。

【0054】

50

表示パネル 160 の基板 161、162 に適用可能な基板としては、例えば、ガラス基板、石英基板、プラスチック基板、金属基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙、又は基材フィルムなどが挙げられる。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、又はソーダライムガラスなどがある。可撓性基板の一例としては、ポリエチレンテレフタレート (PET)、ポリエチレンナフタレート (PEN)、ポリエーテルサルフォン (PES) に代表されるプラスチック、又はアクリル等の可撓性を有する合成樹脂などがある。貼り合わせフィルムには、ポリプロピレン、ポリエステル、ポリフッ化ビニル、ポリ塩化ビニル等からなるフィルム、または無機蒸着フィルムなどを用いることもできる。フィルム基材としては、ポリエステル樹脂、ポリアミド樹脂、ポリイミド樹脂、アラミド樹脂、エポキシ樹脂、および紙類などがある。

10

#### 【0055】

基板 161 に使用できる基板 (フィルムも含む) は、トランジスタ層 163 および EL 素子層 165 を支持する機能、および EL 素子層 165 を保護する機能等を備えていればよい。また、基板 162 に使用できる基板 (フィルムも含む) は、可視光を透過する機能、LC 層 164 を封止できる機能等を備えていればよい。例えば、基板 162 には、光学フィルム (円偏光フィルム) を用いることができる。これにより、基板 162 に光学フィルムを固定する場合よりも、表示モジュール 150 を軽量化、薄型化することができる。

#### 【0056】

図 3 に示す表示モジュール 150 では、1 のトランジスタ層 163 によって、画素部 110 を構成することができる。そのため、ソースドライバ 123 を LC 用ドライバ IC と EL 用ドライバ IC とで構成するという制約はなく、1 種類のソースドライバ IC 200 で、LC 用ソース線 (SL1) および EL 用ソース線 (SL2) を駆動させることが可能である。以下、そのような機能を備えたソースドライバ IC について説明する。

20

#### 【0057】

(画素部 110)

ソースドライバ IC の構成例、動作例を説明する前に、まず、画素部 110 の回路構成について説明する。図 5A に画素部 110 の回路構成例を示す。図 5A には代表的に 1 行 3 列に配列された 3 のサブ画素 10 を示している。サブ画素 10 < j, k > とは、第 j 行第 k 列のサブ画素 10 であることを示し、配線 GL1 < j > は第 j 行の配線 GL1 であることを示し、配線 SL2 < k > は、第 k 列の配線 SL2 であることを示している。j、k は 1 よりも大きい整数である。

30

#### 【0058】

サブ画素 10 はサブ画素 11、12 を有する。サブ画素 11 は LC 表示パネル用サブ画素であり、トランジスタ M1、容量素子 CS1、LC 素子 DE1 を有する。サブ画素 11 は、配線 GL1、SL1、CSL と電氣的に接続されている。配線 CSL は、画素部 110 の全てのサブ画素 11 に共通な配線であり、各サブ画素 11 の容量素子 CS1 と電氣的に接続されている。VCOM は、LC 素子 DE1 のコモン電極に入力される電圧である。

#### 【0059】

ここでは、サブ画素 11 は反射型液晶表示パネルのサブ画素と同じ構成を持つ画素であるが、サブ画素 11 の構成はこれに限定されない。サブ画素 11 は外光を利用して表示ができる構造を有していればよい。例えば、LC 素子 DE1 の代わりに、電気泳動方式の表示素子、粒子移動方式の表示素子、または粒子回転方式の表示素子などを、サブ画素 11 に設けてもよい。

40

#### 【0060】

サブ画素 12 は EL 表示パネル用のサブ画素であり、トランジスタ M2、M3、容量素子 CS2、EL 素子 DE2 を有する。サブ画素 12 は、配線 GL2、SL2、ANL と電氣的に接続されている。配線 ANL は、画素部 110 の全てのサブ画素 12 に共通な配線であり、各サブ画素 12 の容量素子 CS2 と電氣的に接続されている。VCTH は EL 素子

50

D E 2 のコモン電極（ここでは、カソード電極）の電圧であり、サブ画素 1 2 のコモン電圧である。配線 A N L には、V C T H よりも高い電圧が入力される。

【 0 0 6 1 】

トランジスタ M 2 は選択トランジスタと呼ばれ、トランジスタ M 3 は駆動トランジスタと呼ばれる。容量素子 C S 2 はトランジスタ M 3 のゲート電圧を保持するために設けられている。トランジスタ M 3 はバックゲートを有する。トランジスタ M 3 のゲートにバックゲートを電氣的に接続していることで、トランジスタ M 3 の電流駆動能力を向上させている。また、図 5 B に示すように、トランジスタ M 3 のドレインとバックゲートを電氣的に接続することでも、同様の効果が得られる。

【 0 0 6 2 】

E L 素子 D E 2 は、一対の電極（アノード電極、カソード電極）、および一対の電極に挟まれた E L 層を有する。図 5 A の例では E L 素子 D E 2 の画素電極がアノード電極であり、コモン電極がカソード電極である。E L 層は、発光性の物質を含む層（発光層）を少なくとも含む。E L 層には、その他に、電子輸送物質を含む層（電子輸送層）、正孔輸送物質を含む層（正孔輸送層）など、他の機能層を適宜設けることができる。E L 素子は、発光物質が有機物である場合は有機 E L 素子と呼ばれ、無機物である場合は無機 E L 素子と呼ばれる。なお、ここでは、E L 素子をサブ画素 1 1 に設けたが、発光素子は E L 素子に限定されない。発光ダイオード、発光トランジスタ等でもよい。

【 0 0 6 3 】

表示装置 1 0 0 がカラー表示を行う場合、所定の数のサブ画素によって、1 の画素が構成される。例えば、赤色（R）、緑色（G）、青色（B）を表示する 3 のサブ画素 1 0 で、1 画素を構成することができる。図 5 C は、このような画素を持つ画素部 1 1 0 の構成例を示している。画素 1 3 < j , k > は、サブ画素 1 0 R < j , k >、1 0 G < j , k >、1 0 B < j , k > で構成される。図 5 C の例では、画素部 1 1 0 の同じ列には、同じ色を表示するサブ画素 1 0 が設けられていることとなり、画素部 1 1 0 のサブ画素 1 1 の配列は、縦方向（列方向）の R G B ストライプ配列である。

【 0 0 6 4 】

また、表示色が異なる 4 個のサブ画素 1 0 で単位画素を構成することもできる。この場合 4 色の表示色の組み合わせとして、[ R , G , B , Y（黄色）]、[ R , G , B , C（シアン）]などが挙げられる。図 5 D に、4 個（R G B C）のサブ画素 1 0 で 1 画素が構成される例を示す。画素 1 4 < j , k > は、サブ画素 1 0 R < j , k >、1 0 G < j , k >、1 0 B < j , k >、1 0 C < j , k > を有する。ここでは、サブ画素 1 0 の配列は縦方向の R G B C ストライプ配列である。

【 0 0 6 5 】

4 のサブ画素 1 0 で画素を構成する場合、例えば、1 のサブ画素 1 0 R、1 のサブ画素 1 0 G、2 のサブ画素 1 0 B で画素を構成することもできる。例えば、この場合、サブ画素 1 0 の配列は、R B G B ストライプ配列とすればよい。

【 0 0 6 6 】

本明細書では、サブ画素の表示色を用いて、構成要素を区別する場合、R、\_\_ R 等の識別記号を付すことにする。例えば、サブ画素 1 0 R は赤色のサブ画素 1 0 を表す。配線 S L 1 \_\_ G < k > とは、緑色のデータ信号が入力される第 k 列の配線 S L 1 を表している。よって、図 5 C において、表示色を区別しない場合、配線 S L 1 \_\_ R < k > は、第 3 k - 2 列の配線 S L 1 であり、配線 S L 1 \_\_ G < k > は第 3 k - 1 列の配線 S L 1 であり、配線 S L 1 \_\_ B < k > は第 3 k 列の配線 S L 1 である。配線 S L 2 も同様である。図 5 D にも、サブ画素 1 0、配線 S L 1、S L 2 について、表示色を区別する場合と、区別しない場合の符号を記載している。

【 0 0 6 7 】

なお、画素部 1 1 0 のサブ画素の回路構成は、図 5 A、図 5 B に限定されるものでなく、1 のサブ画素に、L C 素子と E L 素子とを有していればよい。図 6 に画素部および周辺回路の他の構成例を示す。図 6 に示す画素部 1 1 4 はサブ画素 1 5 を有する。なお、図 6 で

10

20

30

40

50

は、１のサブ画素１５のみ示しているが、画素部１１０と同様に、画素部１１４には、複数のサブ画素１５が行列状に配列されている。また、画素部１１４には、複数の配線ＧＬ１、ＣＳＬ、ＡＮＬ、ＳＬ１、ＳＬ２、ＭＬが設けられる。サブ画素１５は対応する行の配線ＧＬ１、ＣＳＬと電氣的に接続され、かつ対応する列の配線ＳＬ１、ＳＬ２、ＭＬと電氣的に接続されている。

#### 【００６８】

サブ画素１５はサブ画素１０の変形例であり、サブ画素１２に代えてサブ画素１７が設けられている。サブ画素１７は、ＥＬ素子ＤＥ３、容量素子ＣＳ３、トランジスタＭ１２、Ｍ１４を有する。トランジスタＭ１２は、トランジスタＭ１３のゲートと配線ＳＬ２間を接続するパストラジスタである。トランジスタＭ１４は、配線ＭＬとＥＬ素子ＤＥ３のアノード間を接続するパストラジスタである。トランジスタＭ１３は駆動トランジスタであり、ＥＬ素子ＤＥ３に供給される電流の電流源として機能する。容量素子ＣＳ３は、ＥＬ素子ＤＥ３のアノードとトランジスタＭ１３のゲート間の電圧を保持する保持容量である。

10

#### 【００６９】

トランジスタＭ１４を設けることで、サブ画素１７からトランジスタＭ１４のドレイン電流（電流 $I_M$ ）を配線ＭＬに出力させることが可能となる。電流 $I_M$ はＥＬ素子ＤＥ３を流れる電流に対応する。したがって、配線ＭＬに流れるアナログ信号（電流 $I_M$ ）を解析し、解析結果に基づき、配線ＳＬ２に入力されるデータ信号の電圧を補正することで、ＥＬ素子ＤＥ３の輝度のずれを補正することができる。

20

#### 【００７０】

周辺回路１１５は、周辺回路１１２に、信号処理回路１２４、出力回路１２５を追加したものである。出力回路１２５は、複数の配線ＭＬと電氣的に接続されている。出力回路１２５は、配線ＭＬを流れるアナログ信号の信号処理回路１２４への出力を制御する機能を有する。出力回路１２５は、外部から入力される制御信号に従って、複数の配線ＭＬを選択し、選択した複数の配線ＭＬを信号処理回路１２４の入力端子と電氣的に接続する。つまり、出力回路１２５はデマルチプレクサとして機能している。

#### 【００７１】

信号処理回路１２４は出力回路１２５を介して画素部１１４から入力されるアナログ信号を処理して、画像プロセッサ１３２が処理するデジタル信号を生成する機能を有する。例えば、信号処理回路１２４にはアナログーデジタル変換回路（ＡＤＣ）を設ければよい。ＡＤＣにおいて、画素部１１４から入力されるアナログ信号を処理してデジタル信号に変換する。画像プロセッサ１３２では、信号処理回路１２４から出力されるデジタル信号を解析して、配線ＳＬ２に書き込む階調データを補正する。

30

#### 【００７２】

例えば、周辺回路１１５において、ゲートドライバ１２１、１２２、出力回路１２５は、画素部１１４のトランジスタＭ１、Ｍ１２－１４と共にトランジスタ層１６３に設けることができる。この場合、ソースドライバＩＣ２００には、ソースドライバ１２３と信号処理回路１２４とを設ければよい。

#### 【００７３】

<<ソースドライバＩＣ>>

図７に、ソースドライバＩＣ２００の構成例を示す。ここでは、本実施の形態の理解を容易にするため、ソースドライバＩＣ２００および表示パネル１６０の仕様を次のように設定する。ソースドライバＩＣ２００に伝送される画像信号はシリアル形式の８ビットデジタル信号である。８ビットデジタル信号のデータが階調レベルを表す。また、画像信号の伝送方式は差動方式である。差動形式の画像信号の一方が画像信号ＤＰ〔７：０〕であり、他方が画像信号ＤＮ〔７：０〕である。データ信号用の出力ピンの数は１０８０である。

40

#### 【００７４】

画素部１１０の画素は３（ＲＧＢ）のサブ画素１０で構成されている（図５Ｃ）。表示パネル１６０に用いられるソースドライバＩＣ２００の数は、表示パネル１６０の水平方向

50

のサブ画素 10 の数によって決まる。例えば、水平方向のサブ画素 10 の数が 1080 ( $= 360 \times 3$  (RGB)) であれば、ソースドライバ IC 200 の使用数は 2 である。

#### 【0075】

ソースドライバ IC 200 は、1080 のピン 40、8 のピン 41、8 のピン 42、LVDS (小振幅差動信号) レシーバ 210、ロジック回路 211、回路 220、電圧生成回路 231 (以下、「VGEN231」と呼ぶ。)、バッファ回路 (BUF) 232 を有する。回路 220 は、シフトレジスタ (SR) 212、ラッチ回路 213 (以下、「D-LAT213」と呼ぶ。)、レベルシフタ (LS) 214、パストランジスタロジック回路 (PTL) 215、マルチプレクサ (MUX) 216、増幅回路 (AMP) 217 を有する。

10

#### 【0076】

ピン 40 は、データ信号用の出力ピンであって、配線 SL1 または配線 SL2 と電氣的に接続される。ピン 41、42 は、差動信号用の入力ピンである。例えば、ピン 42 < 1 > には、ピン 41 < 1 > の入力信号の論理を反転した信号が入力される。ピン 41、42 に入力される差動信号は画像プロセッサ 132 で生成される。例えば、ピン 41 < 1 > - 41 < 8 > には画像信号 DP[0] - DP[7] がそれぞれ入力され、ピン 42 < 1 > - 42 < 8 > には画像信号 DN[0] - DN[7] がそれぞれ入力される。

#### 【0077】

ピン 41、42 は画像信号 DP[7:0]、DN[7:0] の入力だけでなく、コマンド信号の入力にも用いられる。ソースドライバ IC 200 には、ピン 40 - 42 の他に、電源電圧の入力用ピン、各種信号の入力用ピン、各種信号の出力用ピンが設けられている。

20

#### 【0078】

LVDS レシーバ 210 は、入力された差動信号をシングルエンド方式の信号に変換する機能を有する。ここでは、LVDS レシーバ 210 によって、画像信号 DP[7:0]、DN[7:0] は、シングルエンド方式の画像信号 DSE[7:0] に変換される。

#### 【0079】

ロジック回路 211 は、外部から入力されるコマンド信号等に従い、回路 220 を制御する。具体的には、ロジック回路 211 は信号 SSP、SRCLK、LTS[7:0]、POL\_\_OUT[7:0] 等を生成する。信号 SSP、SRCLK は、SR212 の制御信号である。信号 LTS[7:0] は D-LAT213 の制御信号である。信号 POL\_\_OUT[7:0] は MUX216 の制御信号である。

30

#### 【0080】

ロジック回路 211 は、シリアル形式の画像信号をパラレル形式の画像信号に変換する機能 (シリアル-パラレル変換機能) を有する。具体的には、ロジック回路 211 は信号 DSE[7:0] を 8 の 8 ビットデジタル信号 (DOUT[63:0]) に変換する。信号 DOUT[8 + 7, 8] (は 0 乃至 7 の整数) のデータは、配線 SL1 または配線 SL2 に書き込まれる 8 ビットの階調データである。

#### 【0081】

なお、ソースドライバ IC 200 には、様々な機能回路を設けることができる。例えば、使用する環境の温度や劣化による EL 素子 DE2 の輝度の変化を補正する機能を有する補正回路を、ソースドライバ IC 200 に設けてもよい。より具体的には、補正回路は、配線 SL2 に出力されるデータ信号 DS を補正する機能を有する。

40

#### 【0082】

図 8 を用いて、ソースドライバ IC 200 の動作の概要を説明する。図 8 に示すように、ソースドライバ IC 200 の動作は、3 つに大別される。期間 T1 は、コマンド信号の処理期間である。期間 T1 では、ロジック回路 211 は、ピン 41、42 から入力される差動信号をコマンド信号として処理する。期間 T1 の長さは入力するコマンド信号の数によって決まる。少なくとも、ソースドライバ IC 200 をリセットするためのコマンド信号 (RES)、および、ピン 40 の極性を決定するためのコマンド信号 (CMD\_\_POL) が入力される。また、ここでは、コマンド信号のデータ幅は 1 乃至 8 ビットとすることが

50

できる。

#### 【 0 0 8 3 】

本明細書において、ピン 4 0 の極性とは、ピン 4 0 から出力されるデータ信号 D S の極性のことを指す。データ信号 D S の電圧が V C O M ( L C 素子 D E 1 のコモン電圧 ) 以上であれば、データ信号 D S の極性は正であり、これが V C O M 未満であれば、その極性は負であるとする。画素が 3 ( R G B ) のサブ画素 1 0 で構成される場合は、ピン 4 0 < 1 > - 4 0 < 1 0 8 0 > の極性は、 $1 2 ( 3 ( R G B ) \times 2 ( S L 1, S L 2 ) \times 2 ( \text{正負の極性} ) )$  のピン毎に変化する。

#### 【 0 0 8 4 】

期間 T 2 は画像信号処理期間である。期間 T 2 では、ソースドライバ I C 2 0 0 は、ピン 4 1、4 2 から入力される差動信号を画像信号として処理する。つまり、期間 T 2 で、画像信号 D P [ 7 : 0 ]、D N [ 7 : 0 ] からデータ信号 D S < 1 > D S < 1 0 8 0 > が生成される。期間 T 2 において、画像信号 D P [ 7 : 0 ] がピン 4 1 に、画像信号 D N [ 7 : 0 ] がピン 4 2 に入力され、L V D S レシーバ 2 1 0 で信号 D S E [ 7 : 0 ] に変換される。ロジック回路 2 1 1 は、L V D S レシーバ 2 1 0 から出力される信号 D S E [ 7 : 0 ] を画像信号として処理し、回路 2 2 0 を制御して、回路 2 2 0 でデータ信号 D S < 1 > D S < 1 0 8 0 > を生成させる。

#### 【 0 0 8 5 】

期間 T 3 は、ブランク期間である。期間 T 3 では、例えば、8 ' h 0 の差動信号をピン 4 1、4 2 に入力すればよい。期間 T 3 では、ソースドライバ I C 2 0 0 は待機状態である。期間 T 3 の後、信号 R E S の入力で次の期間 T 1 が開始する。信号 R E S は、ロジック回路 2 1 1 でコマンド信号処理のトリガーとなる信号でもある。

#### 【 0 0 8 6 】

回路 2 2 0 は、信号 D O U T [ 6 3 : 0 ] を処理して、1 0 8 0 のデータ信号 D S を生成する。データ信号 D S は、階調データを表すアナログ信号である。データ信号 D S < 1 > - D S < 1 0 8 0 > は、それぞれ、ピン 4 0 < 1 > - 4 0 < 1 0 8 0 > から出力される。

#### 【 0 0 8 7 】

ここでは、S R 2 1 2 は、1 3 5 段のフリップフロップ回路 ( 以下、「S R F F」と呼ぶ。 ) を有する。1 段目の S R - F F に信号 S S P ( スタートパルス信号 ) を入力することで、各段の S R - F F から所定のタイミングで 1 ビットの信号 S M P ( サンプルング信号 ) が出力される。したがって、S R 2 1 2 から、1 3 5 ビットの信号 S M P [ 1 3 4 : 0 ] が出力される。各段の S R - F F が信号 S M P を出力するタイミングは、クロック信号 S R C L K によって制御される。

#### 【 0 0 8 8 】

信号 S M P [ 1 3 4 : 0 ] に従い、D - L A T 2 1 3 は信号 D O U T [ 6 3 : 0 ] をサンプルングする。これにより、D - L A T 2 1 3 は、1 0 8 0 の 8 ビットのデータ信号を記憶する。D - L A T 2 1 3 からの 1 0 8 0 のデータ信号の出力のタイミングは、信号 L T S [ 7 : 0 ] によって制御される。L S 2 1 4 は D - L A T 2 1 3 から出力された 1 0 8 0 のデータ信号をそれぞれレベルシフトする。

#### 【 0 0 8 9 】

P T L 2 1 5 はデジタル-アナログ ( D - A ) 変換機能を持つ回路である。ここでは、P T L 2 1 5 は、L S 2 1 4 の出力信号のデータをもとに、1 0 8 0 のアナログ信号対を生成する。アナログ信号対は、極性が正のアナログ信号と負のアナログ信号からなる。アナログ信号の極性は、L C 素子 D E 1 を駆動するための交流電圧信号の極性に対応している。

#### 【 0 0 9 0 】

P T L 2 1 5 は、P T L 2 1 5 P、2 1 5 N を有する。P T L 2 1 5 P は、L S 2 1 4 の出力信号を正のアナログ信号に変換する機能を有し、P T L 2 1 5 N はこれを負のアナログ信号に変換する機能を有する。V G E N 2 3 1 は、P T L 2 1 5 P、2 1 5 N が D - A 変換を行うための基準電圧を生成するための回路である。

#### 【 0 0 9 1 】

MUX 216には、1080の正負のアナログ信号対が入力される。MUX 216は、信号POL[7:0]に従い、アナログ信号対のうちの何れか一つを選択し、AMP 217に出力する。BUF 232は信号POL\_OUTをバッファし、かつレベルシフトして出力する。BUF 232の出力信号が信号POL[7:0]である。

#### 【0092】

AMP 217はMUX 216から出力される1080のアナログ信号をそれぞれ増幅する。AMP 217の1080の出力信号がデータ信号DS<1>-DS<1080>である。

#### 【0093】

ソースドライバIC 200は、1の階調データをもつデジタル信号から正負の極性をもつアナログ信号対を生成し、アナログ信号対の一方を選択的に1のピン40から出力することができる。そのため、例えば、1水平期間に、奇数列のピン40から交流駆動用のデータ信号DS（交流電圧信号）を、偶数列のピン40から直流駆動用のデータ信号DS（直流電圧信号）を出力させることができる。1のサブ画素に交流駆動される表示素子と直流駆動される表示素子とを組み込んだハイブリッド型表示パネルを、1種類のソースドライバIC 200によって駆動することが可能である。したがって、ソースドライバIC 200の提供により、ハイブリッド型表示装置の小型化、および製造コスト削減ができる。また、1水平期間に、全てのピン40から、直流駆動用または交流駆動用のデータ信号DSを出力できるため、ソースドライバIC 200は液晶表示装置、およびEL表示装置を駆動することも可能であり、汎用性が高い。以下、図9 - 図16を参照して、ソースドライバIC 200の構成例および動作例についてより詳細に説明する。

#### 【0094】

図9は、ソースドライバIC 200の構成例を示すブロック図であり、回路220については、第1列、第2列の回路要素を代表的に示している。図9に示す複数のピン45は、ロジック回路211を制御するための制御信号の入力に用いられる。ここでは、ピン45はシングルエンド方式のデジタル信号の入力用端子である。ピン45は適宜設ければよい。例えば、ピン40の極性を設定するための制御信号をピン45から入力すればよい。これについては後述する。

#### 【0095】

##### (D-LAT 213)

図9に示すように、D-LAT 213は、列ごとに、LAT 21、22を有する。LAT 21、22はそれぞれ8ビットのデータを記憶できるラッチ回路である。信号SMP[134:0]の各1ビットで8のLAT 21が制御される。LAT 22は、対応する列のLAT 21の出力信号をラッチする。LAT 22から出力される信号DLT[7:0]は、LAT 21が保持しているデータと同じ論理を持つ信号である。各LAT 22には、ラッチ信号として信号LTS[7:0]が入力される。アクティブなラッチ信号が入力されることで、LAT 22のデータが更新される。

#### 【0096】

なお、図9において、符号として用いられていないアラビア数字(1、8)は、信号のビット幅を表している。例えば、図9では、LAT 21には、8ビットの信号DOUTがロジック回路211から入力され、SR 212からは1ビットの信号SMPが入力されることを示している。

#### 【0097】

##### (LS 214)

LS 214は、列ごとにLS 24を有する。各列において、LS 24は、信号DLT[7:0]をレベルシフトし、信号DECP[7:0]、DECPB[7:0]を生成する。信号DECP[7:0]は信号DLT[7:0]と同じ論理を持ち、信号DECPB[7:0]は信号DECP[7:0]の反転信号である。なお、ここでは、信号DECP[7:0]のうち、下位7ビットの信号DECP[6:0]がPTL 215P、215Nに出力される。なお、LS 214の出力信号の構成は、D-A変換処理を行う回路の構成によって、適宜設定される。

10

20

30

40

50

## 【 0 0 9 8 】

( P T L 2 1 5 P、 2 1 5 N )

P T L 2 1 5 P は列ごとに、M U X 2 5 P を有し、P T L 2 1 5 N は列ごとに M U X 2 5 N を有する。M U X 2 5 P、2 5 N は、それぞれ、L S 2 4 の出力信号をアナログ信号に変換する機能を有する。ここでは、M U X 2 5 P は、信号 D E C P B [ 7 : 0 ] をアナログ変換して、信号 D P T P を生成し、M U X 2 5 N は、信号 D E C P B [ 7 : 0 ] をアナログ変換して、信号 D P T N を生成する。信号 D P T P、D P T N は階調データに対応する電圧を持つアナログ信号である。信号 D P T P は正極性のデータ信号 D S に対応し、信号 D P T N は負極性のデータ信号 D S に対応する。

## 【 0 0 9 9 】

( M U X 2 1 6、A M P 2 1 7 )

M U X 2 1 6 は列ごとに選択回路 ( S E L ) 2 6 を有し、A M P 2 1 7 は列ごとに A M P 2 7 を有する。S E L 2 6 は、制御信号に従って、信号 D P T P、D P T N の何れか一方を A M P 2 7 に出力する。信号 P O L [ 7 : 0 ] の何れか 1 ビットが制御信号として、S E L 2 6 に入力される。入力される 1 ビットの信号 P O L のデータが “ 1 ” であれば、S E L 2 6 は信号 D P T P を出力し、データが “ 0 ” であれば、信号 D P T N を出力する。

## 【 0 1 0 0 】

S E L 2 6 の出力信号は A M P 2 7 で増幅され、出力される。信号 D P T P を A M P 2 7 で増幅することで、正のデータ信号 D S が得られ、信号 D P T N を A M P 2 7 で増幅することで、負のデータ信号 D S が得られる。つまり、信号 D S の極性は、対応する列の S E L 2 6 を制御する信号 P O L のデータ ( “ 0 ” / “ 1 ” ) によって決定することができる。

## 【 0 1 0 1 】

( V G E N 2 3 1 )

V G E N 2 3 1 は、V G E N 2 3 1 P、2 3 1 N を有する。V G E N 2 3 1 P は電圧  $V P < 0 > - V P < 2 5 5 >$  を生成し、V G E N 2 3 1 N は電圧  $V N < 0 > - V N < 2 5 5 >$  を生成する。電圧  $V P < 0 > - V P < 2 5 5 >$  は P T L 2 1 5 P のデジタルーアナログ変換処理のための基準電圧であり、それぞれ、階調レベル 0 - 2 5 5 に対応する。電圧  $V N < 0 > - V N < 2 5 5 >$  は P T L 2 1 5 N のデジタルーアナログ変換処理のための基準電圧であり、それぞれ、階調レベル 0 - 2 5 5 に対応する。

## 【 0 1 0 2 】

電圧  $V P < 2 5 5 >$  は電圧  $V P < 0 >$  よりも大きく、電圧  $V N < 2 5 5 >$  は電圧  $V N < 0 >$  よりも小さい。例えば、電圧  $V P < 0 >$ 、電圧  $V N < 0 >$  をそれぞれ V C O M ( L C 素子 D E 1 のコモン電圧 ) と同じ電圧とすることで、M U X 2 5 P は電圧が V C O M 以上のアナログ信号を生成でき、M U X 2 5 N は、電圧が V C O M 以下のアナログ信号を生成できる。

## 【 0 1 0 3 】

&lt; デジタルーアナログ変換 &gt;

図 1 0 図 1 2 B を参照して、P T L 2 1 5 P、2 1 5 N の D - A 変換機能を説明する。図 1 0 に V G E N 2 3 1 の構成例を示し、図 1 1 A、図 1 1 B に M U X 2 5 P の構成例を示し、図 1 2 A、図 1 2 B に M U X 2 5 N の構成例を示す。

## 【 0 1 0 4 】

( V G E N 2 3 1 )

図 1 0 に示すように V G E N 2 3 1 は 2 の抵抗分圧回路を含む。2 の抵抗分圧回路のうち、一方が V G E N 2 3 1 P であり、他方が V G E N 2 3 1 N である。V G E N 2 3 1 に基準電圧を供給するための複数のピン 4 3 が、ソースドライバ I C 2 0 0 に設けられている。

## 【 0 1 0 5 】

V G E N 2 3 1 P は電圧  $V P < 0 > - V P < 2 5 5 >$  を生成するため、電氣的に直列に接続された抵抗  $R P < 0 > - R P < 2 5 5 >$  を有する。

## 【 0 1 0 6 】

電圧  $V P < 0 >$ 、 $V P < 2 5 5 >$  はピン 4 3 から与えられる電圧である。電圧  $V P < 0 >$

10

20

30

40

50



は抵抗  $R P < 0 >$  に印加され、電圧  $V P < 2 2 5 >$  は抵抗  $R P < 2 5 5 >$  に印加される。ここでは、電圧  $V P < 0 > - V P < 2 5 5 >$  が液晶のガンマ特性（駆動電圧 透過率特性）に適するように、抵抗  $R P < 0 > - R P < 2 5 5 >$  の抵抗値が設定される。かつ、電圧  $V P < 1 > - V P < 2 5 4 >$  のうちの複数の電圧（例えば、 $V P < a_1 >$ 、 $V P < a_x >$  など）がピン 43 から与えられる。ピン 43 に入力する基準電圧を調節することによって、LC 素子 DE 1 により適したガンマ補正が行える。

#### 【0107】

VGEN231N は、電圧  $V N < 0 > - V N < 2 5 5 >$  を生成するため、電氣的に直列に接続された抵抗  $R N < 0 > - R N < 2 5 5 >$  を有する。VGEN231N は VGEN231P と同様の回路構成を持つため、VGEN231N については、VGEN231P の説明を参照する。

10

#### 【0108】

(MUX25P、25N)

図 11A に示すように、MUX25P は MUX31P、31N を有する。MUX31P、31N は、それぞれ 128 入力 1 出力のマルチプレクサである。信号 DECPB[7:0]、DECP[6:0] は、MUX31P、31N の制御信号である。これら信号によって、MUX31P または MUX31N の何れか一方の出力信号が信号 DPTP として MUX25P の出力端子から出力される。

#### 【0109】

図 11B に示すように、MUX31P は p チャネル型トランジスタでなるパストランジスタロジック回路であり、MUX31N は n チャネル型トランジスタでなるパストランジスタロジック回路である。MUX31P の 128 の入力端子には電圧  $V P < 1 2 8 > - V P < 2 5 5 >$  がそれぞれ入力され、MUX31N の 128 の入力端子には電圧  $V P < 0 > - V P < 1 2 7 >$  がそれぞれ入力される。

20

#### 【0110】

図 12A に示すように、MUX25N は MUX32P、32N を有する。MUX32P、32N は、それぞれ 128 入力 1 出力のマルチプレクサであり、MUX31P、31N と同様の回路構成を有する。MUX32P の 128 の入力端子には電圧  $V N < 1 2 8 > - V N < 2 5 5 >$  がそれぞれ入力され、MUX32N の 128 の入力端子には電圧  $V N < 0 > - V N < 1 2 7 >$  がそれぞれ入力される。

30

#### 【0111】

例えば、信号 DLT[7:0] のデータが 8' h2 であれば、つまり、信号 DECPB[7:0] のデータが “11111101” であれば、MUX25P は電圧  $V P < 2 >$  を出力し、MUX25N は電圧  $V N < 2 >$  を出力する。つまり、MUX25P は、LAT22 が保持している階調データに対応する正極性のアナログ電圧を出力する。このように、MUX25P はデコーダとして機能しており、階調データをデコードし、階調データに対応する正極性のアナログ電圧を生成する。MUX25N も同様であり、階調データをデコードし、負極性のアナログ電圧を生成する機能を有する。

#### 【0112】

<<ピンの極性の制御>>

40

表示パネル 160 の画素が 3 (RGB) のサブ画素 10 で構成される場合は、ピン  $40 < 1 > - 40 < 1 0 8 0 >$  の極性は、 $1 2 (3 (RGB) \times 2 (SL1, SL2) \times 2 (正負の極性))$  周期で変化する。そこで、ここでは、12 のピン  $40 < 1 > - 40 < 1 2 >$  に着目して、コマンド信号によるピン 40 の極性の制御について説明する。図 13 には、信号 CMD\_\_POL のデータとピン  $40 < 1 > - 40 < 1 2 >$  の極性との関係、ピン  $40 < 1 > - 40 < 1 2 >$  と信号 POL[7:0] のビットとの対応を示している。例えば、ピン  $40 < 1 >$  の極性を制御するために、信号 POL[0] が第 1 列の SEL26 に入力されることを示している。

#### 【0113】

また、図 13 には、ピン  $40 < 1 > - 40 < 1 2 >$  と、表示パネル 160 の配線 SL1、

50

SL2との接続構造の一例を示す。図13に示すように、ピン40<1>、40<4>、40<5>は、第1列の単位画素を駆動するための配線SL1\_\_R<1>、SL1\_\_G<1>、SL1\_\_B<1>とそれぞれ電氣的に接続されている。ピン40<2>、40<3>、40<6>は、第1列の画素を駆動するための配線SL2\_\_R<1>、SL2\_\_G<1>、SL2\_\_B<1>とそれぞれ接続されている。同様に、ピン40<7>-40<12>は第2列の画素を駆動するための配線SL1または配線SL2と電氣的に接続されている。

#### 【0114】

ピン40<1>-40<12>に接続されるソース線の属性（例えば、駆動する表示素子の種類、色）などを考慮して、ピン40<1>-40<12>の極性が設定される。ここでは、ピン40<1>-40<12>の極性パターンは8通りある。便宜上、これら8の極性パターンをパターン(1)-(8)と呼ぶこととする。信号CMD\_\_POL[4:0]によって、ピン40<1>-40<12>の極性は、パターン(1)-(8)の何れか1に設定される。例えば、信号CMD\_\_POLのデータが4'h5("0101")であれば、ピン40<1>-40<12>からは、正の極性のデータ信号DS<1>-DS<12>が出力されることとなる。ここでは、極性パターンを設定するコマンド信号(CMD\_\_POL)のデータ幅は4ビットであるが、これは、ロジック回路211が設定可能な極性パターンの数によって決定すればよい。

10

#### 【0115】

パターン(1)、(2)はLC表示パネル用の極性パターンである。1フレーム期間ごとに、信号CMD\_\_POLのデータを"0010"(4'h2)と"0011"(4'h3)とで切り替えると、駆動方式はソースライン反転方式となり、このデータの切り替えを1水平期間ごとに行うと、駆動方式はドット反転方式となる。

20

#### 【0116】

パターン(3)、(4)は、EL表示パネル用の極性パターンである。パターン(3)は、画素電極がEL素子のアノードを構成しているときのパターンであり、パターン(4)は、画素電極がEL素子のカソードを構成しているときのパターンである。

#### 【0117】

パターン(5)-(8)は、ハイブリッド表示パネル用の極性パターンである。パターン(5)、(6)では、配線SL2に入力されるデータ信号の極性は正であり、パターン(7)、(8)では、それが負である。

30

#### 【0118】

例えば、1フレーム期間ごとに、信号CMD\_\_POL[3:0]のデータを4'h6と4'h7とで切り替えると、LC素子DE1の駆動方式はソースライン反転方式となり、EL素子DE2には正のデータ信号が書き込まれる。また、このようなデータの切り替えを1水平期間ごとに行うと、LC素子DE1の駆動方式はドット反転方式となる。

#### 【0119】

以上述べたように、ソースドライバIC200は、3種類の表示パネルを駆動することが可能であり、汎用性の高いソースドライバICである。

#### 【0120】

極性パターンは図13の例に限定されない。上述したように、ピン40<1>-40<12>に接続されるソース線の属性などを考慮して、ピン40<1>-40<12>の極性パターンが設定される。よって、例えば、配線SL1、SL2が図14に示すように配置しているハイブリッド表示パネルを駆動するためには、パターン(9)-(12)を設定すればよい。

40

#### 【0121】

信号CMD\_\_POL[3:0]による極性パターンの設定とは、より具体的には、信号CMD\_\_POL[3:0]のデータに従って、ロジック回路211が信号POL\_\_OUT[7:0]のデータを設定することである。例えば、信号CMD\_\_POL[3:0]のデータが4'h7であれば、ロジック回路211は、データ"011110110"をもつ信号P

50

OL\_\_OUT[7:0]を生成する。

#### 【0122】

ここでは、パターン(1)-(12)に対して4対のピン40が同じ極性を持つため、8ビットの信号POL\_\_OUTによって、12のピン40の極性パターンを設定することができる。なお、信号POL\_\_OUTのデータ幅は8ビットに限らず、例えば、12ビットとしてもよい。信号POL\_\_OUTのデータ幅を12ビットとすることで、信号POLを伝送するための配線、およびロジック回路211の素子数が増加してしまうが、ピン40<1>-40<12>の極性を独立して制御できるため、ピン40<1>-40<12>の極性パターンの冗長性が増す。そのため、ソースドライバIC200が駆動できる画素部の仕様の制約が少なくなるので、ソースドライバIC200の汎用性が向上する。

10

#### 【0123】

図13、図14の例では、1のピン40は、画素部110の特定の1本のソース線(配線SL1または配線SL2)に電氣的に接続されている。そのため、表示パネル160の端子部173には、少なくとも配線SL1と配線SL2の総数の端子を設ける必要がある。例えば、周辺回路112にデマルチプレクサ(DEMUX)を設けることで、端子部173の端子の数を低減することができる。図15、図16にDEMUXの構成例を示す。

#### 【0124】

図15に示すDEMUX117は、複数の回路117aを有する。回路117aは、1入力2出力DEMUXとして機能する。外部から入力される制御信号に従い、回路117aはピン40から出力されるデータ信号DSを、何れか一方の出力端子から出力する。

20

#### 【0125】

DEMUX117を構成するトランジスタ等の素子は、画素部110と共に、トランジスタ層163に作製される。DEMUX117を設けることで、端子部173の端子数を低減できる。また、図15に示すように、12のピン40から出力される信号DSによって、4列の画素を駆動することができる。

#### 【0126】

図15の例では、1水平期間において、データ信号DSを書き込むタイミングを配線SL1と配線SL2とで異ならせればよい。そのため、表示パネル160がハイブリッド表示パネルであるが、パターン(5)-(12)は用いられない。例えば、データ信号DSを、まず配線SL1に書き込み、次に配線SL2に書き込む。具体的には、次のようにピン40の極性パターンを制御すればよい。1水平期間において、データが4'h2である信号CMD\_\_POL[3:0]をソースドライバIC200に入力し、各ピン40から交流駆動用のデータ信号DSを出力させる。次に、所定のタイミングで、データが4'h4である信号CMD\_\_POL[3:0]をソースドライバIC200に入力し、各ピン40から直流駆動用のデータ信号DSを出力させる。

30

#### 【0127】

図16に示すDEMUX118は複数の回路118a、118bを有する。なお、図16には、DEMUX118とピン40<1>-40<8>との接続関係を示している。

#### 【0128】

回路118aは1入力3出力のDEMUXとして機能する。外部から入力される制御信号に従い、各回路118aはピン40から出力される信号DSを何れか1の出力端子から出力する。回路118bは回路118aと同じ回路構成を持ち、同様に機能する。ここでは、回路118aは、1画素の3の配線SL1(SL1\_\_R、SL1\_\_B、SL1\_\_G)の何れか1を選択し、ピン40と電氣的に接続する機能を有する。回路118bは、1画素の3の配線SL2(SL2\_\_R、SL2\_\_B、SL2\_\_G)の何れか1を選択し、ピン40と電氣的に接続する機能を有する。DEMUX118を設けることで、2つのピン40から出力される信号DSによって、1列の画素を駆動できる。

40

#### 【0129】

パターン(1)-(12)の設定は、ピン41、42から入力される差動方式のコマンド信号によって行っているが、これに限らない。例えば、極性パターンを制御するためのシ

50

シングルエンド方式のデジタル信号を、1または複数のピン45からロジック回路211にするようにしてもよい。極性パターン制御に用いられるデジタル信号のデータ幅が4ビットであれば、4のピン45が極性パターンを制御するためのデジタル信号の入力用ピンに用いられる。

#### 【0130】

このような場合、コマンド信号として、信号CMD\_\_POLを有効にするか、無効にするかを決定するための信号CMD\_\_SWを用いる。期間T1において信号CMD\_\_SWは信号CMD\_\_POLよりも先にピン41、42にされる。信号CMD\_\_SWによって、信号CMD\_\_POLが無効とされた場合、ロジック回路211は、ピン45からされるデジタル信号のデータに基づいて、信号POL\_\_OUT[7:0]を生成する。

10

#### 【0131】

以上述べたように、ソースドライバIC200は、様々な構成の表示パネルを駆動することができる汎用性の高いドライバICである。

#### 【0132】

<<ドライバIC>>

以上では、表示パネルの周辺回路にソースドライバIC200を適用した例を説明したが、周辺回路112に適用できるドライバICは、ソースドライバICに限定されない。例えば、ゲートドライバ121、122をそれぞれ、ゲートドライバICで構成してもよい。以下、図17を用いて、周辺回路112に適用できるドライバICの幾つかの例を示す。

#### 【0133】

図17Aに示すドライバIC300はソースドライバIC200の変形例であって、ソースドライバに回路300Mを追加したドライバICである。回路300Sがソースドライバであり、ソースドライバIC200の内部回路と同様の回路構成を有する。回路300Mは、画素部114からされるアナログ信号を処理する信号処理回路であり、信号処理回路124の機能を備える。ドライバIC300は、画素部114(図6)のソースドライバに好適である。

20

#### 【0134】

また、ドライバIC300にゲートドライバを組み込んでもよい。そのような例を図17Bに示す。図17Bに示すドライバIC301は、回路300S、300M、300Gを有する。回路300Gはゲートドライバである。例えば、画素部114を駆動するために2のドライバIC301を用いる場合、一方のドライバIC301の回路300Gをゲートドライバ121として動作させ、他方のドライバIC301の回路300Gをゲートドライバ122として動作させればよい。画素部114の列数に応じて、ドライバIC302とドライバIC300の両方を用いればよい。

30

#### 【0135】

また、画素部110を駆動するドライバICには、回路300Mを設けていないドライバIC302(図17C)を用いればよい。画素部110の列数に応じて、画素部110を駆動するドライバICには、ドライバIC302だけでなく、ソースドライバIC200を用いればよい。画素部110を駆動するために2のドライバIC302を用いる場合、一方のドライバIC302の回路300Gをゲートドライバ121として動作させ、他方のドライバIC302の回路300Gをゲートドライバ122として動作させればよい。

40

#### 【0136】

<<表示モード>>

表示装置100は3の表示モードを有することができる。第1の表示モードはLC素子DE1とEL素子DE2双方によって表示を行うモード(ハイブリッドモード)である。第2はLC素子DE1のみで表示を行うモード(LCモード)であり、第3はEL素子DE2のみで表示を行うモード(ELモード)である。図3に示す表示モジュール150の表示原理によれば、LCモードは反射モードと呼ぶことができ、ELモードは自発光モードまたは、透過モードと呼ぶことができる。ここでも、ピン40<1>-40<12>に着目して、各表示モードにおける表示装置100の動作について説明する。

50

## 【 0 1 3 7 】

表示モードの決定は、例えば、制御回路 1 3 1 で行うことができる。制御回路 1 3 1 は、センサ 1 3 5 の検知信号や、使用者の操作等に基づくプロセッサ 1 3 0 の割り込み信号等によって表示モードを決定する。例えば、明るい環境（例えば、晴天の昼間の屋外）では表示モードは LC モードに設定され、暗い環境（例えば、夜間の屋外）では EL モードに設定される。外光の照度が低い環境（例えば、照明器具で照明された室内、曇天の屋外）、つまり LC 素子 DE 1 での反射光のみでは、良好な表示品位が得られないような環境では表示モードはハイブリッドモードに設定される。

## 【 0 1 3 8 】

また、制御回路 1 3 1 は、決定した表示モードを実行するため、画像プロセッサ 1 3 2 に制御信号を送信する。画像プロセッサ 1 3 2 は、制御信号に従い、表示モードおよび駆動する表示パネルの構造に応じたコマンド信号、および、画像信号を生成する。以下では、ピン 4 0 < 1 > - 4 0 < 1 2 > と配線 SL 1、SL 2 の接続構造が図 1 3 に示す接続構造である場合を例に、各表示モードを説明する。

## 【 0 1 3 9 】

< LC モード >

LC モードが設定された場合、EL 素子 DE 2 を発光させないデータ信号 DS を配線 SL 2 に入力すればよい。別言すると、EL 素子 DE 2 が黒表示を行うためのデータ信号 DS を配線 SL 2 に入力する。そのため、ピン 4 0 < 2 >、4 0 < 3 >、4 0 < 6 >、4 0 < 7 >、4 0 < 1 0 >、4 0 < 1 1 > からは、階調レベルが 0 のデータ信号 DS がそれぞれ出力される。

## 【 0 1 4 0 】

< EL モード >

EL モードが設定された場合、LC 素子 DE 1 が黒表示を行うためのデータ信号 DS を配線 SL 2 に入力する。そのため、ピン 4 0 < 1 >、4 0 < 4 >、4 0 < 5 >、4 0 < 8 >、4 0 < 9 >、4 0 < 1 2 > からは、階調レベルが 0（ノーマリブラックの場合）、または 2 5 5（ノーマリホワイトの場合）のデータ信号 DS がそれぞれ出力される。

## 【 0 1 4 1 】

< ハイブリッドモード >

画素部 1 1 0 の構造上、各サブ画素 1 0 において LC 素子 DE 1 と EL 素子 DE 2 とは共通の画像データに由来するアナログ信号が入力される。VGEN 2 3 1 は、LC 素子 DE 1 の駆動に適したアナログ電圧を生成している。そのため、同じ PTL 2 1 5 で、第 1 列の MUX 2 5 N、MUX 2 5 P と、第 2 列の MUX 2 5 N、2 5 P で、同じ階調レベルの信号 DECP [ 7 : 0 ] をアナログ変換した場合、サブ画素 1 0 R < j , 1 > では、EL 素子 DE 2 が適切な輝度で発光できない場合があり、表示装置 1 0 0 の表示品位が劣化してしまう。このような不具合を解消するため、配線 SL 2 に接続されるピン 4 0 が存在する列、ここでは、列番号 2、3、4、7、1 0、1 1 の LAT 2 1 に格納されるデータ信号が、EL 素子 DE 2 に適した階調レベルをもつようにする。

## 【 0 1 4 2 】

（階調変換処理）

そのため、画像プロセッサ 1 3 2 において、画像信号 DP [ 7 : 0 ]、DN [ 7 : 0 ] を生成するための処理の 1 つとして、画像信号の階調レベルを変更する処理を行えばよい。例えば、LC 素子 DE 1 用の階調レベルと EL 素子 DE 2 用の階調レベルとの対応を示す階調変換テーブルを画像プロセッサ 1 3 2 に記憶させておき、階調変換テーブルを参照することで、EL 素子 DE 2 のデータ信号 DS に対応する画像信号 DP [ 7 : 0 ]、DN [ 7 : 0 ] の階調レベルを変換すればよい。

## 【 0 1 4 3 】

また、ハイブリッドモードでは、サブ画素 1 0 の輝度は、LC 素子 DE 1 による外光 5 の反射光の輝度と、EL 素子 DE 2 の発光の輝度とで決定される。使用環境の明るさに応じてサブ画素 1 0 の輝度を調節することで、表示装置 1 0 0 の表示品位の向上と、消費電力

10

20

30

40

50

の低減が図れる。そのため、センサ 1 3 5 の検知信号に基づいて、E L 素子 D E 2 の輝度を調節するようにすればよい。例えば、使用環境の照度に応じた複数の階調変換テーブルを画像プロセッサ 1 3 2 に設け、センサ 1 3 5 の検知信号によって、参照する階調変換テーブルを決定すればよい。

#### 【 0 1 4 4 】

もちろん、ハイブリッドモードでの階調変換処理において、L C 素子 D E 1 のデータ信号 D S に対応する画像信号 D P [ 7 : 0 ]、D N [ 7 : 0 ] の階調レベルを調節してもよい。また、L C モード用、E L モード用にそれぞれ 1 又は複数の階調変換テーブルを用意し、それぞれのモードにおいて、画像プロセッサ 1 3 2 で階調変換処理を行うようにすることもできる。E L モードは、使用環境が暗い場合に実行される表示モードであるので、ハイブリッドモードよりも E L 素子 D E 2 の輝度を低くすることができる。そのため、階調変換処理は E L 素子 D E 2 の長寿命化に有効である。

10

#### 【 0 1 4 5 】

したがって、表示装置 1 0 0 の表示品位の向上、省電力化、E L 素子 D E 2 の長寿命化等のため、表示色、表示素子の種類、表示モード、および使用環境の照度等を考慮して、階調変換テーブルの数、そのデータ構造を決定すればよい。表示装置 1 0 0 の表示モード、または照度に応じて、画像プロセッサ 1 3 2 が参照する階調変換テーブルが決定される。

#### 【 0 1 4 6 】

ここでは、画像信号の階調レベルを変更する信号処理の一例として、階調変換テーブルを用いた処理を説明したが、もちろん信号処理の方法はこれに限定されない。また、センサ 1 3 5 に、外光 5 の色温度を検出するセンサを設けてもよい。これにより、環境の照度および色温度に応じて、画像信号の階調レベルを調節することが可能になる。

20

#### 【 0 1 4 7 】

##### ( I D S 駆動 )

静止画は、フレームごとの画像信号のデータに変化がないため、1 フレームごとに、サブ画素 1 0、特にサブ画素 1 1 のデータの書き換えを行う必要がない。そこで、L C モードで静止画を表示する際は、1 フレーム期間よりも長い時間、サブ画素 1 1 のデータの書き換えを一時的に停止するような駆動方法を実行させてもよい。ここでは、このような駆動方法を、「アイドリング・ストップ ( I D S ) 駆動」と呼ぶこととする。

#### 【 0 1 4 8 】

図 1 8 A は、I D S 駆動による静止画の表示方法を説明する図である。図 1 8 B は I D S 駆動方法の一例を示すタイミングチャートである。図 1 8 B において、G V D D 1 はゲートドライバ 1 2 1 の高電源電圧であり、信号 G S P 1、G C L K 1 は、それぞれ、ゲートドライバ 1 2 1 に入力されるスタートパルス信号、クロック信号である。

30

#### 【 0 1 4 9 】

通常の駆動方法では、1 フレーム期間 ( 期間 T p d ) ごとに、サブ画素 1 1 のデータの書き換えが行われる。信号 G S P 1 の入力をトリガーにして、ゲートドライバ 1 2 1 は、信号 G C L K 1 に従い配線 G L 1 を選択するゲート信号を生成し、配線 G L 1 に出力する。ソースドライバ I C 2 0 0 は、信号 R E S の入力をトリガーに、画像信号 D P、D N から信号 D S を生成し、配線 S L 1 に出力する。

40

#### 【 0 1 5 0 】

図 1 8 A、図 1 8 B に示すように、I D S 駆動による処理は、データの書き換え処理 ( または、書き込み処理とも呼ぶこともできる。 ) と、データ保持に分かれる。まず、通常駆動と同じリフレッシュレートで、データの書き換えが 1 回または複数回実行され、サブ画素 1 1 にデータが書き込まれる。図 1 8 A、図 1 8 B は、書き換え回数は 3 回の例である。データ書き込みの後、ゲートドライバ 1 2 1 では、配線 G L 1 用のゲート信号の生成を停止し、サブ画素 1 1 のデータの書き換えを停止する。また、データ保持期間にゲートドライバ 1 2 1 への G V D D の供給を停止することで、表示装置 1 0 0 の消費電力を削減できる。

#### 【 0 1 5 1 】

50

データ書き換え処理でのデータ書き換え回数は、リフレッシュレート等を考慮して設定すればよい。また、I D S 駆動におけるデータ保持時間は、液晶の焼き付きを考慮し、最長 1 秒間とし、0 . 5 秒以下、または 0 . 2 秒以下程度とすることが好ましい。

【 0 1 5 2 】

また、I D S 駆動でも通常駆動と同じ表示品位を保つために、容量素子 C S 1 からの電荷のリークをできるだけ少なくすることが望ましい。電荷がリークしてしまうと、L C 素子 D E 1 に印加される電圧が変動して、サブ画素 1 1 の透過率が変化してしまうからである。そのため、トランジスタ M 1 にはオフ電流が小さいトランジスタであることが好ましい。そのようなトランジスタには、チャネルが酸化物半導体で形成されているトランジスタ（以下、O S トランジスタと呼ぶ。）がある。O S トランジスタが S i トランジスタよりもオフ電流が小さいのは、酸化物半導体のバンドギャップが S i、G e よりも広い（3 . 0 e V 以上）であるからである。

10

【 0 1 5 3 】

O S トランジスタの半導体層を形成する酸化物には、I n - S n - G a - Z n 酸化物、I n - G a - Z n 酸化物、I n - S n - Z n 酸化物、I n - A l - Z n 酸化物、S n - G a - Z n 酸化物、A l - G a - Z n 酸化物、S n - A l - Z n 酸化物、I n - Z n 酸化物、S n - Z n 酸化物、A l - Z n 酸化物、Z n - M g 酸化物、S n - M g 酸化物、I n - M g 酸化物や、I n - G a 酸化物、I n 酸化物、S n 酸化物、Z n 酸化物等の金属酸化物を用いることができる。また、これら金属酸化物に、他の材料、例えば、S i O<sub>2</sub> を含ませてもよい。O S トランジスタの酸化物半導体は、I n、Z n の少なくとも一方を含むものが好ましい。

20

【 0 1 5 4 】

電子供与体（ドナー）となる水分または水素等の不純物を低減し、かつ酸素欠損も低減することで、酸化物半導体を i 型（真性半導体）にする、あるいは i 型に限りなく近づけることができる。ここでは、このような酸化物半導体を高純度化酸化物半導体と呼ぶことにする。高純度化酸化物半導体でチャネルを形成することで、チャネル幅で規格化された O S トランジスタのオフ電流を数 y A / μ m 以上数 z A / μ m 以下程度に低くすることができる。

【 0 1 5 5 】

O S トランジスタのオフ電流が極めて小さいのは、金属酸化物でなる半導体のバンドギャップが 3 . 0 e V 以上であるからである。チャネル形成領域に金属酸化物を有するため O S トランジスタは、熱励起によるリーク電流が小さく、またオフ電流が極めて小さい。

30

【 0 1 5 6 】

O S トランジスタに好適な酸化物半導体は、二次イオン質量分析法（S I M S）により得られる水素濃度が、 $2 \times 10^{20} \text{ atoms/cm}^3$  以下であり、好ましくは  $5 \times 10^{19} \text{ atoms/cm}^3$  以下、より好ましくは  $1 \times 10^{19} \text{ atoms/cm}^3$  以下、より好ましくは  $5 \times 10^{18} \text{ atoms/cm}^3$  未満、より好ましくは  $1 \times 10^{18} \text{ atoms/cm}^3$  以下、より好ましくは  $5 \times 10^{17} \text{ atoms/cm}^3$  以下、さらに好ましくは  $1 \times 10^{16} \text{ atoms/cm}^3$  以下である酸化物半導体である。

【 0 1 5 7 】

40

I D S 駆動で静止画表示を行う表示装置 1 0 0 の好適な用途としては、電子書籍を読む、デジタルカメラで撮影した写真を鑑賞する、等である。つまり、同じ画面である状態が比較的長く、また使用者の操作により画面全体の表示を切り換えることで、表示装置 1 0 0 を使用する場合に、I D S 駆動で静止画を表示することが好ましい。また I D S 駆動では、画面の切り替え回数を減らすことができるため、画面の切り替え時によるちらつきの低減に効果的である。

【 0 1 5 8 】

また、I D S 駆動は、L C モードだけでなくハイブリッドモードでも実行することができる。ハイブリッドモードにおいて、静止画を表示する場合は、サブ画素 1 2 はフレーム期間ごとにデータを書き換え、サブ画素 1 1 は I D S 駆動でデータを書き換えればよい。

50

## 【 0 1 5 9 】

表示装置 1 0 0 は、使用環境の照度に応じた 3 つの表示モード（ＬＣ、ＥＬ、ハイブリッド）を持つため、気象（晴天、雨天、曇天）、時間（昼、夜）等に制約されず、高品質（高コントラスト、高い色再現性）の表示が可能である。そのため、様々な場所で利用される携帯型の電子機器の表示部に好適である。また、実施の形態 1 の表示装置は消費電力を低減できるため、バッテリーで動作する電子機器の使用時間を長くすることができることも、理由の一つである。

## 【 0 1 6 0 】

もちろん、表示装置 1 0 0 は、携帯型電子機器に限らず、様々な電子機器の表示部に適用することができる。実施の形態 2 において、表示装置 1 0 0 が適用可能な電子機器の幾つかの具体例を示す。

10

## 【 0 1 6 1 】

## 〔実施の形態 2〕

本実施の形態では、表示部を備えた電子機器等について説明する。

## 【 0 1 6 2 】

電子機器としては、例えば、テレビジョン装置（テレビ、又はテレビジョン受信機ともいう）、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。可撓性の電子機器は、家屋やビルなどの建築物の内壁もしくは外壁、又は、自動車の内装もしくは外装の曲面に沿って組み込むことも可能である。図 1 9 A 図 2 1 B に電子機器の構成例を示す。図 1 9 A 図 2 1 B に示す電子機器の表示部には、実施の形態 1 の表示装置、およびこの表示装置にタッチセンサを設けたタッチパネルを適用することができる。

20

## 【 0 1 6 3 】

図 1 9 A に示す情報端末 2 0 1 0 は、筐体 2 0 1 1 に組み込まれた表示部 2 0 1 2 の他、操作ボタン 2 0 1 3、外部接続ポート 2 0 1 4、スピーカ 2 0 1 5、マイクロフォン 2 0 1 6 を有する。ここでは、表示部 2 0 1 2 の表示領域は、湾曲している。情報端末 2 0 1 0 は、バッテリーで駆動する携帯型情報端末であり、タブレット型情報端末、あるいはスマートフォンとして使用することができる。情報端末 2 0 1 0 は、電話、電子メール、手帳、インターネット接続、音楽再生等の機能を有する。指などで表示部 2 0 1 2 に触れることで、情報を入力することができる。また、電話を掛ける、或いは文字を入力するなどの操作は、指などで表示部 2 0 1 2 に触れることにより行うことができる。また、マイクロフォン 2 0 1 6 から音声を入力することで、情報端末 2 0 1 0 を操作することもできる。また、操作ボタン 2 0 1 3 の操作により、電源のオン／オフ動作や、表示部 2 0 1 2 の画面切り替え動作などを行うことができる。例えば、メール作成画面から、メインメニュー画面に切り替えることができる。

30

## 【 0 1 6 4 】

図 1 9 B に腕時計型の情報端末の一例を示す。情報端末 2 0 3 0 は、筐体 2 0 3 1、表示部 2 0 3 2、リュウズ 2 0 3 3、ベルト 2 0 3 4、検知部 2 0 3 5 を有する。リュウズ 2 0 3 3 を回転することで情報端末 2 0 3 0 を操作することができる。また、表示部 2 0 3 2 にタッチパネルを設けてもよい。これにより、表示部 2 0 3 2 を指で触れることで、情報端末 2 0 3 0 を操作することができる。

40

## 【 0 1 6 5 】

検知部 2 0 3 5 は、使用環境の情報や、使用者生体情報を取得する機能を備える。検知部 2 0 3 5 は少なくとも照度センサを備えている。その他に、マイクロフォン、撮像素子、加速度センサ、方位センサ、圧力センサ、温度センサ、湿度センサ、測位センサ（例えば、GPS（全地球測位システム））等を検知部 2 0 3 5 に設けてもよい。

## 【 0 1 6 6 】

情報端末 2 0 1 0 および情報端末 2 0 3 0 に同じ規格の無線通信装置を組み込み、無線 2 0 2 0 により双方向の通信を行うようにしてもよい。このようにすることで、例えば、情

50



報端末 2010 が電子メールや電話などを着信すると、情報端末 2030 の表示部 2032 に着信を知らせる情報を表示させることができる。

【0167】

図 19C に示すノート型パーソナルコンピュータ 2050 は、筐体 2051、表示部 2052、キーボード 2053、ポインティングデバイス 2054 を有する。

【0168】

図 19D に示すビデオカメラ 2070 は、筐体 2071、表示部 2072、筐体 2073、操作キー 2074、レンズ 2075、接続部 2076 を有する。表示部 2072 は筐体 2071 に設けられ、操作キー 2074 およびレンズ 2075 は筐体 2073 に設けられている。筐体 2071 と筐体 2073 とは、接続部 2076 により接続されており、筐体 2071 と筐体 2073 間の角度は、接続部 2076 により変更が可能である。接続部 2076 における筐体 2071 と筐体 2073 間の角度に従って、表示部 2072 の映像を切り替える構成としてもよい。

10

【0169】

図 19E に示す表示装置 2090 は、筐体 2091、表示部 2092、支持台 2093 等を有する。表示装置 2090 は、コンピュータ、遊技機等のモニタとして用いることができる。表示装置 2090 にテレビジョン放送の受信装置を組み込むことで、表示装置 2090 をテレビ受像 (TV) 装置として動作させることができる。

【0170】

図 19F に示す携帯型遊技機 2110 は、筐体 2111、表示部 2112、スピーカ 2113、LED ランプ 2114、操作キー 2115、接続端子 2116、カメラ 2117、マイクロフォン 2118、記録媒体読込部 2119 を有する。

20

【0171】

図 20A に示す情報端末 2130 は、筐体 2131、表示部 2132 を有する。情報端末 2130 はバッテリーで駆動する携帯型情報端末であり、スマートフォン、タブレット型情報端末等として用いることができる。情報端末 2130 は、電話、電子メール、手帳、インターネット接続、音楽再生等の機能を有する。表示部 2132 が湾曲しているため、情報端末 2130 は 3 面以上に情報を表示することが可能である。ここでは、情報 2141 - 2143 が表示部 2132 の異なる面に表示されている。例えば、使用者は、衣服の胸ポケットに情報端末 2130 を収納した状態で、表示部 2132 の上端部の表示 (ここでは情報 2142) を確認することができる。そのため使用者は、情報端末 2130 を胸ポケットから取り出さなくても、情報 2142 を確認して、電話を受けるか否かを判断できる。

30

【0172】

情報 2141 - 2143 としては、例えば、SNS (ソーシャル・ネットワーキング・サービス) の通知、電子メールや電話などの着信を知らせる表示、電子メールなどの題名、電子メールなどの送信者名、日付、時刻、バッテリーの残量、アンテナ受信の強度などがある。

【0173】

図 20B に、折りたたみ可能な情報端末の構成例を示す。図 20B に示す情報端末 2150 は、筐体 2151、表示部 2152、ヒンジ 2153 を有する。情報端末 2150 も携帯型情報端末であり、情報端末 2130 と同様の機能を有する。図 20B は、展開された状態の情報端末 2150 を示している。図 20D は、折りたたんだ状態の情報端末 2150 を示す。図 20C の情報端末 2150 の状態は、展開中の状態、あるいは折り畳み中の状態である。折りたたむことで情報端末 2150 の携帯性が向上し、展開することで、広い表示画面を得られるため、情報端末 2150 の利便性が向上する。

40

【0174】

表示部 2152 はヒンジ 2153 によって連結された 8 つの筐体 2151 に支持されている。ヒンジ 2153 を介して 2 つの筐体 2151 間を屈曲させることで、情報端末 2150 を展開した状態から折りたたんだ状態に可逆的に変形できる。表示部 2152 は、例え

50

ば、曲率半径 1 mm 以上 1 5 0 mm 以下で曲げることができる。

【 0 1 7 5 】

表示部 2 1 5 2 が折り畳まれた状態（図 2 0 D）であることを検知して、検知情報を供給するセンサを備える構成としてもよい。また、センサで、同様に、表示部 2 1 5 2 が展開された状態（図 2 0 B）を検知してもよい。表示部 2 1 5 2 が折りたたまれていることを検知すると、折りたたまれた部分（又は折りたたまれて使用者に視認されない部分）の表示を停止してもよい。または、タッチセンサによる検知を停止してもよい。また、表示部 2 1 5 2 が展開された状態であることを示す情報を取得して、表示やタッチセンサによる検知を再開するような制御を行ってもよい。

【 0 1 7 6 】

図 2 1 A、図 2 1 B に電子看板（デジタルサイネージとも呼ぶ）の構成例を示す。図 2 1 A に示す電子看板 2 1 7 0 は、筐体 2 1 7 1、表示部 2 1 7 2、スピーカ 2 1 7 3 を有する。実施の形態 1 の表示装置は、軽量、薄型化ができるため、表示部 2 1 7 2 の大画面化が容易である。よって、大画面化しても電子看板 2 1 7 0 の設置場所の制約が少ない。図 2 1 A は、電子看板 2 1 7 0 を壁面 2 1 7 5 に取り付けた例を示す。設置方法はこれに限らず、電子看板 2 1 7 0 を天井から吊り下げてよい。表示部 2 1 7 2 を可撓性の表示パネルで構成することで、電子看板を曲げた状態で設置できる。そのような例を図 2 1 B に示す。

【 0 1 7 7 】

図 2 1 B に示す電子看板 2 1 9 0 は、円柱状の柱 2 1 9 5 に取り付けられている。2 1 9 2 は電子看板 2 1 9 0 の表示部である。電子看板 2 1 9 0 に無線通信装置を設けてもよい。これにより、表示させる情報を無線によって、電子看板 2 1 9 0 に送信することができる。また、無線 2 1 9 6 によって、電子看板 2 1 9 0 から、他の情報端末 2 1 9 7 に情報（例えば、表示されている情報、およびそれに関連する情報）を送信することができる。また、電子看板 2 1 7 0 に無線通信装置を設けることで、電子看板 2 1 9 0 と同様に動作させることができる。

【 0 1 7 8 】

〔実施の形態 3〕

本実施の形態では、ハイブリッド型表示パネルおよびハイブリッド型表示モジュールについて説明する。本実施の形態の表示パネル、および表示モジュールは、実施の形態 1 の表示装置に適用することができる。

【 0 1 7 9 】

<<表示モジュールの構成例 1>>

図 2 2 A は表示モジュールの構成例を示す平面図である。図 2 2 A に示す表示モジュール 5 0 0 は、ソースドライバ IC 4 0 0、表示パネル 5 1 0、FPC 5 4 4、5 4 5 を有する。表示モジュール 5 0 0 の断面構造は、図 3 に示す表示モジュール 1 5 0 と同様である。表示パネル 5 1 0 は一対の基板 5 2 1、5 2 2、封止材 5 2 3 を有する。基板 5 2 1 は、トランジスタ層および EL 素子層の支持基板である。トランジスタ層に、画素部 5 3 0、ゲートドライバ（GD）5 3 1、5 3 2、端子部 5 3 4、5 3 5 が設けられている。

【 0 1 8 0 】

ここでは、画素部 5 3 0 の構成は、図 5 A、図 5 C に示す画素部 1 1 0 と同様とし、3（RGB）のサブ画素 1 0 によって画素 1 3 が構成されていることとする。GD 5 3 1 は、配線 GL 1 を駆動するための回路であり、GD 5 3 2 は配線 GL 2 を駆動するための回路である。GD 5 3 1、GD 5 3 2 は、それぞれ、複数のフリップフロップが電氣的に接続されているシフトレジスタで構成することができる。画素部 5 3 0 が画素部 1 1 0 と同様な回路構成を有する場合、GD 5 3 1 と GD 5 3 2 は同じ回路構成であってもよい。

【 0 1 8 1 】

基板 5 2 1 は、サブ画素 1 1（LC 用画素）のコモン電極およびカラーフィルタを支持する機能を持つ。封止材 5 2 3 は、基板 5 2 2 と基板 5 2 1 を貼り合わせる機能を持つ。封止材 5 2 3 によって基板 5 2 1 と基板 5 2 2 間に液晶層が封止されている。

10

20

30

40

50

## 【 0 1 8 2 】

端子部 5 3 4、5 3 5 は、複数の端子を有する。端子部 5 3 4 には F P C 5 4 4 が電氣的に接続されている。F P C 5 4 4 によって、信号および電圧が画素部 5 3 0、G D 5 3 1、5 3 2 に入力される。端子部 5 3 5 には F P C 5 4 5 が電氣的に接続され、ソースドライバ I C 4 0 0 が F P C 5 4 5 に電氣的に接続されている。F P C 5 4 5 は、ソースドライバ I C 4 0 0 と画素部 5 3 0 を電氣的に接続する機能、およびソースドライバ I C 4 0 0 に信号および電圧等を入力する機能を有する。

## 【 0 1 8 3 】

トランジスタ層の封止材 5 2 3 が形成される領域に、コモンコンタクト部 5 3 6 が設けられる。基板 5 2 2 に設けられている L C 素子 D E 1 のコモン電極と、基板 5 2 1 に設けられている端子部 5 3 4 とを電氣的に接続するために、コモンコンタクト部 5 3 6 が設けられている。なお、コモンコンタクト部 5 3 6 は、封止材 5 2 3 の内側の領域に設けることもできる。コモンコンタクト部 5 3 6 を封止材 5 2 3 が形成される領域に設けることは、表示パネル 5 1 0 の狭額縁化に有効である。

10

## 【 0 1 8 4 】

< < 表示モジュールの構成例 2 > >

表示パネル 5 1 0 は四角形の表示領域を持つが、表示領域の形状は四角形に限定されない。例えば、円形とすることができる。そのような例を図 2 2 B に示す。図 2 2 B に示す表示モジュール 5 0 1 は、図 1 9 B の情報端末 2 0 3 0 の表示部 2 0 3 2 に用いることができる。

20

## 【 0 1 8 5 】

表示モジュール 5 0 1 は、ソースドライバ I C 4 0 1、表示パネル 5 1 1、F P C 5 4 4 を有する。表示パネル 5 1 1 は、基板 5 2 5、5 2 6、封止部材 5 2 7、画素部 5 5 0、G D 5 5 1、G D 5 5 2、端子部 5 5 4、コモンコンタクト部 5 5 6 を有する。

## 【 0 1 8 6 】

画素部 5 5 0 の平面形状は円形であり、基板 5 2 5、5 2 6 の平面形状は八角形状である。G D 5 5 1 は基板 5 2 1 の端部に沿って屈曲している。G D 5 5 2 も同様である。G D 5 5 1 は配線 S L 1 を駆動するための回路であり、G D 5 5 2 は配線 S L 2 を駆動するための回路である。ソースドライバ I C 4 0 1 は、C O G 方式で、表示パネル 5 1 1 に実装されている。F P C 5 4 4 は端子部 5 5 4 と電氣的に接続されている。F P C 5 4 4 を経て、外部から入力される信号および電源電圧が、画素部 5 5 0、G D 5 5 1、5 5 2、ソースドライバ I C 4 0 1 に供給される。

30

## 【 0 1 8 7 】

< < 表示モジュール 5 0 0、表示パネル 5 1 0 > >

以下、図 2 3 A 図 2 5 を参照して、表示モジュール 5 0 0、特に表示パネル 5 1 0 のより具体的な構成について説明する。ここでは、サブ画素 1 0 によって画素部 5 3 0 が構成されていることとする。

## 【 0 1 8 8 】

図 2 3 B、図 2 3 C は、3 つのサブ画素 1 0 ( 1 0 R、1 0 G、1 0 B ) のレイアウト例を表している。これら 3 のサブ画素 1 0 によって 1 画素 1 3 が構成される。なお、本実施の形態の理解を容易にするため、重複するが、図 2 3 A にサブ画素 1 0 の回路図を示す。

40

## 【 0 1 8 9 】

図 2 4、図 2 5 は、表示モジュール 5 0 0 の構成例を示す断面図である。なお図 3 の表記と異なり、図 2 4、図 2 5 は、基板 5 2 2、液晶層 5 8 0、トランジスタ層 5 8 1、E L 素子層 5 8 2、基板 5 2 1 の順にこれらが積層した図面となっている。図 2 3 B、図 2 3 C は、サブ画素 1 0 のトランジスタ層 5 8 1、E L 素子層 5 8 2 に設けられる要素のレイアウト例を示している。図 2 3 B は、E L 用画素電極の下層に設けられる要素のレイアウト例を示しており、一部の要素にハッチングを付けている。なお、図 2 3 C には、基板 5 2 2 に設けられている絶縁層 7 2 8 も記載している。

## 【 0 1 9 0 】

50

また、図 2 3 B、図 2 3 C のレイアウト例では、配線 C S L が奇数列と偶数列で異なっている。奇数列の配線 C S L が配線 C S L O であり、偶数列のものは配線 C S L E である。これは、奇数列と偶数列とで、E L 素子 D E 2 の発光領域の配置を異ならせるためである。偶数列のサブ画素 1 0 の容量素子 C S 1 が形成される領域は、奇数列のサブ画素 1 0 では E L 素子 D E 2 の発光領域が形成され、偶数列のサブ画素 1 0 の E L 素子 D E 2 の発光領域が形成される領域は、奇数列のサブ画素 1 0 では容量素子 C S 1 が形成される。実施の形態 1 で述べたように、サブ画素 1 0 において、E L 素子 D E 2 の光を取り出す領域は、L C 素子 D E 1 の画素電極の開口によって規定される。ここでは、導電層 6 2 0 が奇数列の画素電極であり、導電層 6 2 3 が偶数列の画素電極である。導電層 6 2 0 の開口 6 2 0 a は配線 G L 1 と配線 A N L の間に設けられ、導電層 6 2 3 の開口 6 2 3 a は隣の行の配線 G L 2 と配線 G L 1 の間に設けられる。また、E L 素子 E D 2 の画素電極も奇数列と偶数列では、平面形状が異なる。ここでは、導電層 6 8 0 が奇数列の画素電極であり、導電層 6 8 3 が偶数列の画素電極である。

10

#### 【0191】

なお、本実施の形態では、便宜上、サブ画素 1 0 R の列を奇数列、サブ画素 1 0 B の列を偶数列と呼ぶが、サブ画素 1 0 R の列が偶数列であってもよい。

#### 【0192】

図 2 4 は、サブ画素 1 0 R の断面構造を示しており、a 1 - a 2 線、a 3 - a 4 線で切ったサブ画素 1 0 R の断面図を示している。サブ画素 1 0 G、1 0 B の断面構造もサブ画素 1 0 R と同様である。図 2 5 は、G D 5 3 1 および、コモンコンタクト部 5 3 6、端子部 5 3 4 の断面構造を示している。なお、ここでは G D 5 3 1 として、代表的にトランジスタ M 4 を示している。

20

#### 【0193】

<トランジスタ層 5 8 1、E L 素子層 5 8 2>

トランジスタ層 5 8 1 は、半導体層 6 0 1 - 6 0 4、導電層 6 1 0 - 6 1 2、導電層 6 2 0 - 6 2 3、導電層 6 3 1 - 6 3 8、導電層 6 5 1 - 6 5 7、導電層 6 8 0、6 8 3、絶縁層 7 2 0 - 7 2 5、カラーフィルタ層 C F R 2 を有する。E L 素子層 5 8 2 は、絶縁層 7 2 6、7 2 7、E L 層 6 8 1、導電層 6 8 2 を有する。

#### 【0194】

トランジスタ層 5 8 1 に設けられるトランジスタ、容量素子等の各種素子のデバイス構造には、特段の制約はない。画素部 5 3 0 および G D 5 3 1、5 3 2 のそれぞれの機能に適したデバイス構造を選択すればよい。例えば、トランジスタのデバイス構造としては、トップゲート型、ボトムゲート型、およびゲート（フロントゲート）とボトムゲート双方を備えたデュアルゲート型、1 つの半導体層に対して複数のゲート電極を有するマルチゲート型が挙げられる。トランジスタの活性層（チャネル形成領域）を構成する半導体の種類（組成や結晶構造等）にも特段の制約はない。活性層に用いられる半導体としては、単結晶半導体、非単結晶半導体に大別される。非単結晶としては、多結晶半導体、微結晶半導体、非晶質半導体などが挙げられる。半導体材料には、S i、G e、C 等の第 1 4 族元素を 1 種または複数含む半導体（例えば、シリコン、シリコンゲルマニウム、炭化シリコン等）、酸化物半導体、窒化ガリウム等の化合物半導体等が挙げられる。

30

40

#### 【0195】

ここでは、画素部 5 3 0 および G D 5 3 1、5 3 2 が、同じ導電型のトランジスタで構成されている例を示している。ここでは、トランジスタ層 5 8 1 に設けられるトランジスタ M 1 - M 4 が、n チャネル型トランジスタであり、かつ O S トランジスタである例を示している。ここでは、トランジスタ M 1 - M 4 はボトムゲート型トランジスタである。トランジスタ M 1、M 2 はバックゲートのない O S トランジスタであり、トランジスタ M 3 はバックゲートを有する O S トランジスタである。トランジスタ M 4 はトランジスタ M 3 と同様のデバイス構造をもつ O S トランジスタであり、バックゲートとゲートが互いに電氣的に接続されている。トランジスタ M 1 - M 4 のチャネル形成領域は、それぞれ、半導体層 6 0 1 - 6 0 4 に設けられる。

50

## 【 0 1 9 6 】

トランジスタ層 5 8 1、E L 素子層 5 8 2 の作製には、基板 5 2 1、5 2 2 とは異なるトランジスタ製造用基板（ここでは「仮基板」と呼ぶ）が用いられる。仮基板には、例えば、E L 表示パネル製造用のマザーガラスを用いることができる。仮基板上に分離層を形成し、分離層上にトランジスタ層 5 8 1 を形成し、トランジスタ層 5 8 1 上に E L 素子層 5 8 2 を形成する。封止材 5 2 4 によって、E L 素子層 5 8 2 の上方に基板 5 2 1 を固定する。しかる後、分離層と共に仮基板をトランジスタ層 5 8 1 から分離する。次いで、液晶表示パネル製造工程と同様のセル工程を行う。分離工程によって露出されたトランジスタ層 5 8 1 の表面に配向膜 7 4 1 を形成する。基板 5 2 2 に、導電層 7 4 0、配向膜 7 4 2 等を形成する。次いで、封止材 5 2 3 によってトランジスタ層 5 8 1 と基板 5 2 2 との間に液晶層 5 8 0 を封止する。

10

## 【 0 1 9 7 】

封止材 5 2 3 には、例えば、反応硬化型接着剤、光硬化型接着剤、熱硬化型接着剤、嫌気型接着剤等を用いることができる。具体的には、エポキシ樹脂、アクリル樹脂、シリコン樹脂、フェノール樹脂、ポリイミド樹脂、イミド樹脂、P V C（ポリビニルクロライド）樹脂、P V B（ポリビニルブチラル）樹脂、E V A（エチレンビニルアセテート）樹脂等を含む接着剤を封止材 5 2 3 に用いることができる。

## 【 0 1 9 8 】

絶縁層 7 2 0 はトランジスタ層 5 8 1 のパッシベーション膜として機能する。絶縁層 7 2 1 はトランジスタ M 1 - M 4 の下地絶縁層として機能する。導電層 6 2 0 は、L C 素子 D E 1 の画素電極であり、開口 6 2 0 a を有する。導電層 6 2 1 はコモンコンタクト部 5 3 6 の端子 T P 1 を構成し、導電層 6 2 2 は端子部 5 3 4 の端子 T P 2 を構成する。端子部 5 3 4 は複数の端子 T P 2 を有する。

20

## 【 0 1 9 9 】

導電層 6 1 0 - 6 1 2 は、絶縁層 7 2 0 のエッチング工程においてエッチストップ層として機能する。エッチング工程によって、絶縁層 7 2 0 において、導電層 6 2 0 - 6 2 2 が形成される領域には開口が設けられている。導電層 6 1 0 - 6 1 2 が存在することで、エッチング工程で分離層が損傷することを防ぐことができる。

## 【 0 2 0 0 】

例えば、分離層にタングステン層を用いた場合、導電層 6 1 0 - 6 1 2 を I n - G a - Z n 酸化物で形成することができる。また、導電層 6 1 0 - 6 1 2 は、仮基板の分離工程において導電層 6 2 0 - 6 2 3 の保護層として機能する。分離層から分離しやすい導電材料で導電層 6 1 0 - 6 1 2 を形成することで、導電層 6 2 0 - 6 2 3 を損傷させずに、仮基板を分離することができる。また、導電層 6 1 0 - 6 1 2 を設けることで、導電層 6 2 0 - 6 2 3 を構成する導電材料の制約が少なくなる。

30

## 【 0 2 0 1 】

導電層 6 3 0 - 6 3 8 は絶縁層 7 2 1 上に設けられている。導電層 6 3 1 は配線 G L 1 を構成し、トランジスタ M 1 のゲート電極として機能する領域を有する。導電層 6 3 2 は配線 G L 2 を構成し、トランジスタ M 2 のゲート電極として機能する領域を有する。導電層 6 3 3、6 3 5、6 3 7 はそれぞれ配線 A N L、C S L O、C S L E を構成する。導電層 6 3 6 は導電層 6 2 0 と電氣的に接続されている。

40

## 【 0 2 0 2 】

絶縁層 7 2 2 上に導電層 6 5 1 - 6 5 7 が設けられている。絶縁層 7 2 2 によって、トランジスタ M 1 - M 4 のゲート絶縁層が構成される。導電層 6 5 1 は配線 S L 1 を構成し、トランジスタ M 1 のソース電極およびドレイン電極として機能する領域を有する。導電層 6 5 2 は配線 S L 2 を構成し、トランジスタ M 2 のソース電極およびドレイン電極として機能する領域を有する。導電層 6 5 3、6 5 4 はそれぞれ、トランジスタ M 3 のソース電極およびドレイン電極を構成する。導電層 6 5 4 は導電層 6 3 3 と電氣的に接続されている。導電層 6 5 5 はトランジスタ M 2 のソース電極およびドレイン電極を構成し、導電層 6 3 4 と電氣的に接続されている。導電層 6 5 6 はトランジスタ M 1 のソース電極および

50

ドレイン電極を構成し、導電層 6 3 6 と電氣的に接続されている。

【 0 2 0 3 】

導電層 6 3 5、絶縁層 7 2 2 および導電層 6 5 6 が重なっている領域が容量素子 C S 1 として機能し、導電層 6 3 4、絶縁層 7 2 2、導電層 6 5 4 が重なっている領域が容量素子 C S 2 として機能する。また、偶数列では、導電層 6 3 7、絶縁層 7 2 2 および導電層 6 5 6 が重なっている領域が容量素子 C S 1 として機能する。

【 0 2 0 4 】

絶縁層 7 2 3、7 2 4 はトランジスタ M 1 - M 4 のパッシベーション膜として機能する。絶縁層 7 2 3 上に導電層 6 7 3、6 7 4 が設けられている。導電層 6 7 3 はトランジスタ M 3 のバックゲート電極であり、導電層 6 5 5 に電氣的に接続されている。つまり導電層 6 5 5 によって、トランジスタ M 3 のバックゲート電極とゲート電極が電氣的に接続される。導電層 6 7 4 はトランジスタ M 4 のバックゲート電極である。トランジスタ M 3 と同様に、導電層 6 5 5 と同じ層の導電層によって、トランジスタ M 4 のゲート電極とバックゲート電極とが電氣的に接続されている。

【 0 2 0 5 】

絶縁層 7 2 3 を覆ってカラーフィルタ層 C F R 2 が設けられている。カラーフィルタ層 C F R 2 は、E L 素子 D E 2 用のカラーフィルタ層である。E L 素子 D E 2 用のカラーフィルタ層は適宜設ければよい。カラーフィルタ層 C F R 2 はサブ画素 1 0 R の色に応じた赤色のカラーフィルタ層である。サブ画素 1 0 G、1 0 B にも、それぞれ、緑色、青色のカラーフィルタ層が設けられる。カラーフィルタ層を覆って、絶縁層 7 2 5 が設けられている。絶縁層 7 2 5 は平坦化膜として機能する。そのため、絶縁層 7 2 5 は、ポリイミド樹脂、アクリル樹脂などの樹脂で形成することが好ましい。

【 0 2 0 6 】

絶縁層 7 2 5 上に導電層 6 8 0 が設けられている。導電層 6 8 0 は E L 素子 D E 2 の画素電極である。導電層 6 8 0 は導電層 6 5 3 と電氣的に接続されている。導電層 6 8 0 を覆って絶縁層 7 2 6 が設けられている。絶縁層 7 2 6 上に絶縁層 7 2 7 が設けられている。絶縁層 7 2 7 は、基板 5 2 1 と E L 素子層 5 8 2 との間の空間を維持するためのスペーサとして機能する。絶縁層 7 2 6、7 2 7 上に E L 層 6 8 1、導電層 6 8 2 が積層されている。導電層 6 8 2 は E L 素子 D E 2 のコモン電極である。絶縁層 7 2 6 は、導電層 6 2 0 の開口 6 2 0 a と重なる領域に開口 7 2 6 a を有する。開口 7 2 6 a において、導電層 6 8 0 が露出される。開口 7 2 6 a に形成される導電層 6 8 0、E L 層 6 8 1、導電層 6 8 2 の積層が、奇数列の E L 素子 D E 2 の発光領域を構成する。

【 0 2 0 7 】

また、導電層 6 8 0 と同様に、導電層 6 8 3 が絶縁層 7 2 5 上に設けられている。開口 7 2 6 b に形成される導電層 6 8 3、E L 層 6 8 1、導電層 6 8 2 の積層が、偶数列の E L 素子 D E 2 の発光領域を構成する。

【 0 2 0 8 】

E L 層 6 8 1 は、正孔と電子とが再結合することで発光することが可能な発光材料を少なくとも有する。E L 層 6 8 1 には、正孔注入層、正孔輸送層、電子輸送層、電子注入層などの機能層を有してもよい。ここでは、E L 層 6 8 1 はサブ画素 1 0 の色で発光する。あるいは、全てのサブ画素 1 0 に白色で発光する E L 層 6 8 1 を設けてもよい。サブ画素 1 0 の色で発光する E L 層 6 8 1 を設けることで、E L 素子 D E 2 の光 7 6 2 を効率よく基板 5 2 2 から取り出すことができるため、省電力化につながる。また、表示パネル 5 1 0 の表示品位（コントラスト、色再現性）を高めることができる。

【 0 2 0 9 】

< 基板 5 2 2（対向基板） >

基板 5 2 2 は L C 表示パネルの対向基板に対応する。基板 5 2 2 には、絶縁層 7 2 8、導電層 7 4 0、配向膜 7 4 2、オーバーコート層 7 4 3、カラーフィルタ層 C F R 1、遮光層 B M F 1 が設けられている。

【 0 2 1 0 】

10

20

30

40

50

絶縁層 728 は、基板 522 と基板 521 (トランジスタ層 581) との間の空間を維持するためのスペーサとして機能する。導電層 740 は LC 素子 DE1 のコモン電極である。カラーフィルタ層 CFR1 は LC 素子 DE1 用のカラーフィルタ層であり、赤色のカラーフィルタである。基板 522 には、サブ画素 10 の色に応じたカラーフィルタ層が設けられる。ここでは、赤、緑、青のカラーフィルタ層がストライプ状に配列される。遮光層 BMF1 は、表示に寄与しない領域を遮光する。GD531、532 は遮光層 BMF1 で覆われている。遮光層 BMF1 は、画素部 530 では、隣接する画素電極 (導電層 620、623) の間を遮光する。つまり、画素部 530 において、遮光層 BMF1 の平面形状は、配線 SL1、SL2、GL1 と重なる格子状である。

#### 【0211】

<コモンコンタクト部 536、端子部 534>

端子 TP1 は、導電層 611、621、638 を有する。導電層 621 によって導電層 637 と導電層 611 とが電氣的に接続されている。端子 TP2 は、導電層 612、622、638 を有する。導電層 622 によって導電層 638 と導電層 612 とが電氣的に接続されている。導電層 657 は引き回し配線を構成する。図 25 の例では、導電層 657 によって、端子 TP1 と端子 TP2 とが電氣的に接続される。

#### 【0212】

なお、導電層 638、639 は適宜設ければよい。導電層 638、639 を設けない場合は、導電層 621、622 が導電層 657 と直接的に電氣的に接続される。また、引き回し配線を、導電層 657 に代えて、導電層 637 で構成してもよい。この場合、端子 TP2 に導電層 638 を設けず、導電層 637 と導電層 622 とを直接的に電氣的に接続すればよい。

#### 【0213】

封止材 523 は、導電性粒子 793 を有する。導電性粒子 793 を含む封止材 523 を形成して液晶層 580 を封止することで、コモンコンタクト部 536 において、導電層 740 を端子 TP1 に電氣的に接続することができる。なお、封止材 523 中のコモンコンタクト部 536 とその近傍のみに導電性粒子 793 を分布するようにしてもよい。導電性粒子 794 を含む ACF (異方性導電フィルム) 564 によって、FPC544 が端子 TP2 と電氣的に接続される。つまり、基板 522 に設けられたコモン電極 (導電層 740) は、端子 TP1、引き回し配線 (導電層 754)、端子 TP2 を介して、FPC544 に電氣的に接続される。

#### 【0214】

表示モジュール 500 の表示原理は、表示モジュール 150 (図 3) と同様である。図 24 に示すように、基板 522 から入射した外光 760 は、カラーフィルタ層 CFR1、導電層 740、液晶層 580 等を通り導電層 620 で反射される。導電層 620 で反射された光 761 は、再び液晶層 580、導電層 740、カラーフィルタ層 CFR1 等を通り、基板 522 から射出する。EL 素子 DE2 の光 762 は、導電層 682 で反射され、導電層 680、カラーフィルタ層 CFR2、導電層 620 の開口 620a、カラーフィルタ層 CFR1 等を通り、基板 522 から射出する。

#### 【0215】

表示パネル 510 を構成する各種の層は、単層構造でも積層構造でもよい。例えば、導電層に用いられる導電材料には、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム等の金属、これら金属の合金および化合物がある。また、リン等の不純物元素を含有させた多結晶シリコン、金属酸化物を有する透光性導電体などがある。透光性導電体としては、例えば酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物 (ITO と呼ばれる)、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物等の金属酸化物を挙げることができる。

10

20

30

40

50

## 【 0 2 1 6 】

また、表示パネル 5 1 0 の絶縁層に用いられる絶縁材料には、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタル等があげられる。また、樹脂材料でもよく、アクリル樹脂、ポリイミド樹脂、ベンゾシクロブテン系樹脂、シロキサン系樹脂、ポリアミド樹脂、エポキシ樹脂等を用いることができる。なお、本明細書において、酸化窒化物とは、窒素よりも酸素の含有量が多い化合物をいい、窒化酸化物とは、酸素よりも窒素の含有量が多い化合物をいう。

## 【 0 2 1 7 】

上述したようにトランジスタ層 5 8 1 には様々な構造のトランジスタを適用することができる。以下に、トランジスタ層 5 8 1 のトランジスタの他の構成例を示す。

## 【 0 2 1 8 】

< < トランジスタ M 2 1、M 2 2 > >

図 2 6 に、トップゲート構造の O S トランジスタの構成の一例を示す。図 2 6 A、図 2 6 B はトランジスタ M 2 1、M 2 2 の上面図である。図 2 6 C はトランジスタ M 2 1、M 2 2 のチャネル長方向の断面図であり、図 2 6 D はトランジスタ M 2 1、M 2 2 のチャネル幅方向の断面図である。図 2 6 C には、トランジスタ M 2 1 の a 1 1 - a 1 2 線による断面図、およびトランジスタ M 2 2 の a 1 3 - a 1 4 線による断面図を示し、図 2 6 D には、トランジスタ M 2 1 の b 1 1 - b 1 2 線による断面図、およびトランジスタ M 2 2 の b 1 3 - b 1 4 線による断面図を示す。

## 【 0 2 1 9 】

トランジスタ M 2 1、M 2 2 は、絶縁層 9 1 0 を介して基板 9 0 0 上に形成されている。トランジスタ M 2 1、M 2 2 は絶縁層 9 1 2 で覆われている。トランジスタ M 2 1 は、ゲート絶縁層 9 1 3、半導体層 9 3 1、バックゲート電極 9 2 0、ゲート電極 9 2 1、ソース電極 9 2 2、ドレイン電極 9 2 3 を有する。トランジスタ M 2 2 は、ゲート絶縁層 9 1 4、半導体層 9 3 2、ゲート電極 9 2 6、ソース電極 9 2 7、ドレイン電極 9 2 8 を有する。バックゲート電極 9 2 0 を覆って絶縁層 9 1 1 が設けられ、絶縁層 9 1 1 上に半導体層 9 3 1、9 3 2 が設けられている。半導体層 9 3 1、9 3 2 は、単層の酸化物半導体膜、または酸化物半導体膜の積層膜で形成されている。バックゲート電極 9 2 0 はゲート電極 9 2 1 と電氣的に接続されている。

## 【 0 2 2 0 】

トランジスタ M 2 1 において、ゲート電極 9 2 1 は、ソース電極 9 2 2 およびドレイン電極 9 2 3 と重なる領域を有していない。そのため、トランジスタ M 2 1 のゲート電極 9 2 1 の寄生容量を小さくすることができる。トランジスタ M 2 2 もトランジスタ M 2 1 と同様の積層構造をもつため、トランジスタ M 2 2 のゲート電極 9 2 6 の寄生容量を小さくすることができる。トランジスタのゲート電極の寄生容量は信号遅延の原因である。そのため、トランジスタ M 2 1、M 2 2 は、大面積な表示パネルの画素部、ゲートドライバに好適である。

## 【 0 2 2 1 】

< < トランジスタ M 2 3、M 2 4 > >

ここでは、シリコンで半導体層が形成されているトランジスタ ( S i トランジスタ ) の構成例を示す。S i トランジスタで G D 5 3 1、5 3 2 を構成する場合、n チャネル型トランジスタと p チャネル型トランジスタとでこれらを構成してもよい。あるいは、画素部 5 3 0、G D 5 3 1、5 3 2 のトランジスタを全て p チャネル型トランジスタとしてもよい。

## 【 0 2 2 2 】

図 2 7 に示すトランジスタ M 2 3、M 2 4 はトップゲート構造のトランジスタである。トランジスタ M 2 3 は n チャネル型トランジスタであり、トランジスタ M 2 4 は p チャネル型のトランジスタである。9 4 0 - 9 4 7 で示される層は絶縁層である。トランジスタ M 2 3、M 2 4 は、絶縁層 9 4 0 を介して基板 9 0 0 上に形成されている。絶縁層 9 4 6 が

10

20

30

40

50



トランジスタM 2 3のゲート絶縁層であり、絶縁層9 4 7はトランジスタM 2 4のゲート絶縁層である。トランジスタM 2 3は、半導体層9 3 3、バックゲート電極9 5 0、ゲート電極9 5 1、ソース電極9 5 2、ドレイン電極9 5 3を有する。トランジスタM 2 4は、半導体層9 3 4、バックゲート電極9 5 5、ゲート電極9 5 6、ソース電極9 5 7、ドレイン電極9 5 8を有する。

#### 【0 2 2 3】

基板9 0 1には、nチャネル型トランジスタとして、バックゲート電極9 5 0を有さないトランジスタM 2 3を設けることができる。また、pチャネル型トランジスタとして、バックゲート電極9 5 5を有さないトランジスタM 2 4を設けることができる。

#### 【0 2 2 4】

半導体層9 3 3、9 3 4はシリコン膜で形成される。例えば、半導体層9 3 3、9 3 4はプラズマCVD法などの気相成長法若しくはスパッタリング法で成膜される非晶質シリコンで形成することができる。また、このような非晶質シリコンをレーザアニールなどの処理により結晶化させた多結晶シリコンで形成することができる。また、単結晶シリコンウェハに水素イオン等を注入して表層部を剥離した単結晶シリコン層で形成することができる。

#### 【0 2 2 5】

シリコン膜の結晶化方法として、例えば、レーザ光を用いたレーザ結晶化法、触媒元素を用いる結晶化法がある。或いは、触媒元素を用いる結晶化法とレーザ結晶化法とを組み合わせることもできる。また、基板9 0 1として石英のような耐熱性に優れている基板を用いる場合、電熱炉を使用した熱結晶化方法、赤外光を用いたランプアニール結晶化法、触媒元素を用いる結晶化法、9 5 0程度の高温アニールを組み合わせた結晶法を用いてもよい。

#### 【0 2 2 6】

半導体層9 3 3は、チャネル形成領域9 6 0、一对のLDD(Light Doped Drain)領域9 6 1、並びに一对の不純物領域9 6 2を有する。チャネル形成領域9 6 0は、半導体層9 3 3がゲート電極9 5 1と重畳する領域である。一对の不純物領域9 6 2はソース領域またはドレイン領域として機能する。n型の導電性を付与するために、LDD領域9 6 1および不純物領域9 6 2にはボロン(B)、アルミニウム(Al)、ガリウム(Ga)等の不純物元素が添加されている。半導体層9 3 4はチャネル形成領域9 6 5、および一对の不純物領域9 6 6を有する。チャネル形成領域9 6 5は、半導体層9 3 4がゲート電極9 5 6と重畳する領域である。一对の不純物領域9 6 6はソース領域またはドレイン領域として機能する。p型の導電性を付与するため、不純物領域9 6 6にはリン(P)、ヒ素(As)等不純物元素が添加されている。

#### 【符号の説明】

#### 【0 2 2 7】

1 0 1 2、1 5、1 7 サブ画素

4 0 4 3、4 5 ピン

1 0 0 表示装置

1 1 0 画素部

1 1 2 周辺回路

1 1 4 画素部

1 1 5 周辺回路

1 2 1 ゲートドライバ

1 2 2 ゲートドライバ

1 2 3 ソースドライバ

1 2 4 信号処理回路

1 2 5 出力回路

1 3 0 プロセッサ

1 3 1 制御回路

10

20

30

40

50

1 3 2	画像プロセッサ	
1 3 3	記憶装置	
1 3 5	センサ	
1 4 0	外光	
1 4 1	光	
1 4 2	光	
1 5 0	1 5 3 表示モジュール	
1 5 3、	1 5 4 F P C	
1 6 0	表示パネル	
1 6 1、	1 6 2 基板	10
1 6 3	トランジスタ層	
1 6 4	L C 層	
1 6 5	E L 素子層	
1 6 6	タッチセンサ	
1 6 7	F P C	
1 6 8	タッチセンサドライバ I C	
1 7 0	封止材	
1 7 1	画素電極	
1 7 1 a	開口	
1 7 2	画素電極	20
1 7 3、	1 7 4、	
	1 7 7 端子部	
1 7 5、	1 7 6 コモン電極	
1 7 8	カラーフィルタ	
2 0 0	ソースドライバ I C	
2 1 0	L V D S レシーバ	
2 1 1	ロジック回路	
2 1 2	シフトレジスタ ( S R )	
2 1 3	ラッチ回路 ( D - L A T )	
2 1 4	レベルシフタ ( L S )	
2 1 5	パストランジスタロジック回路 ( P T L )	30
2 1 6	マルチプレクサ ( M U X )	
2 1 7	増幅回路 ( A M P )	
2 2 0	回路	
2 3 1	電圧生成回路 ( V G E N )	
2 3 2	バッファ回路 ( B U F )	

【図面】

【図 1】

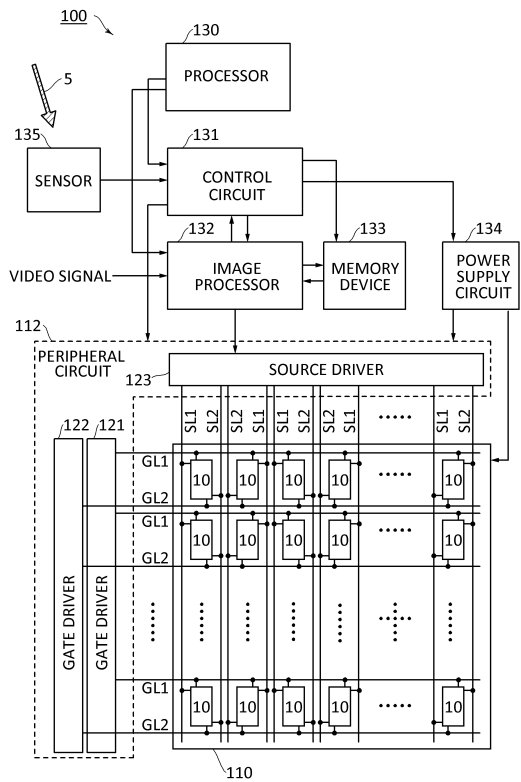


FIG. 1

【図 2】

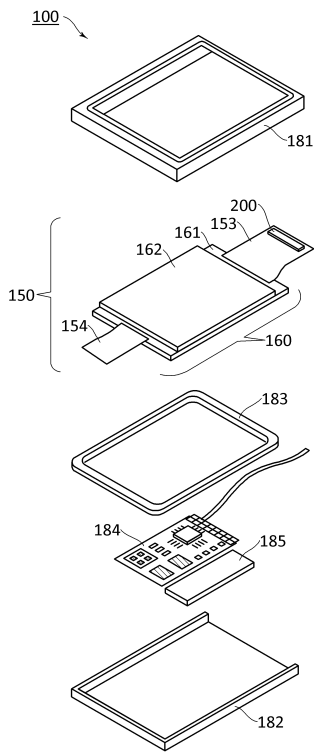


FIG. 2

【図 3】

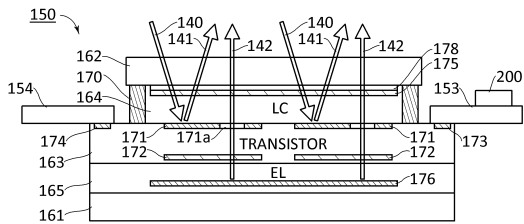


FIG. 3

【図 4】

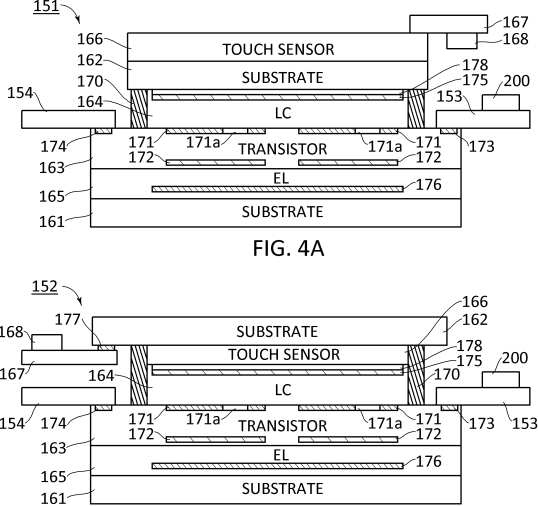


FIG. 4A

FIG. 4B

10

20

30

40

50

【図 5】

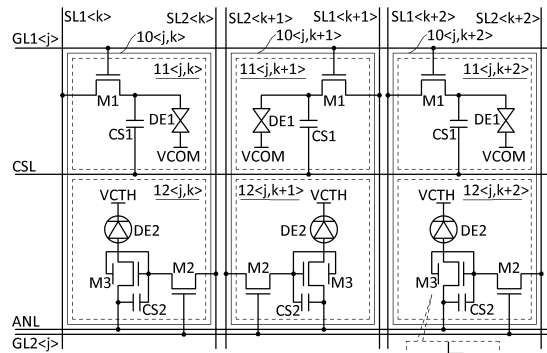


FIG. 5A

FIG. 5B

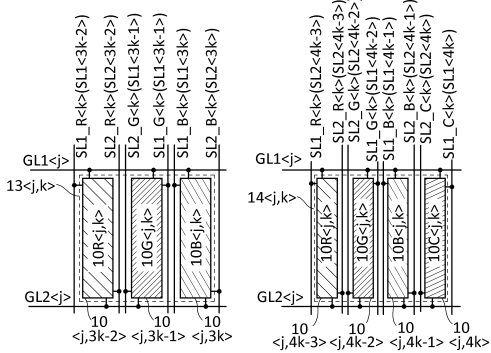
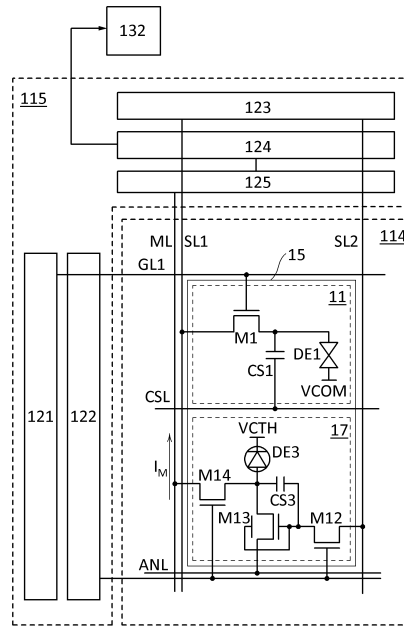


FIG. 5C

FIG. 5D

【図 6】

FIG. 6



10

20

【図 7】

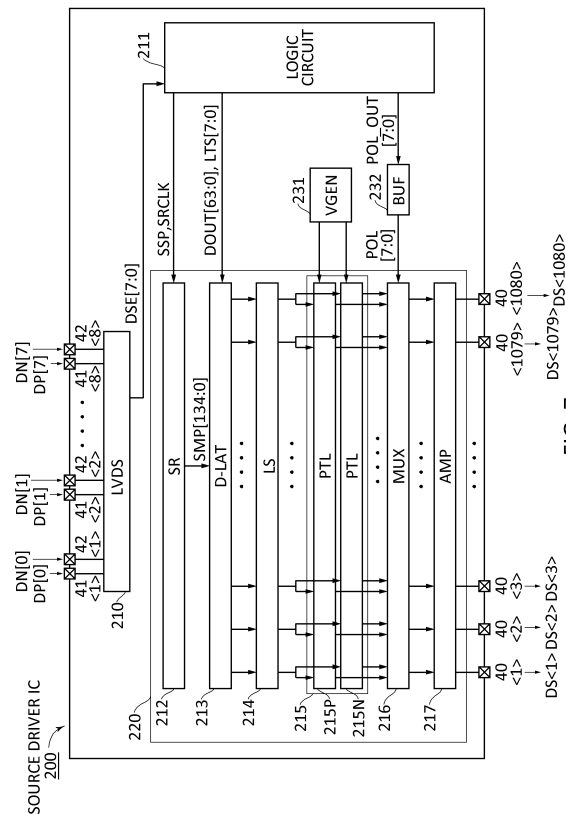
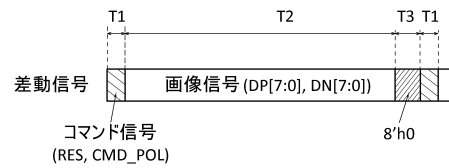


FIG. 7

【図 8】

FIG. 8



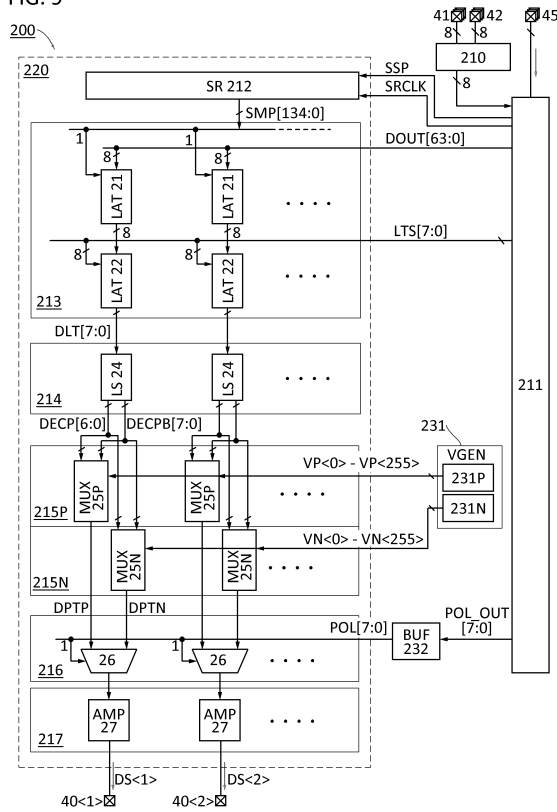
30

40

50

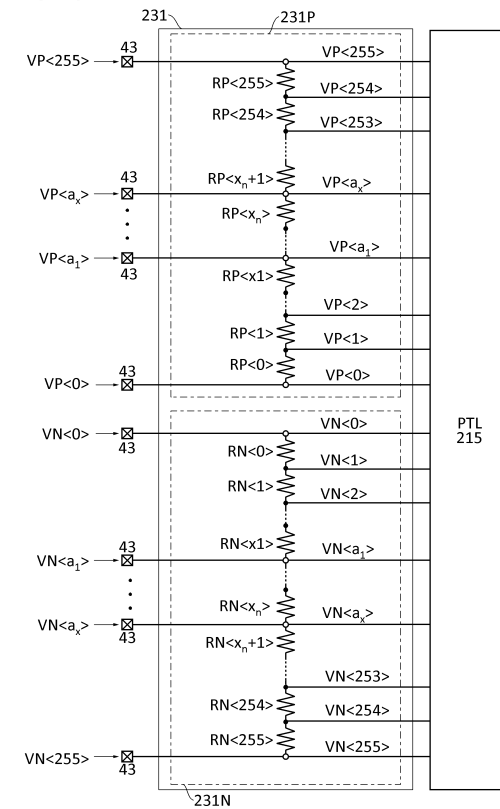
【図 9】

FIG. 9



【図 10】

FIG. 10



【図 11】

FIG. 11A

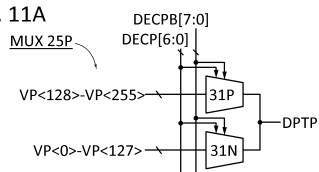
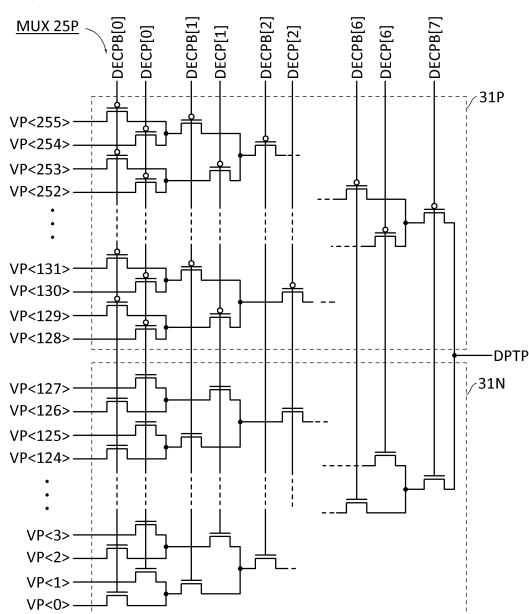


FIG. 11B



【図 12】

FIG. 12A

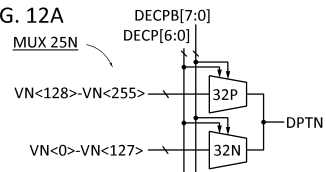
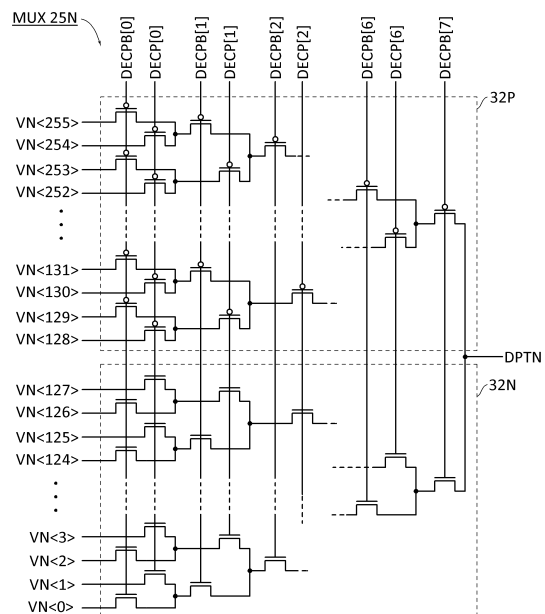


FIG. 12B



10

20

30

40

50

【図 1 3】

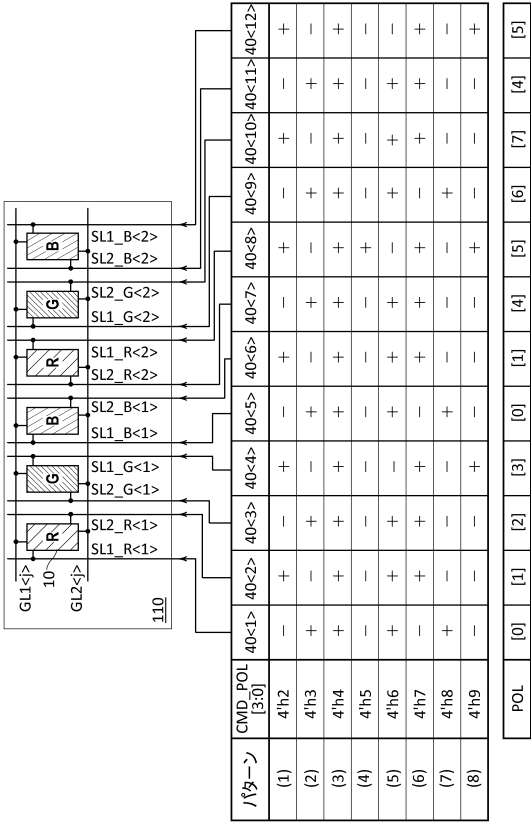


FIG. 13

【図 1 4】

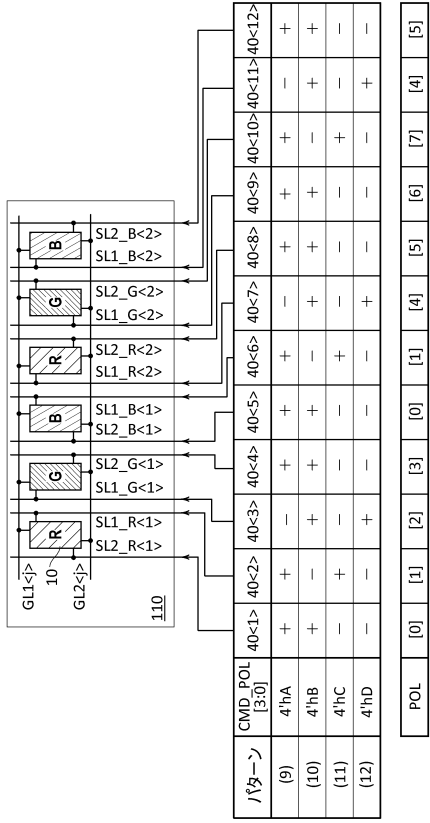


FIG. 14

【図 1 5】

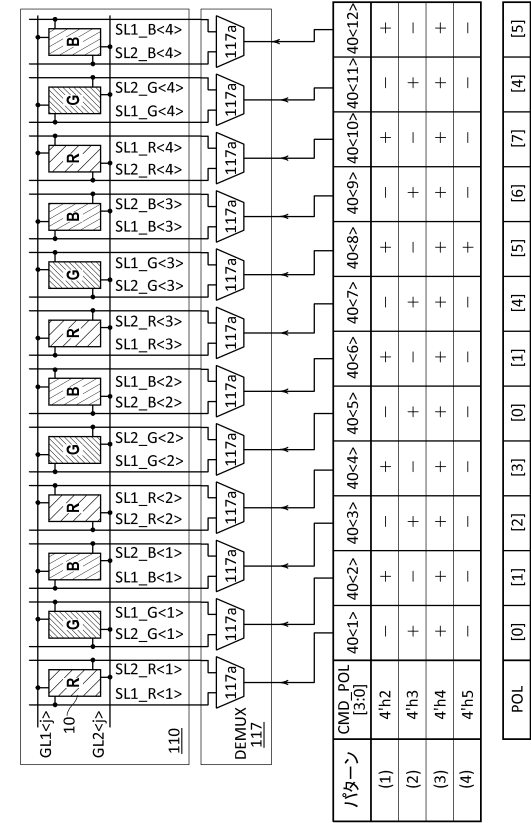


FIG. 15

【図 1 6】

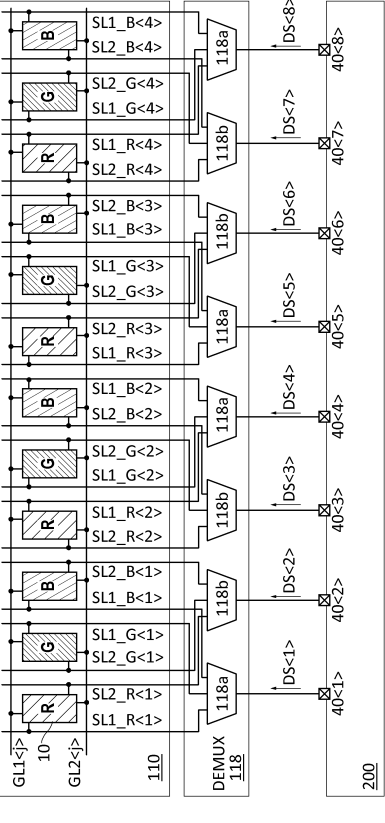
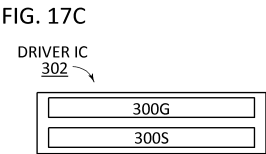
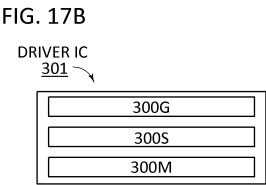
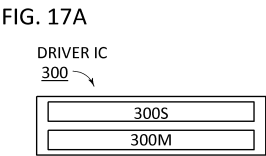


FIG. 16

【 図 1 7 】



【 図 1 8 】

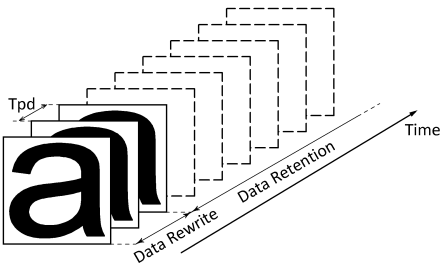


FIG. 18A

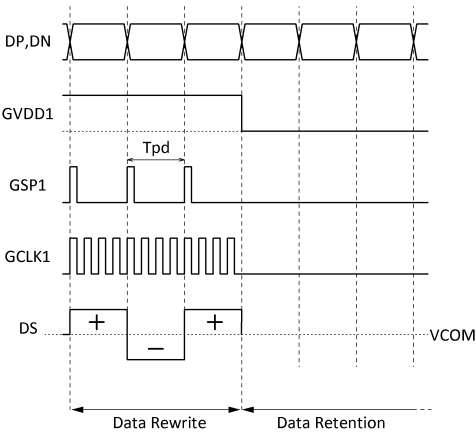
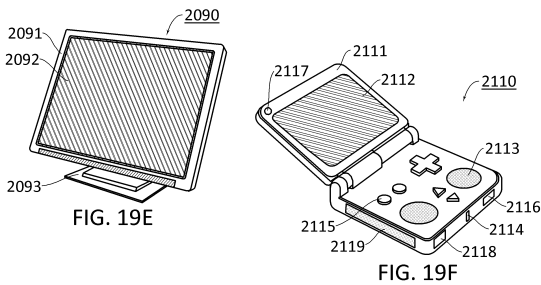
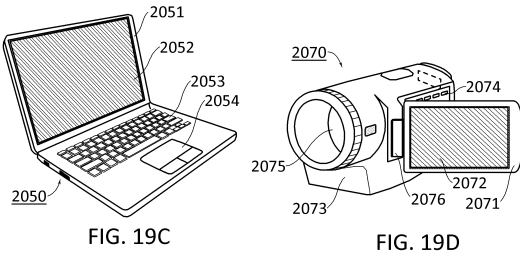
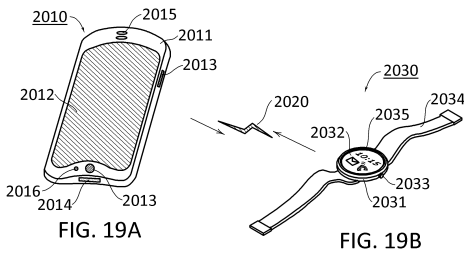
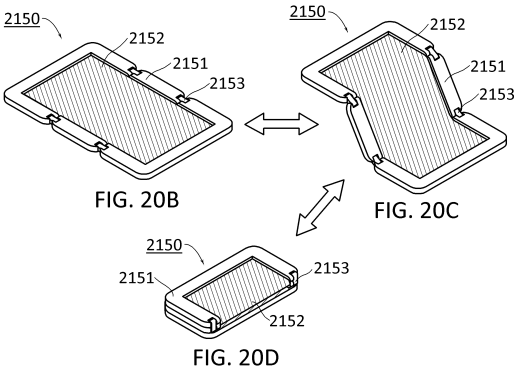
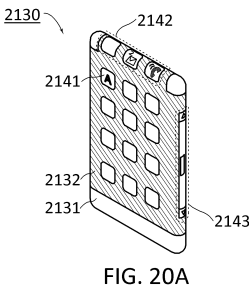


FIG. 18B

【 図 1 9 】



【 図 2 0 】



10

20

30

40

50

【 図 2 1 】

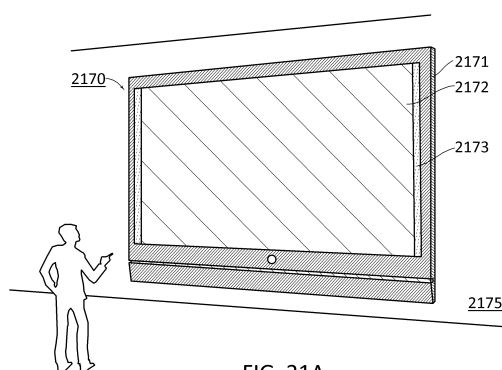


FIG. 21A

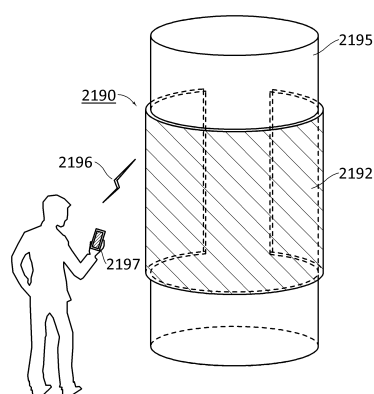


FIG. 21B

【 図 2 2 】

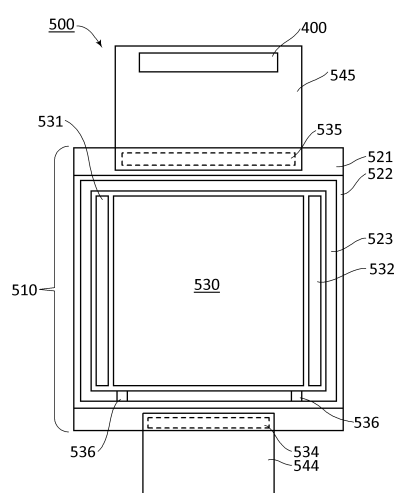


FIG. 22A

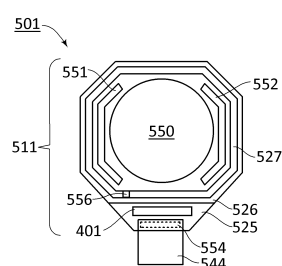


FIG. 22B

【 図 2 3 】

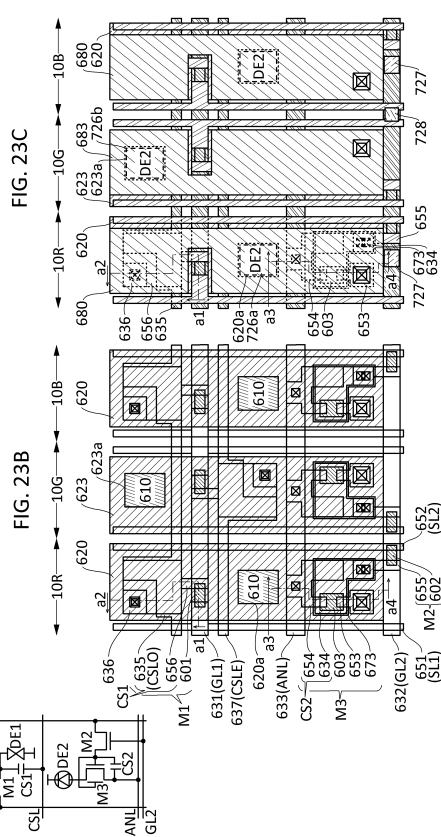


FIG. 23A 10

【圖 24】

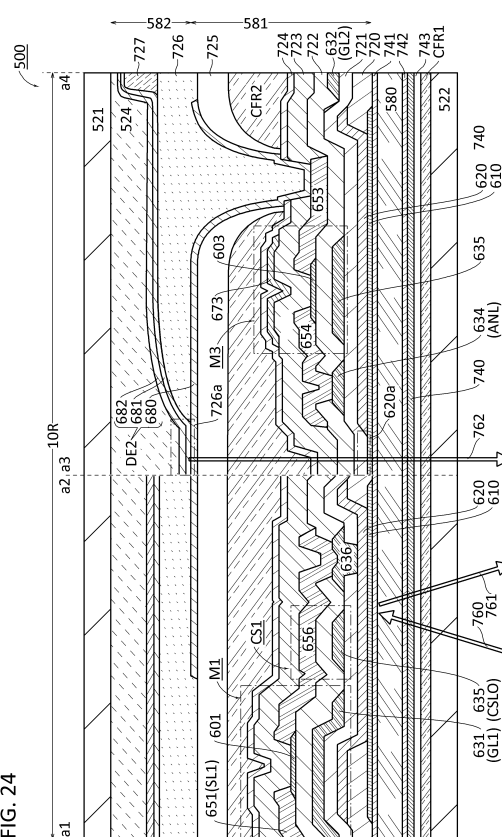
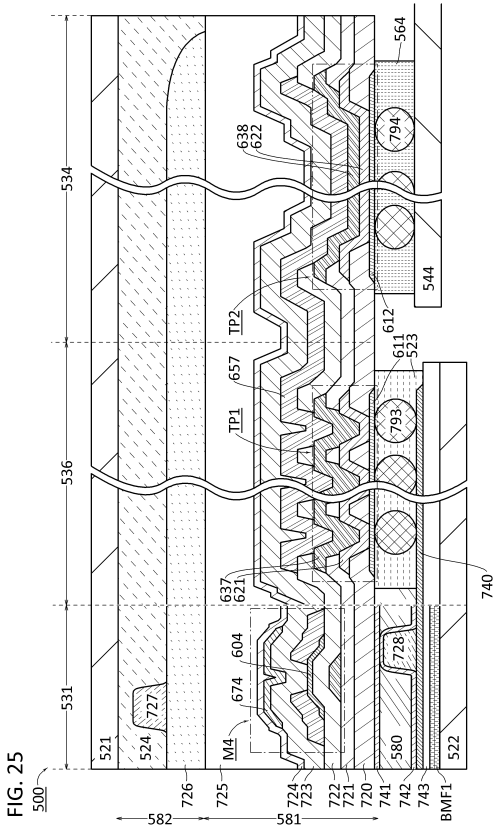


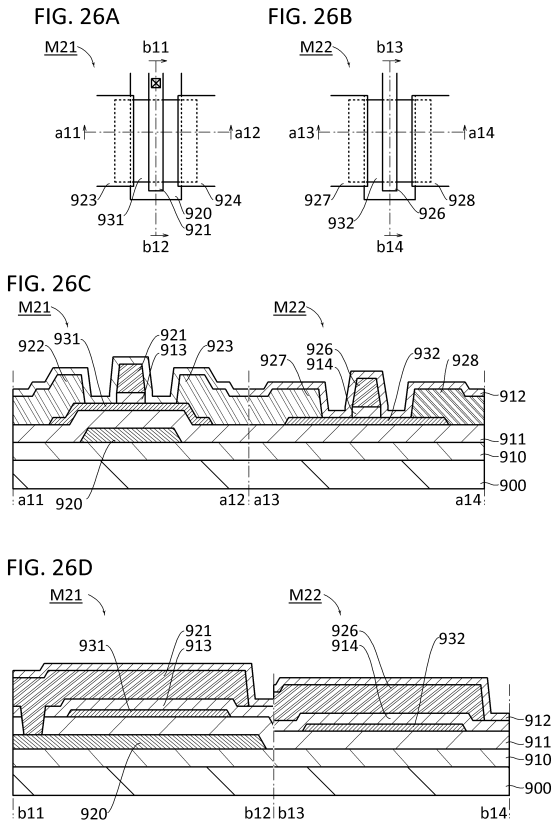
FIG. 24



【 図 2 5 】

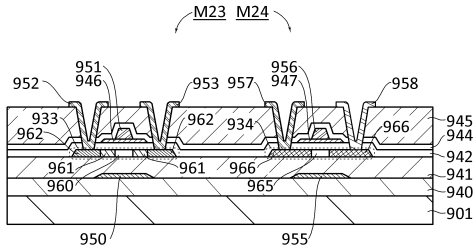


【 図 2 6 】



【 図 2 7 】

FIG. 27



10

20

30

40

50

## フロントページの続き

## (51)国際特許分類

## F I

<b>G 0 9 G</b>	<b>3/32 (2016.01)</b>	G 0 9 G	3/20	6 2 3 R
<b>G 0 9 G</b>	<b>3/3225(2016.01)</b>	G 0 9 G	3/20	6 1 1 F
<b>G 0 9 G</b>	<b>3/3233(2016.01)</b>	G 0 9 G	3/20	6 1 2 L
<b>G 0 9 G</b>	<b>3/3291(2016.01)</b>	G 0 9 G	3/20	6 2 1 B
<b>G 0 9 G</b>	<b>3/36 (2006.01)</b>	G 0 9 G	3/20	6 2 1 K
<b>H 0 1 L</b>	<b>51/50 (2006.01)</b>	G 0 9 G	3/20	6 2 1 M
<b>H 0 5 B</b>	<b>33/14 (2006.01)</b>	G 0 9 G	3/20	6 2 4 B
		G 0 9 G	3/20	6 3 3 D
		G 0 9 G	3/20	6 3 3 R
		G 0 9 G	3/20	6 4 1 C
		G 0 9 G	3/20	6 4 1 P
		G 0 9 G	3/20	6 4 2 F
		G 0 9 G	3/20	6 5 0 M
		G 0 9 G	3/20	6 8 0 D
		G 0 9 G	3/20	6 8 0 H
		G 0 2 F	1/133	5 5 0
		G 0 9 F	9/30	3 6 5
		G 0 9 F	9/46	Z
		G 0 9 G	3/30	J
		G 0 9 G	3/32	A
		G 0 9 G	3/3225	
		G 0 9 G	3/3233	
		G 0 9 G	3/3291	
		G 0 9 G	3/36	
		H 0 5 B	33/14	A
		H 0 5 B	33/14	Z

## (56)参考文献

特許第 4 1 8 5 5 5 6 ( J P , B 2 )  
 特開 2 0 0 8 - 2 2 5 3 8 1 ( J P , A )  
 特開 2 0 0 0 - 2 5 0 5 2 6 ( J P , A )  
 特開 2 0 0 2 - 6 2 8 5 6 ( J P , A )  
 特開 2 0 0 8 - 9 0 2 7 6 ( J P , A )  
 特開 2 0 1 1 - 1 0 7 6 7 9 ( J P , A )  
 特開 2 0 0 6 - 1 6 3 2 4 6 ( J P , A )  
 特開 2 0 1 2 - 3 4 0 6 6 ( J P , A )  
 特開 2 0 0 3 - 2 3 3 3 5 7 ( J P , A )  
 特開 2 0 1 5 - 1 6 1 7 5 2 ( J P , A )  
 特開 2 0 0 7 - 2 5 6 9 1 3 ( J P , A )  
 特開 2 0 0 8 - 1 5 2 1 7 9 ( J P , A )  
 特開 2 0 0 3 - 1 5 7 0 2 6 ( J P , A )  
 中国特許出願公開第 1 0 2 3 0 1 4 0 9 ( C N , A )  
 特開 2 0 0 3 - 3 2 2 8 5 0 ( J P , A )  
 特表 2 0 0 9 - 5 1 0 5 2 7 ( J P , A )  
 特開平 8 - 2 1 1 8 3 2 ( J P , A )  
 特開 2 0 0 4 - 4 5 7 6 9 ( J P , A )  
 特開 2 0 0 3 - 7 6 3 0 2 ( J P , A )  
 特開 2 0 0 2 - 2 5 8 7 8 9 ( J P , A )  
 特開 2 0 0 8 - 2 0 7 1 2 ( J P , A )  
 特開 2 0 0 2 - 2 9 6 3 7 5 ( J P , A )  
 特開 2 0 0 5 - 3 1 2 9 4 ( J P , A )  
 特開 2 0 0 1 - 2 2 2 2 4 9 ( J P , A )  
 特開 2 0 0 8 - 1 2 9 4 2 6 ( J P , A )  
 特開 2 0 0 2 - 1 4 0 0 2 2 ( J P , A )

---

(58)調査した分野 特開 2 0 0 4 - 3 2 7 4 3 1 ( J P , A )  
(Int.Cl. , D B 名)  
G09G 3/20,3/30,3/32,3/36