

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5340180号
(P5340180)

(45) 発行日 平成25年11月13日(2013.11.13)

(24) 登録日 平成25年8月16日(2013.8.16)

(51) Int.Cl.	F I
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 C
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 6 K
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 1 6 V
HO 1 L 21/76 (2006.01)	HO 1 L 29/78 6 1 7 K
	HO 1 L 29/78 6 1 7 M
請求項の数 26 (全 41 頁) 最終頁に続く	

(21) 出願番号 特願2009-553484 (P2009-553484)
 (86) (22) 出願日 平成21年2月16日(2009.2.16)
 (86) 国際出願番号 PCT/JP2009/052558
 (87) 国際公開番号 W02009/102060
 (87) 国際公開日 平成21年8月20日(2009.8.20)
 審査請求日 平成23年9月16日(2011.9.16)
 (31) 優先権主張番号 PCT/JP2008/052566
 (32) 優先日 平成20年2月15日(2008.2.15)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 311014428
 ユニサンティス エレクトロニクス シン
 ガポール プライベート リミテッド
 Unisantis Electronics Singapore Pte Ltd.
 シンガポール共和国、179098、ノー
 スブリッジロード 111、ペニンシュラ
 プラザ #16-04
 111, North Bridge Road, #16-04 Peninsula
 Plaza, Singapore 17
 9098
 (74) 代理人 100092093
 弁理士 辻居 幸一

最終頁に続く

(54) 【発明の名称】 半導体装置とその製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体装置の製造方法であって、

- (a) 基板上に平面状半導体層を形成し、平面状半導体層上に柱状の第1導電型半導体層を形成する工程と、
- (b) 柱状の第1導電型半導体層の下部の平面状半導体層に第2導電型半導体層を形成する工程と、
- (c) 柱状の第1導電型半導体層の周囲にゲート絶縁膜および金属からなるゲート電極を形成する工程と、
- (d) ゲートの上部且つ柱状の第1導電型半導体層の上部側壁に、絶縁膜をサイドウォール状にゲート電極上部と接触するように形成する工程と、
- (e) ゲートの側壁に絶縁膜をサイドウォール状に形成する工程と、
- (f) 柱状の第1導電型半導体層の上部に第2導電型半導体層を形成する工程と、
- (g) 柱状の第1導電型半導体層の下部の平面状半導体層に形成した第2導電型半導体層に金属と半導体の化合物を形成する工程と、
- (h) 柱状の第1導電型半導体層の上部に形成した第2導電型半導体層に金属と半導体の化合物を形成する工程と、
- (i) 柱状の第1導電型半導体層の下部の平面状半導体層に形成した第2導電型半導体層上にコンタクトを形成する工程と、
- (j) 柱状の第1導電型半導体層の上部に形成した第2導電型半導体層上にコンタクト

10

20

を形成する工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項 2】

柱状の第 1 導電型半導体層の中心から平面状半導体層の端までの長さは、
柱状の第 1 導電型半導体層の中心から側壁までの長さ、
ゲート絶縁膜の厚さと、
ゲート電極の厚さと、
ゲートの側壁にサイドウォール状に形成した絶縁膜の厚さと、
の和より大きいことを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

平面状半導体層は平面状シリコン層であり、第 1 導電型半導体層は第 1 導電型シリコン層であり、第 2 導電型半導体層は第 2 導電型シリコン層である請求項 1 に記載の半導体装置の製造方法。

10

【請求項 4】

平面状半導体層は平面状シリコン層であり、第 1 導電型半導体層は p 型シリコン層または、ノンドープのシリコン層であり、第 2 導電型半導体層は n 型シリコン層である請求項 3 に記載の半導体装置の製造方法。

【請求項 5】

平面状半導体層は平面状シリコン層であり、第 1 導電型半導体層は n 型シリコン層または、ノンドープのシリコン層であり、第 2 導電型半導体層は p 型シリコン層である請求項 3 に記載の半導体装置。

20

【請求項 6】

前記工程 (a) は、

基板上に、柱状の第 1 導電型シリコン層と平面状シリコン層を形成するシリコン層を形成し、そして、シリコン層上にパット酸化膜を成膜する工程と、

パット酸化膜越しに、柱状の第 1 導電型シリコン層と平面状シリコン層を形成するシリコン層にしきい値調整用の不純物注入を行い、不純物の活性化及び拡散のためにアニールを行い、柱状の第 1 導電型シリコン層と平面状シリコン層を形成するシリコン層の不純物分布を均一化する工程と、

柱状の第 1 導電型シリコン層を形成時にマスクとして用いるシリコン窒化膜を成膜する工程と、

30

を含むことを特徴とする請求項 3 に記載の半導体装置の製造方法。

【請求項 7】

前記工程 (a) は、

基板上に、柱状の第 1 導電型シリコン層と平面状シリコン層を形成するシリコン層を形成し、そして、シリコン層上にパット酸化膜を成膜する工程と、

柱状の第 1 導電型シリコン層を形成時にマスクとして用いるシリコン窒化膜を成膜する工程と、

シリコン窒化膜上にシリコン酸化膜を形成する工程と、

シリコン酸化膜上にレジストを塗布し、リソグラフィーを用いてレジストにより柱状の第 1 導電型シリコン層を反転したパターンを形成し、柱状の第 1 導電型シリコン層の形成箇所

40

にシリコン酸化膜を貫通するホールを形成する工程と、

アモルファスシリコンあるいはポリシリコンをシリコン酸化膜に形成されたホールを埋め込むように成膜する工程と、

化学機械研磨によりシリコン酸化膜のアモルファスシリコンあるいはポリシリコンを研磨して一部を除去する工程と、

エッチングにより、シリコン酸化膜を除去することにより、第 2 のハードマスクであるアモルファスシリコンあるいはポリシリコンマスクを形成する工程と、

アモルファスシリコンあるいはポリシリコンマスクを犠牲酸化して、アモルファスシリコンあるいはポリシリコンマスクの寸法を縮小する工程と、

50

アモルファスシリコンあるいはポリシリコンマスクをエッチングしての表面のシリコン

酸化膜を除去する工程と、
を含むことを特徴とする請求項 3 に記載の半導体装置の製造方法。

【請求項 8】

前記工程 (a) は、

基板上に、柱状の第 1 導電型シリコン層と平面状シリコン層を形成するシリコン層を形成し、そして、シリコン層上にパット酸化膜を成膜する工程と、

柱状の第 1 導電型シリコン層を形成時に第 1 のハードマスクとして用いるシリコン窒化膜を成膜する工程と、

シリコン窒化膜上にシリコン酸化膜を形成する工程と、

シリコン酸化膜上にレジストを塗布し、リソグラフィーを用いてレジストにより柱状の第 1 導電型シリコン層を反転したパターンを形成し、柱状の第 1 導電型シリコン層の形成箇所

10

にシリコン酸化膜を貫通するホールを形成する工程と、
酸化膜を堆積し、エッチバックを行うことで、前記シリコン酸化膜を貫通するホールの径を小さくする工程と、

アモルファスシリコンあるいはポリシリコンをシリコン酸化膜に形成されたホールを埋め込むように成膜する工程と、

化学機械研磨によりシリコン酸化膜のアモルファスシリコンあるいはポリシリコンを研磨して一部を除去する工程と、

エッチングにより、シリコン酸化膜を除去することにより、第 2 のハードマスクであるアモルファスシリコンあるいはポリシリコンマスクを形成する工程と、

20

を含むことを特徴とする請求項 3 に記載の半導体装置の製造方法。

【請求項 9】

前記工程 (a) は、

第 2 のハードマスクであるアモルファスシリコンあるいはポリシリコンマスクをマスクとして、ドライエッチングによりシリコン窒化膜及びパット酸化膜をエッチングし、第 1 のハードマスクであるシリコン窒化膜マスクを形成する工程と、

第 1 のハードマスク及び第 2 のハードマスクをマスクとして、柱状の第 1 導電型シリコン層をドライエッチングにより形成する工程と、

を含み、

第 2 のハードマスクであるアモルファスシリコンあるいはポリシリコンマスクが全てエッチングされ、ドライエッチング装置において検出することが可能なプラズマ発光強度が変化し、このプラズマ発光強度の変化を検出することにより、ドライエッチングの終点検出を行い、柱状の第 1 導電型シリコン層の高さを制御することを特徴とする請求項 3 に記載の半導体装置の製造方法。

30

【請求項 10】

第 2 のハードマスクであるアモルファスシリコンあるいはポリシリコンマスクの厚さは、柱状の第 1 導電型シリコン層の高さより小さいことを特徴とする請求項 9 に記載の半導体装置の製造方法。

【請求項 11】

前記工程 (b) は、

チャンネル部となる柱状の第 1 導電型シリコン層の側壁の凹凸の緩和、ドライエッチング中に打ち込まれたシリコン表面の除去、及び / 又は、次工程のドライエッチング時に生じる汚染から柱状の第 1 導電型シリコン層を保護するため、形成された柱状の第 1 導電型シリコン層を犠牲酸化する工程と、

40

平面上シリコン層にレジストを塗布し、リソグラフィーを用いてレジストにより柱状の第 1 導電型シリコン層の下部の平面状シリコン層に形成する第 2 導電型シリコン層のパターンを形成する工程と、

平面状シリコン層をドライエッチングし、柱状の第 1 導電型シリコン層の下部の平面状シリコン層を形成し、レジストを除去する工程と、

を含むことを特徴とする請求項 3 に記載の半導体装置の製造方法。

50

【請求項 1 2】

前記工程 (b) は、第 1 導電型シリコン層犠牲酸化時に形成された犠牲酸化膜をスルー酸化膜として平面状シリコン層表面に第 2 導電型の不純物を導入し、柱状の第 1 導電型シリコン層の下部の平面状シリコン層に第 2 導電型シリコン層を形成する工程を含むことを特徴とする請求項 3 に記載の半導体装置の製造方法。

【請求項 1 3】

柱状の第 1 導電型シリコン層の柱径は、第 1 のハードマスクであるシリコン窒化膜マスクの柱径より小さいことを特徴とする請求項 1 1 に記載の半導体装置の製造方法。

【請求項 1 4】

柱状の第 1 導電型シリコン層の下部の平面状シリコン層に形成する第 2 導電型シリコン層形成に用いる不純物注入の注入角は、0 度～6 度であることを特徴とする請求項 3 に記載の半導体装置の製造方法。

10

【請求項 1 5】

柱状の第 1 導電型半導体層の上部に不純物を注入せず、柱状の第 1 導電型シリコン層の下部の平面状シリコン層に第 2 導電型シリコン層を形成することを特徴とする請求項 1 乃至 1 4 のうちいずれか一項に記載の半導体装置の製造方法。

【請求項 1 6】

前記工程 (c) は、

平面状シリコン層に形成されたシリコン窒化膜マスクを用いて柱状の第 1 導電型シリコン層のシリコン表面の酸化を行う工程と、後に行われるドライエッチングを用いて高誘電率のゲート絶縁膜を除去できるように、シリコン窒化膜マスクの柱径が柱状の第 1 導電型シリコン層の柱径より小さくなるようにシリコン窒化膜マスクのエッチングを行う工程を含むことを特徴とする請求項 3 に記載の半導体装置の製造方法。

20

【請求項 1 7】

前記工程 (c) は、

シリコン窒化膜マスクを用いて柱状の第 1 導電型半導体層から犠牲酸化膜をエッチングで除去し、そして第 2 導電型半導体層を有する平面状半導体層に形成された犠牲酸化膜をエッチングで除去し、高誘電率のゲート絶縁膜を形成し、ゲート電極として金属を、柱状の第 1 導電型シリコン層を埋め込むように成膜する工程と、

化学機械研磨により金属を研磨し、ゲート電極の上面を平坦化する工程と、

30

を含み、
化学機械研磨において、第 1 のハードマスクであるシリコン窒化膜を化学機械研磨のストッパーとして使用することにより、再現性よく化学機械研磨の研磨量を抑制することを特徴とする請求項 3 に記載の半導体装置の製造方法。

【請求項 1 8】

前記工程 (c) は、

ゲート電極である金属をエッチバックすることにより、所望のゲート長を持つゲート電極を形成する工程と、

ゲート電極である金属および柱状の第 1 導電型シリコン層の表面にシリコン酸化膜を成膜する工程と、

40

を含み、
このシリコン酸化膜により、金属が覆われることにより後工程においてメタル汚染を考慮することなく処理でき、また、ウェット処理またはドライ処理からゲート上面が保護され、ゲート長の変動やゲート上面からのゲート絶縁膜へのダメージを抑制することができることを特徴とする請求項 1 7 に記載の半導体装置の製造方法。

【請求項 1 9】

前記工程 (c) は、

所望のゲート電極の膜厚とゲート絶縁膜の膜厚の和からシリコン酸化膜の膜厚を減じた膜厚のシリコン窒化膜をシリコン酸化膜上に成膜する工程と、

シリコン窒化膜とシリコン酸化膜をエッチバックすることによりシリコン酸化膜サイド

50

ウォールとシリコン窒化膜サイドウォールを形成する工程と、
を含み、

シリコン窒化膜サイドウォールの膜厚とシリコン酸化膜サイドウォールの膜厚の和が金属からなるゲート電極の膜厚とゲート絶縁膜の膜厚の和となるため、シリコン窒化膜の成膜膜厚及びエッチバック条件を調整することによって、所望の膜厚のゲート電極を形成することができる、

反射防止膜層（BARC層）及びレジストを塗布し、リソグラフィーを用いてレジストによりゲート配線パターンを形成し、

レジストをマスクとして、反射防止膜層（BARC層）、シリコン酸化膜及びゲート電極である金属をエッチングして、ゲート電極及びゲート配線を形成する工程と、

柱状の第1導電型シリコン層上部のシリコン窒化膜及びシリコン酸化膜サイドウォールとシリコン窒化膜サイドウォールをドライエッチングもしくはウェットエッチングにより除去する工程と、を含み、

前記工程（d）及び（c）は、

柱状の第1導電型シリコン層の上部のシリコン窒化膜マスク、シリコン窒化膜サイドウォール及びシリコン酸化膜サイドウォールをドライエッチング又はウェットエッチングにより除去し、

シリコン酸化膜とシリコン窒化膜を成膜し、シリコン窒化膜をエッチバックし、シリコン酸化膜をエッチングし、柱状の第1導電型シリコン層の下部の平面状シリコン層に形成した第2導電型シリコン層及び柱状の第1導電型シリコン層の上部を露出し、ゲート電極の上部且つ柱状の第1導電型シリコン層の上部側壁に、シリコン酸化膜サイドウォールとシリコン窒化膜サイドウォールを形成し、ゲート電極の側壁にシリコン酸化膜サイドウォールとシリコン窒化膜サイドウォール、すなわち絶縁膜サイドウォールを形成する工程と、を含み、

前記工程（f）は、

柱状の第1導電型シリコン層の上部に第2導電型の不純物を導入し、柱状の第1導電型シリコン層の上部に第2導電型シリコン層を形成する工程を含み、

前記工程（g）及び（h）は、

柱状の第1導電型シリコン層の下部の平面状シリコン層の部分に形成された第2導電型シリコン層の上部表面、及び、柱状の第1導電型シリコン層の上部に形成された第2導電型シリコン層の上部表面に金属膜をスパッタし、熱処理を加えることで、未反応の金属膜を除去することによって柱状の第1導電型シリコン層の下部の平面状シリコン層に形成した第2導電型シリコン層と、柱状の第1導電型シリコン層の上部に形成した第2導電型シリコン層上に金属と半導体の化合物を形成する工程と、を含み、

シリコン酸化膜サイドウォールとシリコン窒化膜サイドウォールによりゲート電極と柱状の第1導電型シリコン層の下部の平面状シリコン層に形成した第2導電型シリコン層及び柱状の第1導電型シリコン層の上部に形成した第2導電型シリコン層が分離されるため、金属と半導体の化合物によるゲート電極と柱状の第1導電型シリコン層の下部の平面状シリコン層に形成した第2導電型シリコン層及び柱状の第1導電型シリコン層の上部に形成した第2導電型シリコン層の短絡を防止できることを特徴とし、

柱状の第1導電型シリコン層上部の側壁をシリコン窒化膜で覆うことにより、柱状の第1導電型シリコン層の側壁からの金属と半導体の化合物化を制御することを特徴とする請求項18に記載の半導体装置の製造方法。

【請求項20】

前記工程（i）及び（j）は、

コンタクトストッパーを成膜する工程と、

層間膜としてシリコン酸化膜を成膜後、化学機械研磨により平坦化する工程と、

柱状の第1導電型シリコン層の下部の平面状シリコン層に形成した第2導電型シリコン層上、ゲート電極から延びるゲート配線上、柱状の第1導電型シリコン層の上部に形成し

10

20

30

40

50

た第2導電型シリコン層上に、エッチングによりコンタクト孔を形成する工程と、を含む請求項3に記載の半導体装置の製造方法。

【請求項21】

前記コンタクト孔を形成する工程には、

柱状の第1導電型シリコン層の上部に形成された第2導電型シリコン層の上部のコンタクト孔及びゲート配線上のコンタクト孔の層間膜をエッチングした後、柱状シリコン層下部の平面状シリコン層に形成された第2導電型シリコン層のコンタクト孔の層間膜をエッチングする工程を行い、

その後、柱状の第1導電型シリコン層上部に形成された第2導電型シリコン層上部のコンタクト孔と、ゲート配線上のコンタクト孔と、柱状の第1導電型シリコン層下部の平面状シリコン層に形成された第2導電型シリコン層のコンタクト孔のそれぞれに対応するコンタクトストッパーをエッチングすることが含まれることを特徴とする請求項20に記載の半導体装置の製造方法。

10

【請求項22】

前記コンタクト孔を形成する工程には、柱状の第1導電型シリコン層下部の平面状シリコン層上に形成され第2導電型シリコン層のコンタクト孔の層間膜をエッチングする工程の後に、柱状の第1導電型シリコン層上部に形成された第2導電型シリコン層上部のコンタクト孔とゲート配線上のコンタクト孔の層間膜をエッチングする工程を行い、その後、柱状の第1導電型シリコン層下部の平面状シリコン層に形成された第2導電型シリコン層上部のコンタクト孔と、ゲート配線上のコンタクト孔と柱状の第1導電型シリコン層下部の平面状シリコン層に形成された第2導電型シリコン層上のコンタクト孔のそれぞれに対応するコンタクトストッパーをエッチングすることが含まれることを特徴とする請求項20に記載の半導体装置の製造方法。

20

【請求項23】

前記コンタクト孔を形成する工程には、柱状の第1導電型シリコン層上部に形成された第2導電型シリコン層の上部のコンタクト孔の層間膜をエッチングした後、ゲート配線上のコンタクト孔と、柱状の第1導電型シリコン層下部の平面状シリコン層に形成された第2導電型シリコン層のコンタクト孔の層間膜エッチング工程を行い、その後、柱状の第1導電型シリコン層上部に形成された第2導電型シリコン層上部のコンタクト孔と、ゲート配線上のコンタクト孔と、柱状の第1導電型シリコン層下部の平面状シリコン層に形成された第2導電型シリコン層のコンタクト孔にそれぞれ対応するコンタクトストッパーをエッチングする工程がふくまれることを特徴とする請求項20に記載の半導体装置の製造方法。

30

【請求項24】

前記コンタクト孔を形成する工程には、ゲート配線上のコンタクト孔と、柱状の第1導電型シリコン層下部の平面状シリコン層に形成された第2導電型シリコン層のコンタクト孔との層間膜エッチング工程の後、柱状の第1導電型シリコン層上部に形成された第2導電型シリコン層上部のコンタクト孔の層間膜エッチング工程を行い、その後、柱状の第1導電型シリコン層上部に形成された第2導電型シリコン層上部のコンタクト孔と、ゲート配線上のコンタクト孔と、柱状の第1導電型シリコン層下部の平面状シリコン層に形成された第2導電型シリコン層のコンタクト孔のそれぞれに対応するコンタクトストッパーをエッチングすることが含まれることを特徴とする請求項20に記載の半導体装置の製造方法。

40

【請求項25】

半導体装置であって、

基板の上に形成され、第2導電型半導体層が形成された平面状半導体層であって、該第2導電型半導体層に金属と半導体との化合物が形成された平面状半導体層と、

該平面状半導体層の上に形成され、上部に第2導電型半導体層が形成された柱状の第1導電型半導体層であって、該第2導電型半導体層に金属と半導体との化合物が形成された柱状の第1導電型半導体層と、

50

該柱状の第1導電型半導体層の周囲にサイドウォール状に形成されたゲート絶縁膜と、
該ゲート絶縁膜を囲む金属からなるゲート電極と、

柱状の第1導電型半導体層の周囲にサイドウォール状に形成された前記ゲート絶縁膜の
上部に形成され、その下部が前記ゲート電極の上部と接触しているサイドウォール状に形
成された絶縁膜と、

前記ゲート電極の側壁にサイドウォール状に形成された絶縁膜と、
を具備することを特徴とする半導体装置。

【請求項26】

前記柱状の第1導電型半導体層の中心から前記平面状半導体層の端までの長さ、
前記柱状の第1導電型半導体層の中心から側壁までの長さ、
前記ゲート絶縁膜の厚さと、
前記ゲート電極の厚さと、
前記ゲート電極の側壁にサイドウォール状に形成された前記絶縁膜の厚さと、
の和より大きい、請求項25に記載の半導体装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、半導体装置とその製造方法に関するものである。

【背景技術】

【0002】

半導体集積回路、なかでもMOSトランジスタを用いた集積回路は、高集積化の一途を辿
っている。この高集積化に伴って、その中で用いられているMOSトランジスタはナノ領
域まで微細化が進んでいる。MOSトランジスタの微細化が進むと、リーク電流の抑制が
困難であり、必要な電流量確保の要請から回路の占有面積をなかなか小さくできない、と
いった問題があった。この様な問題を解決するために、基板に対してソース、ゲート、ド
レインが垂直方向に配置され、ゲートが柱状半導体層を取り囲む構造のS u r r o u n d
i n g G a t e T r a n s i s t o r (S G T) が提案された(例えば、特許文献1、
特許文献2、特許文献3)。

20

【0003】

S G T は、柱状半導体の側面を取り囲むようにチャンネル領域を設けるため、大きいゲート
幅を小さい占有面積内に実現する。すなわち、小さい占有面積に大きなオン電流を流すこ
とが求められる。大きなオン電流が流れるため、ソース、ドレイン、ゲートの抵抗が高い
と、ソース、ドレイン、ゲートに所望の電圧を印加することが難しくなる。そのため、ソ
ース、ドレイン、ゲートの低抵抗化のための設計を含むS G T の製造方法が必要となる。
また、大きなオン電流が流れるため、コンタクトの低抵抗化が必要となる。

30

【0004】

従来のMOSトランジスタにおいて、ゲートは、ゲート材を堆積し、リソグラフィにより
ゲートパターンを基板上のレジストに転写しゲート材をエッチングすることにより、形成
される。すなわち、従来のMOSトランジスタにおいて、ゲート長はゲートパターンによ
り設計される。

40

S G T は、柱状半導体の側面がチャンネル領域であるため、基板に対して垂直に、電流が流
れる。すなわち、S G T において、ゲート長は、ゲートパターンにより設計されず、製造
方法により設計されるため、製造方法によりゲート長とゲート長のばらつきが決定される
。

【0005】

S G T において、微細化に伴って発生するリーク電流の増大を抑えるために、柱状半導体
の直径を小さくすることが求められる。また、ソース、ドレインの最適化を行うことによ
りショートチャンネル効果を抑制しリーク電流を抑えることができる製造方法が必要となる
。

【0006】

50

S G Tは従来のM O Sトランジスタと同じように製造コストを下げる必要がある。そのために、製造工程数を少なくすることが求められる。

【 0 0 0 7 】

ゲート電極にポリシリコンではなくメタルを用いることにより、空乏化を抑制できかつ、ゲート電極を低抵抗化できる。しかし、メタルゲートを形成した後工程は常にメタルゲートによるメタル汚染を考慮した製造工程にする必要がある。

【 0 0 0 8 】

【特許文献1】特開平2 - 7 1 5 5 6

【特許文献2】特開平2 - 1 8 8 9 6 6

【特許文献3】特開平3 - 1 4 5 7 6 1

10

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 9 】

そこで、ゲート電極にメタルを用い、メタル汚染を考慮した製造工程を含み、ソース、ドレイン、ゲートの低抵抗化のための構造と所望のゲート長、ソース、ドレイン形状と柱状半導体の直径が得られるS G Tの製造方法を提供することを課題とする。

【課題を解決するための手段】

【 0 0 1 0 】

本発明の1態様では、半導体装置の製造方法であって、基板上に形成された酸化膜上に、平面状半導体層が形成され、平面状半導体層上に柱状の第1導電型半導体層を形成する工程と、柱状の第1導電型半導体層の下部の平面状半導体層に第2導電型半導体層を形成する工程と、

20

柱状の第1導電型半導体層の周囲にゲート絶縁膜および金属からなるゲート電極を形成する工程と、

ゲートの上部且つ柱状の第1導電型半導体層の上部側壁に、絶縁膜をサイドウォール状に形成する工程と、

ゲートの側壁に絶縁膜をサイドウォール状に形成する工程と

柱状の第1導電型半導体層の上部に第2導電型半導体層を形成する工程と、

柱状の第1導電型半導体層の下部の平面状半導体層に形成した第2導電型半導体層に金属と半導体の化合物を形成する工程と、

30

柱状の第1導電型半導体層の上部に形成した第2導電型半導体層に金属と半導体の化合物を形成する工程と、

ゲートに金属と半導体の化合物を形成する工程と、

柱状の第1導電型半導体層の下部の平面状半導体層に形成した第2導電型半導体層上にコンタクトを形成する工程と、

柱状の第1導電型半導体層の上部に形成した第2導電型半導体層上にコンタクトを形成する工程と、を含むことを特徴とする半導体装置の製造方法である。

【 0 0 1 1 】

また、本発明の好ましい態様では、

40

前記柱状の第1導電型半導体層のうち少なくとも一つは、

柱状の第1導電型半導体層の中心から平面状半導体層の端までの長さは、

柱状の第1導電型半導体層の中心から側壁までの長さ、

ゲート絶縁膜の厚さと、

ゲート電極の厚さと、

ゲートの側壁にサイドウォール状に形成した絶縁膜の厚さと、

の和より大きいことを特徴とする前記半導体装置の製造方法である。

【 0 0 1 2 】

また、本発明の好ましい態様では、

平面状半導体層は平面状シリコン層であり、第1導電型半導体層は第1導電型シリコン層

50

であり、第2導電型半導体層は第2導電型シリコン層である前記半導体装置の製造方法である。

【0013】

また、本発明の好ましい態様では、平面状半導体層は平面状シリコン層であり、第1導電型半導体層はp型シリコン層または、ノンドープのシリコン層であり、第2導電型半導体層はn型シリコン層である前記半導体装置の製造方法である。

【0014】

また、本発明の好ましい態様では、平面状半導体層は平面状シリコン層であり、第1導電型半導体層はn型シリコン層または、ノンドープのシリコン層であり、第2導電型半導体層はp型シリコン層である前記半導体装置の製造方法である。

【0015】

また、本発明の好ましい態様では、基板上に形成された酸化膜上に、柱状の第1導電型シリコン層と平面状シリコン層を形成するシリコン層が形成され、柱状の第1導電型シリコン層と平面状シリコン層を形成するシリコン層上に、パット酸化膜を成膜する工程と、パット酸化膜越しに、柱状の第1導電型シリコン層と平面状シリコン層を形成するシリコン層にしきい値調整用の不純物注入を行い、不純物の活性化及び拡散のためにアニールを行い、柱状の第1導電型シリコン層と平面状シリコン層を形成するシリコン層の不純物分布を均一化する工程と、柱状の第1導電型シリコン層を形成時にマスクとして用いるシリコン窒化膜を成膜する工程を含むことを特徴とする前記半導体装置の製造方法である。

【0016】

また、本発明の好ましい態様では、基板上に形成された酸化膜上に、柱状の第1導電型シリコン層と平面状シリコン層を形成するシリコン層が形成され、柱状の第1導電型シリコン層と平面状シリコン層を形成するシリコン層上に、パット酸化膜を成膜する工程と柱状の第1導電型シリコン層を形成時にマスクとして用いるシリコン窒化膜を成膜する工程と、シリコン窒化膜上にシリコン酸化膜を形成する工程と、レジストを塗布し、リソグラフィーを用いてレジストにより柱状の第1導電型シリコン層を反転したパターンを形成し、柱状の第1導電型シリコン層の形成箇所にシリコン酸化膜を貫通するホールを形成する工程と、アモルファスシリコンあるいはポリシリコンをシリコン酸化膜に形成されたホールを埋め込むように成膜する工程と、化学機械研磨によりシリコン酸化膜のアモルファスシリコンあるいはポリシリコンを研磨して除去する工程と、エッチングにより、シリコン酸化膜を除去することにより、第2のハードマスクであるアモルファスシリコンあるいはポリシリコンマスクを形成する工程と、アモルファスシリコンあるいはポリシリコンマスクを犠牲酸化して、アモルファスシリコンあるいはポリシリコンマスクの寸法を縮小する工程と、アモルファスシリコンあるいはポリシリコンマスク表面のシリコン酸化膜をエッチングにより除去する工程と、を含むことを特徴とする前記半導体装置の製造方法である。

【0017】

また、本発明の好ましい態様では、

基板上に形成された酸化膜上に、柱状の第1導電型シリコン層と平面状シリコン層を形成するシリコン層が形成され、
柱状の第1導電型シリコン層と平面状シリコン層を形成するシリコン層上に、パット酸化膜を成膜する工程と
柱状の第1導電型シリコン層を形成時にマスクとして用いるシリコン窒化膜を成膜する工程と、
シリコン窒化膜上にシリコン酸化膜を形成する工程と、
レジストを塗布し、リソグラフィーを用いてレジストにより柱状の第1導電型シリコン層を反転したパターンを形成し、柱状の第1導電型シリコン層の形成箇所にシリコン酸化膜を貫通するホールを形成する工程と、
酸化膜を堆積し、エッチバックを行うことで、前記シリコン酸化膜を貫通するホールの径を小さくする工程と、
を含むことを特徴とする前記半導体装置の製造方法である。

10

【0018】

また、本発明の好ましい態様では、
第2のハードマスクであるアモルファスシリコンあるいはポリシリコンマスクをマスクとして、ドライエッチングによりシリコン窒化膜及びパット酸化膜をエッチングし、第1のハードマスクであるシリコン窒化膜マスクを形成する工程と、
第1のハードマスク及び第2のハードマスクをマスクとして、柱状の第1導電型シリコン層をドライエッチングにより形成する工程と、
を含み、
第2のハードマスクであるアモルファスシリコンあるいはポリシリコンマスクが全てエッチングされ、ドライエッチング装置において検出することが可能なプラズマ発光強度が変化し、このプラズマ発光強度の変化を検出することにより、ドライエッチングの終点検出を行い、柱状の第1導電型シリコン層の高さを制御することを特徴とする前記半導体装置の製造方法である。

20

【0019】

また、本発明の好ましい態様では、
第2のハードマスクであるアモルファスシリコンあるいはポリシリコンマスクの厚さは、柱状の第1導電型シリコン層の高さより小さいことを特徴とする前記半導体装置の製造方法である。

30

【0020】

また、本発明の好ましい態様では、
チャンネル部となる柱状の代導電型シリコン層の側壁の凹凸の緩和や、ドライエッチング中にカーボンなどが打ち込まれたシリコン表面の除去と、次工程のドライエッチング時に生じる副生成物等の汚染から柱状の第1導電型シリコン層を保護するため、形成された柱状の第1導電型シリコン層を犠牲酸化する工程と、
レジストを塗布し、リソグラフィーを用いてレジストにより柱状の第1導電型シリコン層の下部の平面状シリコン層に形成する第2導電型シリコン層のパターンを形成する工程と、
平面状シリコン層をドライエッチングし、柱状の第1導電型シリコン層の下部の平面状シリコン層を形成し、レジストを除去する工程を含むことを特徴とする前記半導体装置の製造方法である。

40

【0021】

また、本発明の好ましい態様では、
第1導電型シリコン層犠牲酸化時に形成された犠牲酸化膜をスルー酸化膜として不純物注入等により平面状シリコン層表面に第2導電型の不純物を導入し、柱状の第1導電型シリコン層の下部の平面状シリコン層に形成する第2導電型シリコン層を形成することを特徴とする前記半導体装置の製造方法である。

【0022】

50

また、本発明の好ましい態様では、
柱状の第1導電型シリコン層の柱径は、
第1のハードマスクであるシリコン窒化膜マスクの柱径より小さいことを特徴とする前記半導体装置の製造方法である。

【0023】

また、本発明の好ましい態様では、
柱状の第1導電型シリコン層の下部の平面状シリコン層に形成する第2導電型シリコン層形成に用いる不純物注入の注入角は、0度～6度であることを特徴とする前記半導体装置の製造方法である。

【0024】

また、本発明の好ましい態様では、
柱状の第1導電型半導体層の上部に不純物を注入せず、柱状の第1導電型シリコン層の下部の平面状シリコン層に形成する第2導電型シリコン層を形成することを特徴とする前記半導体装置の製造方法である。

【0025】

また、本発明の好ましい態様では、
シリコン表面の酸化を行い、シリコン窒化膜マスクのエッチングを行い、
シリコン窒化膜マスクの柱径を、柱状の第1導電型シリコン層の柱径より小さくする工程を含み、
後に行われるドライエッチングを用いて高誘電率のゲート絶縁膜を除去することを特徴とする前記半導体装置の製造方法である。

【0026】

また、本発明の好ましい態様では、
犠牲酸化膜をエッチングで除去し、ハフニウムオキサイドなどの高誘電率のゲート絶縁膜を形成し、ゲート電極として金属を、柱状の第1導電型シリコン層を埋め込むように成膜する工程と、
化学機械研磨により金属を研磨し、ゲート電極の上面を平坦化する工程と、
を含み、
化学機械研磨において、第1のハードマスクであるシリコン窒化膜を化学機械研磨のストッパーとして使用することにより、再現性よく化学機械研磨の研磨量を抑制することを特徴とする前記半導体装置の製造方法である。

【0027】

また、本発明の好ましい態様では、
ゲート電極である金属をエッチバックすることにより、所望のゲート長を持つゲート電極を形成する工程と、
ゲート電極である金属および柱状の第1導電型シリコン層の表面にシリコン酸化膜を成膜する工程と、
を含み、
このシリコン酸化膜により、金属が覆われることにより後工程においてメタル汚染を考慮することなく処理でき、また、ウェット処理またはドライ処理からゲート上面が保護され、ゲート長の変動やゲート上面からのゲート絶縁膜へのダメージを抑制することができることを特徴とする前記半導体装置の製造方法である。

【0028】

また、本発明の好ましい態様では、
所望のゲート電極の膜厚とゲート絶縁膜の膜厚の和からシリコン酸化膜の膜厚を減じた膜厚のシリコン窒化膜を成膜する工程と、
シリコン窒化膜とシリコン酸化膜をエッチバックすることによりシリコン酸化膜サイドウォールとシリコン窒化膜サイドウォールを形成する工程と
を含み、
シリコン窒化膜サイドウォールの膜厚とシリコン酸化膜サイドウォールの膜厚の和が金属

10

20

30

40

50

からなるゲート電極の膜厚とゲート絶縁膜の膜厚の和となるため、シリコン窒化膜の成膜膜厚及びエッチバック条件を調整することによって、所望の膜厚のゲート電極を形成することができることを特徴とし、

反射防止膜層（BARC層）及びレジストを塗布し、リソグラフィーを用いてレジストによりゲート配線パターンを形成し、

レジストをマスクとして、反射防止膜層（BARC層）、シリコン酸化膜及びゲート電極である金属をエッチングして、ゲート電極及びゲート配線を形成する工程と、

柱状の第1導電型シリコン層上部のシリコン窒化膜及びシリコン酸化膜サイドウォールとシリコン窒化膜サイドウォールをドライエッチングもしくはウェットエッチングにより除去する工程と、

10

シリコン酸化膜とシリコン窒化膜を成膜し、

シリコン窒化膜をエッチバックし、シリコン酸化膜をエッチングし、柱状の第1導電型シリコン層の下部の平面状シリコン層に形成した第2導電型シリコン層及び柱状の第1導電型シリコン層の上部を露出し、

ゲート電極の上部且つ柱状の第1導電型シリコン層の上部側壁に、シリコン酸化膜サイドウォールとシリコン窒化膜サイドウォールを形成し、ゲート電極の側壁にシリコン酸化膜サイドウォールとシリコン窒化膜サイドウォール、すなわち絶縁膜サイドウォールを形成する工程と、

不純物注入等により柱状の第1導電型シリコン層の上部に第2導電型の不純物を導入し、柱状の第1導電型シリコン層の上部に第2導電型シリコン層を形成する工程と、

20

ニッケル（Ni）もしくはコバルト（Co）等の金属膜をスパッタし、熱処理を加えることで、

柱状の第1導電型シリコン層の下部の平面状シリコン層に形成した第2導電型シリコン層と、

柱状の第1導電型シリコン層の上部に形成した第2導電型シリコン層の表面を金属と半導体の化合物化し、未反応の金属膜を除去することによって

柱状の第1導電型シリコン層の下部の平面状シリコン層に形成した第2導電型シリコン層と、柱状の第1導電型シリコン層の上部に形成した第2導電型シリコン層上に金属と半導体の化合物を形成する工程と、

を含み、

30

シリコン酸化膜サイドウォールとシリコン窒化膜サイドウォールにより

ゲート電極と

柱状の第1導電型シリコン層の下部の平面状シリコン層に形成した第2導電型シリコン層及び柱状の第1導電型シリコン層の上部に形成した第2導電型シリコン層が分離されるため、

金属と半導体の化合物によるゲート電極と柱状の第1導電型シリコン層の下部の平面状シリコン層に形成した第2導電型シリコン層及び柱状の第1導電型シリコン層の上部に形成した第2導電型シリコン層の短絡を防止できることを特徴とし、

柱状の第1導電型シリコン層上部の側壁をシリコン窒化膜で覆うことにより、柱状の第1導電型シリコン層の側壁からの金属と半導体の化合物化を制御することを特徴とする前記半導体装置の製造方法である。

40

【0029】

また、本発明の好ましい態様では、

コンタクトストッパーとしてシリコン窒化膜等を成膜する工程と、

層間膜としてシリコン酸化膜を成膜後、化学機械研磨により平坦化する工程と、

柱状の第1導電型シリコン層の下部の平面状シリコン層に形成した第2導電型シリコン層上、ゲート電極上、柱状の第1導電型シリコン層の上部に形成した第2導電型シリコン層上に、エッチングによりコンタクト孔を形成する工程と、

コンタクト孔にタンタル（Ta）や窒化タンタル（Ta₂N₅）や、チタン（Ti）や窒化チタン（TiN）といったバリアメタルを成膜後、タングステン（W）や銅（Cu）及び銅

50

を含む合金などのメタルをスパッタやめっきにより成膜して、化学機械研磨によってコンタクトプラグを形成する工程と、
炭化ケイ素（SiC）などの第1層配線のエッチングストッパーを成膜し、続いて第1配線層の層間膜である低誘電率膜を成膜する工程と、
第1層配線をパターニングして、第1配線層の溝パターンを形成し、
タンタル（Ta）や窒化タンタル（Ta₂N₅）や、チタン（Ti）や窒化チタン（TiN）といったバリアメタルを成膜後、タングステン（W）や銅（Cu）及び銅を含む合金などのメタルをスパッタやめっきにより成膜して、化学機械研磨によって第1層配線を形成する工程とを含む前記半導体装置の製造方法である。

【0030】

10

また、本発明の好ましい態様では、
柱状シリコン層上部のコンタクト孔とゲート配線上のコンタクト孔の層間膜エッチング工程の後、
柱状シリコン層下部の平面状シリコン層上のコンタクト孔の層間膜エッチング工程を行い、
その後、柱状シリコン層上部のコンタクト孔とゲート配線上のコンタクト孔と
柱状シリコン層下部の平面状シリコン層上のコンタクト孔の
コンタクトストッパーをエッチングすること
を特徴とする前記半導体装置の製造方法である。

【0031】

20

また、本発明の好ましい態様では、
柱状シリコン層下部の平面状シリコン層上のコンタクト孔の層間膜エッチング工程の後に、
柱状シリコン層上部のコンタクト孔とゲート配線上のコンタクト孔の層間膜エッチング工程を行い、
その後、柱状シリコン層上部のコンタクト孔とゲート配線上のコンタクト孔と
柱状シリコン層下部の平面状シリコン層上のコンタクト孔の
コンタクトストッパーをエッチングすること
を特徴とする前記半導体装置の製造方法である。

【0032】

30

また、本発明の好ましい態様では、
柱状シリコン層上部のコンタクト孔の層間膜エッチング工程の後、
ゲート配線上のコンタクト孔と柱状シリコン層下部の平面状シリコン層上のコンタクト孔の層間膜エッチング工程を行い、
その後、柱状シリコン層上部のコンタクト孔と
ゲート配線上のコンタクト孔と柱状シリコン層下部の平面状シリコン層上のコンタクト孔の
コンタクトストッパーをエッチングすること
を特徴とする前記半導体装置の製造方法である。

【0033】

40

また、本発明の好ましい態様では、
ゲート配線上のコンタクト孔と柱状シリコン層下部の平面状シリコン層上のコンタクト孔の層間膜エッチング工程の後、
柱状シリコン層上部のコンタクト孔の層間膜エッチング工程を行い、
その後、柱状シリコン層上部のコンタクト孔と
ゲート配線上のコンタクト孔と柱状シリコン層下部の平面状シリコン層上のコンタクト孔の
コンタクトストッパーをエッチングすること
を特徴とする前記半導体装置の製造方法である。

【0034】

また、本発明の好ましい態様では、
半導体装置であって、

50

基板の上に形成され、第2導電型半導体層が形成された平面状半導体層であって、該第2導電型半導体層に金属と半導体との化合物が形成された平面状半導体層と、
 該平面状半導体層の上に形成され、上部に第2導電型半導体層が形成された柱状の第1導電型半導体層であって、該第2導電型半導体層に金属と半導体との化合物が形成された柱状の第1導電型半導体層と、
 該柱状の第1導電型半導体層の周囲に形成されたゲート絶縁膜と、
 該ゲート絶縁膜を囲む金属からなるゲート電極と、
 該ゲート電極の上部であって前記柱状の第1導電型半導体層の上部側壁に、サイドウォール状に形成されるとともに、前記ゲート電極の側壁にサイドウォール状に形成された、絶縁膜と、

10

を具備することを特徴とする半導体装置である。

【0035】

また、本発明の好ましい態様では、
 前記柱状の第1導電型半導体層の中心から前記平面状半導体層の端までの長さが、
 前記柱状の第1導電型半導体層の中心から側壁までの長さ、
 前記ゲート絶縁膜の厚さと、
 前記ゲート電極の厚さと、
 前記ゲート電極の側壁にサイドウォール状に形成された前記絶縁膜と、
 の和より大きい、前記記載の半導体装置である。

20

【発明の効果】

【0036】

本発明では、
 半導体装置の製造方法であって、基板上に形成された酸化膜上に、平面状半導体層が形成され、平面状半導体層上に柱状の第1導電型半導体層を形成する工程と、
 柱状の第1導電型半導体層の下部の平面状半導体層に第2導電型半導体層を形成する工程と、
 柱状の第1導電型半導体層の周囲にゲート絶縁膜および金属からなるゲート電極を形成する工程と、
 ゲートの上部且つ柱状の第1導電型半導体層の上部側壁に、絶縁膜をサイドウォール状に形成する工程と、
 ゲートの側壁に絶縁膜をサイドウォール状に形成する工程と
 柱状の第1導電型半導体層の上部に第2導電型半導体層を形成する工程と、
 柱状の第1導電型半導体層の下部の平面状半導体層に形成した第2導電型半導体層に金属と半導体の化合物を形成する工程と、
 柱状の第1導電型半導体層の上部に形成した第2導電型半導体層に金属と半導体の化合物を形成する工程と、
 ゲートに金属と半導体の化合物を形成する工程と、
 柱状の第1導電型半導体層の下部の平面状半導体層に形成した第2導電型半導体層上にコンタクトを形成する工程と、
 柱状の第1導電型半導体層の上部に形成した第2導電型半導体層上にコンタクトを形成する工程と、を含むことを特徴とする半導体装置の製造方法により、
 ゲート電極にメタルを用い、メタル汚染を考慮した製造工程を含み、
 ソース、ドレイン、ゲートの低抵抗化のための構造と所望のゲート長、ソース、ドレイン形状と柱状半導体の直径が得られるSGTの製造方法を提供する。

30

40

【0037】

また、本発明では、
 前記柱状の第1導電型半導体層のうち少なくとも一つは、
 柱状の第1導電型半導体層の中心から平面状半導体層の端までの長さは、
 柱状の第1導電型半導体層の中心から側壁までの長さ、
 ゲート絶縁膜の厚さと、

50

ゲート電極の厚さと、
ゲートの側壁にサイドウォール状に形成した絶縁膜の厚さと、
の和より大きいことを特徴とすることにより、
柱状の第1導電型半導体層の下部の平面状半導体層に形成した第2導電型半導体層に金属
と半導体の化合物を形成することができ、
柱状の第1導電型半導体層の下部の平面状半導体層に形成した第2導電型半導体層を低抵抗
化することができる。

【0038】

また、本発明では、
金属からなるゲート電極の厚さと
ゲート絶縁膜の厚さの和は、
ゲートの上部且つ柱状の第1導電型半導体層の上部側壁にサイドウォール状に形成した絶
縁膜の厚さの和
より大きいことにより、
ゲート電極に金属と半導体の化合物を形成することができ、
ゲート電極を低抵抗化することができる。

【0039】

また、本発明では、
基板上に形成された酸化膜上に、柱状の第1導電型シリコン層と平面状シリコン層を形成
するシリコン層が形成され、
柱状の第1導電型シリコン層と平面状シリコン層を形成するシリコン層上に、パッド酸化
膜を成膜する工程と、
パッド酸化膜越しに、柱状の第1導電型シリコン層と平面状シリコン層を形成するシリコ
ン層にしきい値調整用の不純物注入を行い、不純物の活性化及び拡散のためにアニールを
を行い、柱状の第1導電型シリコン層と平面状シリコン層を形成するシリコン層の不純物分
布を均一化する工程と、
柱状の第1導電型シリコン層を形成時にマスクとして用いるシリコン窒化膜を成膜する工
程を含むことにより
次工程で成膜するシリコン窒化膜とシリコンとの応力を緩和するために成膜するパッド酸
化膜を不純物注入時のスルー酸化膜としても用いることで、製造工程数を削減することが
でき、製造コストを下げるができる。

【0040】

また、本発明では、
基板上に形成された酸化膜上に、柱状の第1導電型シリコン層と平面状シリコン層を形成
するシリコン層が形成され、
柱状の第1導電型シリコン層と平面状シリコン層を形成するシリコン層上に、パッド酸化
膜を成膜する工程と
柱状の第1導電型シリコン層を形成時にマスクとして用いるシリコン窒化膜を成膜する工
程と、
シリコン窒化膜上にシリコン酸化膜を形成する工程と、
レジストを塗布し、リソグラフィーを用いてレジストにより柱状の第1導電型シリコン層
を反転したパターンを形成し、柱状の第1導電型シリコン層の形成箇所にシリコン酸化膜
を貫通するホールを形成する工程と、
アモルファスシリコンあるいはポリシリコンをシリコン酸化膜に形成されたホールを埋め
込むように成膜する工程と、
化学機械研磨によりシリコン酸化膜のアモルファスシリコンあるいはポリシリコンを研磨
して除去する工程と、
エッチングにより、シリコン酸化膜を除去することにより、
第2のハードマスクであるアモルファスシリコンあるいはポリシリコンマスクを形成する
工程と、

アモルファスシリコンあるいはポリシリコンマスクを犠牲酸化して、アモルファスシリコンあるいはポリシリコンマスクの寸法を縮小する工程と

アモルファスシリコンあるいはポリシリコンマスク表面のシリコン酸化膜をエッチングにより除去する工程と

を含むことにより、

後に形成される柱状の第1導電型シリコン層の柱径を小さくできることにより、トランジスタのショートチャネル効果を抑制し、リーク電流を低減できる。

【0041】

また、本発明では、

基板上に形成された酸化膜上に、柱状の第1導電型シリコン層と平面状シリコン層を形成するシリコン層が形成され、

柱状の第1導電型シリコン層と平面状シリコン層を形成するシリコン層上に、パット酸化膜を成膜する工程と

柱状の第1導電型シリコン層を形成時にマスクとして用いるシリコン窒化膜を成膜する工程と、

シリコン窒化膜上にシリコン酸化膜を形成する工程と、

レジストを塗布し、リソグラフィーを用いてレジストにより柱状の第1導電型シリコン層を反転したパターンを形成し、柱状の第1導電型シリコン層の形成箇所にシリコン酸化膜を貫通するホールを形成する工程と、

酸化膜を堆積し、エッチバックを行うことで、前記シリコン酸化膜を貫通するホールの径を小さくする工程と

を含むことにより、

後に形成される柱状の第1導電型シリコン層の柱径を小さくできることにより、トランジスタのショートチャネル効果を抑制し、リーク電流を低減できる。

【0042】

また、本発明では、

第2のハードマスクであるアモルファスシリコンあるいはポリシリコンマスクをマスクとして、ドライエッチングによりシリコン窒化膜及びパット酸化膜をエッチングし、第1のハードマスクであるシリコン窒化膜マスクを形成する工程と、

第1のハードマスク及び第2のハードマスクをマスクとして、柱状の第1導電型シリコン層をドライエッチングにより形成する工程により、

第2のハードマスクであるアモルファスシリコンあるいはポリシリコンマスクが全てエッチングされ、ドライエッチング装置において検出することが可能なプラズマ発光強度が変化し、このプラズマ発光強度の変化を検出することにより、ドライエッチングの終点検出を行い、柱状の第1導電型シリコン層の高さを制御することができる。

【0043】

また、本発明では、

第2のハードマスクであるアモルファスシリコンあるいはポリシリコンマスクの厚さは、柱状の第1導電型シリコン層の高さより小さいことを特徴とすることにより、ドライエッチングの終点検出を行うことができる。

【0044】

また、本発明では、

チャンネル部となる柱状の代導電型シリコン層の側壁の凹凸の緩和や、ドライエッチング中にカーボンなどが打ち込まれたシリコン表面の除去と、次工程のドライエッチング時に生じる副生成物等の汚染から柱状の第1導電型シリコン層を保護するため、形成された柱状の第1導電型シリコン層を犠牲酸化する工程と、

レジストを塗布し、リソグラフィーを用いてレジストにより柱状の第1導電型シリコン層の下部の平面状シリコン層に形成する第2導電型シリコン層のパターンを形成する工程と、

平面状シリコン層をドライエッチングし、柱状の第1導電型シリコン層の下部の平面状シ

10

20

30

40

50

リコン層を形成し、レジストを除去する工程を含むことにより、犠牲酸化により形成された酸化膜を第1導電型シリコン層保護膜として使用するため、製造工程数を削減することができ、製造コストを下げるができる。

【0045】

また、本発明では、

第1導電型シリコン層犠牲酸化時に形成された犠牲酸化膜をスルー酸化膜として不純物注入等により平面状シリコン層表面に第2導電型の不純物を導入し、柱状の第1導電型シリコン層の下部の平面状シリコン層に形成する第2導電型シリコン層を形成することにより、

犠牲酸化により形成された酸化膜を第1導電型シリコン層保護膜として使用し、さらに不純物注入時のスルー酸化膜として使用するため、製造工程数を削減することができ、製造コストを下げることができる。

10

【0046】

また、本発明では、

柱状の第1導電型シリコン層の柱径は、

第1のハードマスクであるシリコン窒化膜マスクの柱径より小さいことを特徴とすることにより、

注入時に第1導電型シリコン層の側壁から不純物が打ち込まれることを防ぐことができる。

【0047】

20

また、本発明では、

柱状の第1導電型シリコン層の下部の平面状シリコン層に形成する第2導電型シリコン層形成に用いる不純物注入の注入角は、0度～6度であることを特徴とすることにより、注入時に柱状の第1導電型シリコン層の側壁から不純物が打ち込まれることを防ぐことができる。

【0048】

また、本発明では、

柱状の第1導電型半導体層の上部に不純物を注入せず、柱状の第1導電型シリコン層の下部の平面状シリコン層に形成する第2導電型シリコン層を形成することにより、

柱状の第1導電型シリコン層上部と、柱状の第1導電型シリコン層の下部の平面状シリコン層の注入条件を容易に最適化できるため、ショートチャネル効果を抑制しリーク電流を抑制することができる。

30

【0049】

また、本発明では、

シリコン表面の酸化を行い、シリコン窒化膜マスクのエッチングを行い、

シリコン窒化膜マスクの柱径を、柱状の第1導電型シリコン層の柱径より小さくする工程を含むことにより、

後に行われるドライエッチングを用いて高誘電率のゲート絶縁膜を除去することができる。

【0050】

40

また、本発明では、

犠牲酸化膜をエッチングで除去し、ハフニウムオキシドなどの高誘電率のゲート絶縁膜を形成し、ゲート電極として金属を、柱状の第1導電型シリコン層を埋め込むように成膜する工程と、

化学機械研磨により金属を研磨し、ゲート電極の上面を平坦化する工程と、を含むことにより、

化学機械研磨において、第1のハードマスクであるシリコン窒化膜を化学機械研磨のストッパーとして使用することにより、再現性よく化学機械研磨の研磨量を抑制することができる。

【0051】

50

また、本発明では、
 ゲート電極である金属をエッチバックすることにより、所望のゲート長を持つゲート電極を形成する工程と、
 ゲート電極である金属および柱状の第1導電型シリコン層の表面にシリコン酸化膜を成膜する工程と、
 を含むことにより、
 このシリコン酸化膜により、金属が覆われることにより後工程においてメタル汚染を考慮することなく処理でき、また、ウェット処理またはドライ処理からゲート上面が保護され、ゲート長の変動やゲート上面からのゲート絶縁膜へのダメージを抑制することができる。

10

【0052】

また、本発明では、
 所望のゲート電極の膜厚とゲート絶縁膜の膜厚の和からシリコン酸化膜の膜厚を減じた膜厚のシリコン窒化膜を成膜する工程と、
 シリコン窒化膜とシリコン酸化膜をエッチバックすることによりシリコン酸化膜サイドウォールとシリコン窒化膜サイドウォールを形成する工程と
 を含むことにより、
 シリコン窒化膜サイドウォールの膜厚とシリコン酸化膜サイドウォールの膜厚の和が金属からなるゲート電極の膜厚とゲート絶縁膜の膜厚の和となるため、シリコン窒化膜の成膜膜厚及びエッチバック条件を調整することによって、所望の膜厚のゲート電極を形成することができ、
 反射防止膜層（BARC層）及びレジストを塗布し、リソグラフィーを用いてレジストによりゲート配線パターンを形成し、
 レジストをマスクとして、反射防止膜層（BARC層）、シリコン酸化膜及びゲート電極である金属をエッチングして、ゲート電極及びゲート配線を形成する工程と、
 柱状の第1導電型シリコン層上部のシリコン窒化膜及びシリコン酸化膜サイドウォールとシリコン窒化膜サイドウォールをドライエッチングもしくはウェットエッチングにより除去する工程と、
 シリコン酸化膜とシリコン窒化膜を成膜し、
 シリコン窒化膜をエッチバックし、シリコン酸化膜をエッチングし、柱状の第1導電型シリコン層の下部の平面状シリコン層に形成した第2導電型シリコン層及び柱状の第1導電型シリコン層の上部を露出し、
 ゲート電極の上部且つ柱状の第1導電型シリコン層の上部側壁に、シリコン酸化膜サイドウォールとシリコン窒化膜サイドウォールを形成し、ゲート電極の側壁にシリコン酸化膜サイドウォールとシリコン窒化膜サイドウォール、すなわち絶縁膜サイドウォールを形成する工程と、
 不純物注入等により柱状の第1導電型シリコン層の上部に第2導電型の不純物を導入し、柱状の第1導電型シリコン層の上部に第2導電型シリコン層を形成する工程と、
 ニッケル（Ni）もしくはコバルト（Co）等の金属膜をスパッタし、熱処理を加えることで、
 柱状の第1導電型シリコン層の下部の平面状シリコン層に形成した第2導電型シリコン層と、
 柱状の第1導電型シリコン層の上部に形成した第2導電型シリコン層の表面を金属と半導体の化合物化し、未反応の金属膜を除去することによって
 柱状の第1導電型シリコン層の下部の平面状シリコン層に形成した第2導電型シリコン層と、柱状の第1導電型シリコン層の上部に形成した第2導電型シリコン層上に金属と半導体の化合物を形成する工程と、
 を含むことにより、
 シリコン酸化膜サイドウォールとシリコン窒化膜サイドウォールにより
 ゲート電極と

20

30

40

50

柱状の第1導電型シリコン層の下部の平面状シリコン層に形成した第2導電型シリコン層及び柱状の第1導電型シリコン層の上部に形成した第2導電型シリコン層が分離されるため、

金属によるゲート電極と柱状の第1導電型シリコン層の下部の平面状シリコン層に形成した第2導電型シリコン層及び柱状の第1導電型シリコン層の上部に形成した第2導電型シリコン層の短絡を防止でき、

柱状の第1導電型シリコン層上部の側壁をシリコン窒化膜で覆うことにより、柱状の第1導電型シリコン層の側壁からの金属と半導体の化合物化を制御することができる。

【0053】

また、本発明では、

コンタクトストッパーとしてシリコン窒化膜等を成膜する工程と、

層間膜としてシリコン酸化膜を成膜後、化学機械研磨により平坦化する工程と、

柱状の第1導電型シリコン層の下部の平面状シリコン層に形成した第2導電型シリコン層上、ゲート電極上、柱状の第1導電型シリコン層の上部に形成した第2導電型シリコン層上に、エッチングによりコンタクト孔を形成する工程と、

コンタクト孔にタンタル(Ta)や窒化タンタル(TaN)や、チタン(Ti)や窒化チタン(TiN)といったバリアメタルを成膜後、タングステン(W)や銅(Cu)及び銅を含む合金などのメタルをスパッタやめっきにより成膜して、化学機械研磨によってコンタクトプラグを形成する工程と、

炭化ケイ素(SiC)などの第1層配線のエッチングストッパーを成膜し、続いて第1配線層の層間膜である低誘電率膜を成膜する工程と、

第1層配線をパターニングして、第1配線層の溝パターンを形成し、

タンタル(Ta)や窒化タンタル(TaN)や、チタン(Ti)や窒化チタン(TiN)といったバリアメタルを成膜後、タングステン(W)や銅(Cu)及び銅を含む合金などのメタルをスパッタやめっきにより成膜して、化学機械研磨によって第1層配線を形成する工程とを含むことにより、

コンタクトの低抵抗化ができる。

【0054】

また、本発明では、

柱状シリコン層上部のコンタクト孔とゲート配線上のコンタクト孔の層間膜エッチング工程の後、

柱状シリコン層下部の平面状シリコン層上のコンタクト孔の層間膜エッチング工程を行い、

その後、柱状シリコン層上部のコンタクト孔とゲート配線上のコンタクト孔と

柱状シリコン層下部の平面状シリコン層上のコンタクト孔の

コンタクトストッパーをエッチングすることにより、

柱状シリコン層上部のコンタクト孔とゲート配線上のコンタクト孔のエッチング条件の最適化と、

柱状シリコン層下部の平面状シリコン層上のコンタクト孔のエッチング条件の最適化を行うこともできる。

【0055】

また、本発明では、

柱状シリコン層下部の平面状シリコン層上のコンタクト孔の層間膜エッチング工程の後に、

柱状シリコン層上部のコンタクト孔とゲート配線上のコンタクト孔の層間膜エッチング工程を行い、

その後、柱状シリコン層上部のコンタクト孔とゲート配線上のコンタクト孔と

柱状シリコン層下部の平面状シリコン層上のコンタクト孔の

コンタクトストッパーをエッチングすること

により、

10

20

30

40

50

柱状シリコン層上部のコンタクト孔とゲート配線上のコンタクト孔のエッチング条件の最適化と、

柱状シリコン層下部の平面状シリコン層上のコンタクト孔のエッチング条件の最適化を行うこともできる。

【0056】

また、本発明では、

柱状シリコン層上部のコンタクト孔の層間膜エッチング工程の後、

ゲート配線上のコンタクト孔と柱状シリコン層下部の平面状シリコン層上のコンタクト孔の層間膜エッチング工程を行い、

その後、柱状シリコン層上部のコンタクト孔と

ゲート配線上のコンタクト孔と柱状シリコン層下部の平面状シリコン層上のコンタクト孔のコンタクトストッパーをエッチングすることにより、

柱状シリコン層上部のコンタクト孔のエッチング条件の最適化と、

ゲート配線上のコンタクト孔と柱状シリコン層下部の平面状シリコン層上のコンタクト孔のエッチング条件の最適化を行うこともできる。

【0057】

また、本発明では、

ゲート配線上のコンタクト孔と柱状シリコン層下部の平面状シリコン層上のコンタクト孔の層間膜エッチング工程の後、

柱状シリコン層上部のコンタクト孔の層間膜エッチング工程を行い、

その後、柱状シリコン層上部のコンタクト孔と

ゲート配線上のコンタクト孔と柱状シリコン層下部の平面状シリコン層上のコンタクト孔のコンタクトストッパーをエッチングすることにより、

柱状シリコン層上部のコンタクト孔のエッチング条件の最適化と、

ゲート配線上のコンタクト孔と柱状シリコン層下部の平面状シリコン層上のコンタクト孔のエッチング条件の最適化を行うこともできる。

【0058】

また、本発明では、

半導体装置であって、

基板の上に形成され、第2導電型半導体層が形成された平面状半導体層であって、該第2導電型半導体層に金属と半導体との化合物が形成された平面状半導体層と、

該平面状半導体層の上に形成され、上部に第2導電型半導体層が形成された柱状の第1導電型半導体層であって、該第2導電型半導体層に金属と半導体との化合物が形成された柱状の第1導電型半導体層と、

該柱状の第1導電型半導体層の周囲に形成されたゲート絶縁膜と、

該ゲート絶縁膜を囲む金属からなるゲート電極と、

該ゲート電極の上部であって前記柱状の第1導電型半導体層の上部側壁に、サイドウォール状に形成されるとともに、前記ゲート電極の側壁にサイドウォール状に形成された、絶縁膜と、

を具備することにより、

柱状の第1導電型半導体層の下部の平面状半導体層に形成した第2導電型半導体層、ゲート電極、柱状の第1導電型半導体層の上部に形成した第2導電型半導体層それぞれに異なる電圧を印加でき、柱状の第1導電型半導体層の下部の平面状半導体層に形成した第2導電型半導体層、柱状の第1導電型半導体層の上部に形成した第2導電型半導体層を低抵抗化することができる。

【0059】

また、本発明では、

前記柱状の第1導電型半導体層の中心から前記平面状半導体層の端までの長さが、

前記柱状の第1導電型半導体層の中心から側壁までの長さ、

前記ゲート絶縁膜の厚さと、

10

20

30

40

50

前記ゲート電極の厚さと、
 前記ゲート電極の側壁にサイドウォール状に形成された前記絶縁膜と、
 の和より大きいことにより、
 柱状の第1導電型半導体層の下部の平面状半導体層に形成した第2導電型半導体層に金属と半導体の化合物を形成することができ、
 柱状の第1導電型半導体層の下部の平面状半導体層に形成した第2導電型半導体層を低抵抗化することができる。

【発明を実施するための最良の形態】

【0060】

図37(a)は本発明を用いて形成されたNMOS SGTの平面図であり、図37(b)は、図37(a)のカットラインA-A'に沿った断面図である。以下に図37を参照して、本発明を用いて形成されたNMOS SGTについて説明する。

Si基板111上に形成されたBOX層120上に、平面状シリコン層112が形成され、平面状シリコン層112上に柱状シリコン層113が形成され、柱状シリコン層113の周囲に高誘電膜であるゲート絶縁膜145およびメタルゲート電極147が形成されている。柱状シリコン層の下部の平面状シリコン層112には、N+ソース拡散層200が形成され、柱状シリコン層の上部にはN+ドレイン拡散層201が形成されている。N+ソース拡散層200上にはコンタクト174が形成され、N+ドレイン拡散層201上にはコンタクト173が形成され、ゲート電極147aより延在するゲート配線147b上にはコンタクト172が形成されている。

【0061】

図38は図37(b)のカットラインB-B'に沿った断面図である。ソース領域を低抵抗化するためにはソース領域にシリサイドを形成することが必要である。そのため、平面シリコン層112にシリサイドを形成するためには以下の条件が必要である。

$$W_a > W_p + W_o x + W_g + W_s$$

ここで W_a はシリコン柱113の中心から平面シリコン層112の端までの長さ、 W_p はシリコン柱113の中心から側壁までの長さ、 $W_o x$ はゲート絶縁膜145の厚さ、 W_g はゲート電極147の幅、 W_s は酸化膜サイドウォールと窒化膜サイドウォールの幅、すなわち絶縁膜の幅である。

【0062】

N+ソース拡散層をGND電位に接続し、N+ドレイン拡散層をVcc電位に接続し、ゲート電極に0~Vccの電位を与えることにより上記SGTはトランジスタ動作を行う。また、柱状シリコン層の上部に形成されるN+拡散層がN+ソース拡散層であり、柱状シリコン層下部の平面状シリコン層に形成されるN+拡散層がN+ドレイン拡散層でもよい。

【0063】

以下に本発明のSGTを形成するための製造方法の一例を図1~図37を参照して説明する。なお、これらの図面では、同一の構成要素に対しては同一の符号が付されている。図1は、本発明のSGTを形成するための製造工程であり、図2~図37は、この発明に係るSGTの製造例を示している。(a)は平面図、(b)はA-A'の断面図を示している。

【0064】

図2を参照して、Si基板上111にBOX層120が形成され、BOX層120上にシリコン層110が形成されたSOI基板を用いて、SOI層110上にパッド酸化膜121を成膜する。パッド酸化膜を形成する前に、ロット形成を行い、レーザーマーク形成を行い、パッド酸化膜洗浄を行うこともある。また、パッド酸化後に、パッド酸化膜厚測定を行うこともある(図1ステップ1、2、3、4、5)。

【0065】

パッド酸化膜越しにSOI層にしきい値調整用の不純物注入を行い、不純物の活性化及び拡散のためにアニールを行い、SOI層の不純物分布を均一化してもよい。このとき、次

工程で成膜するシリコン窒化膜とシリコンとの応力を緩和するために成膜するパッド酸化膜を不純物注入時のスルー酸化膜としても用いることで、製造工程数を削減することができ、製造コストを下げることもできる。

【 0 0 6 6 】

図 3 を参照して、第 1 のハードマスクであるシリコン窒化膜 1 3 0 成膜し、続いてシリコン酸化膜 1 2 2 を成膜する。シリコン窒化膜成膜後、窒化膜厚測定を行うこともある。また、シリコン酸化膜堆積後、酸化膜厚測定を行うこともある（図 1 ステップ 6、7、8、9）。

【 0 0 6 7 】

図 4 を参照して、レジストを塗布し、リソグラフィーを用いてレジストにより柱状シリコン層を反転したパターンを形成し、柱状シリコン層の形成箇所にシリコン酸化膜 1 2 2 を貫通するホールをドライエッチングにより形成する。リソグラフィー後に、寸法測定、検査を行うこともある。また、エッチング後に洗浄を行うこともある（図 1 ステップ 1 0、1 1、1 2、1 3、1 4、1 5、1 6、1 7）。この後、図 4 0 を参照して、酸化膜 1 2 9 を堆積し、図 4 1 を参照して、酸化膜 1 2 9 をエッチバックを行うことで、シリコン酸化膜 1 2 2 を貫通するホールの径を小さくすることもできる。

10

【 0 0 6 8 】

図 5 を参照して、アモルファスシリコンあるいはポリシリコン 1 4 0 をシリコン酸化膜 1 2 2 に形成されたホールを埋め込むように成膜する。アモルファスシリコンあるいはポリシリコン堆積前に、洗浄を行うこともある。また、堆積後に、膜厚を測定することもある（図 1 ステップ 1 8、1 9、2 0）。

20

【 0 0 6 9 】

図 6 を参照して、CMP（化学機械研磨）によりシリコン酸化膜 1 2 2 上のアモルファスシリコンあるいはポリシリコン 1 4 0 を研磨して除去する。研磨後、膜厚を測定することもある（図 1 ステップ 2 1、2 2）。

【 0 0 7 0 】

図 7 を参照して、フッ酸などによるウェットエッチング、またはドライエッチングによって、シリコン酸化膜 1 2 2 を除去することにより、後工程の柱状シリコン層のドライエッチング時に第 2 のハードマスクとなるアモルファスシリコンあるいはポリシリコン 1 4 0 を形成する。（図 1 ステップ 2 3）

30

【 0 0 7 1 】

図 8 を参照して、アモルファスシリコンあるいはポリシリコン 1 4 0 を犠牲酸化し、シリコン酸化膜 1 2 8 を形成し、アモルファスシリコンあるいはポリシリコンの寸法を縮小する。犠牲酸化前に、犠牲酸化前洗浄を行ってもよい。また、酸化後に、膜厚を測定してもよい（図 1 ステップ 2 4、2 5、2 6）。この犠牲酸化により、後工程で形成される柱状シリコン層の寸法を縮小することができる。この柱状シリコン層の径を小さくできることにより、ショートチャネル効果を抑制し、リーク電流を低減できる。

【 0 0 7 2 】

図 9 を参照して、アモルファスシリコンあるいはポリシリコン 1 4 0 表面のシリコン酸化膜 1 2 8 をフッ酸などによるウェットエッチング、またはドライエッチングによって除去する。（図 1 ステップ 2 7）。

40

【 0 0 7 3 】

図 1 0 を参照して、第 2 のハードマスクであるアモルファスシリコンあるいはポリシリコン 1 4 0 をマスクとして、ドライエッチングにより第 1 のハードマスクであるシリコン窒化膜 1 3 0 及びパッド酸化膜 1 2 1 をエッチングする。（図 1 ステップ 2 8、2 9）。

【 0 0 7 4 】

図 1 1 を参照して、第 1 のハードマスクであるシリコン窒化膜 1 3 0 及び第 2 のハードマスクであるアモルファスシリコンあるいはポリシリコン 1 4 0 をマスクにして、柱状シリコン層 1 1 3 をドライエッチングにより形成する。エッチング後、有機物除去、SEM を用いた検査、段差確認を行ってもよい（図 1 ステップ 3 0、3 1、3 2、3 3）。ドライ

50

エッチング時には、第2のハードマスクであるアモルファスシリコンあるいはポリシリコン140もエッチングされ、アモルファスシリコンあるいはポリシリコン140が全てエッチングされると、ドライエッチング装置において検出することが可能なプラズマ発光強度が変化するため、このプラズマ発光強度の変化を検出することにより、エッチングの終点検出が可能になり、エッチングレートによらず安定して柱状シリコン層113の高さを制御することができる。

【0075】

上記の終点検出方法を用いるためには、柱状シリコン層ドライエッチング前のアモルファスシリコンあるいはポリシリコン140の膜厚が、柱状シリコン層の高さより小さく形成されている必要がある。また、このときに埋め込み酸化膜層120上に平面状シリコン層112を形成する。

10

【0076】

図12を参照して、チャンネル部となる柱状シリコン層113の側壁の凹凸の緩和や、ドライエッチング中にカーボンなどが打ち込まれたシリコン表面の除去のため、柱状シリコン層及び平面状シリコン層表面を犠牲酸化し、犠牲酸化膜123を形成する。犠牲酸化前に、犠牲酸化前洗浄を行ってもよい。また、犠牲酸化後に、犠牲酸化膜厚を測定してもよい(図1ステップ34、35、36)。

【0077】

図13を参照して、レジスト150を塗布し、リソグラフィーを用いてレジストによりソース拡散層のパターンを形成する。リソグラフィー後、オーバーレイ誤差計測、寸法測定、検査を行ってもよい(図1ステップ37、38、39、40、41)。このときに、柱状シリコン層113及び平面状シリコン層112上には上記の犠牲酸化により形成された犠牲酸化膜123により、次工程のドライエッチング時に生じる副生成物等の汚染からシリコン表面が保護される。

20

【0078】

図14を参照して、平面状シリコン層112をドライエッチングにより加工して、平面状シリコン層112を分離する。(図1ステップ42、43)

【0079】

図15を参照して、レジストを除去する。その後、SEMによる検査、段差確認を行ってもよい(図1ステップ44、45、46)。

30

【0080】

図16を参照して、不純物注入等により平面状シリコン層112表面にPやAsなどの不純物を導入し、N⁺ソース拡散層200を形成する(図1ステップ47、48)。このときに、柱状シリコン層113、平面状シリコン層112の犠牲酸化時に形成された犠牲酸化膜123をスルー酸化膜として使用することで、製造工程数を削減することができる。また、注入時に柱状シリコン層113の側壁から不純物が打ち込まれるとトランジスタ特性が変動する要因になる。そこで、窒化膜130の幅であるW_nよりも柱状シリコン柱の幅W_{p1}、W_{p2}は小さいことが必須である。ただし、W_{p1}は、柱状シリコン層下部の幅、W_{p2}は、柱状シリコン層上部の幅である。

【0081】

また、注入時に柱状シリコン層113の側壁から不純物が打ち込まれないために、小さい角度、すなわち0度~6度で不純物を注入することが好ましい。また、本工程においては柱状シリコン層113上に形成されるシリコン窒化膜130により、柱状シリコン層113の上部への注入は行われぬ。N⁺ソース拡散層200への注入は0°であることが好ましいが、後に柱状シリコン層113の上部に形成されるドレイン拡散層への注入はゲート電極と自己整合的に形成されるため、角度をつけて注入することが好ましい。上記のように平面状シリコン層に形成されるソース拡散層と柱状シリコン層上部に形成されるドレイン拡散層への注入を別々に行うことにより、それぞれの注入条件を容易に最適化できるため、ショートチャンネル効果を抑制しリーク電流を抑制することができる。

40

【0082】

50

図17を参照して、シリコン表面の酸化をし、酸化膜124を形成し、窒化膜130をウェットエッチングにより細らせる。酸化前に洗浄を行うこともある。また、酸化後、膜厚を測定することもある。(図1ステップ49、50、51、52)。この工程は図22においてドライエッチングを用いてhigh-Kゲート絶縁膜を除去するためであり、窒化膜130の幅 W_n がシリコン柱113の幅 W_{p1} 、 W_{p2} より小さくする必要がある。

【0083】

図18を参照して、犠牲酸化膜123、酸化膜124をフッ酸などによるウェットエッチングで除去する。(図1ステップ53)

【0084】

図19を参照して、high-Kゲート絶縁膜145としてHfSiO₂やHfSiONを形成する。絶縁膜形成前に、洗浄を行ってもよい。また、形成後に、熱処理を行ってもよい(図1ステップ54、55、56)。

10

【0085】

図20を参照して、ゲート導電膜としてメタル147を、柱状シリコン層113を埋め込むように成膜する。(図1ステップ57)

【0086】

図21を参照して、CMPによりメタル147を研磨し、ゲート導電膜の上面を平坦化する。CMPにおいて、第1のハードマスクであるシリコン窒化膜130をCMPのストッパーとして使用することにより、再現性よくCMP研磨量を制御することができる。(図1ステップ58)

20

【0087】

図22を参照して、ゲート導電膜であるメタル147をエッチバックすることにより、ゲート長を決定する。このとき、high-Kゲート絶縁膜もエッチングされる(図1ステップ59)。メタル堆積後に、膜厚を測定してもよい(図1ステップ60)。

【0088】

図23を参照して、ゲート導電膜であるメタル147およびシリコン柱113の表面にシリコン酸化膜125を成膜する。このシリコン酸化膜125により、メタル147が覆われることにより後工程においてメタル汚染を考慮することなく処理できる。また、ウェット処理またはドライ処理からゲート上面が保護されるため、ゲート長の変動、つまりゲート長のばらつきやゲート上面からのゲート絶縁膜145へのダメージを抑制することができる。(図1ステップ61)

30

【0089】

図24を参照して、所望のゲート電極の膜厚より厚い膜厚のシリコン窒化膜131を成膜する。成膜後、窒化膜厚を測定してもよい(図1ステップ62、63)。

【0090】

図25を参照して、シリコン窒化膜131をエッチバックすることによりシリコン窒化膜131サイドウォールを形成する。このとき、シリコン酸化膜125もエッチングされる。また、エッチング後、有機物除去、形状測定を行ってもよい(図1ステップ64、65、66)。シリコン窒化膜サイドウォール131の膜厚とシリコン酸化膜の膜厚の和がメタル147からなるゲート電極147で形成されるゲート電極の膜厚とhigh-Kゲート絶縁膜の膜厚の和となるため、シリコン窒化膜131の成膜膜厚及びエッチバック条件を調整することによって、所望の膜厚のゲート電極を形成することができる。

40

【0091】

図26を参照して、BARC層161及びレジスト160を塗布し、リソグラフィーを用いてレジスト160によりゲート配線パターンを形成する。パターン形成後、オーバーレイ誤差測定、寸法測定、検査を行ってもよい(図1ステップ67、68、69、70、71)。

【0092】

図27を参照して、レジスト160をマスクとして、BARC層161、ゲート導電膜であるメタル147、及びhigh-Kゲート絶縁膜をエッチングして、ゲート電極147

50

a及びゲート配線パターン147bを形成し、レジスト及びBARC層を除去する。その後、形状測定を行ってもよい(図1ステップ72、73、74、75、76)。

【0093】

図28を参照して、柱状シリコン113上部のシリコン窒化膜130及びシリコン窒化膜サイドウォール131及びシリコン酸化膜121、125、平面状シリコン層上部の酸化膜124をドライエッチングもしくはウェットエッチングにより除去する(図1ステップ77)。

【0094】

図29を参照して、シリコン酸化膜127とシリコン窒化膜132を成膜する。成膜後、膜厚を測定してもよい(図1ステップ78、79、80)。

10

【0095】

図30を参照して、シリコン窒化膜132をエッチバックし、シリコン酸化膜127をエッチングし、N+ソース拡散層200の上面および柱状シリコン113上部の表面を露出させ、柱状シリコン層113の側壁およびゲート147側壁をシリコン窒化膜133、134で覆う。エッチング後、有機物除去、形状測定を行ってもよい(図1ステップ81、82、83)。この窒化膜133、134によりゲート電極147とソース拡散層200及び柱状シリコン上部に後に形成されるN+ドレイン拡散層が分離されるため、シリサイドによるゲート電極147、147とソース拡散層200及びドレイン拡散層のショートを防止できる。また、柱状シリコン113上部の側壁を窒化膜134で覆うことにより、柱状シリコン層113の側壁からのシリサイド化を制御することができる。このシリコン窒化膜133、134がシリコン酸化膜である場合には、洗浄・剥離工程やシリサイド前処理に使用されるフッ酸によりエッチングされてしまうので、シリコン窒化膜などのフッ酸に溶けない膜であることが好ましい。

20

【0096】

図31を参照して、不純物注入等により柱状シリコン層113の上部にPやAsなどの不純物を導入し、N+ドレイン拡散層201を形成する。不純物導入後、活性化を行ってもよい(図1ステップ84、85)。

【0097】

図32を参照して、NiもしくはCo等の金属膜をスパッタし、熱処理を加えることでソース200ドレイン201表面を金属と半導体の化合物すなわちシリサイド化して、未反応の金属膜を除去することによってドレイン拡散層201上のシリサイド層152、およびソース拡散層200上のシリサイド層153を形成する。シリサイド層を形成する前に、酸化膜を剥離してもよい(図1ステップ86、87、88、89)。

30

【0098】

図33を参照して、コンタクトストッパー135としてシリコン窒化膜等を成膜する。(図1ステップ90)

【0099】

図34を参照して、層間膜126としてシリコン酸化膜を成膜後、CMPにより平坦化する。成膜後、膜厚を測定してもよい。また、平坦化後、膜厚を測定してもよい。また、窒化膜厚を測定してもよい(図1ステップ91、92、93、94、95)。

40

【0100】

図35を参照して、柱状シリコン層113上部のドレイン拡散層201上、ゲート配線147b上およびソース拡散層200上にコンタクト孔をエッチングして形成する。コンタクト孔をエッチングする前に、コンタクトマスク露光を行う。また、寸法測定、オーバーレイ誤差計測、検査を行ってもよい。また、コンタクト孔形成後、プラズマレジスト剥離を行う。その後、洗浄を行い、寸法測定、酸化膜厚測定、検査、ウェハ容器交換を行ってもよい(図1ステップ96、97、98、99、100、101、102、103、104、105、106、107、108)。

【0101】

また、図41を参照して、柱状シリコン層上部のコンタクト孔とゲート配線上のコンタク

50

ト孔のエッチング深さと、柱状シリコン層下部の平面状シリコン層上のコンタクト孔のエッチング深さが異なるため、柱状シリコン層上部のコンタクト孔とゲート配線上のコンタクト孔の層間膜のエッチングを行い、図42を参照して、レジスト162をマスクにして、柱状シリコン層下部の平面状シリコン層上のコンタクト孔の層間膜のエッチングを行い、層間膜のエッチング後、コンタクトストッパーをエッチングしてもよい。

【0102】

また、図43を参照して、柱状シリコン層上部のコンタクト孔の層間膜のエッチングを行い、図44を参照して、ゲート配線上のコンタクト孔と柱状シリコン層下部の平面状シリコン層上のコンタクト孔の層間膜のエッチングを行い、層間膜のエッチング後、コンタクトストッパーをエッチングしてもよい。

10

【0103】

柱状シリコン層上部のコンタクト孔の層間膜のエッチングと、ゲート配線上のコンタクト孔と柱状シリコン層下部の平面状シリコン層上のコンタクト孔の層間膜のエッチングを別々に行うことで、柱状シリコン層上部のコンタクト孔のエッチング条件の最適化と、ゲート配線上のコンタクト孔と柱状シリコン層下部の平面状シリコン層上のコンタクト孔のエッチング条件の最適化を行うこともできる。

【0104】

図36を参照して、コンタクト孔にバリアメタル171であるタンタル(Ta)や窒化タンタル(TaN)などを成膜後、銅(Cu)170をスパッタやめっきにより成膜して、CMPによってコンタクト172、173、174を形成する。バリアメタルとしてチタン(Ti)や窒化チタン(TiN)を用いてもよい。また、タングステン(W)を用いてもよい。また、銅を含む合金を用いてもよい。成膜後、裏面処理、検査、熱処理を行ってもよい。また、CMP後、検査を行ってもよい(図1ステップ111、112、113、114、115)。

20

【0105】

図37を参照して、第1層配線のエッチングストッパーとしてSiC180(炭化ケイ素)を成膜し、続いて第1配線層の層間膜であるLow-k膜190を成膜する。このとき、膜厚を測定し、検査をしてもよい(図1ステップ116、117、118、119)。続いて、第1層配線をパターンニングして、第1配線層の溝パターンを形成する。パターンニング後、寸法測定、オーバーレイ誤差測定、検査を行ってもよい。溝パターン形成後、プラズマレジスト剥離、検査を行ってもよい(図1ステップ120、121、122、123、124、125、126、127)。続いて、バリアメタル175であるTaやTaNを成膜後、Cu176をスパッタやめっきにより成膜して、CMPによって第1層配線177、178、179を形成する。バリアメタルとしてチタン(Ti)や窒化チタン(TiN)を用いてもよい。また、タングステン(W)を用いてもよい。また、銅を含む合金を用いてもよい。成膜後、裏面処理、検査、熱処理を行ってもよい。また、CMP後、検査を行ってもよい(図1ステップ128、129、130、131、132、133、134)。

30

【0106】

その後、窒化膜堆積、層間絶縁膜堆積、層間絶縁膜厚測定を行ってもよい(図1ステップ135、136、137)。また、パッドヴィアマスク露光、寸法測定、オーバーレイ誤差測定、検査、パッドヴィアエッチング、プラズマレジスト剥離、エッチング後洗浄、寸法測定、酸化膜厚測定、検査、メタル前洗浄、ウェハ容器交換、アルミ堆積、裏面処理、パッドアルミ露光、オーバーレイ誤差測定、寸法測定、検査、パッドアルミエッチング、プラズマレジスト剥離、メタルエッチング後洗浄、光学検査、SEM検査、酸化膜厚測定、絶縁膜堆積、絶縁膜厚測定、絶縁膜露光、光学検査、絶縁膜エッチング、プラズマレジスト剥離、絶縁膜洗浄、検査、熱処理を行ってもよい(図1ステップ138、139、140、141、142、143、144、145、146、147、148、149、150、151、152、153、154、155、156、157、158、159、160、161、162、163、164、165、166、167、168、169、1

40

50

70、171、172、173、174、175、176、177)。

パッドビアの前に、多層配線を行ってもよい。

【図面の簡単な説明】

【0107】

【図1】本発明の半導体装置の製造方法。

【図2(a)】この発明に係る半導体装置の製造例を示す平面図。

【図2(b)】この発明に係る半導体装置の製造例を示すA-A'断面工程図。

【図3(a)】この発明に係る半導体装置の製造例を示す平面図。

【図3(b)】この発明に係る半導体装置の製造例を示すA-A'断面工程図。

【図4(a)】この発明に係る半導体装置の製造例を示す平面図。

10

【図4(b)】この発明に係る半導体装置の製造例を示すA-A'断面工程図。

【図5(a)】この発明に係る半導体装置の製造例を示す平面図。

【図5(b)】この発明に係る半導体装置の製造例を示すA-A'断面工程図。

【図6(a)】この発明に係る半導体装置の製造例を示す平面図。

【図6(b)】この発明に係る半導体装置の製造例を示すA-A'断面工程図。

【図7(a)】この発明に係る半導体装置の製造例を示す平面図。

【図7(b)】この発明に係る半導体装置の製造例を示すA-A'断面工程図。

【図8(a)】この発明に係る半導体装置の製造例を示す平面図。

【図8(b)】この発明に係る半導体装置の製造例を示すA-A'断面工程図。

【図9(a)】この発明に係る半導体装置の製造例を示す平面図。

20

【図9(b)】この発明に係る半導体装置の製造例を示すA-A'断面工程図。

【図10(a)】この発明に係る半導体装置の製造例を示す平面図。

【図10(b)】この発明に係る半導体装置の製造例を示すA-A'断面工程図。

【図11(a)】この発明に係る半導体装置の製造例を示す平面図。

【図11(b)】この発明に係る半導体装置の製造例を示すA-A'断面工程図。

【図12(a)】この発明に係る半導体装置の製造例を示す平面図。

【図12(b)】この発明に係る半導体装置の製造例を示すA-A'断面工程図。

【図13(a)】この発明に係る半導体装置の製造例を示す平面図。

【図13(b)】この発明に係る半導体装置の製造例を示すA-A'断面工程図。

【図14(a)】この発明に係る半導体装置の製造例を示す平面図。

30

【図14(b)】この発明に係る半導体装置の製造例を示すA-A'断面工程図。

【図15(a)】この発明に係る半導体装置の製造例を示す平面図。

【図15(b)】この発明に係る半導体装置の製造例を示すA-A'断面工程図。

【図16(a)】この発明に係る半導体装置の製造例を示す平面図。

【図16(b)】この発明に係る半導体装置の製造例を示すA-A'断面工程図。

【図17(a)】この発明に係る半導体装置の製造例を示す平面図。

【図17(b)】この発明に係る半導体装置の製造例を示すA-A'断面工程図。

【図18(a)】この発明に係る半導体装置の製造例を示す平面図。

【図18(b)】この発明に係る半導体装置の製造例を示すA-A'断面工程図。

【図19(a)】この発明に係る半導体装置の製造例を示す平面図。

40

【図19(b)】この発明に係る半導体装置の製造例を示すA-A'断面工程図。

【図20(a)】この発明に係る半導体装置の製造例を示す平面図。

【図20(b)】この発明に係る半導体装置の製造例を示すA-A'断面工程図。

【図21(a)】この発明に係る半導体装置の製造例を示す平面図。

【図21(b)】この発明に係る半導体装置の製造例を示すA-A'断面工程図。

【図22(a)】この発明に係る半導体装置の製造例を示す平面図。

【図22(b)】この発明に係る半導体装置の製造例を示すA-A'断面工程図。

【図23(a)】この発明に係る半導体装置の製造例を示す平面図。

【図23(b)】この発明に係る半導体装置の製造例を示すA-A'断面工程図。

【図24(a)】この発明に係る半導体装置の製造例を示す平面図。

50

- 【図24(b)】この発明に係る半導体装置の製造例を示すA-A'断面工程図。
- 【図25(a)】この発明に係る半導体装置の製造例を示す平面図。
- 【図25(b)】この発明に係る半導体装置の製造例を示すA-A'断面工程図。
- 【図26(a)】この発明に係る半導体装置の製造例を示す平面図。
- 【図26(b)】この発明に係る半導体装置の製造例を示すA-A'断面工程図。
- 【図27(a)】この発明に係る半導体装置の製造例を示す平面図。
- 【図27(b)】この発明に係る半導体装置の製造例を示すA-A'断面工程図。
- 【図28(a)】この発明に係る半導体装置の製造例を示す平面図。
- 【図28(b)】この発明に係る半導体装置の製造例を示すA-A'断面工程図。
- 【図29(a)】この発明に係る半導体装置の製造例を示す平面図。 10
- 【図29(b)】この発明に係る半導体装置の製造例を示すA-A'断面工程図。
- 【図30(a)】この発明に係る半導体装置の製造例を示す平面図。
- 【図30(b)】この発明に係る半導体装置の製造例を示すA-A'断面工程図。
- 【図31(a)】この発明に係る半導体装置の製造例を示す平面図。
- 【図31(b)】この発明に係る半導体装置の製造例を示すA-A'断面工程図。
- 【図32(a)】この発明に係る半導体装置の製造例を示す平面図。
- 【図32(b)】この発明に係る半導体装置の製造例を示すA-A'断面工程図。
- 【図33(a)】この発明に係る半導体装置の製造例を示す平面図。
- 【図33(b)】この発明に係る半導体装置の製造例を示すA-A'断面工程図。
- 【図34(a)】この発明に係る半導体装置の製造例を示す平面図。 20
- 【図34(b)】この発明に係る半導体装置の製造例を示すA-A'断面工程図。
- 【図35(a)】この発明に係る半導体装置の製造例を示す平面図。
- 【図35(b)】この発明に係る半導体装置の製造例を示すA-A'断面工程図。
- 【図36(a)】この発明に係る半導体装置の製造例を示す平面図。
- 【図36(b)】この発明に係る半導体装置の製造例を示すA-A'断面工程図。
- 【図37(a)】この発明に係る半導体装置の製造例を示す平面図。
- 【図37(b)】この発明に係る半導体装置の製造例を示すA-A'断面工程図。
- 【図38】図37の断面図。
- 【図39(a)】この発明に係る半導体装置の製造例を示す平面図。
- 【図39(b)】この発明に係る半導体装置の製造例を示すA-A'断面工程図。 30
- 【図40(a)】この発明に係る半導体装置の製造例を示す平面図。
- 【図40(b)】この発明に係る半導体装置の製造例を示すA-A'断面工程図。
- 【図41(a)】この発明に係る半導体装置の製造例を示す平面図。
- 【図41(b)】この発明に係る半導体装置の製造例を示すA-A'断面工程図。
- 【図42(a)】この発明に係る半導体装置の製造例を示す平面図。
- 【図42(b)】この発明に係る半導体装置の製造例を示すA-A'断面工程図。
- 【図43(a)】この発明に係る半導体装置の製造例を示す平面図。
- 【図43(b)】この発明に係る半導体装置の製造例を示すA-A'断面工程図。
- 【図44(a)】この発明に係る半導体装置の製造例を示す平面図。
- 【図44(b)】この発明に係る半導体装置の製造例を示すA-A'断面工程図。 40
- 【符号の説明】
- 【0108】
- 110．シリコン層
- 111．Si基板
- 112．平面状シリコン層
- 113．柱状シリコン層
- 120．BOX層
- 121．パッド酸化膜
- 122．シリコン酸化膜
- 123．犠牲酸化膜 50

1 2 4 . 酸化膜	
1 2 5 . シリコン酸化膜	
1 2 6 . 層間膜	
1 2 7 . シリコン酸化膜	
1 2 8 . シリコン酸化膜	
1 2 9 . シリコン酸化膜	
1 3 0 . シリコン窒化膜	
1 3 1 . シリコン窒化膜	
1 3 2 . シリコン窒化膜	
1 3 3 . シリコン窒化膜	10
1 3 4 . シリコン窒化膜	
1 3 5 . コンタクトストッパー	
1 4 0 . アモルファスシリコンあるいはポリシリコン	
1 4 5 . h i g h - K ゲート絶縁膜	
1 4 7 . メタルゲート	
1 4 7 a . メタルゲート電極	
1 4 7 b . メタルゲート配線	
1 5 0 . レジスト	
1 5 1 . シリサイド層	
1 5 2 . シリサイド層	20
1 5 3 . シリサイド層	
1 6 0 . レジスト	
1 6 1 . B A R C 層	
1 6 2 . レジスト	
1 7 0 . C u	
1 7 1 . バリアメタル	
1 7 2 . コンタクト	
1 7 3 . コンタクト	
1 7 4 . コンタクト	
1 7 5 . バリアメタル	30
1 7 6 . C u	
1 7 7 . 第 1 層配線	
1 7 8 . 第 1 層配線	
1 7 9 . 第 1 層配線	
2 0 0 . N + ソース拡散層	
2 0 1 . N + ドレイン拡散層	

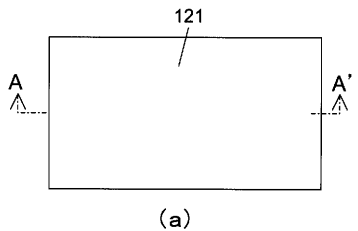
【図 1 - 1】

ステップ	工程名
1	ロット形成
2	ロータリーマーク形成
3	ハット酸化膜形成前洗浄
4	ハット酸化
5	酸化膜厚測定
6	シリコン酸化膜厚測定
7	シリコン酸化膜厚測定
8	シリコン酸化膜厚測定
9	シリコン酸化膜厚測定
10	柱形状露光
11	寸法測定
12	検査
13	検査
14	柱のハードマスクエッチング
15	柱のハードマスクエッチング
16	柱のハードマスクエッチング
17	レジスト剥離、洗浄
18	ポリシリコン堆積前洗浄
19	ポリシリコン堆積
20	ポリシリコン膜厚測定
21	ポリシリコン化学機械研磨
22	ポリシリコン膜厚測定
23	酸化膜剥離
24	犠牲酸化膜前洗浄
25	犠牲酸化
26	犠牲酸化膜厚測定
27	酸化膜剥離
28	シリコン酸化膜ドライエッチング
29	シリコン酸化膜ドライエッチング
30	シリコンドライエッチング
31	有機物洗浄
32	SEM検査
33	段差確認
34	犠牲酸化膜前洗浄
35	犠牲酸化
36	犠牲酸化膜厚測定
37	ソース領域露光
38	ソース領域露光
39	オーバレイ膜厚測定
40	寸法測定
41	検査
42	ソース領域エッチング
43	検査
44	有機物洗浄
45	SEM検査
46	段差確認
47	N ₂ 不純物注入
48	活性化
49	酸化前洗浄
50	酸化
51	酸化膜厚測定
52	酸化膜エッチング
53	酸化膜剥離
54	ゲート絶縁膜形成前洗浄
55	酸化ハフニウム堆積
56	熱処理
57	メタル堆積
58	メタル化学機械研磨
59	メタルドライエッチング
60	メタル膜厚測定
61	酸化膜堆積
62	酸化膜堆積
63	酸化膜厚測定
64	スペーサエッチング
65	有機物除去
66	スペーサ形状測定
67	ゲートマスク露光
68	オーバレイ膜厚測定
69	寸法測定
70	検査
71	検査
72	BARCエッチング
73	ゲートエッチング
74	レジスト除去
75	ゲートエッチング後洗浄
76	形状測定
77	酸化膜剥離
78	酸化膜堆積
79	酸化膜堆積
80	酸化膜厚測定
81	スペーサエッチング
82	有機物除去
83	スペーサ形状測定
84	N ₂ 不純物注入
85	不純物活性化
86	酸化膜除去
87	ニッケル堆積
88	金属半導体の化合物形成
89	選択的ニッケル剥離
90	酸化膜堆積

【図 1 - 2】

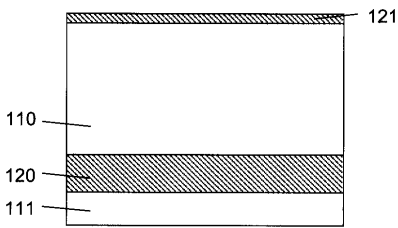
ステップ	工程名
91	金属前絶縁膜堆積
92	金属前絶縁膜厚測定
93	金属前絶縁膜化学機械研磨
94	金属前絶縁膜厚測定
95	酸化膜厚測定
96	コンタクトマスク露光
97	寸法測定
98	オーバレイ膜厚測定
99	オーバレイ膜厚測定
100	検査
101	コンタクトエッチング
102	コンタクトエッチング
103	プラズマレジスト剥離
104	コンタクトエッチング後洗浄
105	寸法測定
106	酸化膜厚測定
107	検査
108	ウエハ容器交換
109	銅/タンタル/窒化タンタル/スハッタ
110	銅埋め込み
111	表面処理
112	検査
113	熱処理
114	銅化学機械研磨
115	検査
116	酸化ケイ素堆積
117	低誘電率堆積
118	低誘電率厚測定
119	検査
120	第1メタルマスク露光
121	第1メタルマスク露光
122	寸法測定
123	オーバレイ膜厚測定
124	検査
125	ドライエッチング
126	プラズマレジスト剥離
127	検査
128	銅/タンタル/窒化タンタル/スハッタ
129	銅埋め込み
130	表面処理
131	検査
132	熱処理
133	銅化学機械研磨
134	検査
135	酸化膜堆積
136	層間絶縁膜堆積
137	層間絶縁膜厚測定
138	銅/タンタル/窒化タンタル/スハッタ
139	銅埋め込み
140	寸法測定
141	オーバレイ膜厚測定
142	検査
143	熱処理
144	銅化学機械研磨
145	プラズマレジスト剥離
146	エッチング後洗浄
147	寸法測定
148	酸化膜厚測定
149	検査
150	メタル前洗浄
151	ウエハ容器交換
152	アルミ堆積
153	表面処理
154	ハットアルミ露光
155	検査
156	オーバレイ膜厚測定
157	寸法測定
158	検査
159	ハットアルミエッチング
160	検査
161	検査
162	プラズマレジスト剥離
163	メタルエッチング後洗浄
164	光学検査
165	SEM検査
166	酸化膜厚測定
167	絶縁膜堆積
168	絶縁膜厚測定
169	絶縁膜露光
170	光学検査
171	検査
172	絶縁膜エッチング
173	検査
174	プラズマレジスト剥離
175	絶縁膜洗浄
176	検査
177	熱処理

【図 2 (a)】



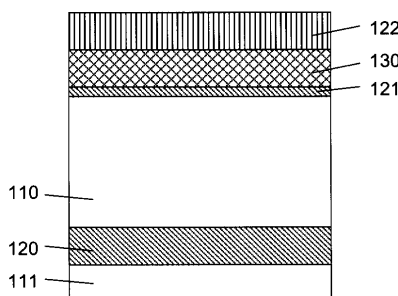
(a)

【図 2 (b)】



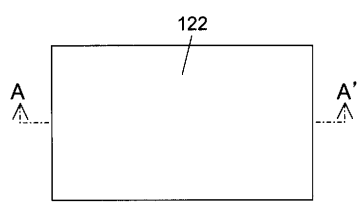
(b)

【図 3 (b)】



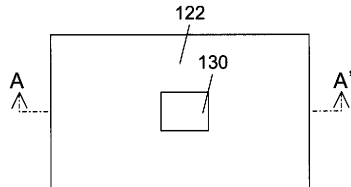
(b)

【図 3 (a)】



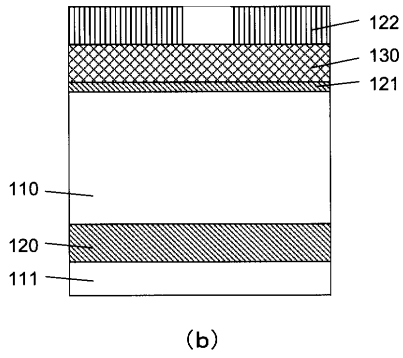
(a)

【図 4 (a)】

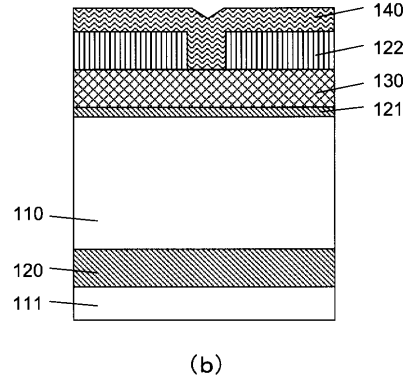


(a)

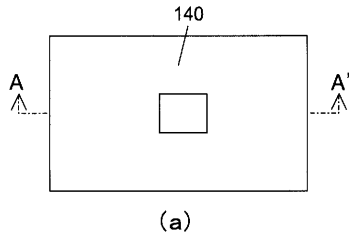
【図4(b)】



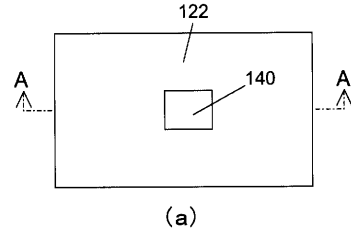
【図5(b)】



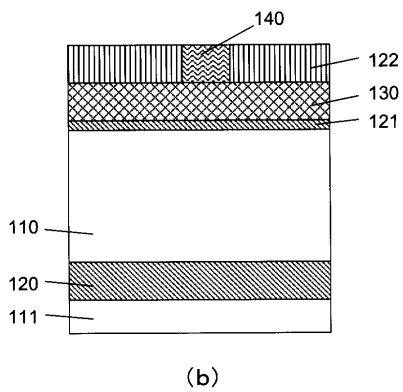
【図5(a)】



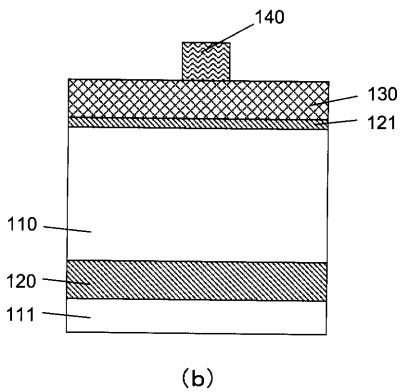
【図6(a)】



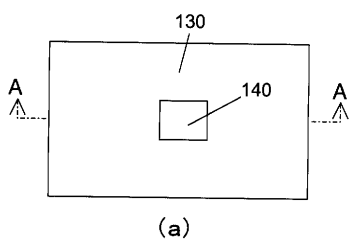
【図6(b)】



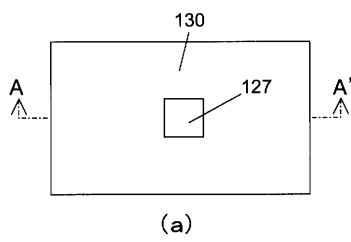
【図7(b)】



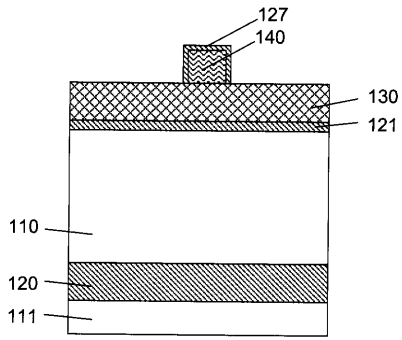
【図7(a)】



【図8(a)】

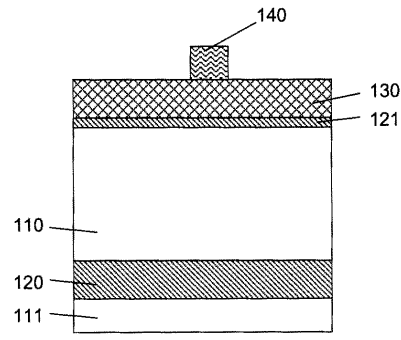


【図8(b)】



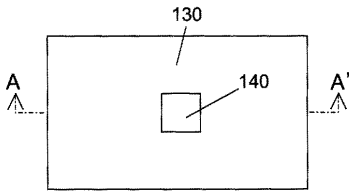
(b)

【図9(b)】



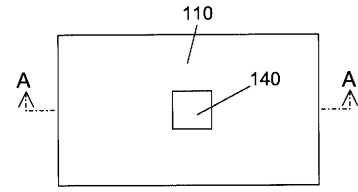
(b)

【図9(a)】



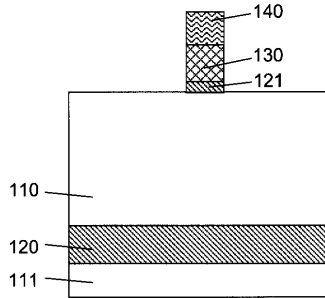
(a)

【図10(a)】



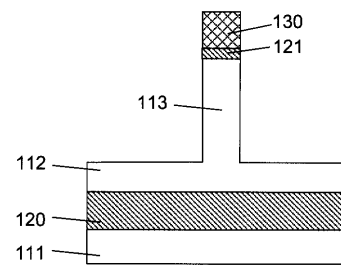
(a)

【図10(b)】



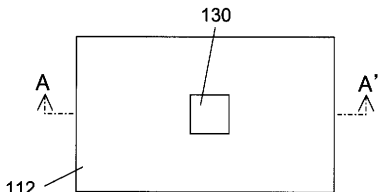
(b)

【図11(b)】



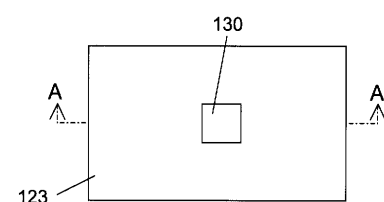
(b)

【図11(a)】



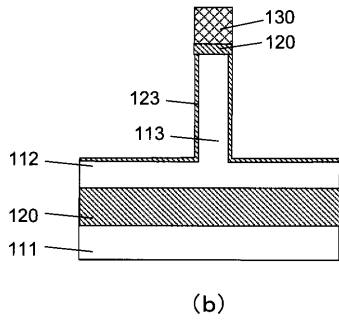
(a)

【図12(a)】

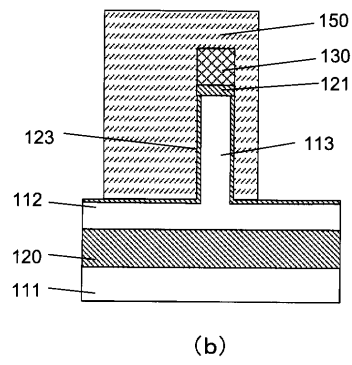


(a)

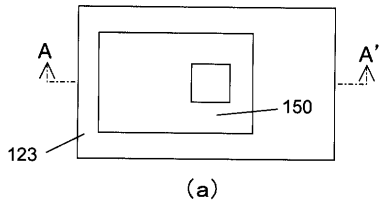
【図12(b)】



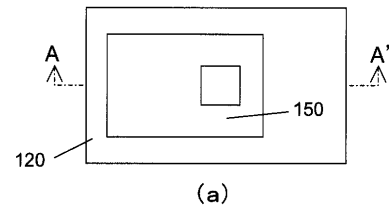
【図13(b)】



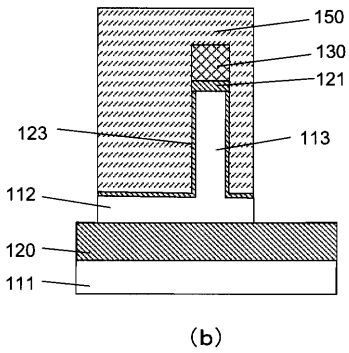
【図13(a)】



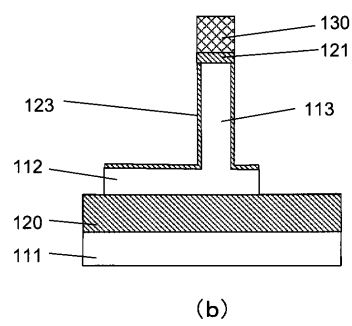
【図14(a)】



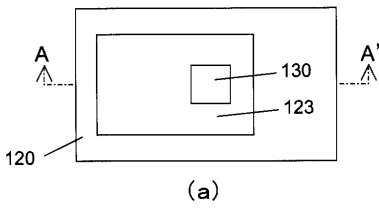
【図14(b)】



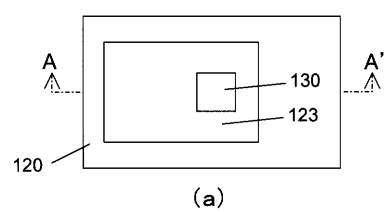
【図15(b)】



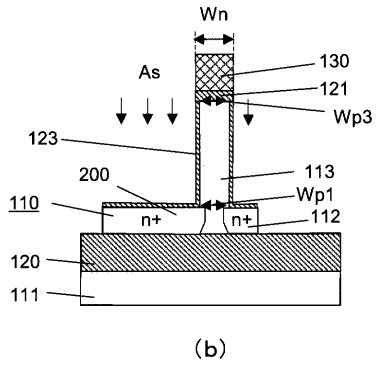
【図15(a)】



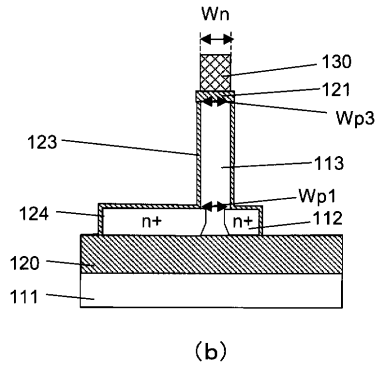
【図16(a)】



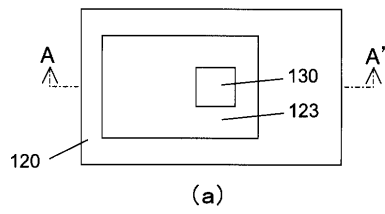
【図16(b)】



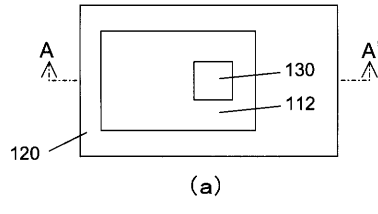
【図17(b)】



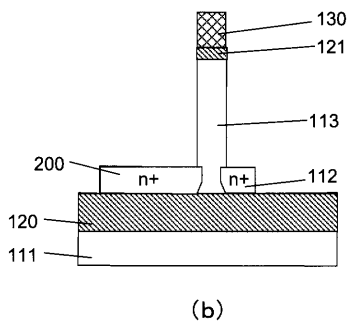
【図17(a)】



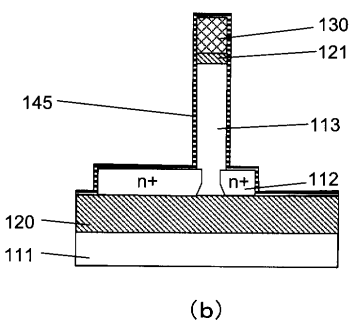
【図18(a)】



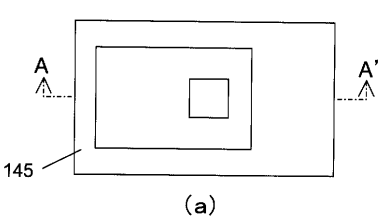
【図18(b)】



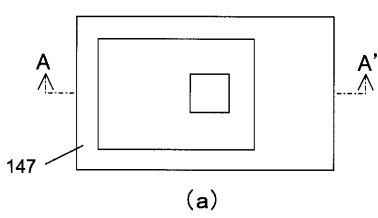
【図19(b)】



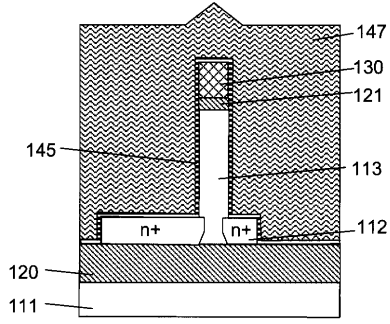
【図19(a)】



【図20(a)】

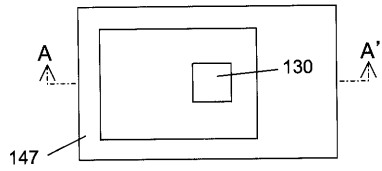


【図 20 (b)】



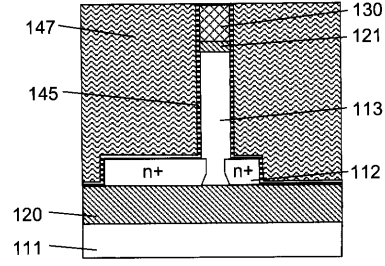
(b)

【図 21 (a)】



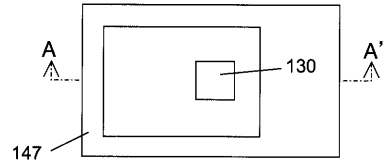
(a)

【図 21 (b)】



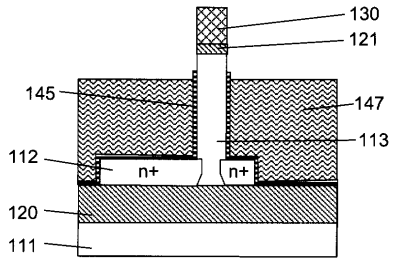
(b)

【図 22 (a)】



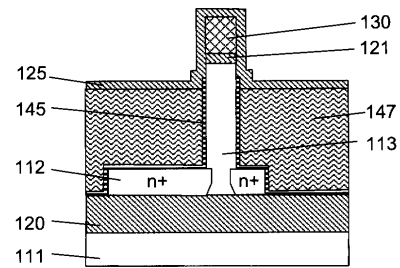
(a)

【図 22 (b)】



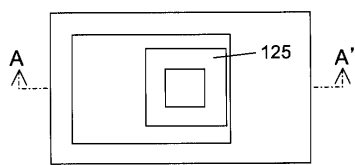
(b)

【図 23 (b)】



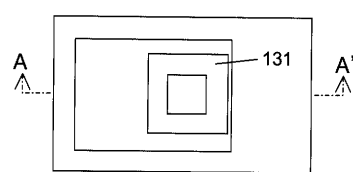
(b)

【図 23 (a)】



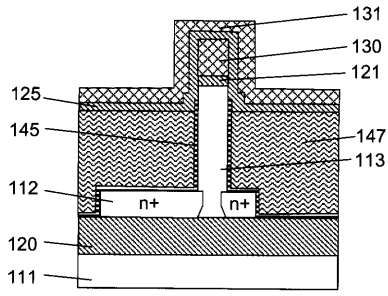
(a)

【図 24 (a)】



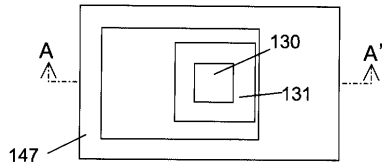
(a)

【図 24 (b)】



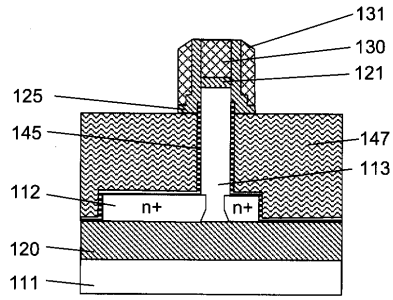
(b)

【図 25 (a)】



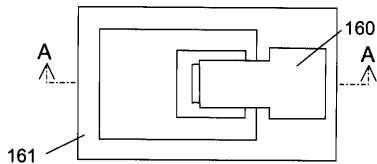
(a)

【図 25 (b)】



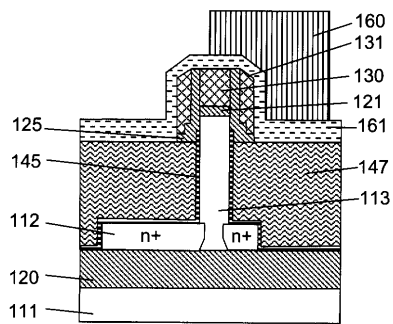
(b)

【図 26 (a)】



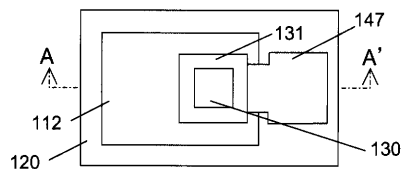
(a)

【図 26 (b)】



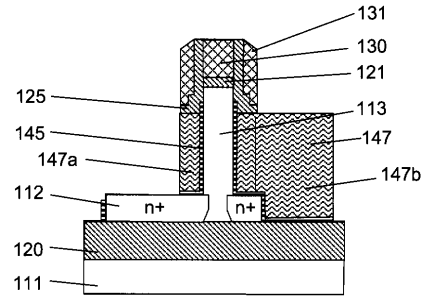
(b)

【図 27 (a)】



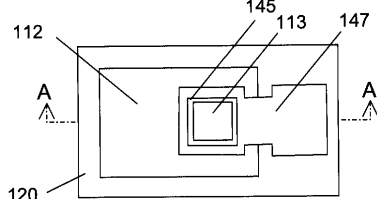
(a)

【図 27 (b)】



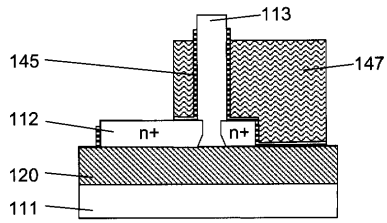
(b)

【図 28 (a)】



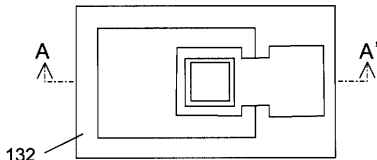
(a)

【図28(b)】



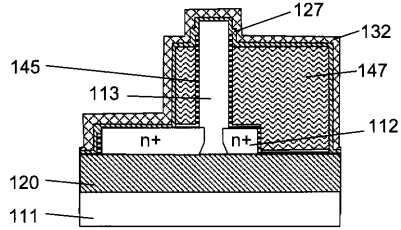
(b)

【図29(a)】



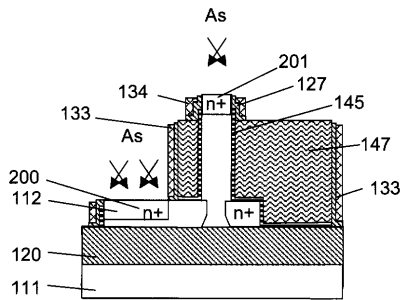
(a)

【図29(b)】



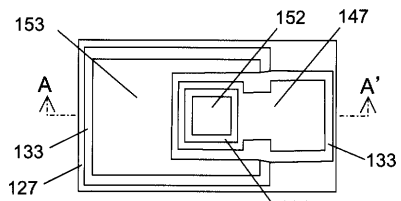
(b)

【図31(b)】



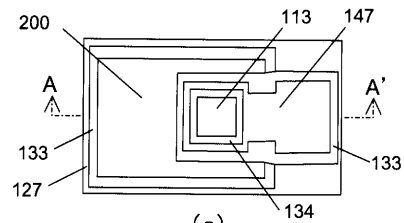
(b)

【図32(a)】



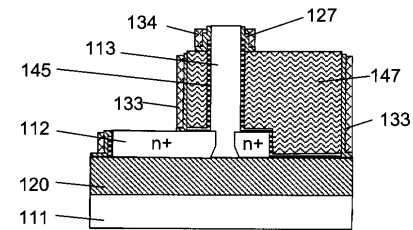
(a)

【図30(a)】



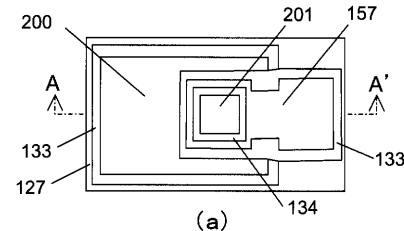
(a)

【図30(b)】



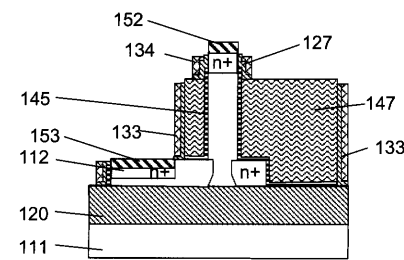
(b)

【図31(a)】



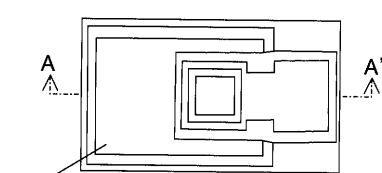
(a)

【図32(b)】



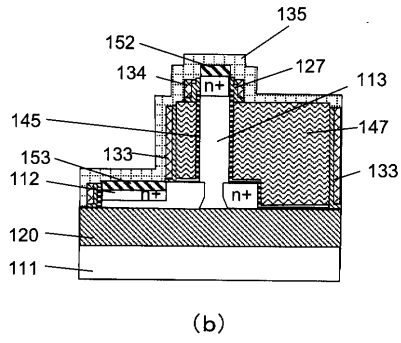
(b)

【図33(a)】



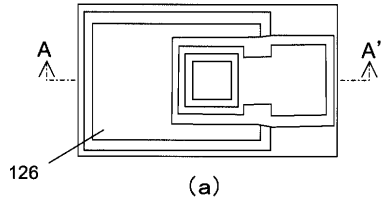
(a)

【図 3 3 (b)】



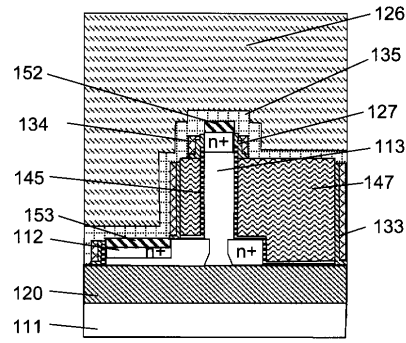
(b)

【図 3 4 (a)】



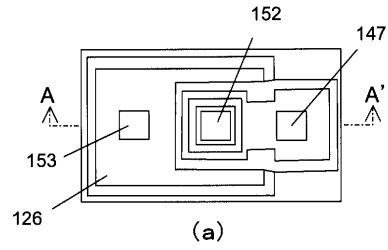
(a)

【図 3 4 (b)】



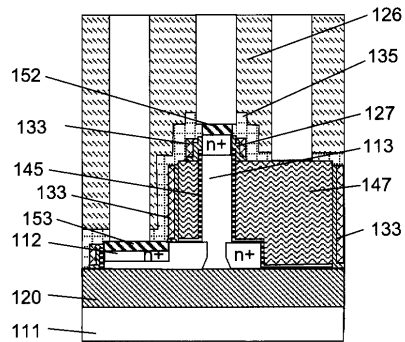
(b)

【図 3 5 (a)】



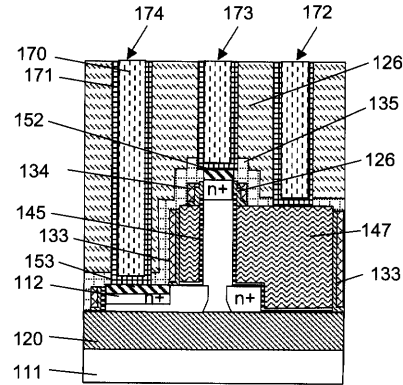
(a)

【図 3 5 (b)】



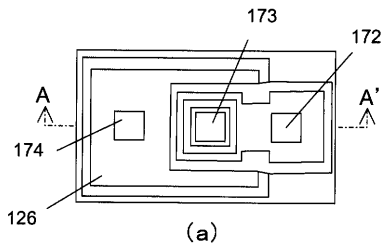
(b)

【図 3 6 (b)】



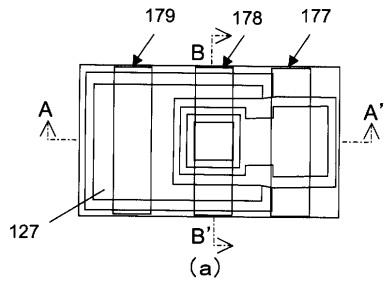
(b)

【図 3 6 (a)】



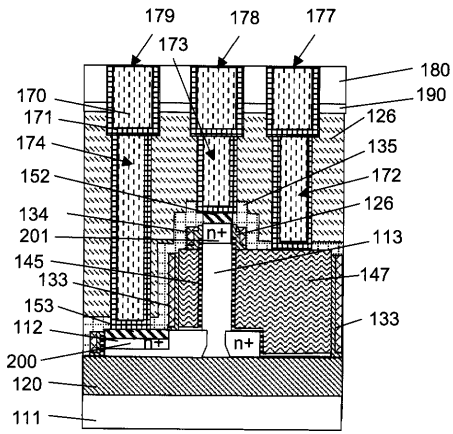
(a)

【図 3 7 (a)】



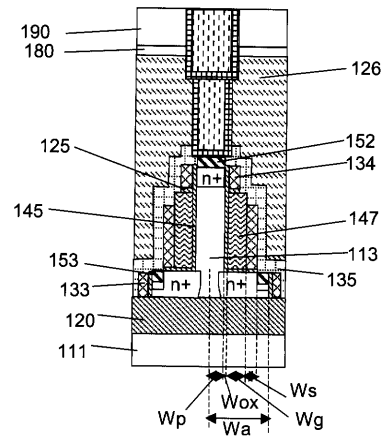
(a)

【 図 3 7 (b) 】

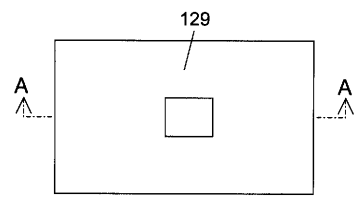


(b)

【 図 3 8 】

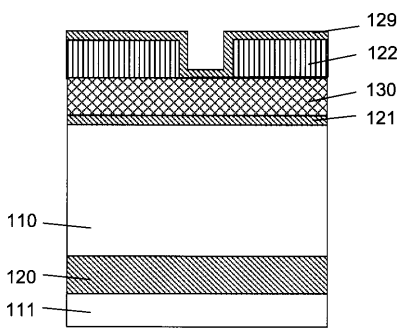


【 図 3 9 (a) 】



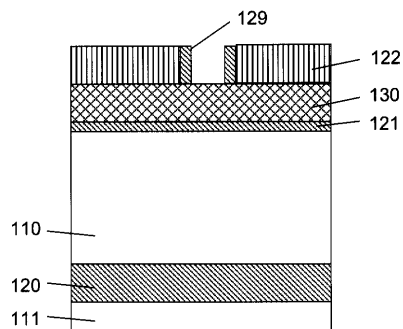
(a)

【 図 3 9 (b) 】



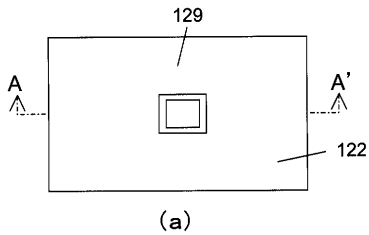
(b)

【 図 4 0 (b) 】



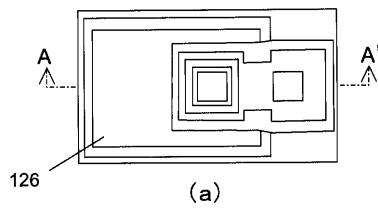
(b)

【 図 4 0 (a) 】



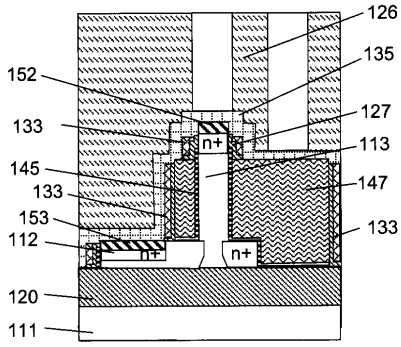
(a)

【 図 4 1 (a) 】



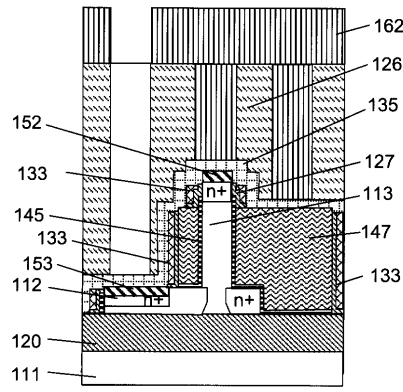
(a)

【図41(b)】



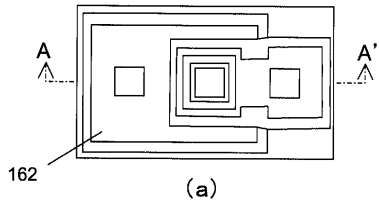
(b)

【図42(b)】



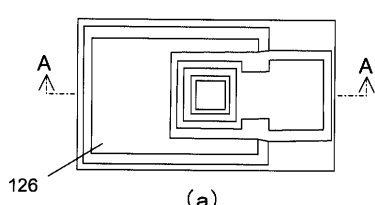
(b)

【図42(a)】



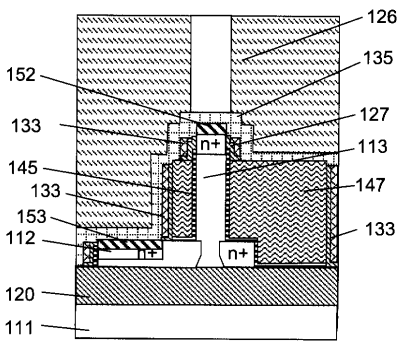
(a)

【図43(a)】



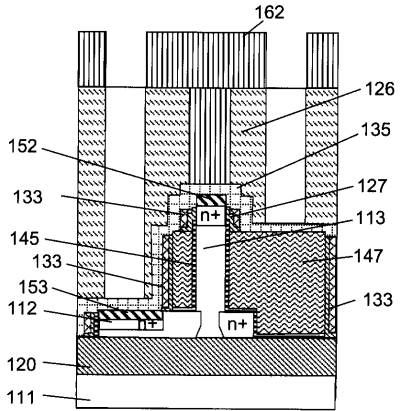
(a)

【図43(b)】



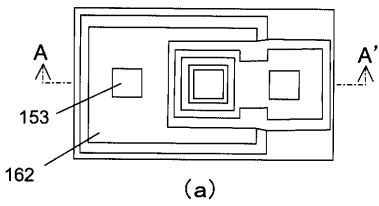
(b)

【図44(b)】



(b)

【図44(a)】



(a)

フロントページの続き

(51)Int.Cl.

F I

H 0 1 L 29/78 6 5 3 D

H 0 1 L 29/78 6 5 2 R

(74)代理人 100082005

弁理士 熊倉 禎男

(74)代理人 100067013

弁理士 大塚 文昭

(74)代理人 100086771

弁理士 西島 孝喜

(74)代理人 100109070

弁理士 須田 洋之

(74)代理人 100109335

弁理士 上杉 浩

(72)発明者 舩岡 富士雄

東京都中央区新川1-22-11 フジライト新川ビル2F 日本ユニサンティスエレクトロニクス株式会社内

(72)発明者 工藤 智彦

東京都中央区新川1-22-11 フジライト新川ビル2F 日本ユニサンティスエレクトロニクス株式会社内

(72)発明者 新井 紳太郎

東京都中央区新川1-22-11 フジライト新川ビル2F 日本ユニサンティスエレクトロニクス株式会社内

(72)発明者 中村 広記

東京都中央区新川1-22-11 フジライト新川ビル2F 日本ユニサンティスエレクトロニクス株式会社内

審査官 大橋 達也

(56)参考文献 特開2002-299636(JP,A)

特表2007-520883(JP,A)

特開平05-326952(JP,A)

特開2004-349291(JP,A)

特開2006-294995(JP,A)

特開平07-321228(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 9 / 7 8 6

H 0 1 L 2 1 / 3 3 6

H 0 1 L 2 1 / 7 6

H 0 1 L 2 9 / 7 8