



19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA

11 Número de publicación: **2 322 569**

51 Int. Cl.:
H01Q 3/26 (2006.01)
H01Q 21/00 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Número de solicitud europea: **02797429 .4**
96 Fecha de presentación : **19.12.2002**
97 Número de publicación de la solicitud: **1456904**
97 Fecha de publicación de la solicitud: **15.09.2004**

54 Título: **Método y aparato para procesar señales en un sistema de red de antenas.**

30 Prioridad: **21.12.2001 US 28009**

45 Fecha de publicación de la mención BOPI:
23.06.2009

45 Fecha de la publicación del folleto de la patente:
23.06.2009

73 Titular/es: **Raytheon Company**
870 Winter Street
Waltham, Massachusetts 02451-1449, US

72 Inventor/es: **Doucette, Paul, E.;**
Toplicar, James, R. y
Ikeda, Roger, M.

74 Agente: **Arias Sanz, Juan**

ES 2 322 569 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Método y aparato para procesar señales en un sistema de red de antenas.

5 Campo técnico de la invención

Esta invención se refiere en general a sistemas de redes de antenas y, más particularmente, a un método y aparato para procesar señales en un sistema de red de antenas.

10 Antecedentes de la invención

Un sistema de red de antenas en fase estándar incluye una sección de antena con una pluralidad de elementos de antena que están dispuestos en una matriz bidimensional de filas y columnas. Un transmisor y un generador de forma de onda central producen una señal analógica que va a transmitirse, y esta señal analógica se suministra entonces a cada uno de los elementos de antena a través de dispositivos respectivos que confieren a la señal un desfase y/o retardo de tiempo respectivos. En una red grande que maneja señales de banda ancha, normalmente no es suficiente un desfase simple, y debe proporcionarse la capacidad para efectuar retardos de tiempo.

Esto implica para cada elemento de antena una sección de orientación analógica relativamente grande y pesada, que es costosa y consume una cantidad significativa de potencia. De hecho, la sección de orientación incluye normalmente unidades de largo retardo de tiempo, unidades de corto retardo de tiempo, desfasadores y disposiciones de conmutación para encaminar señales entre las diversas unidades de retardo de tiempo y los desfasadores. Habitualmente es necesario hacer coincidir y/o calibrar las secciones de orientación para diferentes elementos de antena del mismo sistema, lo que es engorroso y se suma al coste. Estas secciones de orientación existentes están también sujetas a dispersión que da como resultado pérdidas de transmisión y anchos de banda de señal disponibles más pequeños. Aunque la descripción se presenta en este caso en el contexto de transmisión de forma de onda, se aplican consideraciones similares con respecto a la recepción de forma de onda.

Se han hecho intentos para desarrollar enfoques alternativos adecuados. Un enfoque previamente existente implicaba la previsión de varios generadores y transmisores de forma de onda dando servicio cada uno a una parte respectiva de la red, de modo que pudieron reducirse los problemas debidos a dispersión y pérdida de transmisión. Sin embargo, los problemas que implican tamaño, peso, potencia, coste, correspondencia y calibración de las secciones de orientación estaban aún presentes.

Otro enfoque conocido se da a conocer en la patente estadounidense nº 6693590 presentada el 5 de enero de 2000, concedida al mismo cesionario de la presente solicitud. Esta patente dio a conocer un enfoque para procesar señales recibidas usando principalmente sistemas de circuitos digitales en lugar de los sistemas de circuitos analógicos tradicionales. Aunque este enfoque era adecuado para sus fines previstos, no fue satisfactorio en todos los aspectos. Como un aspecto de éste, se centraba en la recepción y por tanto era ventajoso para un sistema pasivo que implicaba sólo recepción de señales. Pero en el caso de un sistema activo que necesitaba transmitir señales, aún era necesario dotar a las secciones de orientación analógicas tradicionales de unidades de retardo de tiempo y desfasadores, con las desventajas asociadas.

El documento de la técnica anterior WO 01/67548, también a nombre del presente solicitante, da a conocer una arquitectura y método de red en fase digital que elimina la necesidad de usar desfasadores analógicos en las trayectorias de recepción y transmisión. En su lugar, se generan retardos deseados ajustando el sincronismo de las señales de muestreo enviadas a convertidores analógico/digital (ADC) y convertidores digital/analógico (DAC) en las trayectorias de recepción y transmisión.

50 Sumario de la invención

A partir de lo anterior, puede apreciarse que ha surgido una necesidad de un método y aparato para procesar señales principalmente de forma digital dentro de un sistema de red de antenas. Según una forma de la presente invención, se proporcionan un método y aparato para tratar esta necesidad, e implican las etapas de la reivindicación de método 20 y las características técnicas de la reivindicación de aparato 1.

Breve descripción de los dibujos

Se obtendrá una mejor comprensión de la presente invención a partir de la descripción detallada que sigue, tomada junto con los dibujos que la acompañan, en los que:

la figura 1 es un diagrama de bloques de un sistema de antena que realiza aspectos de la presente invención;

la figura 2 es un diagrama de bloques de partes seleccionadas del sistema de antena de la figura 1, que muestra detalles de un circuito dispuesto dentro del sistema de antena de la figura 1;

la figura 3 es un diagrama de sincronismo que muestra varias formas de onda;

la figura 4 es un diagrama que muestra varias características de frecuencia diferentes; y

la figura 5 es un diagrama de bloques que muestra partes seleccionadas del sistema de la figura 1 en mayor detalle.

Descripción detallada de la invención

La figura 1 es un diagrama de bloques de un aparato que es un sistema de red de antenas en fase 10 que realiza la presente invención. El sistema de antena 10 incluye una antena 12 y un circuito de control central 14.

La antena 12 incluye una pluralidad de elementos de antena físicamente separados, cinco de los cuales se muestran esquemáticamente en 21-25. En la realización dada a conocer, los elementos de antena están dispuestos en una red bidimensional de filas y columnas, y los elementos de antena 21-25 ilustrados representan un subconjunto de los elementos de antena de una fila de la red.

La antena 12 también incluye una pluralidad de circuitos, cinco de los cuales se muestran en 31-35. Cada circuito está asociado con un elemento de antena respectivo. De este modo, el número de circuitos es igual al número de elementos de antena. Cada uno de estos circuitos sirve a una interfaz entre un elemento de antena respectivo y el circuito de control central 14. Cada uno de los circuitos 31-35 está ubicado físicamente en la antena, en proximidad física relativamente estrecha a uno respectivo de los elementos de antena 21-25.

El sistema de antena 10 puede tanto transmitir como recibir señales electromagnéticas. La línea discontinua 41 representa el frente de onda de una señal electromagnética que está aproximándose al sistema de antena 10 en una dirección 42, donde la dirección 42 forma un ángulo con respecto al plano que contiene todos los elementos de antena en la red. Por consiguiente, la señal electromagnética 41 no alcanzará a todos los elementos de antena simultáneamente. Por ejemplo, alcanzará primero al elemento de antena 25, luego al elemento de antena 24, posteriormente al elemento de antena 23, luego al elemento de antena 22 y luego al elemento de antena 21.

Para fines de descripción de la realización dada a conocer, se supone que la antena 12 tiene una red físicamente grande de los elementos de antena 21-25, y que la señal electromagnética 41 es una señal de banda ancha. Aunque la presente invención puede utilizarse en sistemas que implican redes más pequeñas y/o señales de banda estrecha, es particularmente ventajosa en el contexto de una red grande que transmite y recibe señales de banda ancha. A este respecto, los elementos de antena 21-25 deberían muestrear de manera ideal la señal electromagnética 41 en sustancialmente el mismo punto en el tiempo. Pero en el caso de una red grande y una señal electromagnética de banda ancha, la información en la señal puede cambiar entre el punto en el tiempo en el que la señal alcanza al elemento de antena 25 y el punto en el tiempo subsiguiente en el que la señal alcanza al elemento de antena 21. En este contexto, la simple aplicación de un desfase respectivo a la señal de cada elemento de antena 21-25 no proporciona suficiente precisión.

Por tanto, un enfoque común previamente existente era aplicar diversos retardos de tiempo a las señales analógicas de los diferentes elementos de antena antes de muestrearlos, de modo que la señal electromagnética 41 se muestrearía de manera eficaz en el mismo punto en el tiempo para cada elemento de antena, en lugar de muestrearse en puntos en el tiempo diferentes junto con la aplicación subsiguiente de desfases diferentes a las muestras respectivas para obtener alineamiento temporal. Sin embargo, este enfoque implicaba el uso de unidades de retardo de tiempo analógicas programables y desfases que son grandes y pesados, y en los que era necesario hacerlos coincidir y calibrarlos. Además, se previeron sistemas de circuitos analógicos para recibir la señal de radiofrecuencia (RF) y convertirla de forma descendente en una señal de frecuencia intermedia (IF) antes de la digitalización, lo que requería sistemas de circuitos adicionales que se sumaban al tamaño y complejidad del circuito analógico previsto para cada elemento de antena.

Por el contrario, en la realización dada a conocer, las señales electromagnéticas recibidas en los elementos de antena 21-25 se digitalizan de forma relativamente inmediata aunque a frecuencias RF, y el procesamiento subsiguiente, tal como la implementación de retardos de tiempo, se lleva a cabo de forma digital. De manera similar, cuando el sistema de antena 10 transmite una señal, los retardos de tiempo y otro procesamiento de las componentes de señal se llevan a cabo de forma digital, y entonces cada señal de componente digital se convierte en una señal analógica RF casi inmediatamente antes de transmitirse. La siguiente descripción explica con más detalle cómo esto se lleva a cabo. A este respecto, los circuitos 31-35 de la antena 12 son idénticos en la realización dada a conocer, y por tanto a continuación sólo se describe en detalle el circuito 31.

Más específicamente, la figura 2 es un diagrama de bloques que muestra el circuito de control central 14, el elemento de antena 21 y el circuito 31 que interconecta el elemento de antena 21 con el circuito de control central 14. El circuito 31 tiene una sección analógica identificada por la línea discontinua 61, una sección de alta velocidad digital identificada por la línea discontinua 62, una sección de velocidad reducida digital identificada por la línea discontinua 63 y una sección de referencia digital del generador de señales identificada por la línea discontinua 64. La sección de alta velocidad digital 62 opera a una velocidad de reloj de 10 GHz, y en la realización dada a conocer se implementa con tecnología de semiconductores de fosforo de indio (InP) de alta velocidad de un tipo conocido. La sección de velocidad reducida digital 63 y la sección de referencia digital del generador de señales 64 operan cada una a 1/32 de la velocidad de la sección de alta velocidad 62, en particular a una velocidad de reloj de 312,5 MHz. En la

ES 2 322 569 T3

realización dada a conocer, las secciones 63 y 64 se implementan con sistemas de circuitos integrados de metal-óxido-semiconductor complementarios (CMOS).

La sección analógica 61 incluye un circuito de transmisión/recepción 71, un desfasador 72 y un filtro pasobanda (BPF) 73 que están acoplados en serie entre el elemento de antena 21 y la sección de alta velocidad digital 62. El circuito de transmisión/recepción 71 opera o bien en un modo de transmisión o un modo de recepción, basándose en el estado de una línea de control de transmisión/recepción 76 del circuito de control central 14. El desfasador 72 puede inducir un desfase en señales de transmisión o recepción que pasan a su través, siendo la cantidad del desfase programable a través de líneas de control 77 del circuito de control central 14. En la realización dada a conocer, las señales se transmiten y reciben a través del elemento de antena 21 a una frecuencia de 7,5 GHz, aunque alternativamente sería posible usar alguna otra frecuencia. El BPF 73 tiene un paso de banda de 5 GHz que está centrado en una frecuencia de transmisión/recepción de 7,5 GHz, o en otras palabras tiene un paso de banda desde aproximadamente 5 GHz hasta aproximadamente 10 GHz. Sin embargo, se reconocerá que podrían variarse las características del paso de banda.

La sección de alta velocidad digital 62 incluye un conmutador electrónico 81 que se controla por la señal de transmisión/recepción 76 del circuito de control central 14. En el modo de transmisión, el conmutador 81 acopla el BPF 73 a un convertidor digital/analógico (DAC) 82. En el modo de recepción, el conmutador 81 acopla el BPF 73 a un convertidor analógico/digital (ADC) 83. El DAC 82 tiene una entrada que está acoplada a una salida de un registro de desplazamiento bidireccional de 32 bits 86, y el ADC 83 tiene una salida que está acoplada a una entrada del registro de desplazamiento 86.

El registro de desplazamiento 86 se alimenta con un reloj de libre funcionamiento de 10 GHz, y la dirección en que se desplazan los datos a través del registro 86 se controla por el estado de la línea de transmisión/recepción 76 del circuito de control central 14. El registro de desplazamiento 86 está asociado con un registro de memoria intermedia 87, que también es sensible a la línea de control de transmisión/recepción 76. Pueden transferirse palabras de datos de 32 bits del registro de memoria intermedia 87 al registro de desplazamiento 86 en el modo de transmisión, y del registro de desplazamiento 86 al registro de memoria intermedia 87 en el modo de recepción.

Un contador de 5 bits proporciona una función de control de retardo que se controla por un circuito de control de retardo 92 a través de líneas de control 93, formando el circuito de control de retardo 92 parte de la sección de velocidad reducida digital 63. El contador 91 está temporizado con una señal de reloj de 10 GHz y proporciona una función de división por 32. En particular, cada 32 impulsos de reloj, el contador 91 activa una línea de control de carga 94. En el modo de recepción, la línea de control de carga 94 provoca que una palabra de 32 bits recibida en el registro de desplazamiento 86 se cargue en el registro de memoria intermedia 87. En el modo de transmisión, la línea de control de carga 94 provoca que el registro de desplazamiento 86 se cargue con datos del registro de memoria intermedia 87 cada vez que el registro de desplazamiento ha terminado de transmitir los 32 bits de datos. El valor inicial cargado en el contador 92 por el circuito de control de retardo 92 determina cuándo se genera la señal de carga 94 en relación con otra actividad dentro del circuito 31, permitiendo de este modo un retardo de tiempo programable que va a introducirse en los datos que están transmitiéndose o recibiendo por el circuito 31.

El circuito de control central 14 emite una señal de reloj de 10 GHz 96. La sección de alta velocidad digital 62 incluye un desfasador 97, que efectúa un desfase de la señal de reloj 96 en una cantidad controlada en 98 por el circuito de control de retardo 92. La cantidad de este desfase puede ser diferente en los diversos circuitos 31-35. La salida del desfasador 97 es una señal de reloj de 10 GHz ajustada en fase 101, que se usa para operar los diversos componentes de la sección de alta velocidad digital 62. Un circuito de división por 32 102 convierte la señal de reloj de 10 GHz 101 en una señal de reloj de 312,5 MHz 103, que se suministra a los componentes de las secciones 63 y 64. El desfasador 97 puede ajustar las fases de la señal de reloj de 10 GHz 101 y la señal de reloj de 312,5 MHz 103 en una cantidad que es inferior a un periodo de la señal de reloj de 10 GHz 96. Esto permite un ajuste fino del sincronismo de la operación del circuito 31 en relación con otros circuitos en la antena, tal como los mostrados en 32-35 en la figura 1.

La sección de referencia digital del generador de señales 64 incluye un generador de señal IREF 111 y un generador de señal QREF 112. El generador IREF 111 se usa tanto para transmitir como para recibir, y el generador QREF se usa sólo para recibir. Antes de cada operación de recepción, el circuito de control central 14 carga cada uno de los generadores 111 y 112 con una señal de referencia respectiva, que tiene una longitud de 1,7 megabits. Antes de cada operación de transmisión, el generador 111 se carga con una señal de referencia de este tipo. Cada señal de referencia puede verse como un flujo en serie de bits binarios con una longitud de 1,7 megabits, y que es una versión digitalizada de una forma de onda analógica de referencia. La señal QREF y la señal IREF usadas para el modo de recepción representan la misma forma de onda analógica, pero con una diferencia de fase de 90°.

En teoría, cada uno de los generadores 111 y 112 emitiría los 1,7 megabits de su señal de referencia respectiva un bit cada vez, a una tasa de 10 GHz. Sin embargo, como se mencionó anteriormente, los generadores 111 y 112 operan a una velocidad de reloj de 312,5 MHz, lo que es 1/32 de 10 GHz. Por consiguiente, para emitir bits a una tasa eficaz de 10 GHz, cada uno de los generadores de referencia 111 y 112 emite su flujo de bits en serie en segmentos de 32 bits sucesivos a una tasa de 312,5 MHz. Los generadores 111 y 112 pueden implementarse como memorias de acceso aleatorio que contienen cada una una pluralidad de ubicaciones de almacenamiento de 32 bits, donde se accede a las palabras de 32 bits en las ubicaciones de memoria de forma sucesiva y se emiten a una tasa de 312,5 MHz.

ES 2 322 569 T3

Las salidas del generador IREF 111 están acopladas a las entradas del registro de memoria intermedia 87, y también a las entradas de treinta y dos puertas O exclusivas separadas, que se representan conjuntamente en la figura 2 por un único símbolo de puerta 116. Las salidas del generador QREF 112 están acopladas a las entradas de treinta y dos puertas O exclusivas, que se representan conjuntamente en la figura 2 por un único símbolo de puerta 117.

Durante el modo de transmisión, la señal de referencia de 1,7 megabits en el generador 111 se suministra en segmentos de 32 bits al registro de memoria intermedia 87, y entonces al registro de desplazamiento 86, donde los bits se envían en serie al DAC 82 a una tasa de 10 GHz. La salida analógica del DAC 82 se suministra a través del conmutador 81, BPF 73, desfaseador 72 y circuito de transmisión/recepción 71 al elemento de antena 21.

Durante el modo de recepción, una señal electromagnética recibida en el elemento de antena 21 se convierte en una señal analógica por el circuito de transmisión/recepción 71, y entonces pasa a través del desfaseador 72, BPF 73 y conmutador 81 al ADC 83, donde se digitaliza en un flujo de bits de 10 GHz que se suministra al registro de desplazamiento 86. Los bits desplazados en el registro de desplazamiento 86 a 10 GHz se suministran en segmentos de 32 bits a través del registro de memoria intermedia 87 a las entradas de todas las sesenta y cuatro puertas O exclusivas 116-117.

En el modo de recepción, los bits respectivos de una señal de referencia del generador IREF 111 se suministran a las entradas de las puertas respectivas 116, y bits respectivos de la otra señal de referencia del generador QREF 112 se suministran a las entradas de las puertas respectivas 117. Cada una de las puertas O exclusivas 116-117 sirve efectivamente como un multiplicador o mezclador digital de 1 bit, de modo que las puertas 116-117 mezclan conjuntamente la señal recibida con las dos señales de referencia de los generadores 111 y 112. En la realización dada a conocer, las señales de referencia de los generadores 111 y 112 representan una forma de onda con una frecuencia inferior a la frecuencia de la señal recibida, y de este modo las puertas 116 y 117 implementan efectivamente una conversión descendente de la frecuencia de la señal recibida.

Todas las salidas de las treinta y dos puertas 116 se suman en un sumador 121, para producir un número único de 5 bits que se suministra a las entradas de un registro de desplazamiento 123 de 5 bits de amplitud. De manera similar, todas las salidas de las treinta y dos puertas 117 se suman en un sumador 122, para producir un número de 5 bits que se suministra a las entradas de un registro de desplazamiento 124 diferente de 5 bits de amplitud. Así, cada segmento de 32 bits recibido a través del registro de desplazamiento 86 y el registro de memoria intermedia 87 produce un número de 5 bits en el registro de desplazamiento 123, y un número de 5 bits en el registro de desplazamiento 124. Los registros de desplazamiento 123 y 124 contienen cada uno una pluralidad de estos números.

Un selector 128 puede seleccionar uno cualquiera de los números de 5 bits en el registro de desplazamiento 123, y suministrarlo al circuito de control central 14 como una señal "I". De manera similar, un selector 129 puede seleccionar uno cualquiera de los números de 5 bits en el registro de desplazamiento 124, y suministrarlo al circuito de control central 14 como un valor "Q". La ubicación particular a lo largo de cada registro de desplazamiento del que se extraen los números de 5 bits por los selectores se determina por líneas de control 131 desde el circuito de control de retardo 92. Se observará que los registros de desplazamiento 123-124 y los selectores 128-129 implementan de manera eficaz un retardo programable en las salidas de los sumadores 121 y 122.

Ahora se describirá un aspecto distintivo de la operación del DAC 82. A este respecto, la figura 3 es un diagrama de sincronismo que muestra en A una forma de onda 201 analógica que forma parte de una forma de onda de referencia que podría representarse digitalmente por la información IREF en el generador 111. En la figura 3, B representa una versión digitalizada de la forma de onda 201, en forma de una pluralidad de muestras sucesivas. Si en la figura 3 se traza un segmento de línea recta entre los extremos de cada par adyacente de las muestras en B, estos segmentos de línea definirán conjuntamente una forma de onda que se aproxima a la forma de onda 201. Si las muestras mostradas en B se suministraran sucesivamente a la entrada de un DAC estándar, el DAC estándar produciría esencialmente una serie de impulsos como se muestra en C, donde cada impulso tiene una magnitud igual a la magnitud de la muestra correspondiente, y tiene una duración igual al intervalo de tiempo entre muestras sucesivas.

La figura 4 es una vista esquemática de varias características de frecuencia. La figura 4 muestra en A el espectro de frecuencias determinado por la transformada de Fourier para la forma de onda digital que se muestra en B en la figura 3. La presencia de energía a frecuencias negativas es un reflejo del hecho de que este espectro de frecuencias se determina matemáticamente a través del análisis de Fourier, en lugar de por medición empírica. La figura 4 muestra en B una representación del pasobanda del BPF 73 (figura 2), que corresponde al espectro de transmisión deseado. Con referencia a A en la figura 4, el número de referencia 206 indica la parte de la energía que está dentro del espectro de transmisión deseado.

Si la salida desde un DAC estándar, como se muestra en C en la figura 3, se somete a la misma transformada de Fourier, el resultado será el espectro de frecuencias mostrado en B en la figura 4. Se observará que la magnitud de la distribución de energía tiene una caída 207 que es relativamente pronunciada dentro del espectro de transmisión deseado, de modo que la parte de la energía 208 dentro del espectro de transmisión deseado tiene un espectro distorsionado con una reducción asimétrica de magnitud. Si el espectro mostrado en B en la figura 4 fuera sometido a la característica de filtrado de pasobanda mostrada en D para el BPF 73, el resultado sería el espectro 208 mostrado en E en la figura 4.

ES 2 322 569 T3

Para cambiar la característica de caída y así evitar una distorsión no deseada dentro del espectro de transmisión deseado, el DAC 82 de la realización dada a conocer opera de manera diferente a un DAC estándar. En particular, en respuesta a cada una de las muestras mostradas en D en la figura 3, el DAC 82 produciría la serie de impulsos mostrada en D en la figura 3, en la que cada impulso tiene la misma magnitud que la muestra asociada, aunque tiene una duración que es sólo la mitad del intervalo de tiempo entre muestras sucesivas. Durante cada intervalo de tiempo entre dos impulsos sucesivos, la salida del DAC vuelve a una tensión predeterminada que, en la realización dada a conocer, es de cero voltios. Cuando la forma de onda mostrada en D en la figura 3 se somete a la misma transformada de Fourier explicada anteriormente, el resultado es el espectro de frecuencias mostrado en C en la figura 4. Se observará que la característica de caída indicada mediante la línea discontinua 211 mantiene una magnitud adecuada y uniforme a lo largo de todo el espectro de transmisión deseado, de modo que la parte 212 de la energía que está dentro del espectro de transmisión deseado tiene muy poca o ninguna distorsión, y se ajusta de manera relativamente estrecha a la característica de energía 206 en el espectro A de la figura 4. Si la señal mostrada en D en la figura 3 se sometiera a un filtrado pasobanda mediante la característica de filtrado mostrada en D en la figura 4, el resultado sería el espectro mostrado en F en la figura 4.

En la realización dada a conocer, y tal como se explicó anteriormente, el DAC 82 opera a una frecuencia de 10 GHz. Para facilitar la conversión digital a analógica a esta frecuencia, las muestras digitales suministradas a la entrada del DAC 82 son cada una un único bit binario. Así, cada muestra puede tener sólo dos estados diferentes. A este respecto, y tal como se explicó anteriormente, la salida de información IREF mediante el generador 111 es un flujo en serie de bits binarios que tienen una longitud de 1,7 megabits, y es una representación digital de una forma de onda analógica, en la que cada muestra digital es un único bit. De este modo, por ejemplo, si la información IREF fuera una representación de la forma de onda 201 mostrada en A en la figura 3, las muestras digitales serían como se muestra en E en la figura 3, en lugar de en B.

Las muestras en E cada tienen una magnitud uniforme, aunque algunas son positivas y algunas son negativas. Aquéllas con una magnitud positiva estarían representadas cada una mediante un "1" binario, y aquéllas con una magnitud negativa estarían representadas cada una mediante un "0" binario. En cierto modo, esto es simplemente el bit de signo de cada muestra mostrada en B en la figura 3, puesto que cada muestra en B con una magnitud negativa tiene un bit de signo de "0". Cuando las muestras mostradas en E en la figura 3 se aplican en secuencia a la entrada del DAC 82, la salida resultante sería tal como se muestra en F en la figura 3. La forma de onda en F en la figura 3 disfruta de la misma característica de caída favorable que se muestra en 211 en la figura 4, en lugar de la característica de caída distorsionada mostrada en 207 en la figura 4.

Tal como se explicó anteriormente, la forma de onda de referencia representada en forma digital por la información IREF en el generador 111 está configurada en la realización dada a conocer como una serie de muestras sucesivas que son cada una un bit binario. Es decir, cada muestra es o bien un "1" binario o un "0" binario. De este modo, por ejemplo, la forma de onda de referencia 201 de la figura 3 se representará mediante muestras tales como las mostradas esquemáticamente en E en la figura 3. Si se reconstruye una forma de onda directamente a partir de las muestras mostradas en E en la figura 3, generalmente tendrá la forma de la forma de onda 241 mostrada en G en la figura 3.

La forma de onda 241 es, evidentemente, una aproximación de la forma de onda 201, y no es idéntica a la forma de onda 201. En esencia, la forma de onda 241 representa la forma de onda 201 con la suma de diversos armónicos. En otras palabras, cuando una forma de onda tal como la mostrada en 201 se digitaliza usando muestras de 1 bit, la señal digital resultante incluye armónicos no deseados. La realización dada a conocer incluye suministros que sustancialmente reducen estos armónicos no deseados. Esto se explica con más detalle con referencia a la figura 5.

Más específicamente, la figura 5 es un diagrama de bloques que muestra dos de los elementos de antena 21 y 22 de la figura 1, y los circuitos 31 y 32 asociados. El circuito 31 ya se ha descrito con detalle con referencia a la figura 2, y en la figura 5 se ilustran componentes seleccionados de este circuito, que incluyen el circuito de transmisión/recepción 71, desfasador 72, BPF 73, DAC 82, registro de desplazamiento 86 y generador de IREF 111. Como se mencionó anteriormente, el circuito 32 es idéntico al circuito 31, y la figura 5 muestra de este modo los componentes 251-253 y 256-258 del circuito 32 que son respectivamente equivalentes a los componentes 71-73, 82, 86 y 111 del circuito 31.

Para la siguiente descripción de la figura 5, supongamos que el sistema de antena va a transmitir señales electromagnéticas que corresponden a una forma de onda de referencia, que es la forma de onda 201 de la figura 3. De manera ideal, esta forma de onda se digitalizaría para formar muestras de 1 bit como se muestra en E en la figura 3, para obtener la información IREF, y se almacenaría la misma información IREF en cada uno de los generadores de IREF 111 y 258. El sincronismo de los registros de desplazamiento 86 y 257 se controlaría para introducir retardos de tiempo respectivos apropiados en cada señal de modo que, cuando se transmitiera cada señal desde un respectivo elemento de antena 21 ó 22, el frente de onda resultante se dirigiría u orientaría en la dirección deseada respecto a la antena.

Sin embargo, tal como se explicó anteriormente, la representación de la forma de onda de referencia con muestras de 1 bit introduce armónicos no deseados en la versión digitalizada de la forma de onda. Por tanto, en lugar del enfoque ideal recién descrito, la realización dada a conocer adopta un enfoque diferente que reduce los armónicos no deseados. Para conseguirlo, las formas de onda almacenadas en los generadores 111 y 258 no son idénticas. En su lugar, se da a la forma de onda de referencia 201 un desfase $\phi 1$ arbitrario respecto a una referencia, y a continuación se digitaliza para formar muestras de 1 bit que se almacenan en el generador de IREF 111. Por separado, a la misma forma de onda

ES 2 322 569 T3

de referencia 201 se le da un desfase ϕ_2 diferente con respecto a la misma referencia, y entonces se digitaliza para formar muestras de 1 bit que se almacenan en el generador de IREF 258. Los registros de desplazamiento 86 y 257 confieren entonces retardos de tiempo apropiados a las señales respectivas para orientar de manera adecuada la forma de onda que va a transmitirse. Las señales digitales a partir de los registros de desplazamiento se convierten entonces en señales analógicas respectivas mediante el DAC 82 y el DAC 256, y entonces las señales analógicas resultantes se someten a un filtrado pasobanda en 73 y 253.

En el presente contexto, cuando la señal de referencia digital es efectivamente una señal de onda cuadrada, los armónicos impares son más dominantes que los armónicos pares. Además, con respecto a los desfases ϕ_1 o ϕ_2 que se suman antes de la digitalización, los armónicos no reciben el mismo desfase que la señal fundamental. Más específicamente, y con referencia al bloque 271 en la figura 5, en la salida de BPF 73 la señal fundamental tendrá un desfase de ϕ_1 , el tercer armónico tendrá un desfase de $3\phi_1$, el quinto armónico tendrá un desfase de $5\phi_1$, el séptimo armónico tendrá un desfase de $7\phi_1$, y así sucesivamente. De manera similar, y con referencia al bloque 272 en la figura 5, en la salida del BPF 253 el fundamental tendrá un desfase de ϕ_2 , el tercer armónico tendrá un desfase de $3\phi_2$, el quinto armónico tendrá un desfase de $5\phi_2$, el séptimo armónico tendrá un desfase de $7\phi_2$, y así sucesivamente.

En el ejemplo que está describiéndose, el desfasador 72 en el circuito 31 está ajustado para implementar un desfase de $-\phi_1$, que es opuesto e igual al desfase ϕ_1 introducido antes de la digitalización de la información IREF para el generador 111. El desfasador 252 en el circuito 32 está ajustado para implementar un desfase de $-\phi_2$, que es opuesto e igual al desfase ϕ_2 introducido antes de la digitalización de la información IREF para el generador 258. Por tanto, y con referencia al bloque 273 en la figura 5, en la salida del desfasador 72 el fundamental tendrá un desfase de cero, el tercer armónico tendrá un desfase de $2\phi_1$, el quinto armónico tendrá un desfase de $4\phi_1$, el séptimo armónico tendrá un desfase de $6\phi_1$, y así sucesivamente. De manera similar, con referencia al bloque 274, en la salida del desfasador 252 el fundamental tendrá un desfase de cero, el tercer armónico tendrá un desfase de $2\phi_2$, el quinto armónico tendrá un desfase de $4\phi_2$, el séptimo armónico tendrá un desfase de $6\phi_2$, y así sucesivamente.

Por consiguiente, cuando las señales emitidas por los desfasadores 72 y 252 se transmiten a continuación respectivamente como señales electromagnéticas a través de los elementos de antena 21 y 22, como se indica esquemáticamente en 277 y 278, los fundamentales en cada una de estas señales electromagnéticas tendrán un desfase de cero y por tanto se sumarán de manera coherente en el espacio libre, y los retardos de tiempo introducidos en estas señales por los registros de desplazamiento 86 y 257 provocarán una orientación apropiada del frente de onda resultante para el fundamental.

Por el contrario, el tercer armónico transmitido por el elemento de antena 21 tendrá un desfase de $2\phi_1$ mientras que el mismo armónico transmitido por el elemento de antena 22 tendrá un desfase diferente de $2\phi_2$, y por tanto, las señales electromagnéticas respectivas que representan los terceros armónicos tenderán a sumarse de manera no coherente en el espacio libre. La figura 5 muestra sólo dos elementos de antena 21 y 22 con sus circuitos 31 y 32 asociados, aunque se reconocerá que cuando se usa una variedad de desfasadores para todos los elementos de antena respectivos en la red, el resultado será la suma no coherente de los terceros armónicos de una manera eficaz y eficiente que provoca que el frente de onda para el fundamental tenga una presencia reducida o poco significativa del tercer armónico. De manera similar, los demás armónicos también están desfasados y tienden a sumarse de manera no coherente en el espacio libre, y de este modo tienen una presencia reducida o poco significativa en el frente de onda para el fundamental.

Aunque anteriormente se ha descrito la reducción de armónicos a través de la suma y eliminación de desfasadores en el contexto del modo de transmisión, también puede usarse para el modo de recepción. A este respecto, los desfasadores 72 y 252 pueden usarse en el modo de recepción para introducir desfases diferentes respectivos en señales respectivas recibidas por los elementos de antena 21 y 22, después de lo cual estas señales desplazadas en fase se digitalizan en muestras de 1 bit. Tal como se explicó anteriormente, esta técnica de digitalización introduce armónicos no deseados. A continuación, se convierten estas señales en las señales I y Q que se entregan al circuito de control central 14 (figuras 1 y 2). El circuito de control central 14 puede aplicar desfases respectivos iguales y opuestos a los introducidos por los desfasadores 72 y 252, y entonces puede combinar las señales resultantes, de modo que las componentes que representan al fundamental se suman de manera coherente y las componentes que representan armónicos se suman de manera no coherente.

La presente invención proporciona una serie de ventajas técnicas. Una ventaja técnica de este tipo se obtiene a partir del uso de dispositivos digitales de baja precisión para generar una forma de onda de transmisión de una manera altamente distribuida. Esta generación digital de formas de onda implica sistemas de circuitos de coste, potencia, peso y tamaño reducido en comparación con los circuitos previamente existentes para la generación de formas de onda analógicas. Los retardos de tiempo respectivos para señales de componentes respectivas se consiguen fácilmente en el dominio digital usando registros de desplazamiento y otra lógica. Una ventaja relacionada es que, en el contexto de un sistema de radar, el sistema de circuitos de la antena es un sistema de circuitos principalmente digital en vez de un sistema de circuitos de radiofrecuencia, y las interfaces entre la antena y un sistema de control central son todas digitales.

Otra ventaja se obtiene de la generación de formas de onda de transmisión usando formas de onda de referencia digitales definidas por múltiples muestras que son cada una un único bit binario. Introduciendo un desfase respectivo antes de la digitalización de la forma de onda de referencia para cada elemento de antena, y eliminando el mismo desfase después de la digitalización, se reducen en gran parte los armónicos resultantes del uso de muestras de un bit

ES 2 322 569 T3

en el frente de onda transmitido, porque las fundamentales de la forma de onda de transmisión se suman de manera coherente en el espacio, mientras que los armónicos se suman de manera no coherente.

Otra ventaja se obtiene del uso de convertidores digital/analógico que producen para cada muestra un impulso que tiene una duración inferior al intervalo de tiempo entre muestras, volviendo la salida del convertidor a cero durante el intervalo de tiempo entre impulsos adyacentes. Esta técnica permite la transmisión de una forma de onda que se aproxima estrechamente a la calidad de la forma de onda que se generaría y transmitiría mediante técnicas analógicas previamente existentes, aunque con reducciones significativas en coste, potencia, peso y tamaño para el sistema de circuitos pertinente.

Una ventaja adicional se obtiene del hecho de que se prevé un circuito transmisor/receptor separado para cada elemento de antena, mientras que el enfoque analógico tradicional usa un único transmisor/receptor para manejar una única señal que está sometida a retardos de tiempo o desfases respectivos entre el transmisor/receptor y elementos de antena respectivos. Por consiguiente, la realización dada a conocer proporciona capacidades que no están presentes en configuraciones analógicas previamente existentes. Por ejemplo, sería posible usar sólo un subconjunto de los elementos de antena en la red de antena. Alternativamente, podrían usarse diferentes subconjuntos de los elementos de antena al mismo tiempo para transmitir diferentes formas de onda.

Otra ventaja más da como resultado el modo de recepción, cuando un desfase respectivo se introduce en la señal analógica desde cada elemento de antena antes de que se digitalice, y entonces se elimina el mismo desfase después de la digitalización. Cuando entonces se combinan las señales derivadas de diferentes elementos de antena, se suman de manera coherente las componentes para el fundamental mientras que las componentes para los armónicos se suman de manera no coherente, reduciendo así en gran parte los armónicos introducidos por la digitalización. Esto es particularmente ventajoso cuando el proceso de digitalización implica el uso de muestras de un bit.

REIVINDICACIONES

1. Aparato para procesar señales en un sistema de red de antenas, que comprende una pluralidad de elementos de antena (21-25) conectados a una pluralidad de circuitos (31-35) por lo que cada circuito (31-35) está asociado con un elemento de antena (21-25) respectivo,

caracterizado porque en un modo de transmisión cada circuito (31-35) comprende:

una sección de generador de señales (111; 258) que emite señales digitales primera y segunda, representando dicha primera señal digital una parte fundamental y armónicos no deseados de una forma de onda de referencia predeterminada con un primer desfase ($\phi 1$) conferido a la misma en relación con dicha forma de onda de referencia predeterminada, representando dicha segunda señal digital dicha parte de referencia fundamental y armónicos no deseados de dicha forma de onda de referencia predeterminada con un segundo desfase ($\phi 2$) conferido a la misma en relación con dicha forma de onda de referencia predeterminada, siendo diferente dicho segundo desfase ($\phi 2$) de dicho primer desfase ($\phi 1$);

una sección de convertidor digital/analógico (82; 256) que convierte dichas señales digitales primera y segunda respectivamente en señales analógicas primera y segunda; y

una sección de desfase (72; 252) que produce una primera señal ajustada confiriendo a dicha primera señal analógica un desfase ($-\phi 1$) que es sustancialmente igual y opuesto a dicho primer desfase ($\phi 1$), y que produce una segunda señal ajustada confiriendo a dicha segunda señal analógica un desfase ($-\phi 2$) que es sustancialmente igual y opuesto a dicho segundo desfase ($\phi 2$), para permitir que dichas partes fundamentales de las señales ajustadas primera y segunda se sumen de manera coherente en el espacio libre y los armónicos no deseados de las señales ajustadas primera y segunda se sumen de manera no coherente en el espacio libre.

2. Aparato según la reivindicación 1, que incluye un circuito de transmisión/recepción (71; 251) que transmite señales electromagnéticas primera y segunda que incluyen respectivamente dichas señales ajustadas primera y segunda.

3. Aparato según la reivindicación 2, en el que dicho circuito de transmisión/recepción (71; 251) incluye elementos de antena primero y segundo (21; 22) que están físicamente separados entre sí, transmitiéndose respectivamente dichas señales electromagnéticas primera y segunda a través de dichos elementos de antena primero y segundo (21; 22).

4. Aparato según la reivindicación 1, que incluye una sección de filtro (73; 253) que realiza un filtrado pasobanda de dicha primera señal analógica antes de que dicha primera señal analógica se suministre a dicha sección de desfase (72; 252), y que realiza un filtrado pasobanda de dicha segunda señal analógica antes de que dicha segunda señal analógica se suministre a dicha sección de desfase (72; 252).

5. Aparato según la reivindicación 1, en el que dichas señales digitales primera y segunda tienen cada una una pluralidad de estados sucesivos, siendo cada uno de dichos estados uno seleccionado de estados predeterminados primero y segundo que son diferentes.

6. Aparato según la reivindicación 1, en el que las señales digitales primera y segunda son una serie de muestras de un bit sucesivas.

7. Aparato según la reivindicación 1,

en el que dichas señales digitales primera y segunda tienen cada una una pluralidad de estados sucesivos;

en el que dicha sección de convertidor digital/analógico (82; 256) genera para cada dicho estado de dicha primera señal digital un impulso correspondiente respectivo de dicha primera señal analógica que tiene una duración inferior a la duración del estado correspondiente, emitiendo dicha sección de convertidor digital/analógico (82; 256) una tensión predeterminada entre dichos impulsos sucesivos de dicha primera señal analógica; y

en el que dicha sección de convertidor digital/analógico (82; 256) genera para cada dicho estado de dicha segunda señal digital un impulso correspondiente respectivo de dicha segunda señal analógica que tiene una duración inferior a la duración del estado correspondiente, emitiendo dicha sección de convertidor digital/analógico (82; 256) una tensión predeterminada entre dichos impulsos sucesivos de dicha segunda señal analógica.

8. Aparato según la reivindicación 6, que incluye un circuito de transmisión/recepción (71; 251) que transmite una señal electromagnética para cada una de dichas señales ajustadas primera y segunda.

9. Aparato según la reivindicación 8, que incluye una sección de filtro pasobanda (73; 253) que procesa dichas señales analógicas primera y segunda antes de la transmisión de dicha señal analógica por dicha sección de transmisor.

10. Aparato según la reivindicación 6, en el que dicha tensión predeterminada es de aproximadamente cero voltios.

11. Aparato según la reivindicación 6, en el que cada dicho impulso tiene una duración que es aproximadamente la mitad de la duración del estado correspondiente de dichas señales digitales primera y segunda.

12. Aparato según la reivindicación 6, en el que cada dicho estado de dichas señales digitales primera y segunda es uno seleccionado de estados predeterminados primero y segundo que son diferentes.

13. Aparato según la reivindicación 12, en el que dicha sección de convertidor digital/analógico (82; 256) genera un impulso positivo que tiene una magnitud predeterminada cuando el estado correspondiente de dichas señales digitales primera y segunda es dicho primer estado predeterminado, y genera un impulso negativo que tiene dicha magnitud predeterminada cuando el estado correspondiente de dichas señales digitales primera y segunda es dicho segundo estado predeterminado; y en el que dicha voltaje predeterminada es de aproximadamente cero voltios.

14. Aparato según la reivindicación 13, en el que cada dicho impulso tiene una duración que es aproximadamente la mitad de la duración del estado correspondiente de dicha señal digital primera y segunda respectiva.

15. Aparato según la reivindicación 14, en el que cada dicho impulso tiene aproximadamente una configuración de onda cuadrada.

16. Aparato según la reivindicación 1, que incluye una sección de retardo de tiempo en forma de registros desplazamiento (86; 257) que puede operar para introducir retardos de tiempo respectivos en las señales digitales primera y segunda para dirigir las formas de onda de referencia predeterminadas en una dirección apropiada.

17. Aparato según la reivindicación 16, que incluye un contador de retardo (91) que puede operar para controlar retardos de tiempo introducidos por la sección de retardo de tiempo (86; 257).

18. Aparato según la reivindicación 17, en el que el contador de retardo (91) activa una línea de control de carga (94) para provocar que los datos se carguen en la sección de retardo de tiempo (86, 257).

19. Aparato según la reivindicación 18, que incluye un controlador de retardo (92) que puede operar para ajustar un valor de retardo en el contador de retardo (91).

20. Método para procesar señales en un sistema de red de antenas, que comprende las etapas de:

producir señales digitales primera y segunda, representando dicha primera señal digital una parte fundamental y armónicos no deseados de una forma de onda de referencia predeterminada con un primer desfase (ϕ_1) conferido a la misma en relación con dicha forma de onda predeterminada, representando dicha segunda señal digital dicha parte fundamental y armónicos no deseados de dicha forma de onda de referencia predeterminada con un segundo desfase (ϕ_2) conferido a la misma en relación con dicha forma de onda predeterminada, siendo diferente dicho segundo desfase (ϕ_2) de dicho primer desfase (ϕ_1);

convertir dichas señales digitales primera y segunda respectivamente en señales analógicas primera y segunda;

conferir a dicha primera señal analógica un desfase ($-\phi_1$) que es sustancialmente igual y opuesto a dicho primer desfase (ϕ_1) para obtener una primera señal ajustada, y conferir a dicha segunda señal analógica un desfase ($-\phi_2$) que es sustancialmente igual y opuesto a dicho segundo desfase (ϕ_2) para obtener una segunda señal ajustada, para permitir que dichas partes fundamentales de las señales ajustadas primera y segunda se sumen de manera coherente en el espacio libre y los armónicos no deseados de las señales ajustadas primera y segunda se sumen de manera no coherente en el espacio libre.

21. Método según la reivindicación 20, en el que dicha etapa de producir dichas señales digitales primera y segunda incluye la etapa de configurar dichas señales digitales primera y segunda para que cada una tenga una pluralidad de estados sucesivos, siendo cada uno de dichos estados uno seleccionado de estados predeterminados primero y segundo que son diferentes.

22. Método según la reivindicación 20, que incluye introducir retardos de tiempo respectivos en las señales digitales primera y segunda para dirigir las formas de onda predeterminadas en una dirección apropiada.

23. Método según la reivindicación 20,

en el que dicha etapa de producir dichas señales digitales primera y segunda incluye la etapa de configurar dichas señales digitales primera y segunda para que cada una tenga una pluralidad de estados sucesivos;

en el que dicha etapa de conversión incluye generar para cada dicho estado de dicha primera señal digital un impulso correspondiente respectivo de dicha primera señal analógica que tiene una duración inferior a la duración del estado correspondiente, y emitir una tensión predeterminada entre dichos impulsos sucesivos de dicha primera señal analógica; y

ES 2 322 569 T3

en el que dicha etapa de conversión incluye generar para cada dicho estado de dicha segunda señal digital un impulso correspondiente respectivo de dicha segunda señal analógica que tiene una duración inferior a la duración del estado correspondiente, y emitir una tensión predeterminada entre dichos impulsos sucesivos de dicha segunda señal analógica.

5

24. Método según la reivindicación 23, en el que dicha etapa de generar impulsos se lleva a cabo de modo que cada dicho impulso tiene una duración que es aproximadamente la mitad de la duración del estado correspondiente de dichas señales digitales primera y segunda.

10

25. Método según la reivindicación 23, en el que dicha etapa de producir dichas señales digitales primera y segunda se lleva a cabo de modo que cada dicho estado de dichas señales digitales primera y segunda es uno seleccionado de estados predeterminados primero y segundo que son diferentes.

15

26. Método según la reivindicación 25, en el que dicha etapa de generar impulsos incluye las etapas de generar un impulso positivo que tiene una magnitud predeterminada cuando el estado correspondiente de dichas señales digitales respectivas primera y segunda es dicho primer estado predeterminado, y generar un impulso negativo que tiene dicha magnitud predeterminada cuando el estado correspondiente de dichas señales digitales respectivas primera y segunda es dicho segundo estado predeterminado.

20

25

30

35

40

45

50

55

60

65

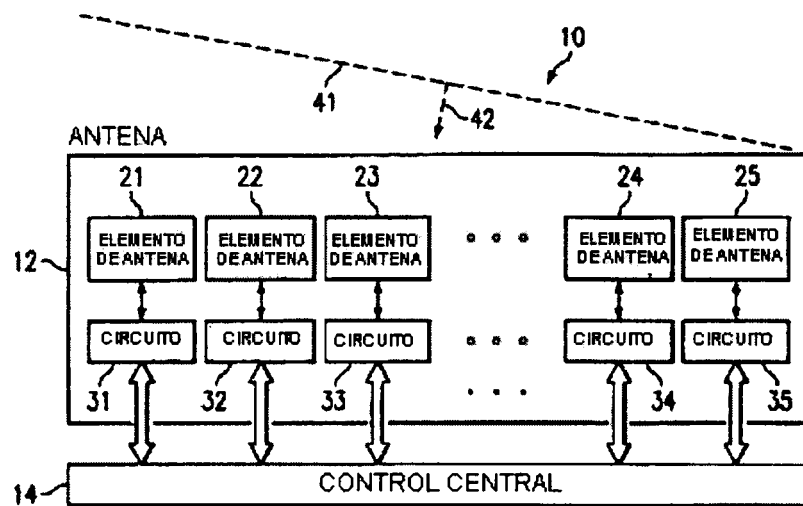


FIG. 1

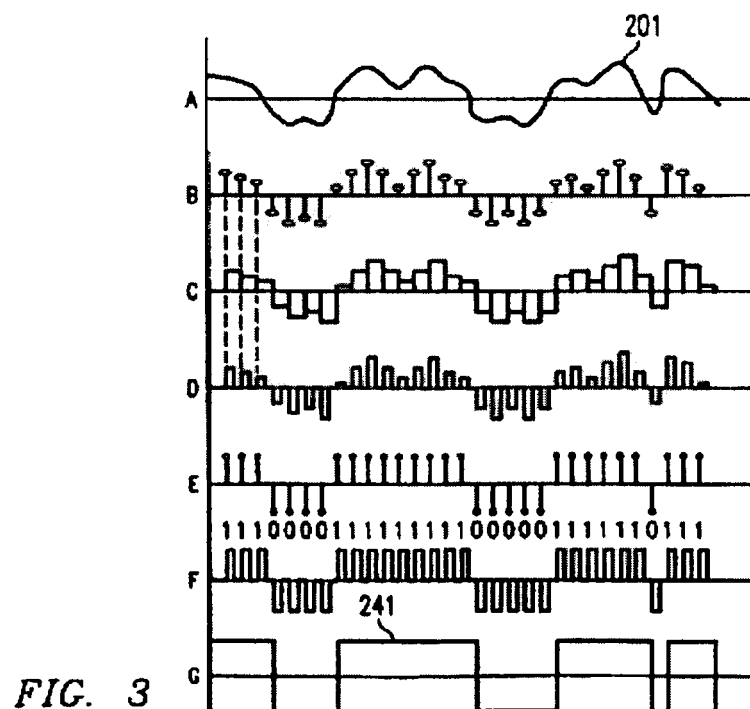


FIG. 3

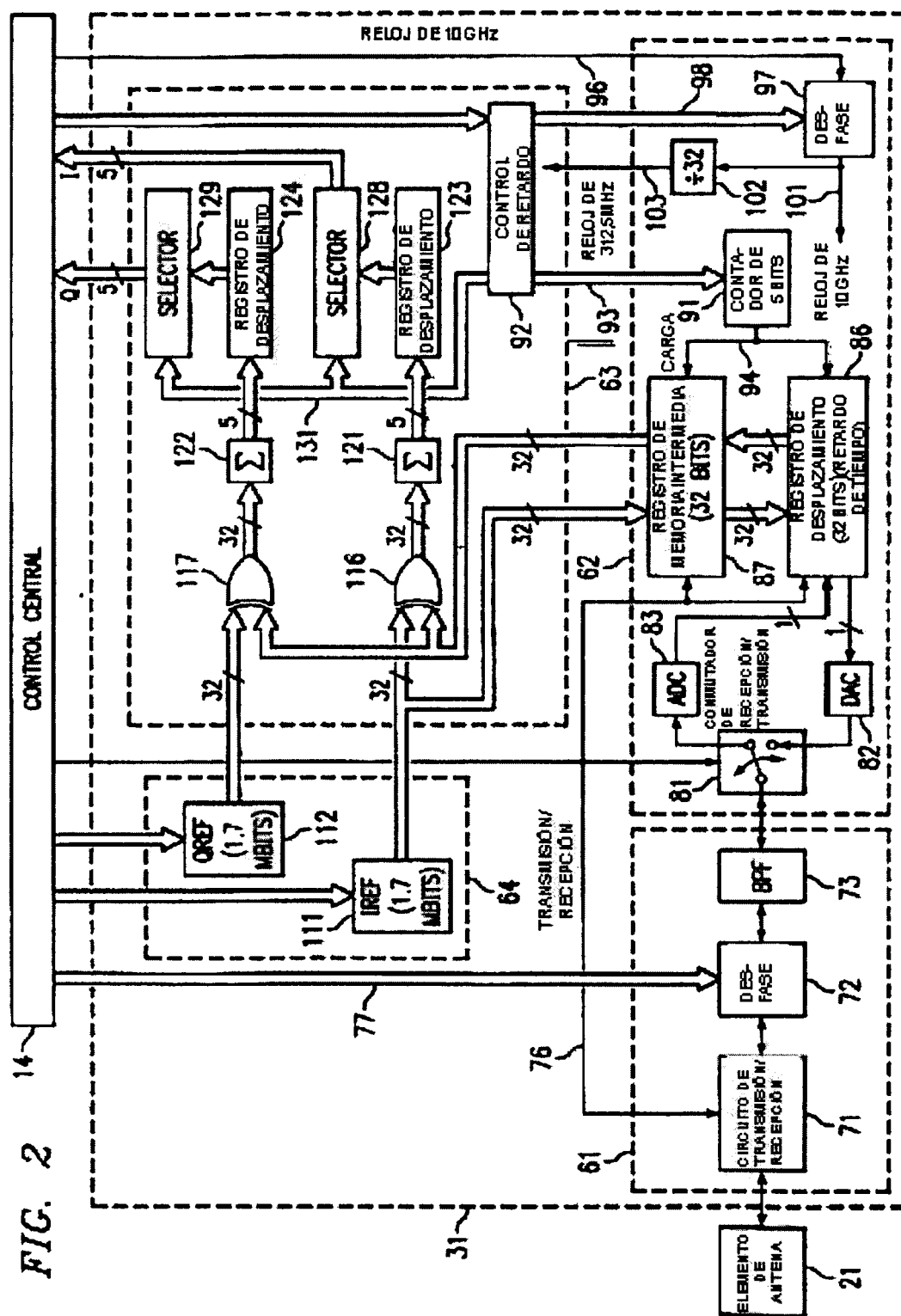


FIG. 4

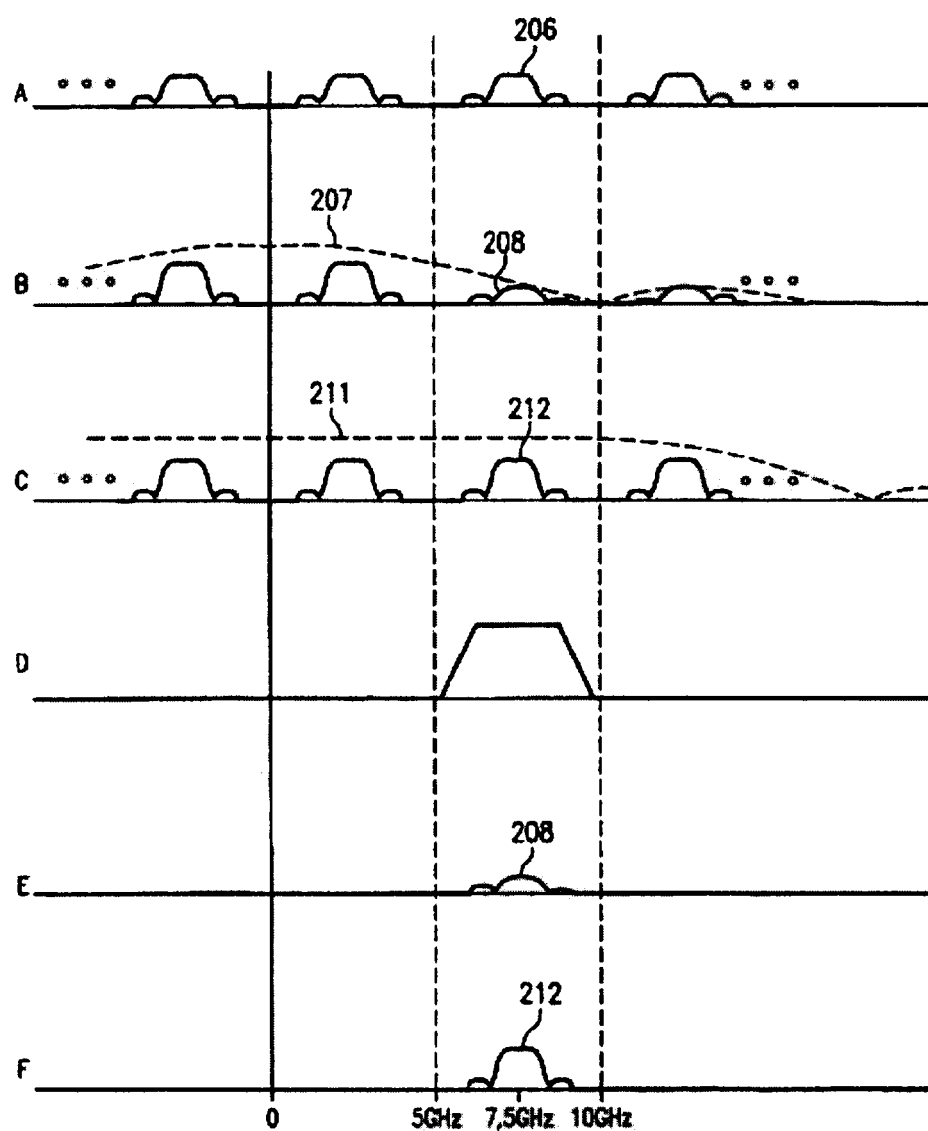


FIG. 5

