(19)日本国特許庁(JP)　(12)公表特許公報(A)　(11)公表番号
特表2024-546531
(P2024-546531A)
(43)公表日　令和6年12月25日(2024.12.25)

(51)国際特許分類			FI			テーマコード（参考）
H01L	*23/50*	*(2006.01)*	H01L	23/50	U	4M109
H01L	*21/56*	*(2006.01)*	H01L	21/56	H	5F044
H01L	*23/29*	*(2006.01)*	H01L	23/30	R	5F061
H01L	*23/48*	*(2006.01)*	H01L	23/48	T	5F067
H01L	*21/60*	*(2006.01)*	H01L	21/60	301M	

審査請求　未請求　予備審査請求　未請求　（全18頁）

(21)出願番号　特願2024-537345(P2024-537345)
(86)(22)出願日　令和4年12月19日(2022.12.19)
(85)翻訳文提出日　令和6年8月19日(2024.8.19)
(86)国際出願番号　PCT/US2022/053314
(87)国際公開番号　WO2023/121996
(87)国際公開日　令和5年6月29日(2023.6.29)
(31)優先権主張番号　63/291,946
(32)優先日　令和3年12月20日(2021.12.20)
(33)優先権主張国・地域又は機関
米国(US)
(31)優先権主張番号　17/711,668
(32)優先日　令和4年4月1日(2022.4.1)
(33)優先権主張国・地域又は機関
米国(US)
(81)指定国・地域　AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA
最終頁に続く

(71)出願人　507107291
テキサス インスツルメンツ インコーポレイテッド
アメリカ合衆国 テキサス州 ７５２６５－５４７４ ダラス メイル ステイション ３９９９ ピーオーボックス ６５５４７４
(74)代理人　230129078
弁護士　佐藤 仁
(72)発明者　ジョン カルロ モリナ
フィリピン共和国 ２０１０ パンパンガ, クラーク フリーポート ゾーン, センテニアル ロード, ウェスト インダストリアル エステート
(72)発明者　アーネスト ピー ラファエル
フィリピン共和国 ２０１０ パンパンガ
最終頁に続く

(54)【発明の名称】　ダイ取り付け接着剤が準備されるリードフレーム設計

(57)【要約】
集積回路パッケージが、ダイ取り付けパッド（５０３）と、リードフレーム材料（５０１）から形成される複数の導体（５０４）とを含む。キャビティが、ダイ取り付けパッド（５０５）の頂部表面（５０２）に形成される。ダイ取り付け接着剤（５０７）がキャビティ（５０６）内に配置される。ダイ取り付け接着剤（５０７）の頂部表面（５０７ａ）が、ダイ取り付けパッド（５０５）の頂部表面（５０２ａ）と同一平面上にある。半導体ダイが、ダイ取り付け接着剤（５０７）を用いてダイ取り付けパッド（５０５）上に搭載される。半導体ダイは、ボンドワイヤのセットを介して複数の導体（５０４）に電気的に接続される。半導体ダイの底部表面が、ダイ取り付けパッドの頂部表面（５０２ａ）と同一平面上にある。モールディング化合物が、リードフレームの一部、半導体ダイ、及びボンドワイヤのセットを覆う。

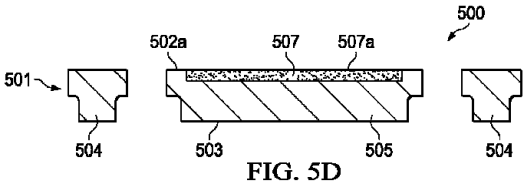


FIG. 5D

【特許請求の範囲】
【請求項１】
半導体パッケージを組み立てる方法であって、
複数のダイ取り付けパッドを有するリードフレームを提供することであって、各ダイ取り付けパッドが、予め設置されたダイ取り付け材料の層を備える頂部表面を有する、前記リードフレームを提供することと、
前記予め設置されたダイ取り付け材料の層を用いて各ダイ取り付けパッドに半導体デバイスを接着することと、
各半導体デバイス上のコンタクトから前記リードフレーム上のリードまでワイヤボンドを取り付けることと、
前記半導体デバイスの少なくとも一部、ダイ取り付けパッド、ダイ接着剤材料、ワイヤボンド、及びリードをモールド化合物で覆うことと、
を含む、方法。
【請求項２】
請求項１に記載の方法であって、前記リードフレーム上の前記ダイ取り付けパッドの各々の前記頂部表面内にキャビティがエッチングされ、前記予め設置されたダイ取り付け材料の層が、前記キャビティの各々の中に配置される、方法。
【請求項３】
請求項２に記載の方法であって、前記ダイ取り付け材料の頂部表面が、前記ダイ取り付けパッドの前記頂部表面と同一平面上にある、方法。
【請求項４】
請求項２に記載の方法であって、前記ダイ取り付けパッドの前記頂部表面が、前記キャビティを囲む前記ダイ取り付け材料の一部を含む、方法。
【請求項５】
請求項１に記載の方法であって、前記予め設置されたダイ取り付け材料の層が、前記半導体デバイスの寸法に基づいて選択された寸法に切断されたダイ取り付けテープである、方法。
【請求項６】
請求項１に記載の方法であって、前記半導体デバイスを接着する前に、熱又はＵＶエネルギーを用いてダイ取り付け材料を活性化することを更に含む、方法。
【請求項７】
請求項１に記載の方法であって、半導体デバイスを接着する前に、前記リードフレームから保護材料を除去することを更に含む、方法。
【請求項８】
リードフレームの製造のための方法であって、
頂部表面と底部表面とを有するリードフレーム材料を提供することと、
複数のダイ取り付けパッド領域と、各ダイ取り付けパッド領域に隣接する複数の導電リードとを有するリードフレームストリップをつくるようにリードフレーム材料をエッチングすることと、
キャビティをつくるように各ダイ取り付けパッド領域の前記頂部表面をエッチングすることと、
各ダイ取り付けパッド領域の前記キャビティにおいてダイ取り付け材料を堆積することと、
を含み、
前記ダイ取り付け材料の前記頂部表面が、前記リードフレーム材料の前記頂部表面と同一平面上にある、方法。
【請求項９】
請求項８に記載の方法であって、前記ダイ取り付け材料が、前記キャビティ内に適合するように切断されるダイ取り付けフィルムである、方法。
【請求項１０】

請求項８に記載の方法であって、前記キャビティにおいて前記ダイ取り付け材料を堆積することが、前記ダイ取り付け材料を前記キャビティ内に噴霧することを含む、方法。
【請求項１１】
請求項８に記載の方法であって、前記キャビティにおいて前記ダイ取り付け材料を堆積することが、前記キャビティ内に前記ダイ取り付け材料をスクリーン印刷することを含む、方法。
【請求項１２】
請求項８に記載の方法であって、前記ダイ取り付け材料が、前記キャビティ内に印刷されたインク残渣である、方法。
【請求項１３】
請求項８に記載の方法であって、半導体デバイスを前記ダイ取り付けパッド領域に接着する前に、前記ダイ取り付け材料が、熱又はＵＶエネルギーを用いた活性化を必要とする、方法。
【請求項１４】
請求項８に記載の方法であって、保護材料をリードフレームシートに適用することを更に含み、前記保護材料が、半導体デバイスを前記ダイ取り付けパッドに接着する前の除去のために構成される、方法。
【請求項１５】
請求項８に記載の方法であって、前記ダイ取り付け材料を堆積することが、各ダイ取り付けパッドの前記頂部表面上に余分なダイ取り付け材料を堆積することを更に含み、前記余分なダイ取り付け材料が、各ダイ取り付けパッド上の前記キャビティを囲む縁を形成する、方法。
【請求項１６】
請求項８に記載の方法であって、半導体ダイが前記ダイ取り付け材料を用いて前記ダイ取り付けパッド上に取り付けられるときに、前記ダイ取り付け材料が前記ダイ取り付けパッドから溢れるのを防ぐために、各ダイ取り付けパッドの前記キャビティにおいて堆積されるダイ取り付け材料の量が選択される、方法。
【請求項１７】
リードフレームシートであって、
別個のユニットに個片化するように構成される複数のリードフレームセグメントであって、各リードフレームセグメントが、ダイ取り付けパッド及び複数の導体を有する、前記複数のリードフレームセグメントと、
各ダイ取り付けパッドの頂部表面に形成されたキャビティと、
前記キャビティ内に配置されたダイ取り付け材料であって、前記ダイ取り付け材料が、半導体ダイを前記ダイ取り付けパッド上に取り付けるために適合されており、前記ダイ取り付け材料の頂部表面が各ダイ取り付けパッドの前記頂部表面と同一平面になっている、前記ダイ取り付け材料と、
前記リードフレームシートの頂部表面に適用された保護フィルムであって、前記リードフレームシートの搬送の間、前記キャビティ内に配置された前記ダイ取り付け材料を保護するように構成される前記保護フィルムと、
を含む、リードフレームシート。
【請求項１８】
請求項１７に記載のリードフレームシートであって、
前記ダイ取り付けパッドの前記頂部表面上にあり、前記キャビティの全ての側部を囲む、付加的なダイ取り付け材料の縁を更に含む、リードフレームシート。
【請求項１９】
請求項１７に記載のリードフレームシートであって、
半導体ダイが前記ダイ取り付け材料を用いて前記ダイ取り付けパッド上に搭載されるときに前記ダイ取り付け材料が前記ダイ取り付けパッドから溢れるのを防止するために、各ダイ取り付けパッドの前記キャビティにおいて堆積されるダイ取り付け材料の量が選択さ

れる、
リードフレームシート。
【請求項２０】
請求項１７に記載のリードフレームシートであって、
前記複数のダイ取り付けパッドと前記複数の導体との間に適用されるモールディング材料を更に含み、前記モールディング材料が、前記リードフレームシートの頂部表面及び底部表面と同一平面上にある頂部表面及び底部表面を有する、
リードフレームシート。
【発明の詳細な説明】
【技術分野】
【０００１】
半導体パッケージは、１つ又は複数の半導体ダイ又は構成要素を包含する、金属、プラスチック、ガラス、又はセラミックの囲いである。パッケージングは、半導体集積回路（ＩＣ）又はダイなどの構成要素の動作及び性能において重要な役割を果たすことがよく知られている。半導体ダイパッケージを製造する従来の方法は、典型的に、複数の導電体又は伝導性フィンガーを有する基板に半導体ダイを取り付けることを含み、こういった取り付けは、選択されたダイ取り付け材料の適切な適用を含む。選択されたダイ取り付け材料は、デバイス製造業者によって、別個のベンダが提供するリードフレームなどの基板に適用される。ダイ取り付け材料は硬化され、続いて、ボンドワイヤを用いて、半導体ダイのボンドパッドを基板の伝導体にワイヤボンディングする。封止材料が、ダイの少なくとも一部とボンドワイヤを含む基板の少なくとも一部とを覆う構造に適用される。
【発明の概要】
【０００２】
集積回路パッケージが、従来のエポキシ分配ダイパッドに代わる、予め適用されたダイ取り付け接着剤を備えるリードフレームを含む。一例において、ダイ取り付けフィルムが、ダイパッド寸法に基づく予め切断されたテープ設計を用いるなど、テープ積層プロセスを介してエッチング後にリードフレームに取り付けられる。別の例において、付加的なエッチングプロセスを介して生成されたキャビティ上への噴霧又はスクリーン印刷などによって接着剤がリードフレームに適用され、これにより、接着剤をダイパッドと同一平面とすることが可能になる。
【０００３】
一例において、半導体パッケージが、ダイ取り付けパッドと複数の導体とを含むリードフレームを含む。ダイ取り付けパッドの頂部表面にキャビティが形成される。ダイ取り付け材料が、キャビティ内に配置される。半導体ダイが、ダイ取り付け材料を用いてダイ取り付けパッド上に搭載される。半導体ダイは、ボンドワイヤのセットを介して複数の導体に電気的に接続される。モールディング構造が、リードフレームの一部、半導体ダイ、及びボンドワイヤのセットを覆う。ダイ取り付け材料の頂部表面が、ダイ取り付けパッドの頂部表面と同一平面上にあり得る。半導体ダイの底部表面が、ダイ取り付けパッドの頂部表面と同一平面上にあり得る。ダイ取り付け材料の縁が、ダイ取り付けパッドの頂部表面上に、半導体ダイのすべての側部に隣接して位置し得る。
【０００４】
別の例において、集積回路パッケージが、ダイ取り付けパッドと、リードフレーム材料から形成された複数の導体とを含む。キャビティが、ダイ取り付けパッドの頂部表面に形成される。ダイ取り付け接着剤が、キャビティ内に配置される。ダイ取り付け接着剤の頂部表面が、ダイ取り付けパッドの頂部表面と同一平面上にある。半導体ダイが、ダイ取り付け接着剤を用いてダイ取り付けパッド上に搭載される。半導体ダイは、ボンドワイヤのセットを介して複数の導体に電気的に接続される。半導体ダイの底部表面が、ダイ取り付けパッドの頂部表面と同一平面上にある。モールディング化合物が、リードフレームの一部、半導体ダイ、及びボンドワイヤのセットを覆う。ダイ取り付け材料の縁が、ダイ取り付けパッドの頂部表面上に、半導体ダイの全ての側部に隣接して位置し得る。

【０００５】
半導体パッケージを製造するための例示の方法が、複数の工程を含み、工程は、複数のダイ取り付けパッドを有するリードフレームを提供することであって、各ダイ取り付けパッドが、ダイ取り付け材料の予め設置された層を備える頂部表面を有する、複数のダイ取り付けパッドを有するリードフレームを提供することと、ダイ取り付け材料を用いて半導体デバイスを各ダイ取り付けパッドに接着することと、各半導体デバイス上のコンタクトからリードフレーム上のリードまでワイヤボンドを取り付けることと、半導体デバイスの少なくとも一部、ダイ取り付けパッド、ダイ接着剤材料、ワイヤボンド、及びリードをモールド化合物で覆うことと、を含む。キャビティが、リードフレーム上の各ダイ取り付けパッドの頂部表面にエッチングされ得、ダイ取り付け材料の予め設置された層は、キャビティの各々内に配置される。この方法は、半導体デバイスを接着する前に、熱又はＵＶエネルギーを用いてダイ取り付け取り付け材料を活性化することを含み得る。この方法は、半導体デバイスを接着する前に、リードフレームから保護材料を除去することを含み得る。

【図面の簡単な説明】
【０００６】
以上、本発明を一般的な用語で説明してきたが、ここで、添付の図面を参照する。
【０００７】
【図１】伝導性リードフレームストリップの一部の上面図である。
【０００８】
【図２】ＱＦＮ（Ｑｕａｄ　Ｆｌａｔ　Ｎｏ-ｌｅａｄ）パッケージなどのための、図１からの伝導性リードフレームストリップの一部の詳細図を図示する。
【０００９】
【図３】図２に示されている部分など、リードフレームシートから個片化された集積回路パッケージの側面図である。
【００１０】
【図４Ａ】予め適用されたダイ取り付けフィルムを有するリードフレームストリップの製造のための工程を図示する。
【図４Ｂ】予め適用されたダイ取り付けフィルムを有するリードフレームストリップの製造のための工程を図示する。
【図４Ｃ】予め適用されたダイ取り付けフィルムを有するリードフレームストリップの製造のための工程を図示する。
【００１１】
【図５Ａ】予め適用されたダイ取り付けフィルムを有するリードフレームストリップの製造のための工程を図示する。
【図５Ｂ】予め適用されたダイ取り付けフィルムを有するリードフレームストリップの製造のための工程を図示する。
【図５Ｃ】予め適用されたダイ取り付けフィルムを有するリードフレームストリップの製造のための工程を図示する。
【図５Ｄ】予め適用されたダイ取り付けフィルムを有するリードフレームストリップの製造のための工程を図示する。
【図５Ｅ】予め適用されたダイ取り付けフィルムを有するリードフレームストリップの製造のための工程を図示する。
【００１２】
【図６】予め成形されたリードフレームシートの代替の例を図示する。
【００１３】
【図７】半導体パッケージを製造するための例示のプロセスの工程を図示するフローチャートである。
【発明を実施するための形態】
【００１４】

本開示を添付の図面を参照しながら説明する。図面は、一定の縮尺で描かれておらず、単に本開示を例示するために提供されている。本開示のいくつかの態様を、説明のために例示の応用例を参照しながらこれ以降に記載する。多くの特定の細部、関係、及び方法が、本開示が理解されることを目的に示されていることを理解されたい。いくつかの行為が、異なる順序で及び/又は他の行為又は事象と同時に生じ得るため、本開示は、そういった行為又は事象の説明される順序によって限定されない。また、本開示に従った方法論を実装するために、記載されるすべての行為又は事象が必要なわけではない。

【００１５】

異なる図面における対応する数字及び記号は概して、別途指示がない限り、対応する部分を指す。図面は必ずしも一定の縮尺で描いてはいない。図面において、全体を介して同様の参照番号は同様の要素を示し、種々の特徴は必ずしも一定の縮尺で描いてはいない。以下の議論及び特許請求の範囲において、用語、「含む（including）、（includes）」、「有する（having)、(has)」、「備える(with)」、又はそれらの変形は、用語「含む(comprising)」と同様に包括的であることが意図され、そのため、「を含むが、それに限定されない」ことを意味すると解釈されるべきである。また、用語、「結合される」及び／又は「結合する」は、間接的又は直接的な電気的又は機械的接続、或いはそれらの組み合わせを含むことが意図されている。例えば、第１のデバイスが第２のデバイスに結合するか、又は第２のデバイスと電気的に結合される場合、その接続は、直接電気接続を介するもの、又は１つ又はそれ以上の介在デバイス及び／又は接続を介した間接電気接続を介するものであり得る。用語、「頂部」、「底部」、「前」、「後ろ」、「の上」、「の上方」、「の下」、「より下」が、本開示において用いられ得る。これらの用語は、構造又は要素の位置又は方位を限定するものと解釈されるべきではなく、構造又は要素間の空間的関係を提供するために用いられるべきである。

【００１６】

本明細書において、「半導体デバイス」という用語が用いられている。半導体デバイスは、バイポーラトランジスタなどのディスクリート半導体デバイス、単一の半導体ダイ上に共に製造されたパワーＦＥＴスイッチの対などのいくつかのディスクリートデバイスであり得、又は、半導体ダイが、Ａ／Ｄ変換器内の複数のキャパシタなどの複数の半導体デバイスを備える集積回路であってもよい。半導体デバイスは、抵抗器、インダクタ、フィルタ、センサなどの受動デバイス、又は、トランジスタなどの能動デバイスを含み得る。半導体デバイスは、例えばマイクロプロセッサ又はメモリデバイスなどの機能回路を形成するように結合される数百又は数千のトランジスタを備える集積回路とし得る。半導体デバイスは、本明細書では「半導体ダイ」と称することもある。

【００１７】

本明細書において、「集積回路パッケージ」という用語が用いられている。集積回路パッケージは、端子に電気的に結合された少なくとも１つの半導体デバイスと、半導体デバイスを保護して覆うパッケージボディとを有する。いくつかの配置において、複数の半導体デバイスが共にパッケージ化され得る。例えば、パワー電界効果トランジスタ（ＦＥＴ）半導体デバイスと第２の半導体デバイス（ゲートドライバダイ又はコントローラダイなど）とが共にパッケージ化されて単一のパッケージ化電子デバイスを形成し得る。受動部品などの付加的な構成要素を、パッケージ化電子デバイスに含めることができる。半導体デバイスは、伝導性リードを提供するパッケージ基板と共に搭載される。伝導性リードの一部が、パッケージ化されたデバイスのための端子を形成する。ワイヤボンディングされた集積回路パッケージにおいて、ボンドワイヤがパッケージ基板の伝導性リードを半導体デバイス上のボンドパッドに結合する。集積回路パッケージは、モールディングプロセスにおける熱硬化性エポキシ樹脂モールド化合物によって、又は、エポキシ、プラスチック、又は、室温で液体でありその後硬化される樹脂の使用によって、形成されるパッケージボディを有し得る。パッケージボディは、パッケージ化されたデバイスのための気密パッケージを提供し得る。パッケージボディは、封止プロセスを用いてモールド内に形成され得るが、封入の間、パッケージ基板のリードの一部は覆われない。これらの露出されたリ

ード部分は、集積回路パッケージのための端子を形成する。集積回路パッケージは、本明細書では「半導体パッケージ」又は「センサパッケージ」と称することもある。

【００１８】

パッケージ基板は、半導体ダイを受け取り、完成した半導体デバイスパッケージ内で半導体ダイを支持するように配された基板である。この構成に有用なパッケージ基板は、銅、アルミニウム、ステンレス鋼、鋼、並びに、合金４２及び銅合金などの合金から形成し得る、伝導性リードフレームを含む。リードフレームは、半導体ダイを搭載するためのダイ側部表面を備えるダイパッドと、ワイヤボンド、リボンボンド、又はその他の導体を用いて半導体ダイ上のボンドパッドに結合するために、ダイパッドの近くに配されダイパッドから離間されている伝導性リードとを含み得る。例示の構成において、ヒートスラグがパッケージ基板に取り付けられ、ヒートスラグは、半導体デバイスを搭載するためのダイ搭載エリアを有する。リードフレームは、ストリップ又はアレイ状に提供され得る。伝導性リードフレームは、行及び列のユニットデバイス部分のストリップ又はアレイを備えるパネルとして提供され得る。半導体デバイスは、ストリップ又はアレイ内のそれぞれのユニットデバイス部分上に置かれ得る。半導体デバイスは、各パッケージ化された半導体デバイスについてダイ搭載エリア上に置かれ得る。ダイ取り付け又はダイ接着剤を用いて半導体デバイスを搭載し得る。ワイヤボンディングパッケージでは、ボンドワイヤが、半導体デバイス上のボンドパッドをリードフレームのリードに結合し得る。リードフレームは、例えば、銀、ニッケル、金、又はパラジウムめっきなどのワイヤボンディング用に指定されたエリアにおいて、めっきされた部分を有し得る。ボンドワイヤが適所に配置された後、パッケージ基板の一部、半導体デバイス、及びダイパッドの少なくとも一部を、モールド化合物などの保護材料で覆うことができる。パッケージ基板には、ユニット毎に複数の半導体デバイスを搭載し得る。

【００１９】

本明細書において、「ダイ取り付けパッド」という用語が用いられている。ダイ取り付けパッドは、半導体デバイス又は半導体ダイを搭載するために適合された金属リードフレームの一部である。半導体デバイスは、半導体デバイスをリードフレームに電気的及び物理的に接続するダイ取り付け材料の層によって、ダイ取り付けパッド上に搭載され得る。

【００２０】

本明細書において、「ボンドパッド」という用語が用いられている。ボンドパッドは、リードフレーム又は印刷回路基板へのワイヤボンディングなどによって、半導体デバイスが外部回路に電気的に結合されることを可能にする、半導体デバイス上のエリアである。ボンドパッドは、アルミニウム、金、又は銅などの様々な材料で形成し得る。また、ボンドパッドは、種々の構成をとることができる。

【００２１】

図１は、伝導性リードフレームストリップ１０１の一部の上面図であり、伝導性リードフレームストリップ１０１は、銅、アルミニウム、ステンレス鋼、鋼、並びに、合金４２及び銅合金などの合金から形成し得る。リードフレームストリップ１０１はダイ取り付けパッド（ＤＡＰ）部分１０２を有し、ＤＡＰ部分１０２は、適所に保持され、種々のタイバー部分１０３によって離間されている。ＤＡＰ部分は、半導体ダイを搭載するためのダイ側部表面を有する。タイバー部分１０３は、ＤＡＰ部分１０２の近くに配され、ＤＡＰ部分１０２から離間される、伝導性リード１０４を含み得る。伝導性リード１０４は、ワイヤボンド、リボンボンド、又は他の導体を用いて、半導体ダイ上のボンドパッドに結合するためのものである。伝導性リードは、改善されたワイヤボンディングのためにめっきされ得、例えば、銀、ニッケル、金、又はパラジウムめっきが用いられ得る。リードフレームストリップ１０１は、例えば、半導体デバイスの製造に用いられるリードフレーム供給業者によって提供されてもよい。リードフレームは、ストリップ又はアレイ状に提供され得る。

【００２２】

図２は、ＱＦＮ（Ｑｕａｄ　Ｆｌａｔ　Ｎｏ-ｌｅａｄ）パッケージ用などの図１から

の伝導性リードフレームストリップ１０１の一部２０１の詳細図を図示する。半導体ダイ２０２が、ＤＡＰ部分１０２上に搭載されている。半導体ダイ２０２は、いくつかのボンドパッド２０４を備える活性表面２０３を有する。ボンドパッド２０４は、例えば、ボンドワイヤ２０５を用いて伝導性リード１０４に結合される。伝導性リードフレーム１０１は、行及び列状にＤＡＰ部分１０２のストリップ又はアレイを備えるパネルとして提供され得る。半導体デバイス２０２は、ストリップ又はアレイ内のそれぞれのＤＡＰ部分１０２上に置かれ得る。ボンドワイヤが適所に配置された後、パッケージ基板の一部、半導体デバイス、及びダイ取り付けパッドの少なくとも一部を、モールド化合物などの保護材料で覆うことができ、リードフレームストリップ１０１を個々の集積回路パッケージに個片化し得る。

【００２３】

図３は、図２の部分２０１などのリードフレームシートから個片化された集積回路パッケージ３０１の側面図である。図示される例において、半導体ダイ２０２は、大きく、ＤＡＰ部分１０２のエリアを概して埋める。ダイ取り付け接着剤３０２又はダイ取り付けフィルム（ＤＡＦ）を用いて、半導体デバイス２０２をＤＡＰ部分１０２上に搭載することができる。フィレット（fillet）及びブリード（bleed）は、半導体ダイ２０２の周りに最小限の保全（keep-out）ゾーンを必要とする。ダイ取り付けパッドエリアに近い半導体ダイエリアを有するデバイスは、ダイ取り付けプロセス中に余分なエポキシ材料が適用されるため、ＤＡＰ部分の裏側３０２上にエポキシ汚染の傾向がある。余分なエポキシ及びブリードアウトは、ＤＡＰ部分１０２のエッジの上を流れ、リードフレーム１０１の裏側３０２上を流れる可能性がある。

【００２４】

一例において、ダイ取り付けがダイ取り付けパッドから溢れることを避けるため、ダイ取り付けフィルムをリードフレーム製造の間ダイ取り付けパッドエリアに予め適用してもよい。図４Ａ～図４Ｃは、予め適用されたダイ取り付けフィルムを有するリードフレームストリップの製造のための工程を図示する。図４Ａは、頂部表面４０２及び底部表面４０３を有する、銅板などのベースリードフレーム材料４０１を図示する。図４Ｂは、エッチングプロセス後のリードフレーム材料４０１を図示する。例えば、ドライフィルムレジスト（ＤＦＲ）などのフォトレジスト材料が、リードフレーム材料４０１の頂部表面４０２及び底部表面４０３上に積層される。フォトレジスト材料は、所望のリードフレームパターン画像の形態で、可視光レーザーなどで照射される。次いで、フォトレジスト材料は、ネガティブトーンフォトレジスト材料の任意の非照射部分又はポジティブトーンフォトレジスト材料の照射部分を選択的に溶解する現像剤に晒され、それによってリードフレーム材料４０１のいくつかのエリア４０４を露出させる。その後、マスクされたリードフレーム材料４０１に、湿式又は乾式エッチングプロセスを施す。マスクによって覆われていないリードフレーム材料４０１のエリア４０４は、エッチング除去される。マスク部分によって覆われたリードフレーム材料４０１のエリアは、エッチングされず、エッチングプロセス後に残ったままである。これらのエッチングされていない部分は、伝導性リード領域４０５とダイ取り付け部分領域４０６とを形成する。

【００２５】

図４Ｃは、エッチングプロセス後にダイ取り付けパッド４０６に取り付けられた、完全に硬化したエポキシなどの、ダイ取り付けフィルム４０７を図示する。ダイ取り付けフィルム４０７は、例えば、テープラミネーションプロセスを用いて適用され得る。ダイ取り付けフィルム４０７は、ダイ取り付けパッド４０６の寸法に基づく設計の、予め切断されたテープであってもよい。予め切断されたテープ４０７は、リードフレーム材料４０１に適用されて、ダイ取り付けプロセスの準備ができたリードフレームシート４００を形成する。リードフレームシート４００は、アッセンブリプロセスにおいてダイ取り付けを適用する別個の工程を必要とすることなく、半導体デバイスアッセンブリにおいて用いることができる。代わりに、アッセンブリプロセスは、ダイ搭載工程で開始し、ワイヤボンディング及びモールディングに進むことができる。これにより、ダイ取り付けフィルムを追加

する付加的な工程に起因してリードフレームコストが増大し得るが、ダイボンドプロセスは、エポキシディスペンス工程をなくすことによって簡略化される。図４Ｃで適用されるダイ取り付けフィルム４０７の量は、ダイ取り付けフィルム４０７を用いて半導体デバイスがダイ取り付けパッド４０６上に搭載されるときにダイ取り付けフィルムがダイ取り付けパッド４０６から溢れないように、リードフレーム製造の間、制御され得る。

【００２６】

一例において、ダイ取り付けパッド４０６は、３ｍｍの幅Ｗ１を有し、リードフレーム材料４０１は、０.２ｍｍの厚みＨ１を有する。接続リード４０５及びダイ取り付けパッド４０６は、厚みＨ２が０．１ｍｍのハーフエッチングされたエッジ４０８を有する。ダイ取り付けフィルム４０７は、０．０２ｍｍの厚みＨ３を有し得る。

【００２７】

別の例において、ダイ取り付けがダイ取り付けパッドから溢れるのを防止するため、リードフレーム製造の間、ダイ取り付けパッド接着剤をダイ取り付けパッドエリアに予め適用してもよい。図５Ａ～図５Ｅは、予め適用されたダイ取り付け接着剤を有するリードフレームストリップの製造のための工程を図示する。図５Ａは、頂部表面５０２及び底部表面５０３を有する、銅シートなどのベースリードフレーム材料５０１を図示する。図５Ｂは、図４Ｂに関連して説明したものなどのエッチングプロセス後のリードフレーム材料５０１を図示する。エッチングされていない部分は、伝導性リード領域５０４とダイ取り付け部分領域５０５とを形成する。

【００２８】

図５Ｃは、ダイ取り付けパッド５０５の頂部表面５０２ａ内にキャビティ５０６がエッチングされる、第２のエッチング工程の結果を図示する。次いで、キャビティ５０６は、スクリーン印刷又は噴霧によって適用されたエポキシなどのダイ取り付け接着剤５０７で充填される。図５Ｄは、ダイ接着剤５０７で充填されたキャビティ５０６を図示し、ダイ接着剤５０７は、半導体チップをダイ取り付けパッド５０５に取り付けるために用いられる任意の適切な接着剤であり得る。ダイ取り付け接着剤は、電気絶縁性及び／又は熱伝導性であってもよい。キャビティ５０６の深さとダイ接着剤５０７の量は、ダイ接着剤５０７の頂部表面５０７ａが、ダイ取り付けパッドの頂部表面５０２ａと同一平面になるように選択され得る。キャビティ５０６は、頂部表面５０７ａを横切る長さ及び幅によって画定される表面積を有する。キャビティの表面積は、半導体ダイの底部表面に等しくなるように選択し得る。キャビティの表面積は、ダイ接着剤５０７の一部が、リードフレームシート５００上に搭載されたときに半導体ダイを囲むように、半導体ダイの底部の表面積よりも大きくしてもよい。リードフレームシート５００は、ダイ取り付けを適用する別個の工程を必要とすることなく、パッケージアッセンブリのために半導体デバイス製造業者に提供され得る。

【００２９】

図５Ｄにおいて適用されるダイ取り付け接着剤５０７の量は、半導体デバイスがダイ接着剤５０７を用いてダイ取り付けパッド５０５上に取り付けられたときに、ダイ接着剤５０７がダイ取り付けパッド５０５をから溢れないように、リードフレーム製造の間、制御され得る。

【００３０】

一例において、キャビティ５０６の深さと堆積されるダイ接着剤５０７の量とを制御することによって半導体ダイがダイ接着剤５０７を用いてダイ取り付けパッド５０５上に搭載されるとき、パッケージ全厚をより低くし得る。キャビティ５０６の上方のダイ取り付けパッド５０５に取り付けられた半導体ダイの底部表面は、ダイ取り付けパッド５０５の頂部表面と同一平面になる。キャビティ５０６及び予め適用されたダイ取り付け材料５０７は、図３中の層３０２などのダイ取り付けパッドの頂部上に位置するダイ取り付け層の必要性を排除する。

【００３１】

図５Ｅは、ダイ接着剤５０８がキャビティ５０６を充填するために用いられ、ダイ接着

剤５０８ａの一部がダイ取り付けパッドの頂部表面５０２ａに重なる、リードフレームシート５１０の代替例を図示する。一例において、ダイ接着剤がダイ取り付けパッド上に噴霧又はスクリーン印刷されるとき、ステンシル又はマスクが用いられ得る。ステンシル又はマスクは、ダイ接着剤５０８が、キャビティ５０６を満たし、キャビティ５０６のエッジに部分的に重なることを可能にする。この例では、ダイ接着剤５０８は、ダイ取り付けパッドの頂部表面５０２ａと同一平面ではない。重なるダイ接着剤５０８は、頂部表面５０２ａ上のキャビティ５０６の周りにリング又は縁を形成する。重なる量５０８ａは、半導体ダイが搭載されたときに、余分なダイ接着剤５０８がダイ取り付けパッドから溢れるのを防ぐように制御される。

【００３２】

図５Ｄ及び図５Ｅに図示するリードフレームの例５００及び５１０は、ダイ取り付け接着剤５０７の頂部５０７ａがダイ取り付けパッドの頂部５０２ａと概して同一平面上にあるため、半導体パッケージの高さを低くする機会を提供する。したがって、半導体ダイが、その底部表面がダイ取り付けパッドの頂部５０２ａと概して同一平面上にある状態で、搭載され得る。

【００３３】

図６は、予め成形されたリードフレームシート６００の更なる代替の例を図示する。リードフレームシート６００は、伝導性リード６０２及びダイ取り付けパッド６０３をつくるためにエッチングされた、銅又は銅合金などのリードフレーム材料６０１を有する。ダイ取り付けパッド６０３は、ダイ取り付け接着剤６０５で充填されるキャビティ６０４をつくるために更にエッチングされている。次いで、リードフレームシート６００のあいているエリアは、エポキシ又はプラスチックなどのモールディング化合物６０６で充填される。例示のリードフレームシート６００において、モールド化合物６０６の頂部表面及び底部表面が伝導性リード６０２、ダイ取り付けパッド６０３、及びダイ取り付け接着剤６０５の頂部表面及び底部表面と同一平面になるように、モールド化合物６０６が適用される。

【００３４】

予め成形されたリードフレームシート６００は、リードフレームシート５００（図５Ｄ）と同様である。他の例において、モールド化合物が、リードフレームシート４００（図４Ｃ）及びリードフレームシート５１０（図５Ｅ）などの他のリードフレームシートにも適用され得る。

【００３５】

予め適用されたダイ取り付けフィルム又はダイ取り付け接着剤を有するリードフレームシートは、ダイ取り付けを適用する別個の工程を必要とすることなく、パッケージアッセンブリのためにリードフレーム製造業者によって半導体デバイス製造業者に提供され得る。予め適用されたダイ取り付け材料を有するリードフレームシートの出荷又は輸送の間、プラスチック材料などのシート又はフィルムをリードフレームシートの表面に適用して、ダイ取り付け材料を保護することができる。保護シート又は保護フィルムは、半導体デバイス製造業者によって除去され、その後、半導体デバイスがリードフレームシートに取り付けられる。

【００３６】

いくつかの例において、リードフレームシートに予め適用されたダイ取り付けフィルム又は接着剤は、活性化可能である。ダイ取り付け材料は、リードフレームシートに適用されたときに粘着性でなくてもよいが、加熱又はＵＶ放射への曝露によって活性化されると、ダイ取り付け材料は粘着性になり、半導体デバイスがリードフレームシート上に搭載され得る。これにより、半導体デバイス製造業者がリードフレームシートをステージング（ｓｔａｇｅ）し、次いで、プロセスが半導体ダイを搭載する準備ができたときにダイ取り付け材料を活性化することが可能となる。

【００３７】

図７は、半導体パッケージを製造するための例示のプロセスの工程を図示するフローチ

ャートである。工程７０１において、複数のダイ取り付けパッドを有するリードフレームが提供される。各ダイ取り付けパッドは、ダイ取り付け材料の予め設置された層を備える頂部表面を有する。いくつかの例において、ダイ取り付け材料は、頂部表面にエッチングされたキャビティ内に配置されたダイ取り付け接着剤である。ダイ取り付け接着剤の頂部表面は、ダイ取り付けパッドの頂部表面と同一平面上にある。他の例において、ダイ取り付け材料は、頂部表面上のダイ取り付けテープである。ダイ取り付けテープは、ダイ取り付けパッド上に取り付けられる半導体デバイスの寸法に基づいて選択される寸法に切断される。

【００３８】

工程７０２において、いくつかのリードフレームの例は、半導体デバイスを接着する前に、保護材料がリードフレームから除去されることを必要とする。

【００３９】

工程７０３において、いくつかのダイ取り付け材料の例は、半導体デバイスをダイ取り付けパッドに接着するために、熱又はＵＶエネルギーを用いてダイ取り付け材料を活性化することを必要とする。

【００４０】

工程７０４において、半導体デバイスが、ダイ取り付け材料を用いて各ダイ取り付けパッドに接着される。ダイ取り付け接着剤が用いられるとき、半導体デバイスの底部表面が、ダイ取り付け接着剤の頂部表面及びダイ取り付けパッドの頂部表面と同一平面上にあり得る。他の例において、ダイ取り付け材料がダイ取り付け接着剤であるとき、ダイ取り付けパッドの頂部表面は、キャビティと半導体デバイスの側部とを囲むリング又は縁を形成する、ダイ取り付け材料の付加的な部分を含み得る。

【００４１】

工程７０５において、各半導体デバイス上のコンタクトからリードフレーム上のリードまでワイヤボンドが取り付けられる。

【００４２】

工程７０６において、半導体デバイスの少なくとも一部、ダイ取り付けパッド、ダイ接着剤材料、ワイヤボンド、及びリードが、モールド化合物で覆われる。いくつかの例において、工程７０１において提供されるリードフレームは、リードフレームの伝導性リード部分とダイ取り付けパッド部分との間の空間に予め設置されたモールド化合物で予め成形されてもよい。

【００４３】

半導体パッケージを組み立てる例示の方法が、複数のダイ取り付けダイ取り付けパッドを有するリードフレームを提供することを含み、各ダイ取り付けパッドは、ダイ取り付け材料の予め設置された層を備える頂部表面を有する。半導体デバイスが、予め設置されたダイ取り付け材料を用いて各ダイ取り付けパッドに接着される。各半導体デバイス上のコンタクトから延在するワイヤボンが、リードフレーム上のリードに取り付けられる。半導体デバイスの少なくとも一部、ダイ取り付けパッド、ダイ接着剤材料、ワイヤボンド、及びリードが、モールド化合物で覆われる。

【００４４】

いくつかの例において、リードフレーム上の各ダイ取り付けパッドの頂部表面にキャビティがエッチングされる。ダイ取り付け材料の予め設置された層は、キャビティの各々の中に配置される。ダイ取り付け材料の頂部表面は、ダイ取り付けパッドの頂部表面と同一平面上にある。ダイ取り付けパッドの頂部表面は、キャビティを囲むダイ取り付け材料の一部を含み得る。

【００４５】

ダイ取り付け材料の予め設置された層は、半導体デバイスの寸法に基づいて選択された寸法に切断されたダイ取り付けテープであり得る。

【００４６】

ダイ取り付け材料は、半導体デバイスを接着する前に、熱又はＵＶエネルギーを用いて

活性化されてもよい。保護材料がリードフレームに取り付けられてもよく、これは半導体デバイスを接着する前に除去される。

【００４７】

リードフレームを製造するための例示の方法が、頂部表面及び底部表面を有するリードフレーム材料を提供することと、複数のダイ取り付けパッド領域と各ダイ取り付けパッド領域に隣接する複数の伝導性リードとを有するリードフレームストリップをつくるようにリードフレーム材料をエッチングすることと、キャビティをつくるように各ダイ取り付けパッド領域の頂部表面をエッチングすることと、各ダイ取り付けパッド領域のキャビティにおいてダイ取り付け材料を堆積することとを含み、ダイ取り付け材料の頂部表面は、リードフレーム材料の頂部表面と同一平面上にある。各ダイ取り付けパッドのキャビティにおいて堆積されるダイ取り付け材料の量は、半導体ダイがダイ取り付け材料を用いてダイ取り付けパッド上に搭載されたときにダイ取り付け材料がダイ取り付けパッドから溢れるのを防止するように選択される。ダイ取り付けパッドに適用されるダイ取り付け材料の量は、最終的な半導体パッケージの高さ又は厚みを最小化するように選択される。

【００４８】

リードフレーム上のダイ取り付け材料は、キャビティ内に適合するように切断されたダイ取り付けフィルムであり得る。

【００４９】

いくつかの例において、キャビティにおいてダイ取り付け材料を堆積することは、キャビティ内にダイ取り付け材料を噴霧することを含む。

【００５０】

いくつかの例において、キャビティにおいてダイ取り付け材料を堆積することは、キャビティ内にダイ取り付け材料をスクリーン印刷することを含む。ダイ取り付け材料は、キャビティ内に印刷されるインク残渣であり得る。

【００５１】

リードフレーム上のダイ取り付け材料は、半導体デバイスをダイ取り付けパッド領域に接着する前に、熱又はＵＶエネルギーを用いる活性化を必要とし得る。

【００５２】

リードフレームを製造するためのプロセスは、保護材料をリードフレームシートに適用することを含み得、保護材料は、半導体デバイスをダイ取り付けパッドに接着する前に除去するために構成される。

【００５３】

リードフレームを製造するためのプロセスは、各ダイ取り付けパッドの頂部表面上に余分なダイ取り付け材料を堆積することを含み得、余分なダイ取り付け材料は、各ダイ取り付けパッド上のキャビティを囲む縁を形成する。

【００５４】

例示のリードフレームシートが、別個のユニットへの個片化のために構成される複数のリードフレームセグメントを含み、各リードフレームセグメントは、ダイ取り付けパッドと複数の導体とを有する。各ダイ取り付けパッドの頂部表面にキャビティが形成される。キャビティ内にダイ取り付け材料が配置される。ダイ取り付け材料は、半導体ダイをダイ取り付けパッド上に搭載するために適合される。ダイ取り付け材料の頂部表面は、各ダイ取り付けパッドの頂部表面と同一平面上にある。リードフレームシートの頂部表面にフィルムが適用される。保護フィルムは、リードフレームシートの搬送の間、キャビティ内に配置されたダイ取り付け材料を保護するように構成される。

【００５５】

リードフレームは、ダイ取り付けパッドの頂部表面上であり、キャビティのすべての側部を囲む、付加的なダイ取り付け材料の縁を含み得る。

【００５６】

リードフレームシートは、半導体ダイがダイ取り付け材料を用いてダイ取り付けパッド上に搭載されるときにダイ取り付け材料がダイ取り付けパッドから溢れるのを防止するよ

うに選択された、各ダイ取り付けパッドのキャビティに堆積される或る量のダイ取り付け材料を含み得る。

【００５７】

リードフレームシートは、複数のダイ取り付けパッドと複数の導体との間に適用されるモールディング材料を更に含み得、モールディング材料は、リードフレームシートの頂部表面及び底部表面と同一平面上にある頂部表面及び底部表面を有する。

【００５８】

本開示の様々な例を上記で説明してきたが、それらは単なる例として提示したものであり、限定ではないことを理解されたい。本開示の趣旨又は範囲を逸脱することなく、開示された例に対して多くの変更を本明細書における開示に従って行うことが可能である。本発明の特許請求の範囲内で、説明した実施例に改変が成され得、他の実施例が可能である。そのため、本発明の幅及び範囲は、上記の例のいずれによっても限定されるべきではない。むしろ、本開示の範囲は、下記の特許請求の範囲及びそれらの等価物に従って定義されるものである。

【図面】

【図１】

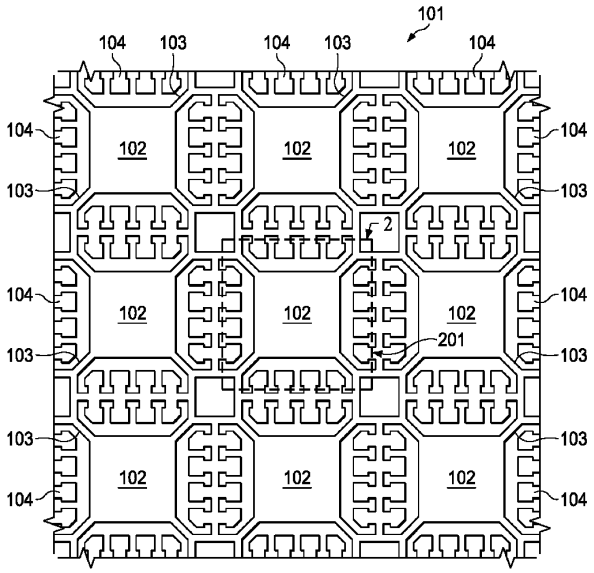


FIG. 1

【図２】

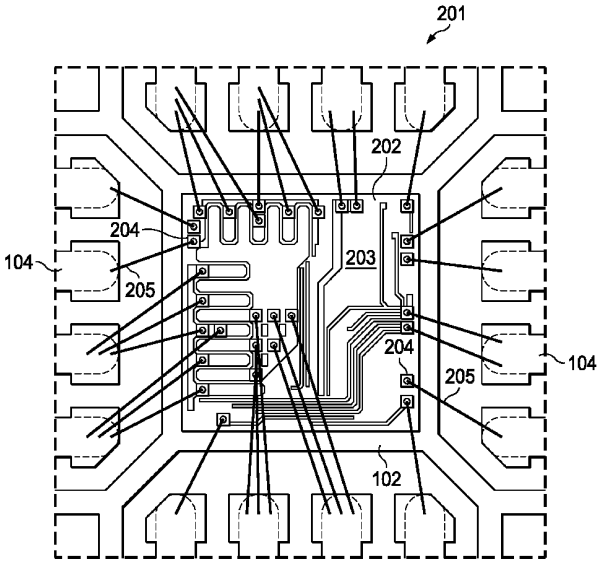


FIG. 2

【図３】

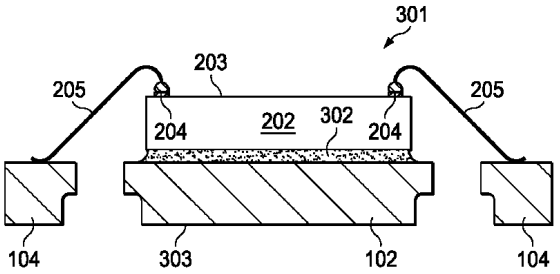


FIG. 3

【図４Ａ】

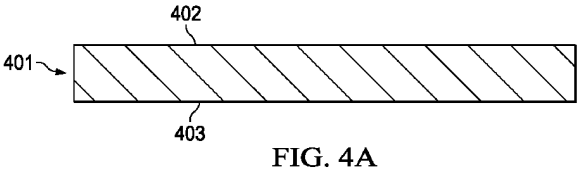


FIG. 4A

【図４Ｂ】

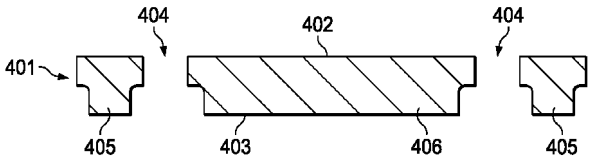


FIG. 4B

【図４Ｃ】

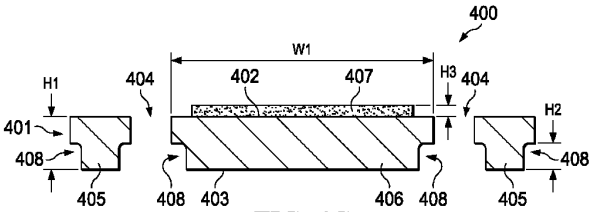


FIG. 4C

【図５Ａ】

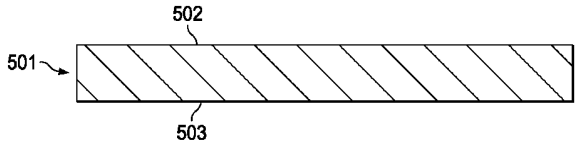


FIG. 5A

【図５Ｂ】

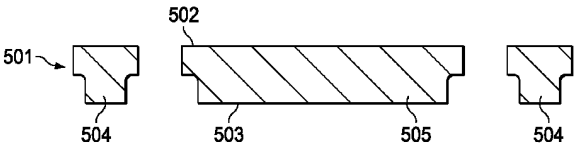


FIG. 5B

【図５Ｃ】

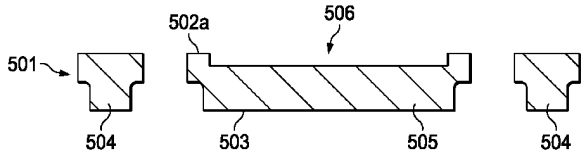


FIG. 5C

【図５Ｄ】

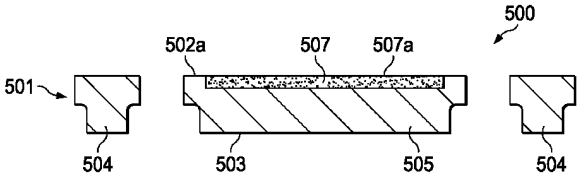


FIG. 5D

【図５Ｅ】

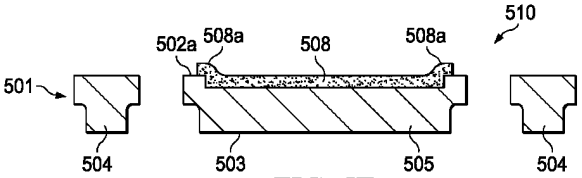


FIG. 5E

【図６】

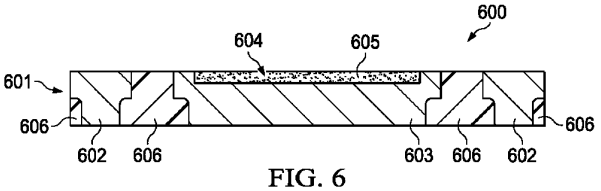


FIG. 6

【図７】

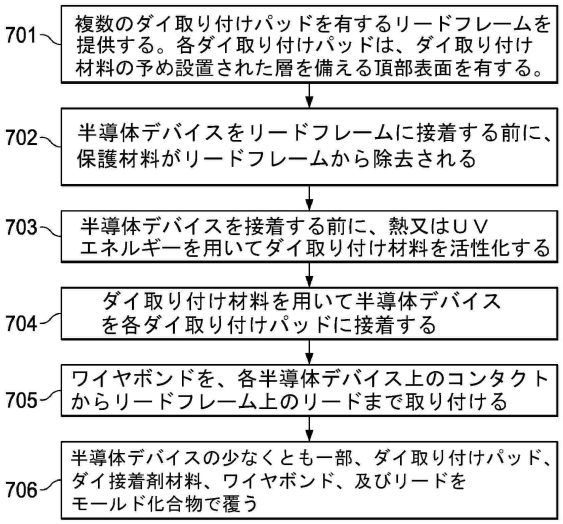


FIG. 7

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US2022/053314

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/48(2006.01)i; **H01L 21/56**(2006.01)i; **H01L 23/495**(2006.01)i; **H01L 23/00**(2006.01)i; **H01L 23/31**(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 21/48(2006.01); B23P 19/00(2006.01); B65B 61/22(2006.01); B65D 81/26(2006.01); H01L 21/52(2006.01); H01L 21/78(2006.01); H01L 23/31(2006.01); H01L 23/495(2006.01); H01L 23/50(2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean utility models and applications for utility models
Japanese utility models and applications for utility models

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS(KIPO internal) & Keywords: lead frame, die pad, lead, die attach material, cavity

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2012-104709 A (SHINDENGEN ELECTRIC MFG CO., LTD.) 31 May 2012 (2012-05-31) See paragraphs [0002], [0020]-[0024] and figure 1.	1-20
Y	JP 09-086567 A (NITTO DENKO CORP.) 31 March 1997 (1997-03-31) See paragraph [0030] and figure 1.	1-20
Y	US 6099678 A (AKIO KOTATO et al.) 08 August 2000 (2000-08-08) See claim 1 and figure 1.	5,9
Y	US 2020-0135623 A1 (STMICROELECTRONICS, INC.) 30 April 2020 (2020-04-30) See paragraphs [0021]-[0023] and figure 2.	20
A	US 2021-0183750 A1 (STMICROELECTRONICS, INC.) 17 June 2021 (2021-06-17) See paragraphs [0034]-[0047] and figures 5-14.	1-20

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
28 April 2023	**02 May 2023**
Name and mailing address of the ISA/KR **Korean Intellectual Property Office** **189 Cheongsa-ro, Seo-gu, Daejeon** **35208, Republic of Korea** Facsimile No. **+82-42-481-8578**	Authorized officer **JUNG, Jong Han** Telephone No. **+82-42-481-5642**

Form PCT/ISA/210 (second sheet) (July 2022)

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/US2022/053314

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
JP	2012-104709	A	31 May 2012	JP	5577221	B2	20 August 2014
JP	09-086567	A	31 March 1997	None			
US	6099678	A	08 August 2000	JP	09-017810	A	17 January 1997
				JP	2000-357697	A	26 December 2000
				JP	2001-176895	A	29 June 2001
				JP	3187400	B2	11 July 2001
				JP	3215014	B2	02 October 2001
				JP	3418609	B2	23 June 2003
				KR	10-0333452	B1	18 April 2002
				KR	10-0399332	B1	26 September 2003
				KR	10-0426298	B1	08 April 2004
				KR	10-0450004	B1	24 September 2004
				KR	10-1998-0701136	A	30 April 1998
				KR	10-2004-0004487	A	13 January 2004
				MY	125665	A	30 August 2006
				MY	136814	A	28 November 2008
				TW	307910	B	11 June 1997
				US	6825249	B1	30 November 2004
				WO	96-29730	A1	26 September 1996
US	2020-0135623	A1	30 April 2020	CN	108987367	A	11 December 2018
				CN	108987367	B	14 June 2022
				CN	208507661	U	15 February 2019
				US	10079198	B1	18 September 2018
				US	10541196	B2	21 January 2020
				US	10910295	B2	02 February 2021
				US	2018-0358286	A1	13 December 2018
US	2021-0183750	A1	17 June 2021	CN	108281407	A	13 July 2018
				CN	108281407	B	22 October 2021
				CN	207338361	U	08 May 2018
				US	10109563	B2	23 October 2018
				US	10615104	B2	07 April 2020
				US	10957634	B2	23 March 2021
				US	11552007	B2	10 January 2023
				US	2018-0190576	A1	05 July 2018
				US	2019-0043790	A1	07 February 2019
				US	2020-0194355	A1	18 June 2020

Form PCT/ISA/210 (patent family annex) (July 2022)

フロントページの続き

,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CV,CV,CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IQ,IR,IS,IT,JM,JO,JP,KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,ZW

，クラーク フリーポート ゾーン，センテニアル ロード，ウェスト インダストリアル エステート

(72)発明者　ドロレス ビー ミロ

フィリピン共和国 ２６００ バギオ シティ，ロアカン ロード，ペザ

Ｆターム（参考）　4M109 AA01 BA01 CA21
5F044 AA01 GG07 MM02 MM14
5F061 AA01 BA01 CA21
5F067 AB04 BA02 BC13 BE02 BE03 DF01