



(12) 发明专利申请

(10) 申请公布号 CN 118318395 A

(43) 申请公布日 2024. 07. 09

(21) 申请号 202280078777.2

(22) 申请日 2022.12.02

(30) 优先权数据

17/541,781 2021.12.03 US

(85) PCT国际申请进入国家阶段日

2024.05.28

(86) PCT国际申请的申请数据

PCT/US2022/051601 2022.12.02

(87) PCT国际申请的公布数据

W02023/102154 EN 2023.06.08

(71) 申请人 德克萨斯仪器股份有限公司

地址 美国德克萨斯州

(72) 发明人 J·贾纳德哈南 Y·达瓦赫卡

S·玛克赫吉

(74) 专利代理机构 北京纪凯知识产权代理有限公司

11245

专利代理师 袁策

(51) Int.Cl.

H03L 7/197 (2006.01)

H03L 7/081 (2006.01)

H03K 5/131 (2006.01)

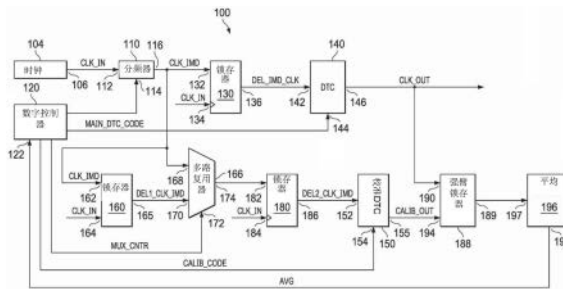
权利要求书3页 说明书10页 附图5页

(54) 发明名称

用于数字-时间转换器的在线增益校准的系统和方法

(57) 摘要

一种系统(100)包括第一数字-时间转换器(DTC)(140),其适于接收第一DTC代码和第一时钟信号。第一DTC(140)提供输出时钟信号。系统(100)包括校准DTC(150),其适于接收校准DTC代码和第二时钟信号。校准DTC(150)提供校准输出信号。系统(100)包括锁存比较器(188),其提供指示输出时钟信号和校准输出信号中的哪个被首先接收的输出。系统(100)包括平均计算模块(196),其提供锁存比较器的输出的平均值。系统(100)包括适于接收平均值的数字控制器(120)。数字控制器(120)提供DTC代码和校准DTC代码。



1. 一种系统,其包括:

第一数字-时间转换器即第一DTC,其具有适于接收DTC代码的第一输入端和适于接收第一时钟信号的第二输入端,所述第一DTC可操作以在第一DTC输出端处提供输出时钟信号;

校准DTC,其具有适于接收校准DTC代码的第一输入端和适于接收第二时钟信号的第二输入端,所述校准DTC可操作以在校准DTC输出端处提供校准输出信号;

锁存比较器,其具有与所述第一DTC输出端耦合的第一输入端和与所述校准DTC输出端耦合的第二输入端,所述锁存比较器可操作以在锁存比较器输出端处提供指示所述输出时钟信号和所述校准输出信号中的哪个被首先接收的多个输出值;

平均计算模块,其具有与所述锁存比较器输出端耦合的输入端,并且可操作以在所述平均计算模块的输出端处提供所述多个输出值的平均值;以及

数字控制器,其具有与所述平均计算模块的所述输出端耦合的输入端,所述数字控制器可操作以提供所述DTC代码、所述校准DTC代码和增益误差信号。

2. 根据权利要求1所述的系统,其中所述数字控制器包括 $\Sigma - \Delta$ 调制器,其具有适于接收所述增益误差信号的输入端,并且可操作以提供所述DTC代码。

3. 根据权利要求1所述的系统,其中所述数字控制器包括代码级检测器,其具有适于接收所述第一DTC代码的输入端,并且可操作以在所述第一DTC代码小于下阈值的情况下提供第一指示,并且在所述第一DTC代码大于上阈值的情况下提供第二指示。

4. 根据权利要求3所述的系统,其中所述数字控制器包括状态机,其具有适于接收所述平均值的第一输入端和适于接收所述第一指示或所述第二指示的第二输入端,所述状态机可操作以提供所述增益误差信号和所述校准DTC代码。

5. 根据权利要求4所述的系统,其中所述状态机可操作以调整所述校准DTC代码以将所述平均值移动到接近0.5。

6. 根据权利要求4所述的系统,其中所述状态机可操作以通过经由调整所述校准DTC代码将所述平均值移动到接近0.5,来将所述输出时钟信号与所述校准输出信号对准。

7. 根据权利要求1所述的系统,其中由所述锁存比较器提供的所述输出值是指示所述输出时钟信号和所述校准输出信号中的哪个被首先接收的二进制数。

8. 一种系统,其包括:

状态机,其具有适于接收平均值信号的第一输入端,并具有第二输入端,所述状态机可操作以在第一状态机输出端处输出误差信号并在第二状态机输出端处输出校准DTC代码;

第一数字-时间转换器即第一DTC,其具有适于接收第一时钟信号的第一输入端和适于接收第一DTC代码的第二输入端,所述第一DTC可操作以在第一DTC输出端处提供输出时钟信号;

校准DTC,其具有适于接收第二时钟信号的第一输入端和与所述第二状态机输出端耦合的第二输入端,所述校准DTC可操作以在校准DTC输出端处提供校准输出信号;

锁存比较器,其具有与所述第一DTC输出端耦合的第一输入端和与所述校准DTC输出端耦合的第二输入端,所述锁存比较器可操作以在锁存比较器输出端处提供指示所述输出时钟信号和所述校准输出信号中的哪个被首先接收的多个输出信号;

平均计算模块,其具有与所述锁存比较器输出端耦合的输入端,并且可操作以在平均

计算模块输出端处提供所述多个输出信号的所述平均值信号,所述平均计算模块输出端与所述状态机的所述第一输入端耦合;

代码级检测器,其具有与所述第一DTC的所述第二输入端耦合的输入端,并且可操作以在所述第一DTC代码小于下阈值的情况下在代码级检测器输出端处提供第一指示信号,并且在所述第一DTC代码大于上阈值的情况下在所述代码级检测器输出端处提供第二指示信号;

校准DTC代码计算模块,其具有与所述代码级检测器输出端耦合的第一输入端,并且可操作以在与所述状态机的所述第二输入端耦合的校准DTC代码计算模块输出端处提供所述校准DTC代码;以及

$\Sigma$  -  $\Delta$  调制器,其具有与所述第一状态机输出端耦合的输入端,并且可操作以在与所述第一DTC的所述第二输入端耦合的调制器输出端处提供所述第一DTC代码。

9. 根据权利要求8所述的系统,其中所述平均值信号指示平均值,并且其中所述状态机可操作以调整所述校准DTC代码以将所述平均值移动到接近0.5。

10. 根据权利要求9所述的系统,其中所述状态机可操作以通过经由调整所述校准DTC代码将所述平均值移动到接近0.5,来将所述输出时钟信号与所述校准输出信号对准。

11. 根据权利要求8所述的系统,其中所述锁存比较器可操作以提供指示所述输出时钟信号和所述校准输出信号中的哪个被首先接收的二进制数。

12. 根据权利要求11所述的系统,其中所述平均计算模块可操作以提供所述二进制数的所述平均值。

13. 一种使用校准数字-时间转换器即校准DTC来校准第一DTC的方法,所述方法包括:

由所述第一DTC接收第一数字代码和第一时钟信号;

响应于接收到所述第一数字代码和所述第一时钟信号,由所述第一DTC提供输出时钟信号;

在所述第一数字代码小于下阈值的情况下,向所述校准DTC提供第一校准数字代码和第二时钟信号,并提供校准输出信号,其中所述第一校准数字代码等于所述第一数字代码;

调整所述第一校准数字代码以将所述校准输出信号与所述时钟输出信号对准;

将施加到所述校准DTC的所述第二时钟信号延迟一个时钟周期;

向所述第一DTC提供第三数字代码;

在所述第三数字代码大于上阈值的情况下,向所述校准DTC提供第二校准数字代码;以及

调整所述第二校准数字代码以将所述输出时钟信号与所述校准输出信号对准。

14. 根据权利要求13所述的方法,进一步包括从施加到所述校准DTC的已调整的第二校准数字代码来确定所述第一DTC的增益误差。

15. 根据权利要求13所述的方法,进一步包括通过调整施加到所述校准DTC的所述第二校准数字代码,将所述输出时钟信号的边沿与所述校准输出信号的对应边沿对准。

16. 根据权利要求13所述的方法,其中所述调整所述第一校准数字代码和所述第二校准数字代码包括测量所述输出时钟信号与所述校准输出信号之间的时间差。

17. 根据权利要求13所述的方法,其中调整所述第一校准数字代码包括:

响应于所述输出时钟信号和所述校准输出信号,提供指示所述输出时钟信号和所述校

准输出信号中的哪个被首先接收的二进制输出；

确定所述二进制输出的平均值；以及

调整所述校准数字代码,直到所述二进制输出的所述平均值接近0.5。

18.根据权利要求17所述的方法,其中当所述平均值接近0.5时,所述输出时钟信号与所述校准输出信号对准。

19.根据权利要求13所述的方法,进一步包括从施加到所述校准DTC的已调整的第二校准数字代码确定所述第一DTC的增益误差。

20.根据权利要求19所述的方法,进一步包括使用所述增益误差生成所述第一数字代码。

## 用于数字-时间转换器的在线增益校准的系统和方法

### 技术领域

[0001] 本描述总体涉及数字-时间转换器 (DTC), 并特别涉及DTC的在线增益校准。

### 背景技术

[0002] 数字-时间转换器 (DTC) 用于锁相环 (PLL) 系统和小数输出分频器 (fractional output dividers, FOD)。在FOD中, DTC从数字控制器接收输入 (例如, DTC代码), 并且作为响应, DTC通过在输入时钟边沿之间内插来合成精细的时间边沿, 以生成DTC的输出信号的所期望相位。

[0003] DTC的输出相位的准确性取决于输入时钟频率及其增益。因为DTC可能会不间断操作若干年, 所以可能会发生模拟损伤 (诸如由DTC的老化引起的增益偏差), 这可能导致增益误差。为了补偿增益误差, 有必要重新校准DTC的增益。

[0004] 操作期间DTC的重新校准具有挑战性。有几种已知的方法在当DTC代码为零时的操作期间重新校准DTC的增益。这些方法的缺点是DTC代码为零的概率非常低。例如, 如果DTC代码具有12位, 则代码为零的概率为0.00024, 并因此此种事件很少发生。在操作期间重新校准DTC的增益的其他方法增大输出中的抖动, 这降低DTC的性能。因为大多数FOD具有严格的抖动要求 (例如, 输出中的抖动 < 125 飞秒), 所以输出中的任何抖动增大都可能使FOD不适合所期望用途。

### 发明内容

[0005] 在一个方面, 一种系统包括第一数字-时间转换器 (DTC), 其具有适于接收DTC代码的第一输入端和适于接收第一时钟信号的第二输入端。第一DTC在第一DTC输出端处提供输出时钟信号。该系统包括校准DTC, 其具有适于接收校准DTC代码的第一输入端和适于接收第二时钟信号的第二输入端。校准DTC在校准DTC输出端处提供校准输出信号。该系统包括锁存比较器, 其具有与第一DTC输出端耦合的第一输入端和与校准DTC输出端耦合的第二输入端。锁存比较器在锁存比较器输出端处提供指示输出时钟信号和校准输出信号中的哪个被首先接收的多个输出值。该系统包括平均计算模块, 其具有与锁存比较器输出端耦合的输入端。平均计算模块在平均计算模块的输出端处提供从锁存比较器接收的多个输出值的平均值。该系统包括数字控制器, 其具有与平均计算模块的输出端耦合的输入端。数字控制器提供DTC代码、校准DTC代码和增益误差信号。

[0006] 此外, 数字控制器包括 $\Sigma - \Delta$ 调制器, 其具有适于接收增益误差信号的输入端。 $\Sigma - \Delta$ 调制器提供DTC代码。

[0007] 此外, 数字控制器包括代码级检测器, 其具有适于接收第一DTC代码的输入端。如果第一DTC代码小于下阈值, 则代码级检测器提供第一指示, 并且如果第一DTC代码大于上阈值, 则代码级检测器提供第二指示。

[0008] 此外, 数字控制器包括状态机, 其具有适于接收平均值的的第一输入端和适于接收第一指示或第二指示的第二输入端。状态机提供增益误差信号和校准DTC代码。

[0009] 此外,状态机通过经由调整校准DTC代码将平均值移动到接近0.5来将输出时钟信号与校准输出信号对准。

[0010] 此外,锁存比较器提供的输出值是指输出时钟信号和校准输出信号中的哪个被首先接收的二进制数(binary number)。

[0011] 此外,一种系统包括第一数字-时间转换器(DTC),其具有适于接收第一DTC代码的第一输入端和适于接收第一时钟信号的第二输入端。第一DTC提供输出时钟信号。该系统包括校准DTC,其具有适于接收校准DTC代码的第一输入端和适于接收第二时钟信号的第二输入端。校准DTC提供校准输出信号。该系统包括锁存比较器,其具有适于接收输出时钟信号的第一输入端和适于接收校准输出时钟信号的第二输入端。锁存比较器提供指示输出时钟信号和校准输出信号中的哪个被首先接收的二进制输出。该系统包括平均计算模块,其具有适于接收二进制输出的输入端,并提供二进制输出的平均值。该系统包括状态机,其具有适于接收平均值的第一输入端,以及适于在第一DTC代码小于下阈值的情况下接收第一指示或者在第一DTC代码大于上阈值的情况下接收第二指示的第二输入端。状态机提供增益误差信号和校准DTC代码。该系统包括 $\Sigma - \Delta$ 调制器,其具有适于接收增益误差信号的输入端并提供第一DTC代码。

[0012] 此外,一种使用校准DTC校准第一DTC的方法包括向第一DTC提供第一数字代码和第一时钟信号,并提供输出时钟信号。如果第一数字代码小于下阈值,则该方法包括向校准DTC提供第一校准数字代码和第二时钟信号,并提供校准输出信号,其中第一校准数字代码等于第一数字代码。该方法包括调整第一校准数字代码以将校准输出信号与输出时钟信号对准。该方法包括将施加到校准DTC的第二时钟信号延迟一个时钟周期,并向第一DTC提供第三数字代码。如果第三数字代码大于上阈值,则该方法包括向校准DTC提供第二校准数字代码,并调整第二校准数字代码以将输出时钟信号与校准输出信号对准。

[0013] 此外,该方法包括从已调整的第二校准数字代码确定第一DTC的增益误差。

[0014] 此外,该方法包括通过调整施加到校准DTC的第二校准数字代码来将输出时钟信号的边沿与校准输出信号的对应边沿对准。

[0015] 此外,调整第一校准数字代码的方法包括响应于输出时钟信号和校准输出信号提供指示输出时钟信号和校准输出信号中的哪个被首先接收的二进制输出;确定二进制输出的平均值;以及调整校准数字代码直到二进制输出的平均值接近0.5。

## 附图说明

[0016] 图1是示例的具有增益校准的小数输出分频器(FOD)的框图。

[0017] 图2是示例的数字控制器的框图。

[0018] 图3是示例的方法的流程图。

[0019] 图4A和图4B是校准DTC的示例方法的时序图。

[0020] 附图中使用相同的附图标记或其他参考指示符来表示相同或类似(结构上和/或功能上)的特征。

## 具体实施方式

[0021] 图1是示例的小数输出分频器(FOD) 100的框图。FOD 100接收输入时钟信号CLK\_

IN,并通过由小数分频器将CLK\_IN分频来产生输出时钟信号CLK\_OUT。输出时钟信号CLK\_OUT具有等于CLK\_IN的指定小数的频率。

[0022] FOD 100包括信号发生器104(例如振荡器,诸如体声波BAW设备),其在输出端106处提供适当频率(例如100MHz、1GHz、10GHz)的输入时钟信号CLK\_IN。FOD 100包括分频器110,其具有经耦合以接收CLK\_IN的第一输入端112和经耦合以接收表示整数N(例如N=2、5、10、100)的信号(诸如数字信号)的第二输入端114。整数N对应于小数分频器的整数部分。例如,如果小数分频器是10.5,则对应的整数部分是10。分频器110将CLK\_IN以整数N分频,并在输出端116处提供中间时钟信号CLK\_IMD。

[0023] 在一些示例中,分频器110可以用计数器实施,该计数器对CLK\_IN的边沿的数量(等于小数分频器的整数部分)计数,以产生具有与所期望输出信号的近似周期接近的周期的信号。例如,如果小数分频器是10.5,则分频器110可以对10个边沿计数,并产生具有所期望输出时钟信号CLK\_OUT的近似周期的对应信号CLK\_IMD。因此,在该示例中,CLK\_IMD具有等于CLK\_IN的10个时钟周期的时钟周期。

[0024] 在一些示例中,数字控制器120可以向分频器110提供指令,以对CLK\_IN的N个边沿计数并产生CLK\_IMD。数字控制器120或其部分可以在硬件(例如,逻辑电路系统、状态机、微处理器、专用集成电路)、固件和/或软件中实施。

[0025] FOD 100包括第一锁存器130,其具有经耦合以接收中间时钟信号CLK\_IMD的数据输入端132。第一锁存器130具有经耦合以接收输入时钟信号CLK\_IN的时钟输入端134。第一锁存器130将中间时钟信号CLK\_IMD延迟CLK\_IN的一个时钟周期,并在输出端136处提供经延迟的中间时钟信号DEL\_CLK\_IMD。

[0026] FOD 100包括主数字-时间转换器(DTC)140,其也称为第一DTC 140。主DTC 140具有经耦合以接收经延迟的中间时钟信号DEL\_CLK\_IMD的第一输入端142,并且具有经耦合以接收主DTC代码MAIN\_DTC\_CODE的第二输入端144。在一些示例中,数字控制器120可以向主DTC 140提供MAIN\_DTC\_CODE。主DTC代码MAIN\_DTC\_CODE可以指导主DTC 140内插输入时钟信号CLK\_IN的小数周期并在DEL\_IMD\_CLK的边沿之间加上小数周期以在输出端146处产生输出时钟CLK\_OUT。这具有通过在边沿之间加上小数周期来产生CLK\_OUT的边沿之间的所期望长度的效果。

[0027] 例如,如果小数分频器为10.5,则整数部分为10并且小数部分为0.5。分频器110将CLK\_IN以10(即小数分频器的整数部分)分频。主DTC代码MAIN\_DTC\_CODE可以指导主DTC 140内插等于CLK\_IN的0.5个周期的小数周期。主DTC 140可以确定CLK\_IN的0.5个周期,并在DEL\_IMD\_CLK的边沿之间加上CLK\_IN的0.5个周期,以便产生CLK\_OUT的边沿之间的所期望长度。其效果是输出端146处的输出时钟信号CLK\_OUT具有等于CLK\_IN的10.5个时钟周期的时钟周期。

[0028] 在一些示例中,对于CLK\_OUT的每个周期重复内插CLK\_IN的小数周期的过程。因为小数比(fractional ratio)引起CLK\_IN和CLK\_OUT之间的边沿关系不断变化,所以每个周期需要不同的内插量。在一些示例中, $\Sigma$ - $\Delta$ 调制器(图1中未示出)被实施以计算内插量。

[0029] 在一些示例中,主DTC代码MAIN\_DTC\_CODE是12位二进制数。因此,MAIN\_DTC\_CODE可以具有最大值4096和最小值0。在其他示例中,MAIN\_DTC\_CODE可以具有更高或更低数量的位。

[0030] 因为FOD 100可以不间断地操作多年,所以随着时间的推移,由于模拟损伤,主DTC 140的增益可能会偏离。例如,随着时间的推移,电容器的电容值可能会发生变化,从而导致增益误差,这需要对主DTC 140的增益进行校正(即,重新校准)以补偿增益误差。

[0031] 在示例中,主DTC 140在操作时进行校准,而不会降低其性能。FOD 100包括校准DTC 150,其也被称为第二DTC 150。校准DTC 150用于在操作时校准主DTC 140。

[0032] FOD 100包括第二锁存器160,其具有经耦合以接收中间时钟信号CLK\_IMD的数据输入端162,并具有经耦合以接收输入时钟信号CLK\_IN的时钟输入端164。第二锁存器160将CLK\_IN的一个时钟周期的延迟添加到中间时钟信号CLK\_IMD,并在输出端165处提供经延迟的中间时钟信号DEL1\_CLK\_IMD。FOD 100包括多路复用器166,其具有经耦合以接收来自分频器110的CLK\_IMD的第一输入端168,并具有经耦合以接收来自第二锁存器160的DEL1\_CLK\_IMD的第二输入端170。多路复用器166具有控制输入端172,其经耦合以接收可以由数字控制器120提供的多路复用器控制信号MUX\_CNTR。响应于多路复用器控制信号MUX\_CNTR,多路复用器166选择CLK\_IMD和DEL1\_CLK\_IMD中的一个,并在输出端174处提供所选信号。FOD 100包括第三锁存器180,其具有与多路复用器166的输出端174耦合的数据输入端182。第三锁存器180具有经耦合以接收输入时钟信号CLK\_IN的时钟输入端184。第三锁存器180将CLK\_IN的一个时钟周期的延迟施加到多路复用器166的输出(例如CLK\_IMD或DEL1\_CLK\_IMD)。第三锁存器180在输出端186处提供信号DEL2\_CLK\_IMD。信号DEL2\_CLK\_IMD可以是经延迟的中间时钟信号(如果CLK\_IMD由多路复用器166输出)或经延迟的时钟信号(如果DEL1\_CLK\_IMD由多路复用器166输出)。取决于多路复用器166是选择其第一输入端168处的信号还是选择其第二输入端170处的信号,信号路径可以包括等于CLK\_IN的一个时钟周期或CLK\_IN的两个时钟周期的延迟。

[0033] 校准DTC 150包括与第三锁存器180的输出端186耦合的第一输入端152,并包括经耦合以接收可以由数字控制器120提供的校准代码CALIB\_CODE的第二输入端154。响应于校准代码CALIB\_CODE,校准DTC 150内插CLK\_IN的周期的小数,并在DEL2\_CLK\_IMD的两个边沿之间加上小数周期,并在输出端155处提供CALIB\_OUT。

[0034] 在示例中,使用校准DTC 150在两个校准阶段中校准主DTC 140的增益。在第一校准阶段中,当主DTC代码MAIN\_DTC\_CODE靠近或接近0时,校准主DTC 140的增益。

[0035] 在第一校准阶段中,响应于多路复用器控制信号MUX\_CNTR,多路复用器166选择其第一输入端168处的信号。因此,在第一校准阶段中,多路复用器166选择由分频器110提供的CLK\_IMD。所选信号CLK\_IMD由第三锁存器180接收,该第三锁存器施加CLK\_IN的一个时钟周期的延迟并输出DEL2\_CLK\_IMD。

[0036] 在DEL2\_CLK\_IMD施加到校准DTC 150的情况下,当主DTC代码MAIN\_DTC\_CODE靠近或接近0时,校准DTC 150的增益与主DTC 140的增益对准。

[0037] 例如,如果MAIN\_DTC\_CODE是12位二进制数,则其具有最小值零和最大值4096。数字控制器120将MAIN\_DTC\_CODE与下阈值进行比较,并且如果MAIN\_DTC\_CODE小于或等于下阈值,则数字控制器120认为MAIN\_DTC\_CODE靠近或接近0。下阈值可以由用户输入或系统要求来设置。

[0038] 作为示例,可以将下阈值设置为15。因此,可以具有在0和15之间的值的MAIN\_DTC\_CODE可以被认为靠近或接近0。与要求DTC代码为0以用于校准的现有方法(由于DTC代码等

于0的概率低,因此这种情况很少发生)不同,所述示例仅要求MAIN\_DTC\_CODE靠近或接近0。通过要求MAIN\_DTC\_CODE靠近或接近0,而不是精确地为0,它发生的概率大大增加。如果下阈值设置为15,则具有靠近或接近0的值的MAIN\_DTC\_CODE发生的概率是具有0值的代码发生的概率的十五倍高。通过增加下阈值数,可以增加所期望代码发生的概率,从而使得能够在操作期间频繁校准主DTC 140。

[0039] 如果MAIN\_DTC\_CODE靠近或接近0,则数字控制器120将CALIB\_CODE设置为等于MAIN\_DTC\_CODE。例如,如果MAIN\_DTC\_CODE为15,则CALIB\_CODE等于15。在CALIB\_CODE等于MAIN\_DTC\_CODE的情况下,CALIB\_CODE被调整以将校准DTC 150的输出信号(CALIB\_OUT)的边沿与主DTC 140的输出信号(CLK\_OUT)的对应边沿对准。校准DTC代码CALIB\_CODE被调整为最小化CLK\_OUT的边沿与CALIB\_OUT的对应边沿之间的任何时间差。这是使用强臂锁存器(SAL)188完成的。SAL 188是锁存比较器,其具有第一输入端190和第二输入端194,在该第一输入端处接收主DTC 140的输出CLK\_OUT,并在该第二输入端处接收校准DTC 150的输出CALIB\_OUT。SAL 188为接收到的每对输入信号确定哪个首先到达,并在输出端196处提供指示哪个输入信号首先到达的二进制数(0或1)。

[0040] 由于非理想的操作条件,因此CLK\_IN中可能存在噪声和抖动。这点的影晌是第一DTC 140的输出(CLK\_OUT)和校准DTC 150的输出(CALIB\_OUT)可能不完全同时到达。因此,CALIB\_OUT的边沿与CLK\_OUT的边沿不完全对准,这导致SAL 188输出二进制0或二进制1。

[0041] 例如,如果响应于CALIB\_CODE的增大,CALIB\_OUT的边沿和CLK\_OUT的边沿之间的时间差趋向于移动得更近,则SAL 188的输出处的0和1的分布将移动得靠近相等。因此,如果响应于CALIB\_CODE的增大,CALIB\_OUT和CLK\_OUT移动得越来越接近对准,则在SAL 188的输出中将存在近似相等数量的0和1。因此,SAL 188的输出的样本(例如,100、200个)的平均值将趋向于移动得靠近0.5。相反,如果响应于校准代码的增大,CALIB\_OUT和CLK\_OUT趋向于移动得更远离对准,则在SAL 188的输出处将存在不相等数量的0和1。如果CALIB\_OUT和CLK\_OUT移动得更远离对准,则会有增加数量的1和减少数量的0,或者会有增加数量的0和减少数量的1。因此,输出的样本(例如,100、200个)的平均值将趋向于更远离0.5(靠近1或靠近0)。基于SAL 188的输出的样本的平均值,可以确定CALIB\_CODE中的增大或减小是否导致CALIB\_OUT和CLK\_OUT移动得更接近对准。

[0042] FOD 100包括具有输入端197的平均计算单元196,在该输入端处接收SAL 188的输出。平均计算单元196计算SAL 188的输出的样本(例如100、200个)的平均值,并在输出端198处提供平均值AVG。数字控制器120在输入端122处接收平均值AVG,并且作为响应调整CALIB\_CODE以调整校准DTC 150的增益,直到平均计算单元196的输出AVG近似为0.5,这指示校准DTC 150的输出(CALIB\_OUT)与主DTC 140的输出(CLK\_OUT)对准。平均计算单元196是可以在硬件(例如,逻辑电路系统、微处理器、专用集成电路)、固件和/或软件中实施的功能单元。

[0043] 在第一阶段中以接近或靠近0的DTC代码(例如MAIN\_DTC\_CODE小于上述阈值)校准主DTC 140之后,在第二阶段中当DTC代码靠近或接近满代码(即最大值)(例如MAIN\_DTC\_CODE大于或等于下述的上阈值)时校准主DTC。在第二阶段中,响应于多路复用器控制信号MUX\_CNTR,多路复用器166选择其第二输入端170处的信号(DEL1\_CLK\_IMD)。多路复用器166向第三锁存器180提供DEL1\_CLK\_IMD,该第三锁存器继而施加等于CLK\_IN的一个时钟周期

的延迟,并向校准DTC 150提供DEL2\_CLK\_IMD。在第二阶段中,主DTC 140接收延迟了CLK\_IN的一个时钟周期的信号,而校准DTC 150接收延迟了CLK\_IN的两个时钟周期的信号。因此,校准DTC 150的输入信号相对于主DTC 140的输入信号延迟了CLK\_IN的一个时钟周期。

[0044] 在DEL2\_CLK\_IMD被施加到校准DTC 150的情况下,当MAIN\_DTC\_CODE靠近或接近满代码时,调整(即增大或减小)CALIB\_CODE,以使校准DTC 150的输出与主DTC 140的输出对准。例如,如果MAIN\_DTC\_CODE是12位二进制数,则其具有最大值4096。数字控制器120将MAIN\_DTC\_CODE与上阈值进行比较,并且如果MAIN\_DTC\_CODE大于或等于上阈值,则数字控制器120认为MAIN\_DTC\_CODE靠近或接近满代码。上阈值可以由用户输入或系统要求来设置。

[0045] 作为示例,可以将上阈值设置为等于满代码减去15(例如4096-15)。因此,4081和4096之间的MAIN\_DTC\_CODE可以被认为靠近或接近满代码。与要求代码处于满代码值以用于校准(这是很少发生的)的现有方法相反,本发明仅要求MAIN\_DTC\_CODE靠近或接近满代码。通过要求MAIN\_DTC\_CODE靠近或接近满代码而不要求是满代码,其发生的概率大大增加,从而使得能够在操作期间频繁校准主DTC 140。

[0046] 如果MAIN\_DTC\_CODE靠近或接近满代码,则数字控制器120将CALIB\_CODE设置为等于靠近0的值(例如,将其设置为满代码减去MAIN\_DTC\_CODE)。例如,如果MAIN\_DTC\_CODE为4090,则CALIB\_CODE被设置为6(4096-4090=6)。

[0047] 在FOD 100中,应避免添加延迟的任何部件,即使是10皮秒。因为第一锁存器130向第一DTC 140的输入信号添加延迟,所以第三锁存器180被添加到校准DTC 150的信号路径。第三锁存器180将信号路径中的延迟添加到校准DTC 150,其补偿由第一锁存器130添加的延迟。然而,当多路复用器166选择其第二输入端170处的信号时,通过第二锁存器160将附加延迟添加到信号路径。结果,校准DTC 150的输入信号相对于第一DTC 140的输入信号延迟CLK\_IN的一个时钟周期。为了补偿附加延迟,数字控制器120将CALIB\_CODE设置为等于靠近0的值(例如,满代码减去MAIN\_DTC\_CODE)。

[0048] 在CALIB\_CODE等于零(或靠近零)的情况下,然后调整(即增大或减小)CALIB\_CODE,以将校准DTC 150的输出信号(CALIB\_OUT)的边沿与主DTC 140的输出信号(CLK\_OUT)的边沿对准。校准DTC代码CALIB\_CODE被调整以最小化CLK\_OUT的边沿与CALIB\_OUT的对应边沿之间的任何时间差。这是使用如前所述的强臂锁存器(SAL) 188完成的。

[0049] SAL 188的输出由平均计算单元196接收,该平均计算单元196计算SAL 188的输出的样本的平均值。平均计算单元196在输出端198处产生平均值AVG。数字控制器120在输入端122处接收平均值AVG,并且作为响应,调整CALIB\_CODE以调整校准DTC 150的增益,直到平均计算单元196的输出(AVG)近似为0.5,这指示当DTC代码DTC1\_CODE靠近或接近满代码时校准DTC 150的输出(CALIB\_OUT)与主DTC 140的输出(CLK\_OUT)对准。然后,主DTC 140的增益误差然后根据从初始靠近或接近满代码到当CALIB\_OUT与CLK\_OUT对准时(即,AVG近似为0.5)的已调整的代码而施加到CALIB\_CODE的增量或减量调整来确定。

[0050] 例如,对于12位DTC代码,满代码为4096,并且初始代码(MAIN\_DTC\_CODE的初始代码)可以是4090(即靠近或接近满代码)。因此,初始校准代码CALIB\_CODE是6(满代码减去初始代码4090)。如果在已调整的CALIB\_CODE为100时CALIB\_OUT和CLK\_OUT对准,则主DTC 140的增益误差=100-(-6)=106。增益误差用于计算增益校正小数Fc。如果F是小数,则增益校

正小数 $F_c$ 可以由以下公式表达：

[0051]  $F_c = F * (\text{满代码} - \text{增益误差}) / \text{满代码}$

[0052] 例如,如果满代码等于4096,并且增益误差为106,则 $F_c = F * (4096 - 106) / 4096$ 。在一些示例中, $\Sigma - \Delta$ 调制器计算增益校正小数 $F_c$ ,其用于生成主DTC代码MAIN\_DTC\_CODE。

[0053] 本文所述的FOD 100可以包括一个或多个半导体元件(诸如晶体管)、一个或多个无源元件(诸如电阻器、电容器和/或电感器)和/或一个或多个源(诸如电压和/或电流源)。FOD 100可以在单个物理设备(例如,半导体管芯和/或集成电路(IC)封装件)内仅包括半导体元件,并且可以适于在制造时或制造后(诸如由最终用户和/或第三方)耦合到无源元件和/或源中的至少一些以形成所描述结构。

[0054] 图2是示例的数字控制器120的框图。控制器120包括状态机204,其具有经耦合以从平均计算单元196接收平均值AVG的第一输入端206。状态机204具有经耦合以接收靠近0代码或靠近满代码的指示的第二输入端250,并具有经耦合以接收校准DTC代码CALIB\_CODE的第三输入端252。状态机204在第一输出端208处提供增益误差信号GAIN\_ERROR,在第二输出端210处提供校准DTC代码CALIB\_CODE,并在第三输出端212处提供多路复用器控制信号MUX\_CNTR。在一些示例中,状态机204不接收校准DTC代码CALIB\_CODE,而是状态机204基于平均值AVG和靠近0代码或靠近满代码的指示来计算校准DTC代码CALIB\_CODE。状态机204或其部分可以在硬件(例如,逻辑电路系统、微处理器、专用集成电路)、固件和/或软件中实施。

[0055] 数字控制器120包括 $\Sigma - \Delta$ 调制器220,其具有经耦合以接收增益误差信号GAIN\_ERROR的输入端222,并在输出端224处提供主DTC代码MAIN\_DTC\_CODE。主DTC 140接收MAIN\_DTC\_CODE并内插CLK\_IN的一个时钟周期的小数,并在DEL\_IMD的时钟边沿之间加上小数周期。这具有通过在边沿之间加上小数周期来产生CLK\_OUT的边沿之间的所期望长度的效果。 $\Sigma - \Delta$ 调制器220或其部分可以在硬件(例如,逻辑电路系统、状态机、微处理器、专用集成电路)、固件和/或软件中实施。

[0056] 数字控制器120包括代码级检测器230,其具有经耦合以接收主DTC代码MAIN\_DTC\_CODE的输入端232。代码级检测器230将MAIN\_DTC\_CODE与下阈值和上阈值进行比较,并检测是否已经到达靠近0代码或靠近满代码。如果检测到靠近0代码或靠近满代码,则代码级检测器230在输出端234处提供靠近满代码或靠近0代码的指示。数字控制器120包括校准代码计算单元240,其具有经耦合以接收靠近0代码或靠近满代码的指示的输入端242。校准代码计算单元240基于靠近0代码或靠近满代码来计算校准代码CALIB\_CODE,并在输出端244处提供CALIB\_CODE。状态机204具有经耦合以接收靠近0代码或靠近满代码的指示的第二输入端250和经耦合以接收CALIB\_CODE的第三输入端252。响应于接收输入250和252,状态机204提供多路复用器控制信号MUX\_CNTR。如果检测到靠近0代码,则MUX\_CNTR信号指导多路复用器166选择其第一输入端168处的信号,并且如果检测到靠近满代码,则MUX\_SELECT信号指导多路复用器166选择其第二输入端170处的信号。因为在本文描述的两个阶段中进行校准需要靠近0代码和靠近满代码,所以如果没有检测到这两个条件,则状态机204等待直到条件发生。

[0057] 在一些示例中,数字控制器120不包括校准代码计算单元240。相反,状态机204基于在输入端250处接收到的第一指示或第二指示来计算校准DTC代码CALIB\_CODE。代码级检

测器230和校准代码计算单元240可以在硬件(例如,逻辑电路系统、状态机、微处理器、专用集成电路)、固件和/或软件中实施。

[0058] 图3是示例的方法300的流程图。在方框304中,检测到靠近0代码。在示例中,代码级检测器230将MAIN\_DTC\_CODE与下阈值进行比较,并且如果MAIN\_DTC\_CODE小于下阈值,则代码级检测器230确定靠近0代码已经到达。

[0059] 在方框308中,校准DTC代码CALIB\_CODE被设置为等于MAIN\_DTC\_CODE。因此,CALIB\_CODE被设置为等于检测到的靠近0代码。在示例中,状态机204接收靠近0代码的指示,并将CALIB\_CODE设置为等于靠近0代码。在方框312中,调整CALIB\_CODE以将CALIB\_OUT(校准DTC 150的输出)的边沿与CLK\_OUT(主DTC 140的输出)的对应边沿对准。在示例中,强臂锁存器188接收CLK\_OUT和CALIB\_OUT。强臂锁存器188为接收到的每对输入信号确定哪个首先到达,并在输出端189处提供指示哪个输入信号首先到达的二进制数(0或1)。平均决定模块196在设置的周期中接收来自强臂锁存器188的多个输出,计算输出的平均AVG,并将平均值AVG提供给状态机204。状态机204接收平均值AVG,并且作为响应,调整CALIB\_CODE以将CALIB\_OUT与CLK\_OUT对准。

[0060] 在方框316中,校准DTC 150的输入相对于主DTC 140的输入延迟额外的CLK\_IN的一个时钟周期。在示例中,多路复用器166选择来自其第二输入端170的信号,该信号被第二锁存器160延迟CLK\_IN的一个时钟周期。因此,到校准DTC 150的输入端152的信号路径相对于到主DTC 140的输入端142的信号路径包括额外的CLK\_IN的一个时钟周期的延迟。

[0061] 在方框320中,检测到靠近满代码。在示例中,代码级检测器230将MAIN\_DTC\_CODE与上阈值进行比较,并且如果MAIN\_DTC\_CODE大于上阈值,则代码级检测器230确定靠近满代码已经到达,并向状态机204提供靠近满代码的指示。在方框324中,响应于靠近满代码指示,状态机204将CALIB\_CODE设置为等于0(靠近满代码减去DTC1\_CODE)。在方框328中,CALIB\_CODE然后被调整(即,增大或减小)以将CALIB\_OUT的边沿与CLK\_OUT的对应边沿对准。

[0062] 在示例中,强臂锁存器188为每对CLK\_OUT和CALIB\_OUT确定哪个首先到达,并提供指示哪个输入信号首先到达的二进制数(0或1)。平均计算单元196计算强臂锁存器188的输出的样本的平均,并将平均值AVG提供给状态机204(其继而调整CALIB\_CODE以将CALIB\_OUT与CLK\_OUT对准)。

[0063] 在方框332中,根据从初始靠近或接近满代码到当CALIB\_OUT与CLK\_OUT对准时的已调整的代码而对CALIB\_CODE施加的增量调整(例如,经由SAL 188供应的增量增大或减小)来确定主DTC 140的增益误差是根据。在一些示例中,在方框336中, $\Sigma - \Delta$ 调制器220使用增益误差来计算增益校正小数 $F_c$ ,其用于生成主DTC代码MAIN\_DTC\_CODE。该方法然后返回到方框320。

[0064] 在一些示例中,增益误差可以通过低通滤波器(图3中未示出),以消除和/或抑制增益误差中的任何杂散变化。例如,状态机204计算的增益误差可以通过低通滤波器(图2中未示出)以去除高频分量,并且 $\Sigma - \Delta$ 调制器220使用滤波后的增益误差来生成主DTC代码MAIN\_DTC\_CODE。其效果是增益误差的任何杂散变化都不会影响CLK\_OUT的相位。

[0065] 在一些示例中,在方框336之后,如果某些条件改变,则方法返回到方框304(图3中未示出)。例如,如果片上温度传感器感测到的温度改变了预定阈值,则该方法返回到方框

304。在一些示例中,增益误差测量可以被重复多次并且在被施加到主DTC 140之前被滤波。

[0066] 图4A至图4B是校准DTC 150的示例方法的时序图。在图4A中,x轴表示关于CLK\_OUT和CALIB\_OUT的曲线图的时间。y轴表示关于CLK\_OUT和CALIB\_OUT的曲线图的电压。关于CALIB\_CODE的曲线图,y轴表示在该示例中从0到 $2^{12}$ 变化的代码值,而x轴不指示时间。当MAIN\_DTC\_CODE靠近0时,CALIB\_CODE被设置为靠近0的CALIB\_CODE1(即,CALIB\_CODE被设置等于MAIN\_DTC\_CODE)。作为响应,主DTC 140输出CLK\_OUT并且校准DTC 150输出CALIB\_OUT1。因为CALIB\_OUT1的上升沿滞后于CLK\_OUT的上升沿,所以CALIB\_CODE增大到CALIB\_CODE2,这引起CALIB\_OUT 2的上升沿移位得更接近CLK\_OUT的上升沿,但是CALIB\_OUT2还没有与CLK\_OUT对准。重复该过程,直到CALIB\_CODE被调整为CALIB\_CODE4,这引起CALIB\_OUT4移位并与CLK\_OUT对准。在图4A的示例中,通过改变CALIB\_CODE仅将CALIB\_OUT的上升沿移位。在一些示例中(图4A中未示出),CALIB\_OUT的上升沿和下降沿两者可能不与CLK\_OUT的对应边沿对准,因此需要对CALIB\_OUT的上升沿与下降沿两者进行调整,以便将CALIB\_OUT与CLK\_OUT对准。

[0067] 在图4B中,x轴表示关于CLK\_OUT和CALIB\_OUT的曲线图的时间。y轴表示关于CLK\_OUT和CALIB\_OUT的曲线图的电压。关于CALIB\_CODE的曲线图,y轴表示在该示例中从0到 $2^{12}$ 变化的代码值,而x轴不指示时间。当MAIN\_DTC\_CODE靠近满代码时,CALIB\_CODE设置为CALIB\_CODE1 = 靠近满代码。作为响应,主DTC 140输出CLK\_OUT并且校准DTC 150输出CALIB\_OUT1。因为CALIB\_OUT1的上升沿滞后于CLK\_OUT的上升沿,所以CALIB\_CODE减小到CALIB\_CODE2,这引起CALIB\_OUT2的上升沿移位得更接近CLK\_OUT的上升沿,但是CALIB\_OUT2还没有与CLK\_OUT对准。重复该过程,直到CALIB\_CODE被调整为CALIB\_CODE4,这引起CALIB\_OUT4移位并与CLK\_OUT对准。在图4B的示例中,通过改变CALIB\_CODE仅将CALIB\_OUT的上升沿移位。在一些示例中,CALIB\_OUT的上升沿和下降沿两者都将不与CLK\_OUT的对应边沿对准,因此需要对CALIB\_OUT的上升沿与下降沿两者进行调整,以便将CALIB\_OUT与CLK\_OUT对准。

[0068] 在本描述中,术语“耦合”可以涵盖实现与本描述一致的功能关系的连接、通信或信号路径。例如,如果设备A提供信号以控制设备B执行动作,则:(a)在第一示例中,设备A耦合到设备B;或者(b)在第二示例中,如果介入部件C基本上不改变设备A和设备B之间的功能关系,则设备A通过介入部件C耦合到设备B,使得设备B由设备A经由设备A提供的控制信号来控制。此外,在本描述中,“被配置为”执行任务或功能的设备可以在制造时由制造商配置(例如,编程和/或硬接线)以执行该功能,和/或可以在制造后由用户可配置(或可重新配置)以执行该功能和/或其他附加或可替代功能。配置可以通过设备的固件和/或软件编程,通过设备的硬件部件和互连的构造和/或布局,或它们的组合来进行。此外,在本描述中,包括某些部件的电路或设备可代替地适于耦合到那些部件以形成所描述的电路系统或设备。例如,被描述为包括一个或多个半导体元件(诸如晶体管)、一个或多个无源元件(诸如电阻器、电容器和/或电感器)和/或一个或多个源(诸如电压和/或电流源)的结构可代替地在单个物理设备(例如半导体管芯和/或集成电路(IC)封装件)内仅包括半导体元件,并且可以适于在制造时或者在制造后(诸如由最终用户和/或第三方)耦合到无源元件和/或源中的至少一些以形成所描述的结构。

[0069] 如本文所用,术语“端子”、“节点”、“互连”和“引脚”可互换使用。除非相反具体陈

述,否则这些术语通常用于指设备元件、电路元件、集成电路、设备或其他电子器件或半导体部件之间的互连或它们的终端。

[0070] 虽然一些示例表明某些元件被包括在集成电路中,而其他元件在集成电路外部,但在其他示例中,可以将附加或更少的特征结合到集成电路中。此外,被示为在集成电路外部的特征中的一些或全部可以被包括在集成电路中,和/或被示为在集成电路内部的一些特征可以被结合在集成电路外部。如本文所用,术语“集成电路”是指一个或多个电路,其:(i) 结合在半导体衬底中/之上;(ii) 结合在单个半导体封装件中;(iii) 结合到同一模块中;和/或(iv) 结合在同一印刷电路板中/上。

[0071] 虽然本文中某些部件可以被描述为特定工艺技术的部件,但这些部件可以被替换为其他工艺技术的部件。本文描述的电路可重新配置为包括替换部件,以提供至少部分地与部件替换之前可用的功能类似的功能。除非另有说明,否则示为电阻器的部件通常代表串联和/或并联耦合以提供由所示电阻器表示的阻抗量的任何一个或多个元件。例如,本文中作为单个部件示出和描述的电阻器或电容器可以代替地分别是串联或并联耦合在与单个电阻器或电容器相同的两个节点之间的多个电阻器或电容器。此外,本说明书中短语“接地端子”的使用包括底盘接地、大地接地、浮动接地、虚拟接地、数字接地、公共接地和/或适用于或适合于本描述的教导的任何其他形式的接地连接。除非另有说明,否则值前面的“约”、“近似”或“基本上”意为所陈述值 $\pm 10\%$ 。

[0072] 在权利要求的范围内,所描述的示例中的修改是可能的,并且其他示例也是可能的。

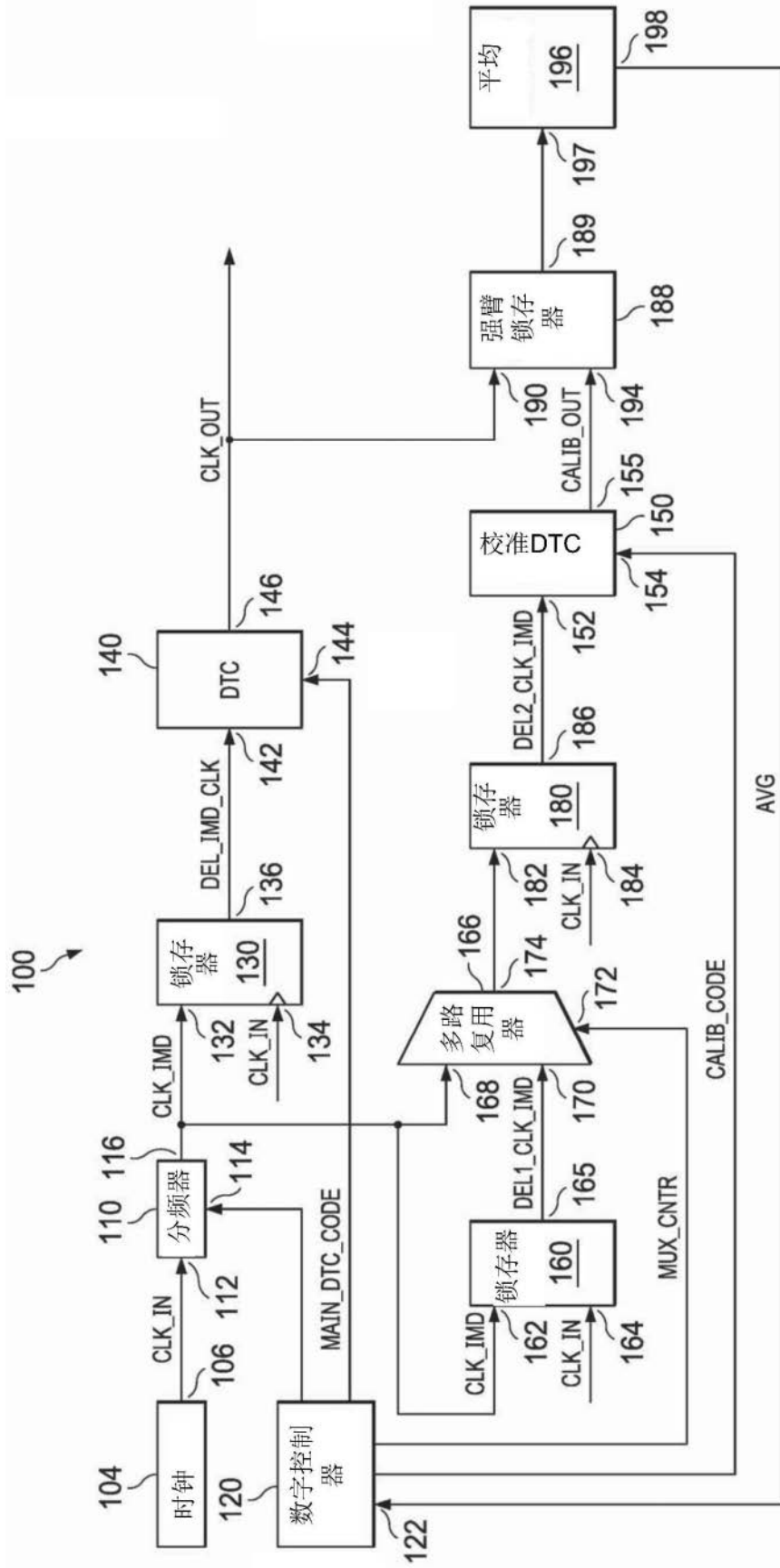


图1

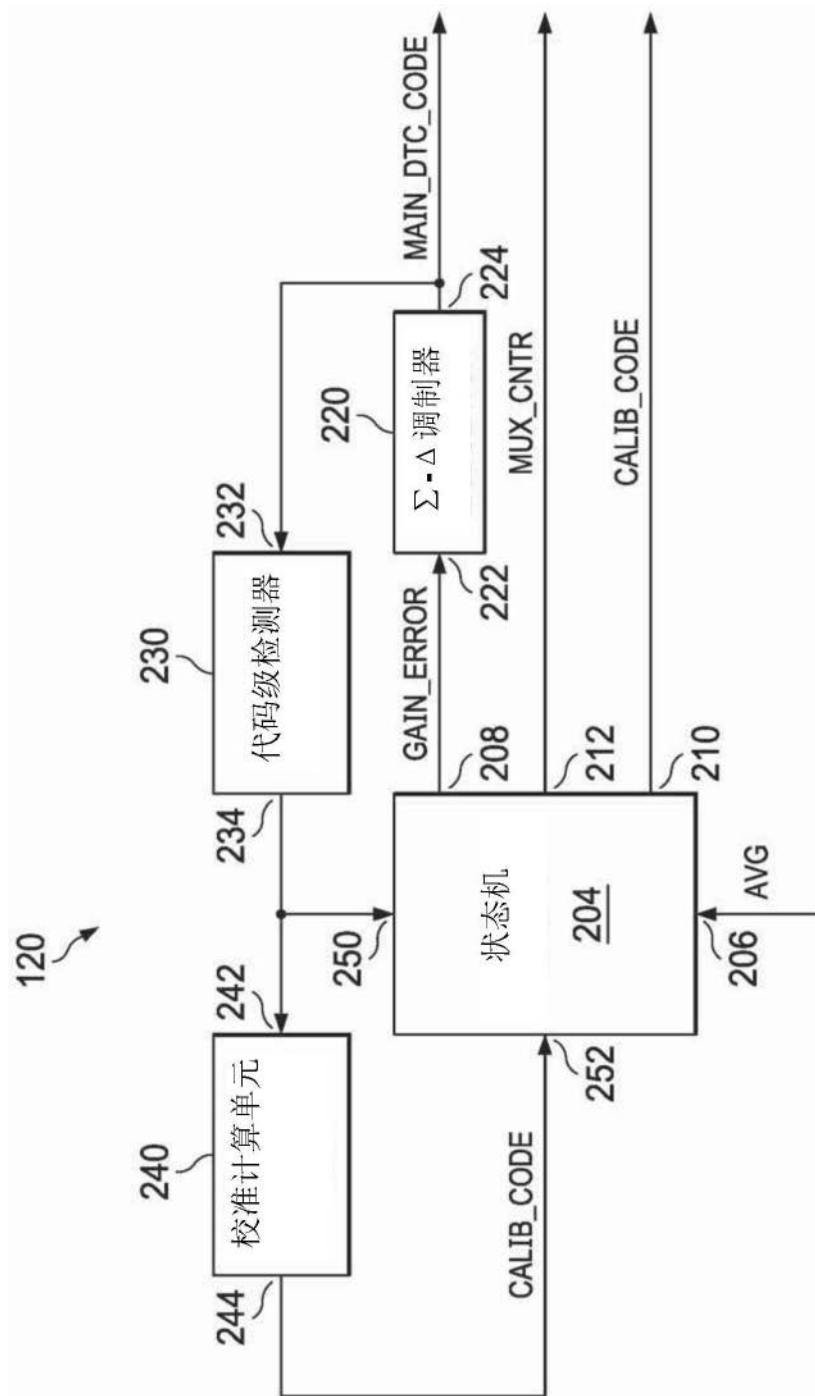


图2

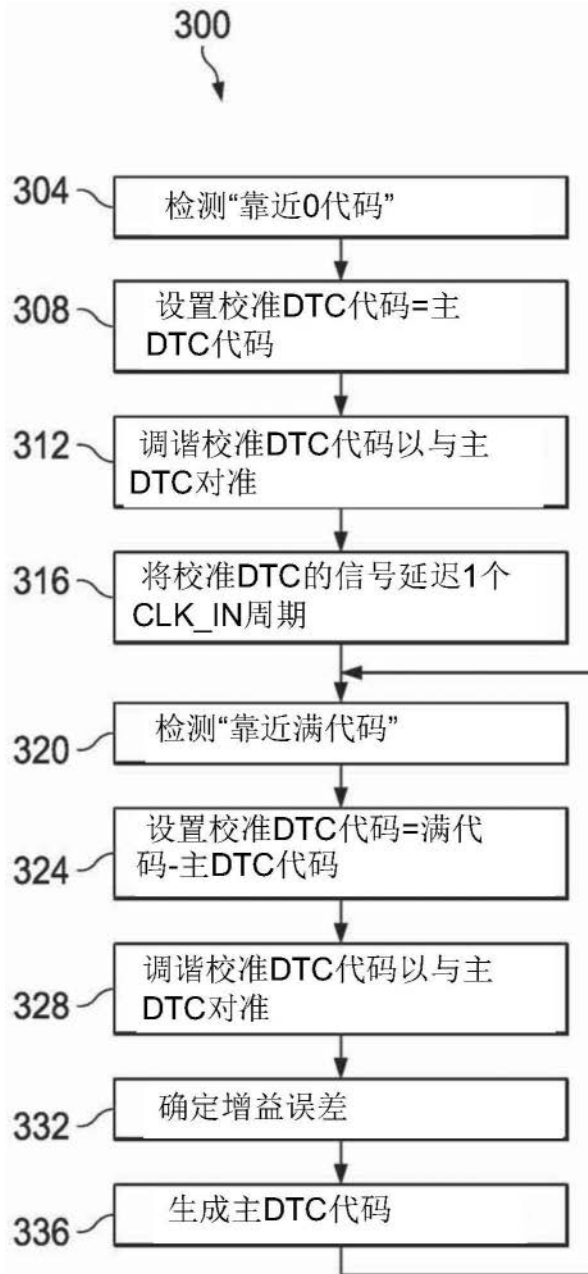


图3

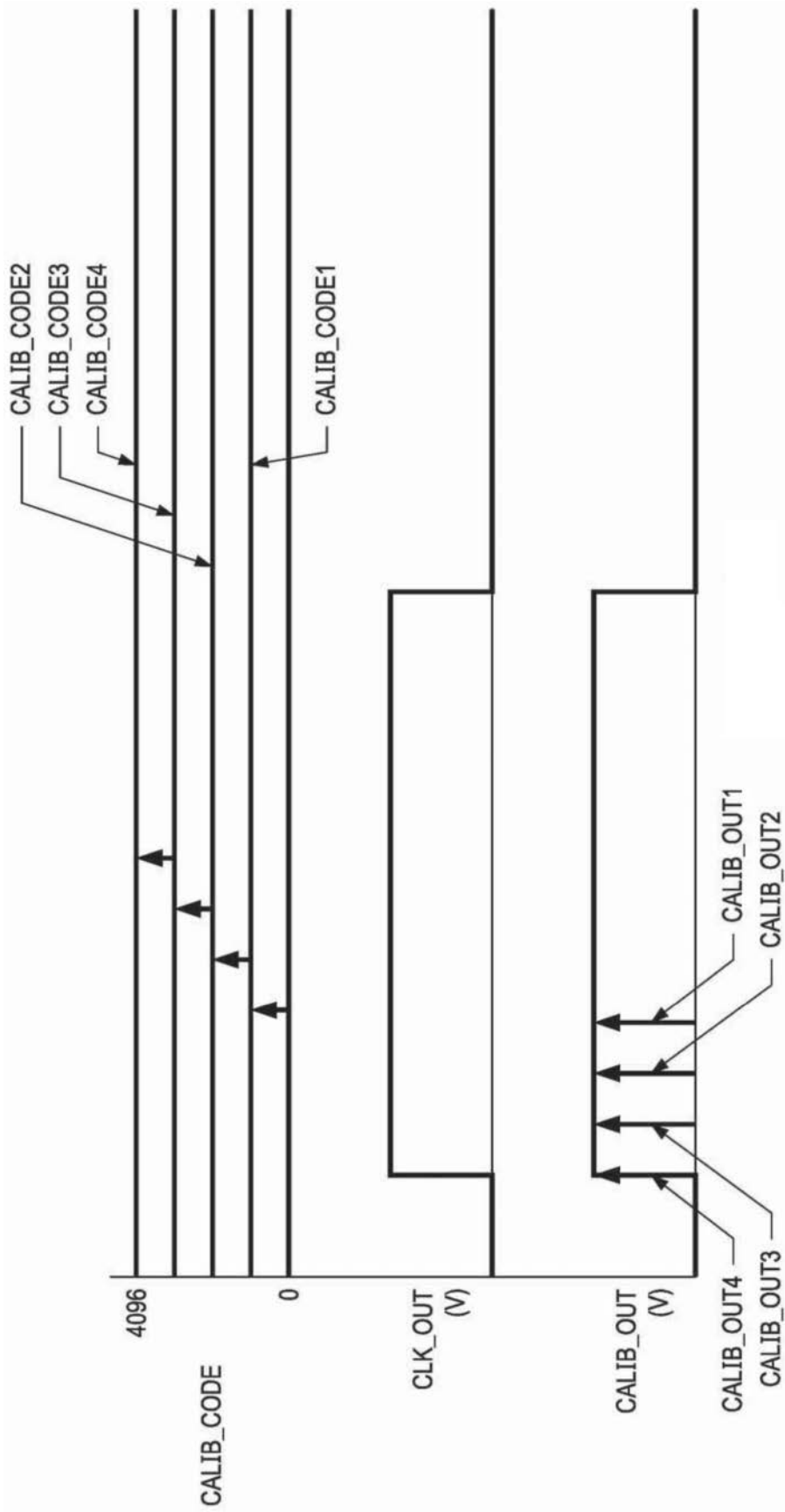


图4A

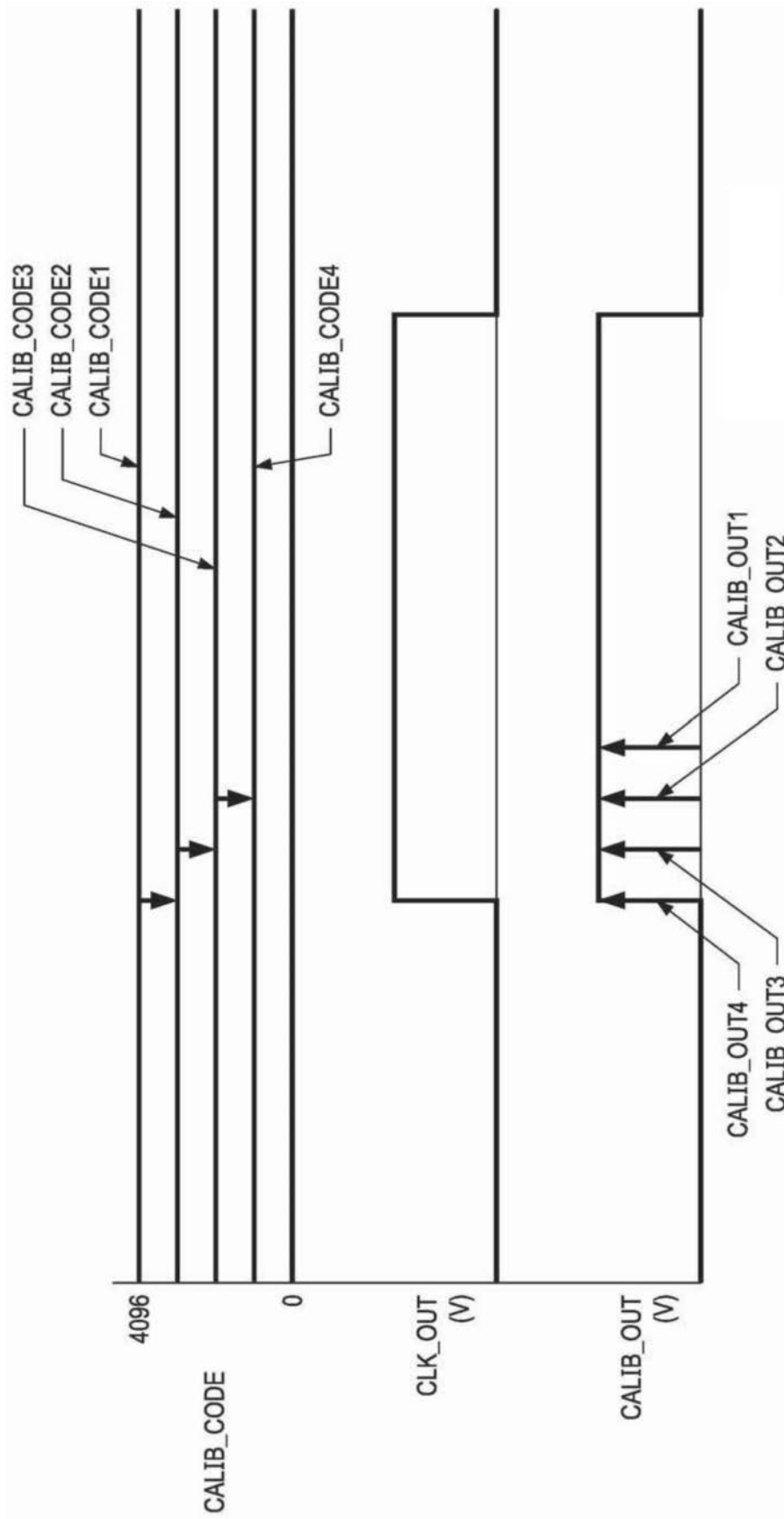


图4B