

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5102628号
(P5102628)

(45) 発行日 平成24年12月19日(2012.12.19)

(24) 登録日 平成24年10月5日(2012.10.5)

| | |
|--------------------------|----------------------|
| (51) Int.Cl. | F I |
| HO 1 L 21/8238 (2006.01) | HO 1 L 27/08 3 2 1 F |
| HO 1 L 27/092 (2006.01) | HO 1 L 27/08 3 2 1 D |
| HO 1 L 21/336 (2006.01) | HO 1 L 29/78 3 0 1 P |
| HO 1 L 29/78 (2006.01) | HO 1 L 29/78 3 0 1 G |
| HO 1 L 21/28 (2006.01) | HO 1 L 21/28 3 0 1 S |
| 請求項の数 5 (全 18 頁) 最終頁に続く | |

| | | | |
|---------------|-------------------------------|-----------|---|
| (21) 出願番号 | 特願2007-544510 (P2007-544510) | (73) 特許権者 | 390009531 |
| (86) (22) 出願日 | 平成17年12月1日(2005.12.1) | | インターナショナル・ビジネス・マシーンズ・コーポレーション |
| (65) 公表番号 | 特表2008-522444 (P2008-522444A) | | INTERNATIONAL BUSINESS MACHINES CORPORATION |
| (43) 公表日 | 平成20年6月26日(2008.6.26) | | アメリカ合衆国10504 ニューヨーク州 アーモンク ニュー オーチャードロード |
| (86) 国際出願番号 | PCT/US2005/043474 | | |
| (87) 国際公開番号 | W02006/060575 | (74) 代理人 | 100108501 |
| (87) 国際公開日 | 平成18年6月8日(2006.6.8) | | 弁理士 上野 剛史 |
| 審査請求日 | 平成20年8月22日(2008.8.22) | (74) 代理人 | 100112690 |
| (31) 優先権主張番号 | 10/904,884 | | 弁理士 太佐 種一 |
| (32) 優先日 | 平成16年12月2日(2004.12.2) | (74) 代理人 | 100091568 |
| (33) 優先権主張国 | 米国 (US) | | 弁理士 市位 嘉宏 |
| | | 最終頁に続く | |

(54) 【発明の名称】 CMOS技術における自己整合デュアル・サリサイド形成のための方法

(57) 【特許請求の範囲】

【請求項 1】

CMOSデバイスを製作する方法であって、
P F E Tを収容するために半導体基板の中にNウェル領域を形成するステップと、
N F E Tを収容するために前記半導体基板の中にPウェル領域を形成するステップと、
前記P F E Tおよび前記N F E Tのいずれか一方をマスクで遮蔽するステップと、
前記マスクで遮蔽されていない前記P F E Tまたは前記N F E Tの上に第1の金属層を堆積させるステップと、

前記第1の金属層が堆積された前記P F E Tまたは前記N F E Tのゲート領域、ソース領域およびドレイン領域の上で第1のサリサイド形成を行うステップと、

前記マスクを除去するステップと、

前記P F E Tおよび前記N F E Tの上に前記第1の金属層とは異なる材料からなる第2の金属層を堆積させるステップと、

前記第1のサリサイドが形成されていない前記P F E Tまたは前記N F E Tのゲート領域、ソース領域およびドレイン領域の上で第2のサリサイド形成を行うステップと、を含む方法。

【請求項 2】

前記第1の金属層を堆積させるステップに続いて、前記第1の金属層の上にキャップ層を形成するステップをさらに含む、請求項1に記載の方法。

【請求項 3】

10

20

前記第2の金属層を堆積させるステップに続いて、前記第2の金属層の上にキャップ層を形成するステップをさらに含む、請求項2に記載の方法。

【請求項4】

前記キャップ層は、TiN、Ti、及びTa₂Nのいずれかを含む、請求項2または3に記載の方法。

【請求項5】

前記第1の金属層及び前記第2の金属層は、Ti、Co、Ni、Pt、Re、W、Pd、Ta、Nb、及びこれらの合金の中から選択される、請求項1～4のいずれか1項に記載の方法。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明の実施形態は、一般に、相補型金属酸化膜半導体(CMOS)デバイスの製作に関し、より詳細には、デバイス性能を向上させるためにCMOS技術においてデュアル自己整合シリサイドを形成する方法に関する。本発明は、半導体製造の分野において有用性を有する。

【背景技術】

【0002】

用語シリサイド(salicide)は、自己整合シリサイド(Self-ALigned siliCIDE)を意味し、自己整合的な方法で形成されるシリサイドのことを言う。シリサイドは、典型的には、金属層(例えば、Ti、Co、Ni等)をシリコン層の上に堆積させ、次いでこの半導体構造体をアニールすることによって形成される。露出したシリコン又はポリシリコンに金属が接触した場所で、シリサイドが形成される。次に未反応の金属が選択的にエッチングで除去され、その下にある導電性ゲート(通常、ポリシリコン)及びソース/ドレイン構造に自動的に整合したシリサイドが残される。用語「シリサイド」及び「シリサイド」は、本明細書において相互に交換可能に用いられる。シリサイド・プロセスは、通常、MOS(金属酸化膜半導体)及びCMOSプロセスにおいて、接触抵抗及びシート抵抗を低減するために実施される。

20

【0003】

図1は、デバイス51の各々の側(NFET(N型電界効果トランジスタ)80及びPFET(P型電界効果トランジスタ)70)に同じシリサイドを有する従来のCMOSデバイス51を示す。CMOSデバイス51は、基板52と、その中に作られたNウェル(N型レトログレード・ウェル)領域53及びPウェル(P型レトログレード・ウェル)領域54とから成る。シャロー・トレンチ分離領域55もまた、CMOSデバイス51に含まれる。CMOSデバイス51のNFET部分80は、シリサイド層60によってキャッピングされたNFETゲート58を含む。さらに、絶縁側壁スペーサ59が、NFETゲート58の周囲に作られる。NFETゲート誘電体57が、NFETゲート58の下に位置する。さらに、NFETソース/ドレイン・シリサイド・コンタクト56を含むNFETソース/ドレイン注入領域68もまた、Pウェル領域54内のNFETゲート58の両側に形成される。同様に、CMOSデバイス51のPFET部分70は、シリサイド層67でキャッピングされたPFETゲート63を含む。さらに、絶縁側壁スペーサ61が、PFETゲート63の周囲に作られる。PFETゲート誘電体62が、PFETゲート63の下に位置する。さらに、PFETソース/ドレイン・シリサイド・コンタクト66を含むPFETソース/ドレイン注入領域69もまた、Nウェル領域53内のPFETゲート63の両側に形成される。図1において同一のハッチング表記で示されるように、NFETソース/ドレイン・シリサイド56、NFETゲート・シリサイド層60、PFETソース/ドレイン・シリサイド66、及びPFETゲート・シリサイド層67は全て、同じシリサイド材料を含む。

30

40

【0004】

しかしながら、このアプローチの欠点の1つは、デュアル・シリサイド・アプローチと

50

比較した場合に、デバイス性能が最適ではないことである。実際に、CMOSデバイスのNFET領域及びPFET領域の性能は、異なる種類のシリサイドをそれぞれ（ソース/ドレイン及びゲートのエリアのための）NFET及びPFETのエリアに適用すること（デュアル・シリサイド・プロセス）によって、最適化することができる。

【0005】

図2から図4は、従来のデュアル・シリサイドCMOSデバイス1（すなわち、2つの異なるシリサイド材料から形成されるCMOSデバイス1）を形成する反復ステップを示す。一般に、図2に示されるように、デュアル・シリサイド・プロセスは、第1のシリサイド封止膜（例えば、酸化膜又は窒化膜）14をデバイス1全体の上に堆積させることを伴う。次いで、第1のリソグラフィ・パターン形成及びエッチング・プロセスを行って、デバイス1のNFET領域40の上の部分の封止膜14を除去する。NFET領域40は、基板2の中に形成されたPウェル4と、Pウェル4の中に形成されたNFETソース/ドレイン注入領域18と、Pウェル4の上に形成されたNFETゲート誘電体7と、ゲート誘電体7の上に形成されたNFETゲート8とからなる。一对の絶縁側壁9もまた、NFETゲート8の周囲に形成される。さらに、シャロー・トレンチ分離領域5もまた、CMOSデバイス1に含まれる。膜14の残りの部分は、デバイス1のPFET領域30を保護する。PFET領域30はNFET領域40と同様に作られ、PFET領域30は、基板2の中に形成されたNウェル3と、Nウェル3の中に形成されたPFETソース/ドレイン注入領域19と、Nウェル3の上に形成されたPFETゲート誘電体12と、PFETゲート誘電体12の上に形成されたPFETゲート13とからなる。一对の絶縁側壁11が、同様にPFETゲート13の周囲に形成される。NFET領域40の上でシリサイド・プロセスを行って、NFETゲート8の上にシリサイド層10を形成し、同時にNFETソース/ドレイン・シリサイド・コンタクト6を形成する。

【0006】

次に、図3に示されるように、第1の封止膜14がデバイス1から除去され、第2のシリサイド封止膜（例えば、酸化膜又は窒化膜）15がデバイス1全体の上に堆積される。次いで、第2のリソグラフィ・パターン形成及びエッチング・プロセスを行って、デバイス1のPFET領域30の上の部分の封止膜15を除去する。その後、PFET領域30の上でシリサイド・プロセスを行って、PFETゲート13の上にシリサイド層17を形成し、同時にPFETソース/ドレイン・シリサイド・コンタクト16を形成する。図4に示されるように、デバイス1のNFET部分40のシリサイドは、デバイス1のPFET部分30のシリサイドとは異なる。

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかしながら、図2～図4において提示されるような従来の2つのリソグラフィ段階によるデュアル・シリサイド・プロセスの問題点の1つは、図5に示されるように、2つのリソグラフィ段階の間の処理の際に生じる位置ずれである（点線で囲まれた部分が、位置ずれが生じたデバイス1のエリアを表す）。NFET領域40とPFET領域30との間のこの位置ずれは、（図5においてSRAM（同期ランダム・アクセス・メモリ）セル・レイアウトとして示される）デバイス1においてアンダーレイ（underlay）をもたらす、これはデバイス及び/又は回路エリアにおける高いシート抵抗又はオープン・サーキットを引き起こし、その結果、デバイス/回路の性能が低下する可能性がある。したがって、この位置ずれの問題を克服する新規なデュアル・シリサイド・プロセスが要望されている。

【課題を解決するための手段】

【0008】

上記の観点から、本発明の実施形態は、CMOSデバイスを製作する方法を提供し、本方法は、第1のタイプの半導体デバイスを収容するために半導体基板の中に第1のウェル領域を形成するステップと、第2の半導体デバイスを収容するために半導体基板の中に第

10

20

30

40

50

2のウェル領域を形成するステップと、第1のタイプの半導体デバイスをマスクで遮蔽するステップと、第2のタイプの半導体デバイスの上に第1の金属層を堆積させるステップと、第2のタイプの半導体デバイスの上で第1のサリサイド形成を行うステップと、マスクを除去するステップと、第1及び第2のタイプの半導体デバイスの上に第2の金属層を堆積させるステップと、第1のタイプの半導体デバイスの上で第2のサリサイド形成を行うステップとを含む。本方法は、第2のタイプの半導体デバイスから第2の金属層を除去するステップをさらに含む。第1の実施形態においては、第1のウェル領域はNFEトウェル領域として作られ、第2のウェル領域はPFETウェル領域として作られる。第2の実施形態においては、第1のウェル領域はPFETウェル領域として作られ、第2のウェル領域はNFEトウェル領域として作られる。

10

【0009】

さらに、第1の金属層は、第2の金属層とは異なる材料で形成される。さらに、第1のタイプの半導体デバイスは、第1のウェル領域の上に絶縁体層を作るステップと、絶縁体層の上にゲート領域を作るステップと、ゲート領域の両側に絶縁スペーサを形成するステップと、第1のウェル領域にソース/ドレイン領域を注入するステップとによって形成される。さらに、第2のタイプの半導体デバイスは、第2のウェル領域の上に絶縁体層を作るステップと、絶縁体層の上にゲート領域を作るステップと、ゲート領域の両側に絶縁スペーサを形成するステップと、第2のウェル領域にソース/ドレイン領域を注入するステップとによって形成される。本方法は、第1の金属層及び第2の金属層の各々の上にキャップ層を形成するステップをさらに含み、キャップ層は、TiN、Ti、及びTaNのいずれかを含み、第1の金属層及び第2の金属層は、Ti、Co、Ni、Pt、Re、W、Pd、Ta、Nb、及びこれらの合金のいずれかを含む。

20

【0010】

本発明の別の態様は、半導体基板の上に集積回路を形成する方法を提供し、本方法は、半導体基板の上に第1及び第2のタイプの半導体デバイスの各々を形成するステップと、第2のタイプの半導体デバイスの上に第1の金属層を堆積させるステップと、第2のタイプの半導体デバイスのみの上で第1のサリサイド形成を行うステップと、第1及び第2のタイプの半導体デバイスの両方の上に第2の金属層を堆積させるステップと、第1のタイプの半導体デバイスのみの上で第2のサリサイド形成を行うステップとを含む。本方法は、第1の金属層の堆積の前に第1のタイプの半導体デバイスをマスクで遮蔽するステップと、第1のサリサイド形成を行った後にマスクを除去するステップとをさらに含む。さらに、本方法は、第2のタイプの半導体デバイスから第2の金属層を除去するステップをさらに含む。さらに、第1の金属層は、第2の金属層とは異なる材料で形成される。さらに、第1のタイプの半導体デバイスは、第1のウェル領域の上に絶縁体層を作るステップと、絶縁体層の上にゲート領域を作るステップと、ゲート領域の両側に絶縁スペーサを形成するステップと、第1のウェル領域にソース/ドレイン領域を注入するステップとによって形成される。

30

【0011】

さらに、第1の実施形態によれば、第1のウェル領域は、NFEトウェル領域及びPFETウェル領域のいずれかとして作られる。また、第2のタイプの半導体デバイスは、第2のウェル領域の上に絶縁体層を作るステップと、絶縁体層の上にゲート領域を作るステップと、ゲート領域の両側に絶縁スペーサを形成するステップと、第2のウェル領域にソース/ドレイン領域を注入するステップとによって形成される。第2の実施形態によれば、第2のウェル領域は、NFEトウェル領域及びPFETウェル領域のいずれかとして作られる。本方法は、第1の金属層及び第2の金属層の各々の上にキャップ層を形成するステップをさらに含み、キャップ層は、TiN、Ti、及びTaNのいずれかを含み、第1の金属層及び第2の金属層は、Ti、Co、Ni、Pt、Re、W、Pd、Ta、Nb、及びこれらの合金のいずれかを含む。

40

【0012】

本発明の別の実施形態は、半導体基板の上に金属シリサイド層を形成する方法を提供し

50

、本方法は、第1のタイプの半導体デバイスを収容するために半導体基板の中に第1のウェル領域を形成するステップと、第2の半導体デバイスを収容するために半導体基板の中に第2のウェル領域を形成するステップと、第2のタイプの半導体デバイスの上に第1の金属層を選択的に形成するステップと、第1の金属層の上にキャップ層を堆積させるステップと、キャップ層及び第1のタイプの半導体デバイスの上に第2の金属層を堆積させるステップと、第1及び第2のタイプの半導体デバイスの上でサリサイド形成を行うステップとを含み、第1及び第2のタイプの半導体デバイスの上でサリサイド形成を行うステップは、第1及び第2の金属層をアニールするステップと、キャップ層を除去するステップと、第1及び第2のタイプの半導体デバイスから未反応の金属を除去するステップとによって達成される。1つの実施形態においては、第1のウェル領域はN F E Tウェル領域として作られ、第2のウェル領域はP F E Tウェル領域として作られる。第2の実施形態においては、第1のウェル領域はP F E Tウェル領域として作られ、第2のウェル領域はN F E Tウェル領域として作られる。さらに、第1の金属層は、第2の金属層とは異なる材料で形成される。

10

【0013】

さらに、第1のタイプの半導体デバイスは、第1のウェル領域の上に絶縁体層を作るステップと、絶縁体層の上にゲート領域を作るステップと、ゲート領域の両側に絶縁スペーサを形成するステップと、第1のウェル領域にソース/ドレイン領域を注入するステップとによって形成される。さらに、第2のタイプの半導体デバイスは、第2のウェル領域の上に絶縁体層を作るステップと、絶縁体層の上にゲート領域を作るステップと、ゲート領域の両側に絶縁スペーサを形成するステップと、第2のウェル領域にソース/ドレイン領域を注入するステップとによって形成される。本方法は、サリサイド形成を行う前に第2の金属層の上に第2のキャップ層を形成するステップをさらに含み、キャップ層及び第2のキャップ層は、TiN、Ti、及びTaのいずれかを含み、第1の金属層及び第2の金属層は、Ti、Co、Ni、Pt、Re、W、Pd、Ta、Nb、及びこれらの合金のいずれかを含む。

20

【0014】

一般に、本発明の実施形態は、CMOSデバイスのN F E T領域及びP F E T領域のソース/ドレイン・エリア及びゲート・エリアにおいて、1つのリソグラフィー段階のみで、NiSi、CoSi₂、TiSi₂、WSi₂、PdSi、PtSi、TaSi₂、ReSi等及びそれらの合金などのデュアル・サリサイドを形成する（すなわち、異なるサリサイドの形成）、ダブル自己整合技術を提供する。したがって、本発明の実施形態は、必要なリソグラフィー段階を減らし、デュアル・サリサイド形成プロセスを極めて簡単なものとし、いくつかの従来技術に付随する位置ずれの問題を排除する。さらに、本発明の実施形態は、N F E T領域において1つのサリサイドを形成し、P F E T領域において異なるサリサイドを形成することによって、CMOSデバイスの性能を最適化することを可能にする。

30

【0015】

本発明の実施形態のこれら及び他の態様は、以下の説明と添付図面とを組み合わせると、よりよく認識され、理解されるであろう。しかしながら、以下の説明は、本発明の好ましい実施形態及びその多くの具体的な詳細を示しているが、例示のみの目的で提示され、限定を目的としないことを理解されたい。本発明の趣旨から逸脱することなく、本発明の実施形態の範囲内で多くの変更及び改変を行うことができ、本発明の実施形態はそのような改変の全てを含む。

40

【発明を実施するための最良の形態】

【0016】

本発明の実施形態は、以下の詳細な説明から、図面を参照して、よりよく理解されるであろう。

【0017】

本発明の実施形態並びにその種々の特徴及び利点の詳細は、添付図面に示され以下の記

50

載で詳述される非限定的な実施形態を参照して、より詳しく説明される。図面に示された特徴は必ずしも一定の縮尺で描かれていないことに留意されたい。周知の構成要素及び処理技術の記載は、本発明の実施形態を不必要に不明瞭にしないように、省略されている。本明細書で用いられる例は、本発明の実施形態を実行できる方法の理解を容易にすること、及び、さらに当業者が本発明の実施形態を実行できるようにすることのみを意図している。したがって、これらの例は、本発明の実施形態の範囲を限定するものと解釈すべきではない。

【 0 0 1 8 】

上記のように、従来のデュアル・サリサイド処理において典型的な位置ずれの問題を克服する、新規なデュアル・サリサイド・プロセスが要望されている。本発明の実施形態は、1つのパターン形成段階しか必要としないためパターンの重なりを排除できる、異なるデバイスの上に異なるシリサイド材料を形成する簡単な製造方法を提供することによって、この要望を満たす。ここで図面を参照して、より具体的には、全図面を通して同様の参照符号が常に対応する特徴を表している図6から図18を参照して、本発明の好ましい実施形態が示される。

【 0 0 1 9 】

図6から図9は、本発明の第1の実施形態による、デュアル・サリサイドCMOSデバイス101を製作する反復ステップを示す。図6に示されるように、本発明の第1の実施形態によるデュアル・サリサイド・プロセスは、第1のシリサイド封止膜（例えば、酸化物、窒化物、又はTiNの膜）114をデバイス101全体の上に堆積させることを伴う。次いで、第1の（且つ唯一の）リソグラフィ・パターン形成及びエッチング・プロセスを行って、デバイス101のNFEET領域140の上の部分の封止膜114を除去する。NFEET領域140は、基板102の中に形成されたPウェル104と、Pウェル104の中に形成されたNFEETソース/ドレイン注入領域128と、Pウェル104の上に形成されたNFEETゲート誘電体107と、ゲート誘電体107の上に形成されたNFEETゲート108とを含む。一对の絶縁側壁109もまた、NFEETゲート108の周囲に形成される。さらに、CMOSデバイス101中の種々のデバイスの間を電気的に分離するために、シャロー・トレンチ分離領域105もまたCMOSデバイス101に含まれる。次いで、第1の金属層118が、デバイス101の上に堆積される。必要に応じて、次のアニーリング・プロセスの際のシリサイドの酸化を防ぐために、第1の金属層118の上にキャップ層（図示せず）を形成してもよい。さらに、当業者であれば、任意のキャップ層を第1の金属層118の上にどのように組み込むか容易に理解できるであろう。

【 0 0 2 0 】

1つの実施形態においては、基板102は、単結晶シリコン層を含む。或いは、基板102は、シリコン（Si）、ゲルマニウム（Ge）、ガリウム・リン（GaP）、インジウム・ヒ素（InAs）、インジウム・リン（InP）、シリコン・ゲルマニウム（SiGe）、ガリウム・ヒ素（GaAs）、又は他の半導体を含む、いずれかの適切な半導体材料を含むことができるが、これらに限定されるものではない。膜114の残りの部分は、デバイス1のPFET領域130を保護する。PFET領域130は、NFEET領域140と同様に作られており、PFET領域130は、基板102の中に形成されたNウェル103と、Nウェル103の中に形成されたPFETソース/ドレイン注入領域129と、Nウェル103の上に形成されたPFETゲート誘電体112と、PFETゲート誘電体112の上に形成されたPFETゲート113とを含む。一对の絶縁側壁111が、同様にPFETゲート113の周囲に形成される。さらに、レトログレード・ウェル領域（Pウェル104及びNウェル103）は、高エネルギー・イオン注入及びアニーリングといった周知の技術を用いて形成することができる。NFEET領域140の上でサリサイド・プロセスを行って、図7に示されるように、NFEETゲート108の上にシリサイド層110を形成し、NFEETソース/ドレイン・シリサイド・コンタクト106を形成する。

【 0 0 2 1 】

次いで、図 8 に示されるように、シリサイド封止膜 114 をデバイス 101 から除去し、第 2 の金属層 123 をデバイス 101 全体の上（すなわち、N F E T 領域 140 及び P F E T 領域 130 の両方の上）に堆積させる。必要に応じて、次のアニーリング・プロセスの際のシリサイドの酸化を防ぐために、第 2 の金属層 123 の上にキャップ層（図示せず）を形成してもよい。さらに、当業者であれば、任意のキャップ層を第 2 の金属層 123 の上にどのように組み込むか容易に理解できるであろう。その後、図 9 に示されるように、アニーリング・プロセスを行った後、その結果として、P F E T ゲート 113 の上のシリサイド層 117 と、P F E T ゲート 113 の両側のソース/ドレイン・シリサイド・コンタクト 116 とが形成される。図 9 に示されるように、デバイス 101 の N F E T 部分 140 のシリサイドは、デバイス 101 の P F E T 部分 130 のシリサイドとは異なる。さらに、本発明の第 1 の実施形態によって提供されるデュアル・シリサイド・プロセスは、1 回のみのリソグラフィ・パターン形成及びエッチング・プロセスをシリサイド封止膜 114 の上で実行することによって行われる。したがって、従来のアプローチとは違って第 2 の封止膜は不要であり、そのため第 2 のパターン形成プロセスを必要としない。さらに、1 回のパターン形成プロセスしか必要としないため位置ずれの問題は生じず、それにより、従来のデバイスにおいてしばしば見られた上記の位置ずれの問題が克服される。

【0022】

上記の説明及び添付図面は、N F E T 領域 140 が先にシリサイド・プロセスの対象となることを示しているが、本発明の実施形態は、そのような順番に限定されるものではない。逆に、P F E T 領域 130 は、同様且つ最適に、先にシリサイド・プロセスの対象とすることができ、本発明の実施形態は、いかなる特定の順番にも限定されるものではない。実際には、デバイス 101 の、より高いサーマル・バジェット（thermal budget）を必要とする方の側（N F E T 側 140 又は P F E T 側 130）に、先にシリサイドを形成することが好ましい。このようにして、第 2 のシリサイドを形成する際の第 1 のシリサイドに対する影響を最小化することができる。本発明の実施形態の下では、サーマル・バジェットは、急速加熱処理（RTP）を用いて低減することができる。

【0023】

図 10 から図 13 は、本発明の第 2 の実施形態による、デュアル・シリサイド C M O S デバイス 201 を製作する反復ステップを表しており、これは、（デバイスの両側の）両方のシリサイドが共通のシリサイド化温度域（temperature window）を有する場合に用いると有利である。図 10 に示されるように、本発明の第 2 の実施形態によるデュアル・シリサイド・プロセスは、第 1 の金属層 221 をデバイス 201 全体の上に堆積させることを伴う。次いで、T i N などのキャップ層 222 を第一の金属層 221 の上に堆積させる。図 10 に示される C M O S デバイス 201 は、一般に N F E T 領域 240 及び P F E T 領域 230 を含むものであり、より詳細には、基板 202 の中に形成された P ウェル 204 と、P ウェル 204 の中に形成された N F E T ソース/ドレイン注入領域 228 と、P ウェル 204 の上に形成された N F E T ゲート誘電体 207 と、ゲート誘電体 207 の上に形成された N F E T ゲート 208 とを含む。同様に、P F E T 領域 230 は、基板 202 の中に形成された N ウェル 203 と、N ウェル 203 の中に形成された P F E T ソース/ドレイン注入領域 229 と、N ウェル 203 の上に形成された P F E T ゲート誘電体 212 と、P F E T ゲート誘電体 212 の上に形成された P F E T ゲート 213 とを含む。一対の絶縁側壁 211 が P F E T ゲート 213 の周囲に形成され、一対の絶縁側壁 209 が N F E T ゲート 208 の周囲に同様に形成される。さらに、C M O S デバイス 201 の種々のデバイスの間を電氣的に分離するために、シャロー・トレンチ分離領域 205 もまた C M O S デバイス 201 に含まれる。

【0024】

次いで、図 11 に示されるように、第一の（且つ唯一の）リソグラフィ・パターン形成及びエッチング・プロセス（好ましくは、異方性ドライ・エッチング・プロセス）を行って、デバイス 201 の P F E T 領域 230 の上の金属層 221 及びキャップ層 222 の部分を除去する。次に、図 12 に示されるように、第 2 の金属層 223 をデバイス 201 全

10

20

30

40

50

体の上に堆積させる。追加のキャップ層（図示せず）を第2の金属層223の上に堆積させる場合もある。追加のキャップ層（図示せず）は、アニーリングを伴う、プロセスの次のステップの際に、シリサイドの酸化を防ぐことができる。さらに、当業者であれば、任意のキャップ層を第2の金属層223の上にどのように組み込むか容易に理解できるであろう。

【0025】

次に、図13に示されるように、アニーリング・プロセスを行って両方のシリサイド（すなわち、NFET領域240のシリサイド及びPFET領域230のシリサイド）を形成し、NFETゲート208の上のシリサイド層210と、PFETゲート213の上のシリサイド層217と、NFETゲート208の両側のソース/ドレイン・シリサイド・コンタクト206及びPFETゲート213の両側のソース/ドレイン・シリサイド・コンタクト216とを得る。図13に示されるように、デバイス201のNFET部分240のシリサイドは、デバイス201のPFET部分230のシリサイドとは異なる。この後、未反応のキャップ層222（又は、第2の任意のキャップ層も堆積された場合には、複数のキャップ層）及び金属がエッチング・プロセスで選択的に剥ぎ取られ、図13に示されるデュアル・シリサイドCMOSデバイス201が形成される。さらに、シリサイド材料は、NiSi、CoSi₂、TiSi₂、WSi₂、PdSi、PtSi、TaSi₂、ReSi等、及びそれらの合金を含むことができる。

【0026】

本発明の第1の実施形態の場合と同様に、第2の実施形態の上記の説明及び添付図面は、PFET領域230が先にシリサイド・プロセスの対象となることを示しているが、本発明の実施形態はそのような順番に限定されるものではない。この場合も、NFET領域240は、同様且つ最適に、先にシリサイド・プロセスの対象とすることができ、本発明の実施形態は、いかなる特定の順番にも限定されるものではない。

【0027】

図14(A)から図14(F)は、本発明の実施形態による自己整合デュアル・シリサイドCMOSデバイスを製作する反復ステップを示す。例えば、NiSiをCoSi₂の上に重ねる場合には、以下のシーケンスを（図14(A)から14(F)に示されるように）実行することができる。このプロセスはSiベース301から始まり（図14(A)）、次いでCo/TiN層302をSiベース301の上に堆積させる（図14(B)）。次いで、図14(C)に示されるように、第1のRTPを行ってCoSi層303を形成する。次に、TiN及び未反応のCoを剥ぎ取り、第2のRTPを行ってCoSi₂層304を形成する（図14(D)）。その後、図14(E)に示されるように、Ni/TiN層305をCoSi₂層304の上に堆積させる。次に、NiSi形成のための条件を再現するために、第3のRTPを行う。さらに、図14(F)に示されるように、TiN層及び未反応のNi層を剥ぎ取った後、この場合にはCoSi₂である第1のシリサイド304の上に、NiSiを一部含む非常に薄い層306が残る場合もある。

【0028】

図15は、NiSiをCoSi₂の上に重ねる、図14(A)から14(F)に示されるプロセスにおける3つのステップの際のシリサイドのシート抵抗を示す。図15に示されるように、第1の段階（CoSi₂形成後）から、第2の段階（CoSi₂形成後+50AのBHF（緩衝フッ化水素酸すなわちBOE（緩衝酸化物エッチング（buffered oxide etch）））洗浄）、第3の段階（CoSi₂形成後+50A BHF洗浄+NiSi形成アニール）にかけて、シート抵抗の顕著な変化はない。実際に、シート抵抗は、3つの段階を通してほぼ一定のままであり、およそ8.1~8.2オーム/スクエアである。シート抵抗の顕著な変化がないことは、第1のシリサイド（CoSi₂）の上に第2のシリサイド（NiSi）がほとんど形成されていないことを示しているため、有利である。このことは、図16に示される、オージェ電子による深さプロファイル分析によって確認される。

【0029】

図 16 は、図 14 (F) に示される最終的なデュアル・サリサイド構造体由来の種々の物質の相対濃度 (%) の深さプロファイルを示す。これは、最終的に得られるシリサイドの上には、若干の Ni が Co シリサイドに混合した薄い層のみが存在することを示す。図 16 は、本発明の実施形態によって、異なるデバイスのエリアに異なるシリサイドを形成することができることを証明している。

【0030】

本発明の第 1 及び第 2 の実施形態についてのプロセス・フロー図は、図 6 から図 16 において提示される構成要素に言及する説明を含む図 17 及び図 18 のフローチャートに示されており、図 17 は、本発明の第 1 の実施形態による CMOS デバイス 101 の作製方法を説明し、この方法は、第 1 のタイプの半導体デバイス 130 を収容するために半導体基板 102 の中に第 1 のウェル領域 103 を形成するステップ (401) と、第 2 のタイプの半導体デバイス 140 を収容するために半導体基板 102 の中に第 2 のウェル領域 104 を形成するステップ (403) と、第 1 のタイプの半導体デバイス 130 をマスク 114 で遮蔽するステップ (405) と、第 2 のタイプの半導体デバイス 140 の上に第 1 の金属層 118 を堆積させるステップ (407) と、第 2 のタイプの半導体デバイス 140 の上で第 1 のサリサイド形成を行うステップ (409) と、マスク 114 を除去するステップ (411) と、第 1 及び第 2 のタイプの半導体デバイス 130、140 の上に第 2 の金属層 123 を堆積させるステップ (413) と、第 1 のタイプの半導体デバイス 130 の上で第 2 のサリサイド形成を行うステップ (415) とを含む。

【0031】

本方法は、第 2 のタイプの半導体デバイス 140 から第 2 の金属層 123 を除去するステップをさらに含む。1 つの実施形態においては、第 1 のウェル領域 103 は NFET ウェル領域として作られ、第 2 のウェル領域 104 は PFET ウェル領域として作られる。別の実施形態においては、第 1 のウェル領域 103 は PFET ウェル領域として作られ、第 2 のウェル領域 104 は NFET ウェル領域として作られる。さらに、第 1 の金属層 118 は、第 2 の金属層 123 とは異なる材料で形成される。さらに、第 1 のタイプの半導体デバイス 130 は、第 1 のウェル領域 103 の上に絶縁体層 112 を作るステップと、絶縁体層 112 の上にゲート領域 113 を作るステップと、ゲート領域 113 の両側に絶縁スペーサ 111 を形成するステップと、第 1 のウェル領域 103 にソース/ドレイン領域 129 を注入するステップとによって、形成される。さらに、第 2 のタイプの半導体デバイス 140 は、第 2 のウェル領域 104 の上に絶縁体層 107 を作るステップと、絶縁体層 107 の上にゲート領域 108 を作るステップと、ゲート領域 108 の両側に絶縁スペーサ 109 を形成するステップと、第 2 のウェル領域 104 にソース/ドレイン領域 128 を注入するステップとによって、形成される。本方法は、必要に応じて、第 1 の金属層 118 及び第 2 の金属層 123 の各々の上にキャップ層 (図示せず) を形成するステップをさらに含み、キャップ層 (図示せず) は、TiN、Ti、及び TaN のいずれかを含み、第 1 の金属層 118 及び第 2 の金属層 123 は、Ti、Co、Ni、Pt、Re、W、Pd、Ta、Nb、及びこれらの合金のいずれかを含む。

【0032】

図 18 は、半導体基板 202 の上に金属シリサイド層を形成する方法を説明する、本発明の第 2 の実施形態によるプロセス・フローを示すものであり、本方法は、第 1 のタイプの半導体デバイス 230 を収容するために半導体基板 202 の中に第 1 のウェル領域 203 を形成するステップ (501) と、第 2 のタイプの半導体デバイス 240 を収容するために半導体基板 202 の中に第 2 のウェル領域 204 を形成するステップ (503) と、第 2 のタイプの半導体デバイス 240 の上に第 1 の金属層 221 を選択的に形成するステップ (505) と、第 1 の金属層 221 の上にキャップ層 222 を堆積させるステップ (507) と、キャップ層 222 及び第 1 のタイプの半導体デバイス 230 の上に第 2 の金属層 223 を堆積させるステップ (509) と、第 1 及び第 2 のタイプの半導体デバイス 230、240 の上でサリサイド形成を行うステップ (511) とを含み、サリサイド形成を行うプロセス (511) は、第 1 及び第 2 の金属層 221、223 をアニールするス

トップと、キャップ層 222 を除去するステップと、第 1 及び第 2 のタイプの半導体デバイス 230、240 から未反応の金属を除去するステップとによって達成される。本方法は、必要に応じて、サリサイド形成を行うプロセス (511) の前に第 2 の金属層 223 の上に第 2 のキャップ層 (図示せず) を形成するステップをさらに含み、キャップ層 222 及び第 2 のキャップ層 (図示せず) は、TiN、Ti、及び TaN のいずれかを含み、第 1 の金属層 221 及び第 2 の金属層 223 は、Ti、Co、Ni、Pt、Re、W、Pd、Ta、Nb、及びこれらの合金のいずれかを含む。

【0033】

1 つの実施形態においては、第 1 のウェル領域 203 は NFE T ウェル領域として作られ、第 2 のウェル領域 204 は PFET ウェル領域として作られる。別の実施形態においては、第 1 のウェル領域 203 は PFET ウェル領域として作られ、第 2 のウェル領域 204 は NFE T ウェル領域として作られる。さらに、第 1 の金属層 221 は、第 2 の金属層 223 とは異なる材料で形成される。さらに、第 1 のタイプの半導体デバイス 230 は、第 1 のウェル領域 203 の上に絶縁体層 212 を作るステップと、絶縁体層 212 の上にゲート領域 213 を作るステップと、ゲート領域 213 の両側に絶縁スペーサ 211 を形成するステップと、第 1 のウェル領域 203 にソース/ドレイン領域 229 を注入するステップとによって、形成される。さらに、第 2 のタイプの半導体デバイス 240 は、第 2 のウェル領域 204 の上に絶縁体層 207 を作るステップと、絶縁体層 207 の上にゲート領域 208 を作るステップと、ゲート領域 208 の両側に絶縁スペーサ 209 を形成するステップと、第 2 のウェル領域 204 にソース/ドレイン領域 228 を注入するステップとによって、形成される。

【0034】

一般に、本発明の実施形態は、CMOS デバイスの NFE T 領域及び PFET 領域のソース/ドレイン・エリア及びゲート・エリアにおいて、1 つのリソグラフィー段階のみで、NiSi、CoSi₂、TiSi₂、WSi₂、PdSi、PtSi、TaSi₂、ReSi 等及びそれらの合金などのデュアル・サリサイドを形成する (すなわち、異なるサリサイドの形成)、ダブル自己整合技術を提供する。したがって、本発明の実施形態は、必要なリソグラフィー段階を減らし、デュアル・サリサイド形成プロセスを極めて簡単なものとし、いくつかの従来技術に付随する位置ずれの問題を排除する。さらに、本発明の実施形態は、NFE T 領域において 1 つのサリサイドを形成し、PFET 領域において異なるサリサイドを形成することによって、CMOS デバイスの性能を最適化することを可能にする。

【0035】

上記の特定の実施形態の説明は、本発明の一般的な性質を十分に明らかにするものであるため、他者は、現在の知識を適用して、包括的な概念から逸脱することなく種々の用途のためにこの特定の実施形態を容易に改変し及び/又は適合させることができ、したがって、このような適合及び改変は、開示された実施形態の均等物の意味及び範囲内にあるものと理解されるべきであり、かつそのように意図されている。本明細書において用いられている用語又は術語は、説明を目的とするものであり、限定を目的とするものではないことを理解されたい。したがって、好ましい実施形態に関して本発明を説明してきたが、当業者であれば、本発明の実施形態は特許請求の範囲の趣旨及び範囲内で改変して実施できることが分かるであろう。

【図面の簡単な説明】

【0036】

【図 1】デバイスの両側に同じシリサイドを有する従来のサリサイド CMOS デバイスを示す概略図である。

【図 2】従来のデュアル・サリサイド CMOS デバイスを製作する反復ステップを示す概略図である。

【図 3】従来のデュアル・サリサイド CMOS デバイスを製作する反復ステップを示す概略図である。

10

20

30

40

50

【図４】従来のデュアル・サリサイドＣＭＯＳデバイスを製作する反復ステップを示す概略図である。

【図５】ＣＭＯＳデバイスの従来のＳＲＡＭセル・レイアウトを示す概略図である。

【図６】本発明の第１の実施形態によるデュアル・サリサイドＣＭＯＳデバイスを製作する反復ステップを示す概略図である。

【図７】本発明の第１の実施形態によるデュアル・サリサイドＣＭＯＳデバイスを製作する反復ステップを示す概略図である。

【図８】本発明の第１の実施形態によるデュアル・サリサイドＣＭＯＳデバイスを製作する反復ステップを示す概略図である。

【図９】本発明の第１の実施形態によるデュアル・サリサイドＣＭＯＳデバイスを製作する反復ステップを示す概略図である。

10

【図１０】本発明の第２の実施形態によるデュアル・サリサイドＣＭＯＳデバイスを製作する反復ステップを示す概略図である。

【図１１】本発明の第２の実施形態によるデュアル・サリサイドＣＭＯＳデバイスを製作する反復ステップを示す概略図である。

【図１２】本発明の第２の実施形態によるデュアル・サリサイドＣＭＯＳデバイスを製作する反復ステップを示す概略図である。

【図１３】本発明の第２の実施形態によるデュアル・サリサイドＣＭＯＳデバイスを製作する反復ステップを示す概略図である。

【図１４】本発明の実施形態による自己整合デュアル・サリサイドＣＭＯＳデバイスを製作する反復ステップを示す概略図である。

20

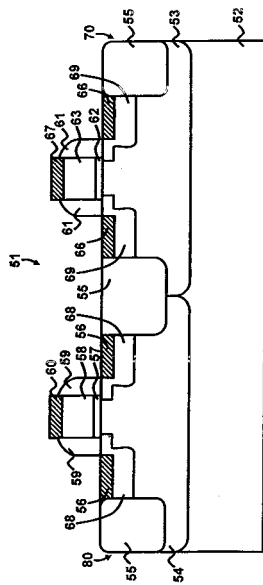
【図１５】本発明の実施態様によるシリサイドのシート抵抗を示すグラフ図である。

【図１６】図１４（Ｆ）に示される自己整合デュアル・シリサイド構造体のスパッタ時間に対する相対濃度の百分率を示すグラフ図である。

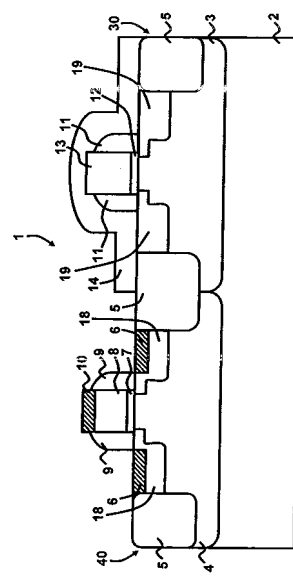
【図１７】本発明の第１の実施形態による好ましい方法を示すフロー図である。

【図１８】本発明の第２の実施形態による好ましい方法を示すフロー図である。

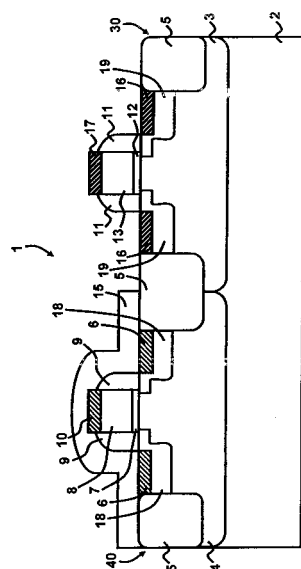
【 図 1 】



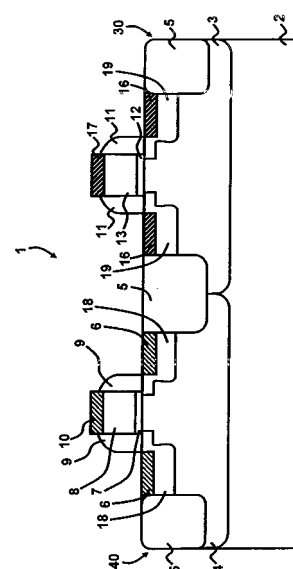
【 図 2 】



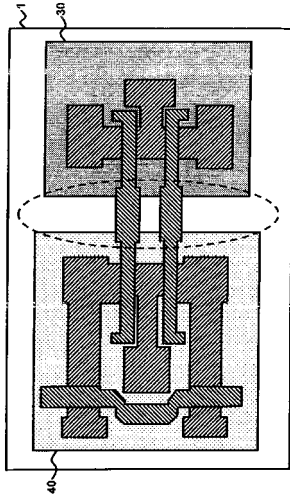
【 図 3 】



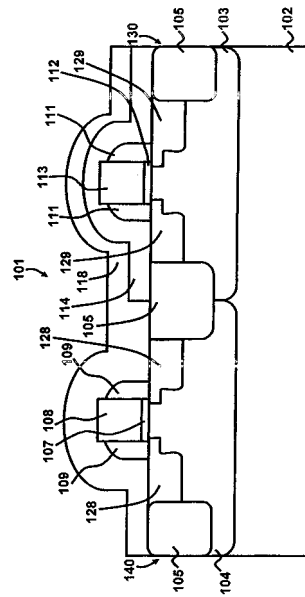
【 図 4 】



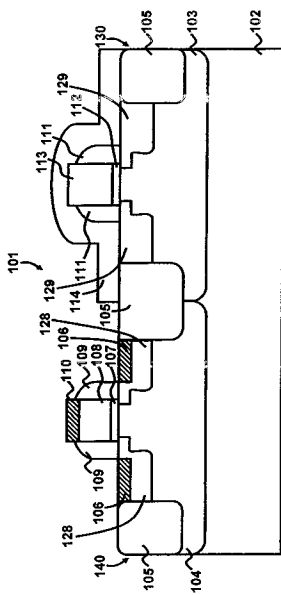
【図 5】



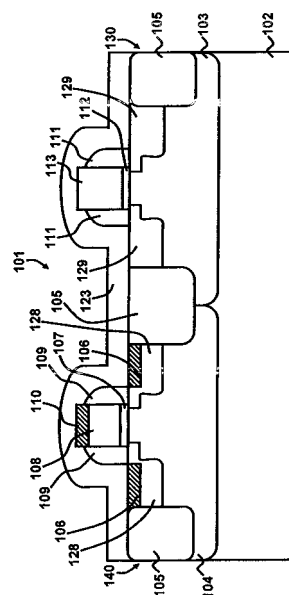
【図 6】



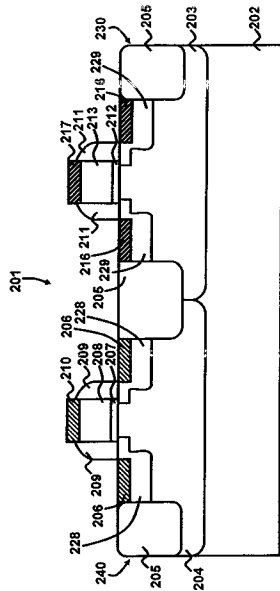
【図 7】



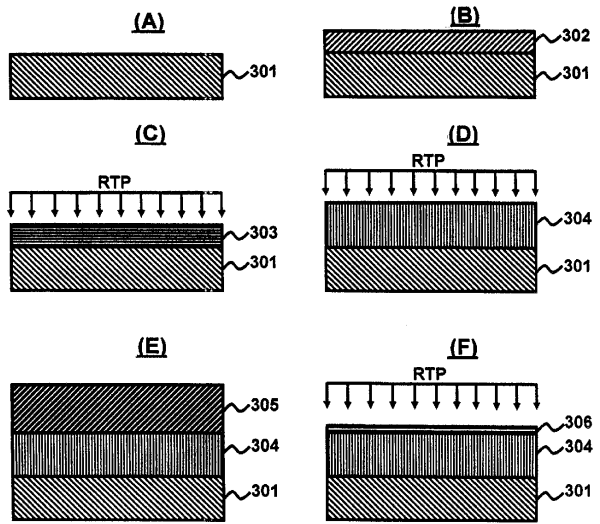
【図 8】



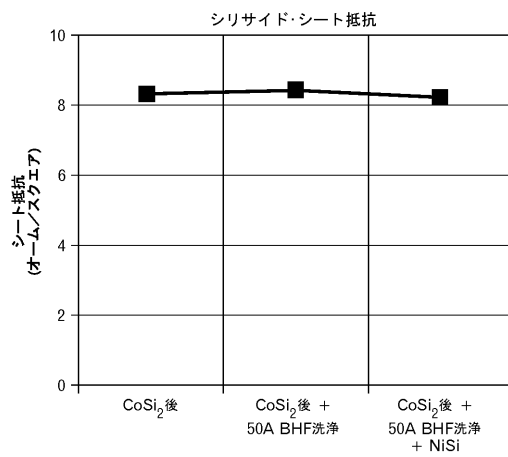
【図 13】



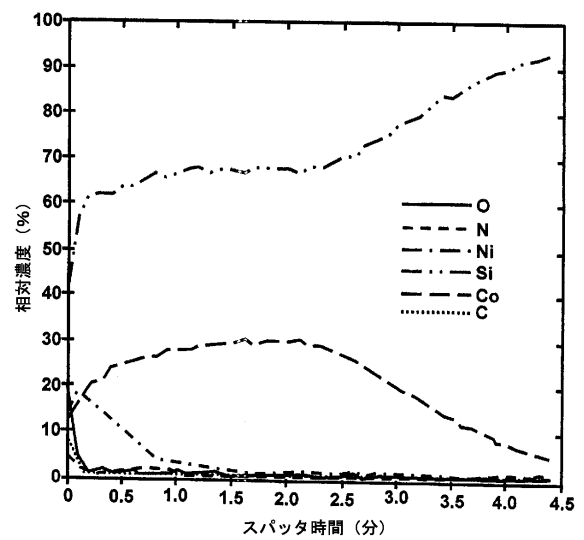
【図 14】



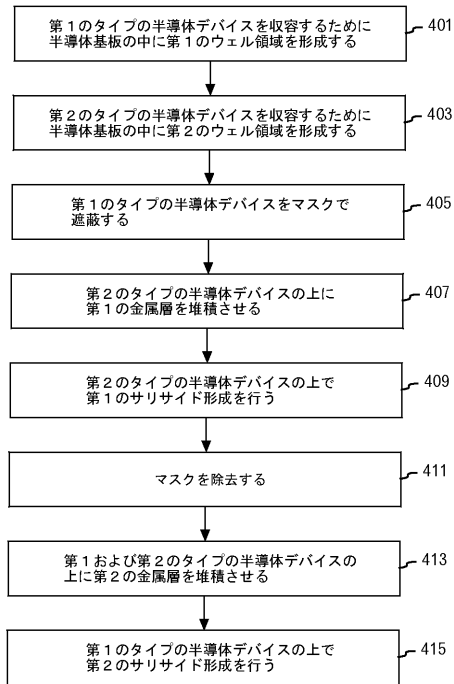
【図 15】



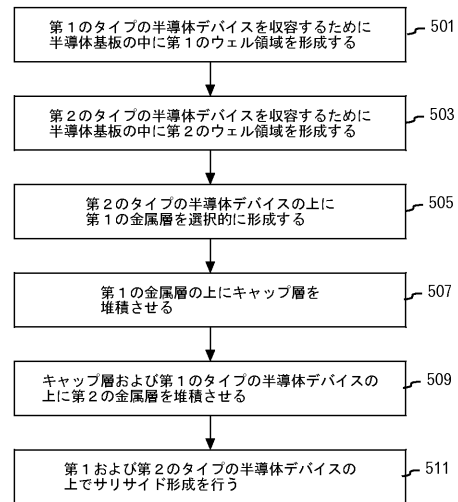
【図 16】



【図 17】



【図 18】



フロントページの続き

(51)Int.Cl.

F I

| | | | | | |
|---------|---------|-----------|---------|-------|-------|
| H 0 1 L | 29/417 | (2006.01) | H 0 1 L | 29/50 | M |
| H 0 1 L | 29/423 | (2006.01) | H 0 1 L | 29/58 | G |
| H 0 1 L | 29/49 | (2006.01) | H 0 1 L | 27/10 | 3 8 1 |
| H 0 1 L | 21/8244 | (2006.01) | | | |
| H 0 1 L | 27/11 | (2006.01) | | | |

(74)代理人 100086243

弁理士 坂口 博

(72)発明者 カブラル、シリル、ジュニア

アメリカ合衆国 1 2 5 4 0 ニューヨーク州 マオパク ゴールドフィンチ・レーン 1 7

(72)発明者 ジオブコウスキ、チェスター、ティ-

アメリカ合衆国 1 2 5 3 3 ニューヨーク州 ホープウェル・ジャンクション ケンジントン・ドライブ 5 2

(72)発明者 エリス - モナハン、ジョン、ジェイ

アメリカ合衆国 0 5 4 5 8 バーモント州 グランド・アイル メイナード・コート 6

(72)発明者 ファン、スンフェイ

アメリカ合衆国 1 2 5 4 0 ニューヨーク州 ラグレンジビル エーマー・ドライブ 4 6

(72)発明者 ラボイエ、クリスチャン

アメリカ合衆国 1 0 5 6 2 ニューヨーク州 オシニング ノール・ビュー 1 3

(72)発明者 ルオ、ジーチオン

アメリカ合衆国 1 0 5 1 2 ニューヨーク州 カーメル ナツメグ・ドライブ 1 9 0 3

(72)発明者 ナコス、ジェームズ、エス

アメリカ合衆国 0 5 4 5 2 バーモント州 エセックス バターナット・コート 3

(72)発明者 ステージェン、アン、エル

アメリカ合衆国 0 6 9 0 2 コネチカット州 スタムフォード サウスフィールド・アベニュー
1 5 0 アpartment 2 4 3 8

(72)発明者 ワン、クレメント、エイチ

アメリカ合衆国 1 0 5 1 2 ニューヨーク州 カーメル バレット・サークル・ウェスト 1 1
7 9

審査官 増山 慎也

(56)参考文献 特開2000-286411(JP,A)

特開2004-140181(JP,A)

特開2004-221226(JP,A)

特開2004-040119(JP,A)

特開2004-158593(JP,A)

特開平04-349660(JP,A)

特開2002-231908(JP,A)

国際公開第03/075330(WO,A1)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8238

H01L 21/28

H01L 21/336

H01L 21/8244

H01L 27/092

H01L 27/11
H01L 29/417
H01L 29/423
H01L 29/49
H01L 29/78