

FEDERÁLNY ÚRAD
PRE VYNÁLEZY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVEDČENIU

269 570

(11)

(13) B1

(51) Int. Cl. ⁴

G 06 F 1/22

(21) PV 9519-87.R

(22) Prihlásené 21 12 87

(40) Zverejnené 12 09 89

(45) Vydané 29 01 91

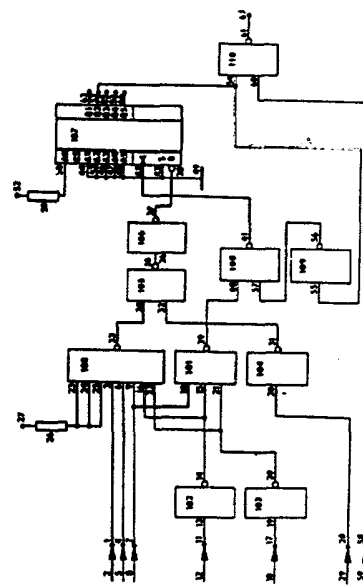
(75) Autor vynálezu

FUTÓ JURAJ ing., KOŠICE

(54)

Zapojenie pre hradlovanie dátových signálov
výstupného kanála programovateľného obvodu
pre paralelný vstup-výstup

(57) Riešenie umožňuje hradlovanie dátových signálov výstupného kanála programovateľného obvodu pre paralelný vstup-výstup pred a počas zápisu stavového slova do riadiaceho registra, ako aj pri prvých zápisoch do registrov výstupných kanálov. Podstata riešenia spočíva v tom, že logický súčin signálov: nižší bit adresy registra, vyšší bit adresy registra čítanie invertovaný signál zápis, invertovaný signál výber vytvorený hradlom NAND, je privedený na vstup dvojj vstupového hradla súčasne s invertovaným signálom nulovanie, pričom logický súčin týchto dvoch signálov je po invertovaní jednovstupovým hradlom privedený na nulovací vstup posuvného registra. Vstup uvoľnenie nastavenia, prvý, druhý, tretí, štvrtý, piaty nastavovací vstup, sú pripojené na svorku nulového potenciálu. Vstup pre sériový prenos je pripojený k odporu, ktorého druhý koniec je pripojený ku kladnému pólu zdroja napätia. Signál logického súčinu signálov je privedený na vstup dvojj vstupového hradla, pričom na jeho druhý vstup je privedený invertovaný signál výstupu registru. Logický súčin týchto dvoch signálov je privedený na hodinový vstup. Signál z výstupného kanála je privedený na vstup dvojj vstupového hradla, na druhý vstup ktorého je privedený signál z výstupu registru, pričom výstup tohto hradla je spojený so vstupom ovládaného elektrického zariadenia.



Vynález sa týka zapojenia pre hradlovanie dátových signálov výstupného kanála programovateľného obvodu pre paralelný vstup-výstup, pred a počas zápisu stavového slova do riadiaceho registra, ako aj pri prvých zápisoch do registrov výstupných kanálov tohto obvodu. Programovateľný obvod pre paralelný vstup-výstup sa vyznačuje tou vlastnosťou, že po zápise riadiaceho slova do stavového registra, dochádza k zmene logického stavu dátových signálov, kanála naprogramovaného ako výstup. Všetky dátové signály výstupného kanála prechádzajú do stavu logická nula, ktorá je reprezentovaná potenciálom zeme. Tento stav sa môže zmeniť len zápisom dát do registra výstupného kanála.

U dosiaľ známych zapojení sa k prepojeniu výstupu výstupného kanála, programovateľného obvodu pre paralelný vstup-výstup, používa trojstavový oddeľovací budič, na vstup ktorého je pripojený výstupný signál výstupného kanála, pričom na jeho výstup je pripojené ovládané elektrické zariadenie. Použitie trojstavového oddeľovacieho budiča umožňuje zamedziť zmene logického stavu signálu na vstupe ovládaného elektrického zariadenia, využitím stavu vysokej impedancie výstupu budiča. Pri niektorých aplikáciach programovateľného obvodu pre paralelný vstup-výstup, však z hľadiska ovládaného elektrického zariadenia nie je žiadúca možnosť vzniku stavu vysokej impedancie, na vodiči spojenom so vstupom ovládaného elektrického zariadenia. Trojstavový oddeľovací budič má navyše pomerne veľký odber zo zdroja napájacieho napätia, ktorý vyplýva z výkonového zosilnenia signálu, pripojeného na vstup budiča. Nie vždy, je však potrebné dosiahnuť veľké výkonové zosilnenie signálu výstupu, výstupného kanála. V takýchto prípadoch sa u doteraz známych zapojení používa logické dvojstavové hradlo, na vstup ktorého je pripojený výstup výstupného kanála, programovateľného obvodu pre paralelný vstup-výstup, pričom výstup hradla je spojený so vstupom ovládaného elektrického zariadenia. Nevýhodou tohto zapojenia je, že z hľadiska ovládaného elektrického zariadenia, činnosť ktorého je určená stavom dátových signálov výstupného kanála, znamená zmenu logického stavu signálov výstupov, po zápise stavového slova, nežiadúci jav, následkom ktorého dochádza k nežiadúcemu uvedeniu ovládaného elektrického zariadenia do činnosti. K tomuto javu môže dôjsť aj v prípade, že programovateľný obvod pre paralelný vstup-výstup, je programovo ovládaný takým spôsobom, že po zápise stavového slova do riadiaceho registra sa zápisom dát, do registra výstupného kanála, nastaví úroveň signálov výstupov do stavu logická jednička.

Uvedené nevýhody odstraňuje zapojenie pre hradlovanie dátových signálov výstupného kanála programovateľného obvodu pre paralelný vstup-výstup. Podstata vynálezu spočíva v tom, že svorka, na ktorú je pripojený vstup nižší bit adresy registra programovateľného obvodu pre paralelný vstup-výstup, je spojená s prvým vstupom osemvstupového hradla. Svorka na ktorú je pripojený vstup vyšší bit adresy registra programovateľného obvodu pre paralelný vstup-výstup, je spojená s druhým vstupom osemvstupového hradla. Svorka na ktorú je pripojený vstup čítanie, programovateľného obvodu pre paralelný vstup-výstup, je spojená s tretím vstupom osemvstupového hradla a súčasne s prvým vstupom trojvstupového hradla. Svorka na ktorú je pripojený vstup zápis, programovateľného obvodu pre paralelný vstup-výstup, je spojená so vstupom jednovstupového hradla, ktorého výstup je spojený s druhým vstupom trojvstupového hradla a zároveň so štvrtým vstupom osemvstupového hradla. Svorka na ktorú je pripojený vstup výber programovateľného obvodu pre paralelný vstup-výstup, je spojená so vstupom jednovstupového hradla, ktorého výstup je spojený s tretím vstupom trojvstupového hradla a zároveň s piatym vstupom osemvstupového hradla. Šiesty, siedmy a ôsmy vstup osemvstupového hradla sú spojené s prvým koncom prvého odporu, ktorého druhý koniec je pripojený ku kladnému pólu zdroja napájacieho napätia. Svorka na ktorú je pripojený vstup nulovanie, programovateľného obvodu pre paralelný vstup-výstup, je spojená so vstupom jednovstupového hradla, ktorého výstup je pripojený na druhý vstup dvojvstupového hradla, pričom na jeho prvý vstup je pripojený výstup osemvstupového hradla. Výstup tohto dvojvstupového hradla je pripojený

na vstup jednovstupového hradla, ktorého výstup je spojený s nulovacím vstupom posuvného registra. Výstup trojvstupového hradla je pripojený na prvý vstup dvojvstupového hradla, ktorého výstup je pripojený na hodinový vstup posuvného registra. Vstup uvoľnenia nastavenia a prvý až piaty nastavovací vstup posuvného registra, sú pripojené na svorku nulového potenciálu. Vstup pre sériový prenos, posuvného registra, je pripojený k prvému koncu druhého odporu, ktorého druhý koniec je pripojený ku kladnému pólu zdroja napájacieho napätia. Druhý dátový výstup posuvného registra je pripojený k prvému vstupu dvojvstupového hradla, ktorého výstup je pripojený na vstup ovládaného elektrického zariadenia. Druhý dátový výstup posuvného registra, je zároveň spojený so vstupom jednovstupového hradla, ktorého výstup je pripojený k druhému vstupu dvojvstupového hradla, ktorého výstup je pripojený na hodinový vstup posuvného registra. Svorka ku ktorej je pripojený dátový výstup výstupného kanála programovateľného obvodu pre paralelný vstup-výstup, je spojená s druhým vstupom dvojvstupového hradla, ktorého výstup je spojený so vstupom ovládaného elektrického zariadenia.

Výhodou zapojenia podľa vynálezu je, že sa zamedzí zmene úrovne ovládacieho signálu pripojeného k elektrickému zariadeniu, ktoré je ovládané dátovým signálom výstupného kanála programovateľného paralelne vstupno-výstupného obvodu, po zápise stavového slova do riadiaceho registra programovateľného obvodu. V prípade, že sa uskutoční zápis do riadiaceho registra, dochádza k vynulovaniu posuvného registra a teda aj k okamžitému blokovaniu signálu výstupného kanála. Ďalšia výhoda spočíva v tom, že zapojenie je použiteľné na blokovanie výstupných signálov celého výstupného kanála, zapojením ôsmich dvojvstupových hradiel paralelne k výstupu posuvného registra. Zapojenie možno tiež použiť v prípade, že programovateľný obvod je riadiacim slovom nastavený tak, že dva alebo tri kanály budú pracovať ako výstupné. V takom prípade sa k vstupu blokovacieho hradla pripadne hradiel pripojí tretí prípadne štvrtý dátový výstup posuvného registra.

Na pripojenom výkrese je nakreslený príklad zapojenia podľa vynálezu.

Svorka 1 na ktorú je pripojený vstup 2 nižší bit adresy registra programovateľného obvodu pre paralelný vstup-výstup, je spojená so vstupom 3 osemvstupového hradla 100. Svorka 4 na ktorú je pripojený vstup 5 vyšší bit adresy registra programovateľného obvodu pre paralelný vstup-výstup, je spojená so vstupom 6 osemvstupového hradla 100. Svorka 7 na ktorú je pripojený vstup 8 čítanie, programovateľného obvodu pre paralelný vstup-výstup, je spojená so vstupom 9 osemvstupového hradla 100 a súčasne so vstupom 10 trojvstupového hradla 101. Svorka 11 na ktorú je pripojený vstup 12 zápis, programovateľného obvodu pre paralelný vstup-výstup, je spojená so vstupom 13 jednovstupového hradla 102, ktorého výstup 14 je spojený so vstupom 15 trojvstupového hradla 101 a zároveň so vstupom 16 osemvstupového hradla 100. Svorka 17 na ktorú je pripojený vstup 18 výber, programovateľného obvodu pre paralelný vstup-výstup, je spojená so vstupom 19 jednovstupového hradla 103, ktorého výstup 20 je spojený so vstupom 21 trojvstupového hradla 101 a zároveň so vstupom 22 osemvstupového hradla 100, pričom vstupy 23, 24, 25 osemvstupového hradla 100 sú spojené s prvým koncom odporu 26, ktorého druhý koniec 27 je pripojený ku kladnému pólu zdroja napájacieho napätia. Svorka 28 na ktorú je pripojený vstup 29 nulovanie programovateľného obvodu pre paralelný vstup-výstup, je spojená so vstupom 30 jednovstupového hradla 104, ktorého výstup 31 je pripojený na vstup 32 dvojvstupového hradla 105, pričom výstup 33 osemvstupového hradla 100 je pripojený na vstup 34 dvojvstupového hradla 105, ktorého výstup 35 je pripojený na vstup 36 jednovstupového hradla 106, ktorého výstup 37 je spojený s nulovacím vstupom 38 posuvného registra 107. Výstup 39 trojvstupového hradla 101 je pripojený na vstup 40 dvojvstupového hradla 108, ktorého výstup 41 je pripojený na hodinový vstup 42 posuvného registra 107, pričom vstup uvoľnenia nastavenia 43 a prvý až piaty nastavovací vstup 44 až 48 posuvného registra 107, sú pripojené na svorku 49 nulového potenciálu. Vstup pre sériový

prenos 50, posuvného registra 107, je pripojený k prvému koncu odporu 51, ktorého druhý koniec 52 je pripojený ku kladnému pólu zdroja napájacieho napätia. Druhý dátový výstup 53 posuvného registra 107 je pripojený k vstupu 54 dvojjstupového hradla 110 a zároveň k vstupu 55 jednovstupového hradla 109, ktorého výstup 56 je pripojený k vstupu 57 dvojjstupového hradla 108. Svorka 58 ku ktorej je pripojený dátový výstup 59 výstupného kanála programovateľného obvodu pre paralelný vstup-výstup, je spojená so vstupom 60 dvojjstupového hradla 110, ktorého výstup 61 je pripojený k svorke 62, ktorá je spojená so vstupom ovládaného elektrického zariadenia.

Zapojenie pracuje nasledovným spôsobom. Stav logická jednička signálu na vstupe 29 reprezentovaná potenciálom kladného pólu zdroja napájacieho napätia, spôsobí na vstupe 38 posuvného registra 107 stav logická nula, reprezentovanou nulovým potenciálom, čoho následkom výstup 53 prejde do stavu logická nula a zároveň s tým, prejde výstup 61 dvojjstupového hradla 110 do stavu logická jednička. Tým je uskutočnená inicializácia programovateľného obvodu, ako aj posuvného registra 107 a signál na vstupe 29 prechádza do úrovne logická nula. Pri zápise stavového slova do riadiaceho registra programovateľného obvodu sú signály na vstupoch 2, 5, 8 v stave logická jednička a signály na vstupoch 12, 18 v stave logická nula, čím je na výstupoch 33 a 39 vyvolaný stav logická nula. Na vstupe 42 je stav logická jednička a na vstupe 38 je stav logická nula. Posuvný register 107 je teda vynulovaný a výstup 53 je v stave logická nula, teda výstup 61 dvojjstupového hradla 110 je v stave logická jednička, nezávisle od signálu na výstupe 59, ktorého úroveň sa po zápise stavového slova do riadiaceho registra programovateľného obvodu zmení z logickej jedničky na logickú nulu. Zápisom dát do registra výstupného kanála programovateľného obvodu sa zmení úroveň signálu na výstupe 59 na úroveň logická jednička. Pri tomto zápise je aspoň jeden zo signálov na vstupoch 2, 5 v úrovni logická nula. Za predpokladu, že signál na vstupe 29 je v úrovni logická nula, je na vstupe 38 signál úrovne logická jednička. Pri zápise dát do registra výstupného kanála je signál na vstupe 8 v úrovni logická jednička a signály na vstupoch 12, 18 sú v úrovni logická nula a preto úroveň signálu na vstupe 42 je logická jednička, pretože na vstupe 57 je signál úrovne logická jednička, vyvolaný signálom logická nula na výstupe 53 posuvného registra 107. Týmto zápisom sa zmení úroveň signálu na výstupe 63 z úrovne logická nula na úroveň logická jednička. Pri ďalšom zápise dát do registra výstupného kanála, sa už úroveň signálu na výstupe 59 nemení, avšak týmto zápisom sa zmení úroveň signálu na výstupe 53 z úrovne logická nula na úroveň logická jednička. Signál na výstupe 59 takto už nie je hradlovaný a po invertovaní dvojjstupovým hradlom 110 sa dostáva na výstup 61. Úroveň logická jednička na výstupe 53 spôsobuje vznik signálu úrovne logická jednička na vstupe 42. Signál z výstupu 39 je vzhľadom k výstupu 41 blokovaný a nemôže spôsobiť zmenu úrovne signálu na vstupe 42.

V konkrétnom prípade zapojenia je osemvstupové hradlo 100 typu MH 7430. Dvojjstupové hradlá 105, 108, 110 sú typu MH 7400. Jednovstupové hradlá 102, 103, 104, 106, 109 sú typu MH 7404 a trojjstupové hradlo 101 je typu MH 7410. Posuvný register 107 je typu MH 7496. Odpor 26, 51 sú typu TR 191 s rovnakou hodnotou ohmického odporu 2200 ohmov. Programovateľný obvod pre paralelný vstup-výstup je typu MHB 8255.

Zapojenie je použiteľné v mikropočítačových systémoch, kde digitálne výstupy sú realizované programovateľným obvodom pre paralelný vstup-výstup.

PREDMET VYNÁLEZU

Zapojenie pre hradlovanie výstupných dátových signálov, výstupného kanála programovateľného obvodu pre paralelný vstup-výstup, pred a počas zápisu stavového slova

do riadiaceho registra, ako aj pri prvých zápisoch do registrov výstupných kanálov tohto obvodu, pozostávajúce z logických členov NAND, odporov a posuvného registra, vyznačujúce sa tým, že svorka (1) na ktorú je pripojený vstup (2) nižší bit adresy registra programovateľného obvodu pre paralelný vstup-výstup, je spojená so vstupom (3) osemvstupového hradla (100), svorka (4) na ktorú je pripojený vstup (5) vyšší bit adresy registra programovateľného obvodu pre paralelný vstup-výstup, je spojená so vstupom (6) osemvstupového hradla (100), svorka (7) na ktorú je pripojený vstup (8) čítanie, programovateľného obvodu pre paralelný vstup-výstup, je spojená so vstupom (9) osemvstupového hradla (100) a súčasne so vstupom (10) trojvstupového hradla (101), svorka (11) na ktorú je pripojený vstup (12) zápis, programovateľného obvodu pre paralelný vstup-výstup, je spojená so vstupom (13) jednovstupového hradla (102), ktorého výstup (14) je spojený so vstupom (15) trojvstupového hradla (101) a zároveň so vstupom (16) osemvstupového hradla (100), svorka (17) na ktorú je pripojený vstup (18) výber programovateľného obvodu pre paralelný vstup-výstup, je spojená so vstupom (19) jednovstupového hradla (103), ktorého výstup (20) je spojený so vstupom (21) trojvstupového hradla (101) a zároveň so vstupom (22) osemvstupového hradla (100), pričom vstupy (23), (24), (25) osemvstupového hradla (100) sú spojené s prvým koncom odporu (26), ktorého druhý koniec (27) je pripojený ku kladnému pólu zdroja napájacieho napätia, svorka (28) na ktorú je pripojený vstup (29) nulovanie programovateľného obvodu pre paralelný vstup-výstup, je spojená so vstupom (30) jednovstupového hradla (104), ktorého výstup (31) je pripojený na vstup (32) dvojvstupového hradla (105), pričom výstup (33) osemvstupového hradla (100) je pripojený na vstup (34) dvojvstupového hradla (105), ktorého výstup (35) je pripojený na vstup (36) jednovstupového hradla (106), ktorého výstup (37) je spojený s nulovacím vstupom (38) posuvného registra (107), výstup (39) trojvstupového hradla (101) je pripojený na vstup (40) dvojvstupového hradla (108), ktorého výstup (41) je pripojený na hodinový vstup (42) posuvného registra (107), pričom vstup uvoľnenia nastavenia (43) a prvý až piaty nastavovací vstup (44) až (48) posuvného registra (107), sú pripojené na svorku (49) nulového potenciálu, kým vstup pre sériový prenos (50), posuvného registra (107), je pripojený k prvému koncu odporu (51), ktorého druhý koniec (52) je pripojený ku kladnému pólu zdroja napájacieho napätia, druhý dátový výstup (53) posuvného registra (107) je pripojený k vstupu (54) dvojvstupového hradla (110) a zároveň k vstupu (55) jednovstupového hradla (109), ktorého výstup (56) je pripojený k vstupu (57) dvojvstupového hradla (108), svorka (58) ku ktorej je pripojený dátový výstup (59) výstupného kanála programovateľného obvodu pre paralelný vstup-výstup, je spojená so vstupom (60) dvojvstupového hradla (110), ktorého výstup (61) je pripojený ku svorke (62), ktorá je spojená so vstupom ovládaného elektrického zariadenia.

CS 269 570 B1

